

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成31年3月28日 (2019.3.28)

【公表番号】特表2018-514891(P2018-514891A)

【公表日】平成30年6月7日 (2018.6.7)

【年通号数】公開・登録公報2018-021

【出願番号】特願2017-543727(P2017-543727)

【国際特許分類】

G 1 1 C 11/22 (2006.01)

G 1 1 C 7/04 (2006.01)

G 1 1 C 7/14 (2006.01)

H 0 1 L 27/11509 (2017.01)

【F I】

G 1 1 C 11/22 2 3 4

G 1 1 C 7/04

G 1 1 C 7/14

H 0 1 L 27/11509

【手続補正書】

【提出日】平成31年2月12日 (2019.2.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 トランジスタ・1 キャパシタ (1 T - 1 C) タイプの強誘電体メモリセルを含む集積回路において基準電圧を設定する方法であって、

複数の前記強誘電体メモリセルを第 1 のデータ状態にプログラミングすることであって、前記第 1 のデータ状態が第 2 のデータ状態より低いキャパシタンス分極状態に対応する、前記プログラミングすることと、

読み出すときに最弱メモリセルが前記第 2 のデータ状態をリターンする基準電圧レベルに対応する第 1 の基準電圧限界を識別するために、前記複数のプログラミングされた強誘電体メモリセルを複数の基準電圧レベルで反復的に読み出すことであって、

前記強誘電体メモリセルの全てが前記第 1 のデータ状態をリターンする初期基準電圧レベルで前記複数の強誘電体メモリセルを読み出すことであって、前記初期基準電圧レベルが前記複数の基準電圧レベルの第 1 の電圧レベルである、前記読み出すことと、

その後、前記第 1 の基準電圧限界が識別されるまで、前記初期基準電圧レベルを徐々に下げることにより前記残りの複数の基準電圧レベルの各々で前記複数の強誘電体メモリセルを読み出すことと、

前記複数の基準電圧レベルの各々で前記複数の強誘電体メモリセルの各々に対して、

前記強誘電体メモリセルにアクセスすることと、

前記強誘電体メモリセルが前記第 1 のデータ状態又は前記第 2 のデータ状態をリターンするか否かを判定するために、前記アクセスすることに応答して前記強誘電体メモリセルにより生成される電圧を前記基準電圧レベルと比較することと、

を含む、前記反復的に読み出すことと、

前記基準電圧を前記第 1 の基準電圧限界に基づく動作レベルに設定するように前記集積回路を構成することと、

を含む、方法。

【請求項 2】

請求項 1 に記載の方法であって、

前記反復的に読み出す前に、電気的パラメータを前記第 1 のデータ状態の読み出しに対する最悪ケース条件に設定することを更に含む、方法。

【請求項 3】

請求項 2 に記載の方法であって、

電気的パラメータを最悪ケース条件に設定することが、電源電圧を高電源電圧仕様限界に対応するレベルに設定することを含む、方法。

【請求項 4】

請求項 1 に記載の方法であって、

前記反復的に読み出す前に、前記集積回路に対する環境パラメータを前記第 1 のデータ状態を読み出すことに対する最悪ケース条件に設定することを更に含む、方法。

【請求項 5】

請求項 4 に記載の方法であって、

環境パラメータを最悪ケース条件に設定することが、前記集積回路を高温仕様限界に対応する温度まで加熱することを含む、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記アクセスすることに応答して前記強誘電体メモリセルにより生成される電圧が前記強誘電体メモリセルに関連するビット線に提供され、

前記第 1 のデータ状態が、印加される電圧がない場合に前記強誘電体メモリセルにおける強誘電体キャパシタが第 1 の極性の電圧を保持する第 1 の分極状態に対する前記強誘電体キャパシタの分極に対応し、

前記アクセスすることが、

前記強誘電体メモリセルにおける前記強誘電体キャパシタの第 1 のプレートを前記強誘電体メモリセルに関連する前記ビット線に結合することと、

電圧パルスを前記強誘電体キャパシタの第 2 のプレートに印加することと、

前記ビット線での前記電圧を前記基準電圧レベルと比較することと、

を含む、方法。

【請求項 7】

請求項 6 に記載の方法であって、

前記強誘電体メモリセルにおける前記強誘電体キャパシタの第 1 のプレートを前記強誘電体メモリセルに関連する前記ビット線に結合することが、前記ビット線と前記強誘電体キャパシタの前記第 1 のプレートとの間に結合されるトランジスタを活性化するために前記強誘電体メモリセルに関連するワード線に電圧を供給することを含む、方法。

【請求項 8】

請求項 1 に記載の方法であって、

前記基準電圧を設定するように前記集積回路を構成することが、構成レジスタのコンテンツを前記第 1 の基準電圧限界と公差との加算に対応する値を用いて書き込むことを含む、方法。

【請求項 9】

請求項 1 に記載の方法であって、

前記動作レベルが、前記第 1 の基準電圧限界と公差との加算に等しい、方法。

【請求項 10】

請求項 1 に記載の方法であって、

前記集積回路が、単一の集積回路ウエハに形成される複数の類似する集積回路の 1 つであり、

前記プログラミングすることと、反復的に読み出すことと、構成することとが、ウエハ形式での前記集積回路を用いて実施される、方法。

## 【請求項 1 1】

請求項 1 に記載の方法であって、  
前記集積回路がパッケージ化された集積回路である、方法。

## 【請求項 1 2】

請求項 1 に記載の方法であって、  
前記アクセスすることに応答して前記強誘電体メモリセルにより生成される前記電圧が感知増幅器を用いて前記基準電圧レベルと比較される、方法。

## 【請求項 1 3】

前記 1 トランジスタ・1 キャパシタ (1 T - 1 C) タイプの強誘電体メモリセルを含む集積回路において基準電圧を設定する方法であって、

複数の前記強誘電体メモリセルを第 1 のデータ状態にプログラムすることであって、前記第 1 のデータ状態が第 2 のデータ状態より高いキャパシタンス分極状態に対応する、前記プログラムすることと、

読み出すときに最弱メモリセルが前記第 2 のデータ状態をリターンする基準電圧レベルに対応する第 1 の基準電圧限界を識別するために、前記複数のプログラムされた強誘電体メモリセルを複数の基準電圧レベルで反復的に読み出すことであって、

前記強誘電体メモリセルの全てが前記第 1 のデータ状態をリターンする初期基準電圧レベルで前記複数の強誘電体メモリセルを読み出すことであって、前記初期基準電圧レベルが前記複数の基準電圧レベルの第 1 の電圧レベルである、前記読み出すことと、

その後、前記第 1 の基準電圧限界が識別されるまで、前記初期基準電圧レベルを徐々に上げることにより前記残りの複数の基準電圧レベルの各々で前記複数の強誘電体メモリセルを読み出すことと、

前記複数の基準電圧レベルの各々で前記複数の強誘電体メモリセルの各々に対して、

前記強誘電体メモリセルにアクセスすることと、

前記強誘電体メモリセルが前記第 1 のデータ状態又は前記第 2 のデータ状態をリターンするか否かを判定するために、前記アクセスすることに応答して前記強誘電体メモリセルにより生成される電圧を前記基準電圧レベルと比較することと、

を含む、前記反復的に読み出すことと、

前記基準電圧を前記第 1 の基準電圧限界に基づく動作レベルに設定するように前記集積回路を構成することと、

を含む、方法。

## 【請求項 1 4】

請求項 1 3 に記載の方法であって、

前記反復的に読み出す前に、電気的パラメータを前記第 1 のデータ状態の読み出しに対する最悪ケース条件に設定することを更に含む、方法。

## 【請求項 1 5】

請求項 1 4 に記載の方法であって、

電気的パラメータを最悪ケース条件に設定することが、電源電圧を低電源電圧仕様限界に対応するレベルに設定することを含む、方法。

## 【請求項 1 6】

請求項 1 3 に記載の方法であって、

前記反復的に読み出す前に、前記集積回路に対する環境パラメータを前記第 1 のデータ状態の読み出しに対する最悪ケース条件に設定することを更に含む、方法。

## 【請求項 1 7】

請求項 1 6 に記載の方法であって、

環境パラメータを最悪ケース条件に設定することが、前記集積回路を低温仕様限界に対応する温度まで加熱することを含む、方法。

## 【請求項 1 8】

請求項 1 3 に記載の方法であって、

前記アクセスすることに応答して前記強誘電体メモリセルにより生成される前記電圧が

前記強誘電体メモリセルに関連するビット線に提供され、

前記第 1 のデータ状態が、印加される電圧がない場合に前記強誘電体メモリセルにおける強誘電体キャパシタが第 1 の極性の電圧を保持する第 1 の分極状態に対する前記強誘電体キャパシタの分極に対応し、

前記アクセスすることが、

前記強誘電体メモリセルにおける前記強誘電体キャパシタの第 1 のプレートを前記強誘電体メモリセルに関連する前記ビット線に結合することと、

電圧パルスを前記強誘電体キャパシタの第 2 のプレートに印加することと、

前記ビット線での前記電圧を前記基準電圧レベルと比較することと、

を含む、方法。

【請求項 19】

請求項 13 に記載の方法であって、

前記集積回路を前記基準電圧に設定するように構成することが、前記第 1 の基準電圧限界と公差との加算に対応する値を用いて、構成レジスタのコンテンツを書き込むことを含む、方法。

【請求項 20】

請求項 13 に記載の方法であって、

前記動作するレベルが、前記第 1 の基準電圧からの交差の減算に等しい、方法。

【請求項 21】

請求項 13 に記載の方法であって、

前記集積回路が、単一の集積回路ウエハに形成される複数の類似する集積回路の 1 つであり、

前記プログラミングすることと、反復的に読み出すことと、構成することとが、ウエハ形式での前記集積回路を用いて実施される、方法。

【請求項 22】

請求項 13 に記載の方法であって、

前記集積回路がパッケージ化された集積回路である、方法。