

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7686645号
(P7686645)

(45)発行日 令和7年6月2日(2025.6.2)

(24)登録日 令和7年5月23日(2025.5.23)

(51)国際特許分類 F I
H 0 1 L 21/60 (2006.01) H 0 1 L 21/60 3 2 1 E

請求項の数 19 (全21頁)

(21)出願番号	特願2022-536221(P2022-536221)	(73)特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(86)(22)出願日	令和3年6月25日(2021.6.25)	(74)代理人	100135389 弁理士 臼井 尚
(86)国際出願番号	PCT/JP2021/024139	(74)代理人	100200609 弁理士 齊藤 智和
(87)国際公開番号	WO2022/014300	(72)発明者	齊藤 光俊 京都市右京区西院溝崎町2 1 番地 ロー ム株式会社内
(87)国際公開日	令和4年1月20日(2022.1.20)	審査官	小池 英敏
審査請求日	令和6年5月23日(2024.5.23)		
(31)優先権主張番号	特願2020-119701(P2020-119701)		
(32)優先日	令和2年7月13日(2020.7.13)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 半導体装置、および半導体装置の製造方法

(57)【特許請求の範囲】

【請求項 1】

厚さ方向の一方側を向く主面を有するダイパッドと、
前記主面に対向して設けられた第 1 電極と、前記厚さ方向において前記第 1 電極とは反対側に設けられた第 2 電極と、を有するとともに、前記第 1 電極が前記主面に電氣的に接合された半導体素子と、
前記第 1 電極と前記主面とを電氣的に接合する第 1 接合層と、
前記第 2 電極に電氣的に接合された第 1 導電部材と、
前記第 1 導電部材と前記第 2 電極とを電氣的に接合する第 2 接合層と、を備え、
前記第 1 接合層の融点は、前記第 2 接合層の融点よりも高く、
前記第 1 接合層の厚さは、前記第 2 接合層の厚さよりも大である、半導体装置。

10

【請求項 2】

前記第 2 接合層は、錫を含有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 接合層は、錫を含有する、請求項 2 に記載の半導体装置。

【請求項 4】

前記厚さ方向に視て、前記半導体素子の面積は、前記主面の面積の 40% 以下である、請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】

前記半導体素子および前記第 1 導電部材と、前記ダイパッドの一部と、を覆う封止樹脂を

20

さらに備える、請求項 1 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】

前記ダイパッドおよび前記第 1 導電部材の各々は、銅を含有する、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 導電部材は、金属クリップである、請求項 6 に記載の半導体装置。

【請求項 8】

前記厚さ方向において前記主面と同じ側を向く第 1 接合面を有するとともに、前記ダイパッドから離れて位置する第 1 リードと、

前記第 1 導電部材と前記第 1 接合面とを電氣的に接合する第 3 接合層と、をさらに備え、
前記第 1 リードは、銅を含有し、

10

前記第 1 リードの一部は、前記封止樹脂に覆われており、

前記第 3 接合層は、前記第 2 接合層と同一の材料からなる、請求項 6 または 7 に記載の半導体装置。

【請求項 9】

前記厚さ方向において、前記第 1 接合面は、前記半導体素子を基準として前記主面とは反対側に位置する、請求項 8 に記載の半導体装置。

【請求項 10】

前記ダイパッドの厚さは、前記第 1 リードの最大厚さよりも大である、請求項 8 または 9 に記載の半導体装置。

20

【請求項 11】

第 2 リード、第 2 導電部材、第 4 接合層および第 5 接合層をさらに備え、

前記半導体素子は、前記厚さ方向において前記第 1 電極とは反対側に設けられ、かつ前記第 2 電極から離れて位置する第 3 電極を有し、

前記第 2 リードは、前記厚さ方向において前記主面と同じ側を向く第 2 接合面を有するとともに、前記ダイパッドおよび前記第 1 リードから離れて位置しており、

前記第 2 導電部材は、前記第 3 電極および前記第 2 接合面に電氣的に接合されており、

前記第 4 接合層は、前記第 2 導電部材と前記第 3 電極とを電氣的に接合しており、

前記第 5 接合層は、前記第 2 導電部材と前記第 2 接合面とを電氣的に接合しており、

前記第 2 導電部材および前記第 2 リードの各々は、銅を含有し、

30

前記第 2 導電部材、および前記第 2 リードの一部は、前記封止樹脂に覆われており、

前記第 4 接合層および前記第 5 接合層の各々は、前記第 2 接合層と同一の材料からなる、請求項 8 ないし 10 のいずれかに記載の半導体装置。

【請求項 12】

前記第 2 導電部材は、金属クリップである、請求項 11 に記載の半導体装置。

【請求項 13】

前記厚さ方向において、前記第 2 接合面は、前記半導体素子を基準として前記主面とは反対側に位置する、請求項 11 または 12 に記載の半導体装置。

【請求項 14】

前記ダイパッドにつながる第 3 リードをさらに備え、

40

前記第 3 リードの一部は、前記封止樹脂に覆われている、請求項 11 ないし 13 のいずれかに記載の半導体装置。

【請求項 15】

前記封止樹脂は、前記厚さ方向に対して直交する方向を向く側面を有し、

前記第 1 リード、前記第 2 リードおよび前記第 3 リードの各々は、前記側面から露出している、請求項 14 に記載の半導体装置。

【請求項 16】

前記ダイパッドは、前記厚さ方向において前記主面とは反対側を向く裏面を有し、

前記封止樹脂から前記裏面が露出している、請求項 15 に記載の半導体装置。

【請求項 17】

50

前記封止樹脂は、前記厚さ方向に貫通する取付け孔を有し、
前記ダイパッドは、前記厚さ方向に貫通する貫通孔を有し、
前記厚さ方向に視て、前記取付け孔は、前記貫通孔に内包されている、請求項 16 に記載の半導体装置。

【請求項 18】

ダイパッドの主面の上に導電性を有する第 1 接合材を配置し、
互いに反対側に位置する第 1 電極および第 2 電極を有する半導体素子を、前記第 1 電極が前記第 1 接合材に対向するように前記第 1 接合材の上に配置し、
前記第 1 接合材を溶融および固化させることにより、前記第 1 電極を前記主面に電氣的に接合させ、

10

導電性を有する第 2 接合材を前記第 2 電極の上に配置し、
導電部材を前記第 2 接合材の上に配置し、かつ前記第 2 接合材を溶融および固化させることにより、前記導電部材を前記第 2 電極に電氣的に接合させる、各工程を備え、
前記第 1 接合材の融点は、前記第 2 接合材の融点よりも高い構成とされており、
前記第 1 接合材の厚さは、前記第 2 接合材の厚さよりも大とされている、半導体装置の製造方法。

【請求項 19】

前記第 1 接合材は、線ハンダである、請求項 18 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本開示は、MOSFETなどの半導体素子を備えた半導体装置と、当該半導体装置の製造方法とに関する。

【背景技術】

【0002】

従来、MOSFETなどの半導体素子を備えた半導体装置が広く知られている。このような半導体装置は、電力変換回路（たとえばDC-DCコンバータ）を備える電子機器などに使用されている。特許文献1には、MOSFETを備える半導体装置の一例が開示されている。当該半導体装置は、電源電圧が印加されるドレイン端子と、MOSFETに電気信号を入力するためのゲート端子と、電源電圧に対応した電流が当該電気信号に基づき変換された後、変換された電流が流れるソース端子とを備える。MOSFETは、ドレイン端子に導通するドレイン電極と、ソース端子に導通するソース電極とを有する。ドレイン電極は、第1導電性接合材（ハンダ）によりドレイン端子につながるダイパッドに電氣的に接合されている。ソース電極は、第2導電性接合材（ハンダ）により導電部材（特許文献1では金属クリップ）に接合されている。さらに導電部材は、ソース端子にも接合されている。このような構成により、当該半導体装置に、大きな電流を流すことが可能となっている。

30

【0003】

近年、化合物半導体基板を有するMOSFETを備えた半導体装置が普及しつつある。このような化合物半導体基板は、たとえば炭化ケイ素を材料として形成される。当該MOSFETは、従来のMOSFETと比較して、素子の大きさをより小さくしつつ、電流の変換効率をより向上させることが可能である。特許文献1に開示されている半導体装置において、このような小型のMOSFETを採用する場合、第1導電性接合材によりドレイン電極をダイパッドに電氣的に接合させることと、第2導電性接合材により導電部材をソース電極に電氣的に接合させることを同一工程で行うと、ダイパッドに対してMOSFETの位置がずれることがある。これは、第1導電性接合材および第2導電性接合材をリフローにより同時に溶融させることに起因する。この場合において、ダイパッドに対するMOSFETの位置ずれ量が僅かであっても、MOSFETの寸法が比較的小であることなどから、ソース電極に対する導電部材の接合面積が縮小されることがあり、ソース端子への電流が阻害されるおそれがある。

40

50

【先行技術文献】

【特許文献】

【0004】

【文献】特開2016-192450号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記事情に鑑み、本開示は、大きな電流に対応しつつ、半導体素子の電極に対する導電部材の接合面積の縮小を抑制することが可能な半導体装置を提供することを一の課題とする。また本開示は、そのような半導体装置の製造方法を提供することを別の課題とする。

10

【課題を解決するための手段】

【0006】

本開示の第1の側面によって提供される半導体装置は、厚さ方向を向く主面を有するダイパッドと；前記主面に対向して設けられた第1電極と、前記厚さ方向において前記第1電極とは反対側に設けられた第2電極とを有するとともに、前記第1電極が前記主面に電氣的に接合された半導体素子と；前記第1電極と前記主面とを電氣的に接合する第1接合層と；前記第2電極に電氣的に接合された第1導電部材と；前記第1導電部材と前記第2電極とを電氣的に接合する第2接合層と、を備える。前記第1接合層の融点は、前記第2接合層の融点よりも高い構成とされている。

【0007】

20

本開示の第2の側面によって提供される半導体装置の製造方法は、ダイパッドの主面の上に導電性を有する第1接合材を配置し；互いに反対側に位置する第1電極および第2電極を有する半導体素子を、前記第1電極が前記第1接合材に対向するように前記第1接合材の上に配置し；前記第1接合材を溶融および固化させることにより、前記第1電極を前記主面に電氣的に接合させ；導電性を有する第2接合材を前記第2電極の上に配置し；導電部材を前記第2接合材の上に配置し、かつ前記第2接合材を溶融および固化させることにより、前記導電部材を前記第2電極に電氣的に接合させる、各工程を備える。前記第1接合材の融点は、前記第2接合材の融点よりも高い構成とされている。

【発明の効果】

【0008】

30

上記の半導体装置および製造方法によれば、より大きな電流に対応しつつ、半導体素子の電極に対する導電部材の接合面積の縮小を抑制することが可能となる。

【0009】

本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

【図面の簡単な説明】

【0010】

【図1】本開示の第1実施形態にかかる半導体装置の斜視図である。

【図2】図1に示す半導体装置の平面図である。

【図3】図2に対応する平面図であり、封止樹脂を透過している。

40

【図4】図1に示す半導体装置の底面図である。

【図5】図1に示す半導体装置の正面図である。

【図6】図1に示す半導体装置の右側面図である。

【図7】図3のV I I - V I I線に沿う断面図である。

【図8】図3のV I I I - V I I I線に沿う断面図である。

【図9】図3のI X - I X線に沿う断面図である。

【図10】図3の部分拡大図である。

【図11】図7の部分拡大図である。

【図12】図7の別の部分拡大図である。

【図13】第1実施形態の変形例にかかる半導体装置の部分拡大断面図である。

50

【図 1 4】図 1 に示す半導体装置の製造工程を説明する平面図である。

【図 1 5】図 1 に示す半導体装置の製造工程を説明する平面図である。

【図 1 6】図 1 に示す半導体装置の製造工程を説明する平面図である。

【図 1 7】図 1 に示す半導体装置の製造工程を説明する部分拡大断面図である。

【図 1 8】図 1 に示す半導体装置の製造工程を説明する平面図である。

【図 1 9】図 1 に示す半導体装置の製造工程を説明する部分拡大断面図である。

【図 2 0】図 1 に示す半導体装置の製造工程を説明する部分拡大断面図である。

【図 2 1】図 1 に示す半導体装置の製造工程を説明する平面図である。

【図 2 2】本開示の第 2 実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

10

【図 2 3】図 2 2 の X X I I I - X X I I I 線に沿う断面図である。

【図 2 4】図 2 3 の部分拡大図である。

【図 2 5】図 2 3 の別の部分拡大図である。

【発明を実施するための形態】

【0011】

本開示の実施形態について、添付図面に基づき、以下において説明する。

【0012】

図 1 ~ 図 1 3 に基づき、本開示の第 1 実施形態にかかる半導体装置 A 1 0 について説明する。半導体装置 A 1 0 は、電力変換回路(たとえば DC - DC コンバータ)を備える電子機器などに使用される。半導体装置 A 1 0 は、ダイパッド 1 0、第 1 リード 1 1、第 2 リード 1 2、第 3 リード 1 3、半導体素子 2 0、第 1 接合層 2 1、第 2 接合層 2 2、第 3 接合層 2 3、第 1 導電部材 3 1、ワイヤ 3 3 および封止樹脂 4 0 を備える。図 3 は、理解の便宜上、封止樹脂 4 0 を透過し想像線(二点鎖線)で示している。

20

【0013】

説明の便宜上、ダイパッド 1 0 の厚さ方向を「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する方向を「第 1 方向 x」と呼ぶ。厚さ方向 z および第 1 方向 x の双方に対して直交する方向を「第 2 方向 y」と呼ぶ。図示の例では、半導体装置 A 1 0 は第 1 方向 x に沿って長状であるが、本開示がこれに限定されるわけではない。

【0014】

ダイパッド 1 0 は、図 3、図 7 および図 8 に示すように、半導体素子 2 0 を搭載する導電部材である。ダイパッド 1 0 は、第 1 リード 1 1、第 2 リード 1 2 および第 3 リード 1 3 とともに、同一のリードフレームから構成されている。当該リードフレームは、銅(Cu)、または銅合金である。このため、ダイパッド 1 0、第 1 リード 1 1、第 2 リード 1 2 および第 3 リード 1 3 の各々の組成は銅を含む(すなわち、各部材は銅を含有する)。図 8 に示すように、ダイパッド 1 0 は、主面 1 0 1、裏面 1 0 2 および貫通孔 1 0 3 を有する。主面 1 0 1 は、厚さ方向 z を向く。主面 1 0 1 の上に、半導体素子 2 0 が搭載される。裏面 1 0 2 は、厚さ方向 z において主面 1 0 1 とは反対側を向く。裏面 1 0 2 には、たとえば錫(Sn)めっきが施されている。貫通孔 1 0 3 は、厚さ方向 z において主面 1 0 1 から裏面 1 0 2 に至ってダイパッド 1 0 を貫通している。貫通孔 1 0 3 は、厚さ方向 z に沿って視て円形状である。図 7 に示すように、ダイパッド 1 0 の厚さ T は、第 1 リード 1 1 の最大厚さ t_{max} よりも大である。

30

40

【0015】

半導体素子 2 0 は、図 3、図 7 および図 8 に示すように、ダイパッド 1 0 の主面 1 0 1 の上に搭載されている。半導体素子 2 0 は、たとえば MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。半導体装置 A 1 0 の説明においては、半導体素子 2 0 は、n チャンネル型であり、かつ縦型構造の MOSFET を対象とする。半導体素子 2 0 は、化合物半導体基板を含む。当該化合物半導体基板の主材料は、炭化ケイ素(SiC)である。この他、当該化合物半導体基板の主材料として、窒化ガリウム(GaN)を用いてもよい。半導体装置 A 1 0 においては、厚さ方向 z に沿って視て、半導体素子 2 0 の面積は、ダイパッド 1 0 の主面 1 0 1 の面積の 40% 以下である。厚さ方向 z

50

に沿って視て、半導体素子 20 の面積は、主面 101 の面積の 20 % 以下であってもよく、さらには 10 % 以下であってもよい。この比率は、半導体素子 20 の当該面積と、主面 101 の当該面積とを適宜変えることによって変わり得る。図 10 および図 11 に示すように、半導体素子 20 は、第 1 電極 201、第 2 電極 202 および第 3 電極 203 を有する。

【0016】

図 11 に示すように、第 1 電極 201 は、ダイパッド 10 の主面 101 に対向して設けられている。第 1 電極 201 には、電力変換対象となる直流の電源電圧が印加される。第 1 電極 201 は、ドレイン電極に相当する。

【0017】

図 10 および図 11 に示すように、第 2 電極 202 は、厚さ方向 z において第 1 電極 201 とは反対側に設けられている。第 2 電極 202 には、半導体素子 20 により変換された電流が流れる。第 2 電極 202 は、ソース電極に相当する。

【0018】

図 10 および図 11 に示すように、第 3 電極 203 は、厚さ方向 z において第 1 電極 201 とは反対側に設けられ、かつ第 2 電極 202 から離れて位置する。第 3 電極 203 には、半導体素子 20 が駆動するためのゲート電圧が印加される。すなわち、第 3 電極 203 は、ゲート電極に相当する。当該ゲート電圧に基づき、半導体素子 20 は、第 1 電極 201 に印加された電源電圧に対応する電流を変換する。厚さ方向 z に沿って視て、第 3 電極 203 の面積は、第 2 電極 202 の面積よりも小である。

【0019】

第 1 接合層 21 は、図 11 に示すように、ダイパッド 10 の主面 101 と、半導体素子 20 の第 1 電極 201 との間に介在する部分を含む。第 1 接合層 21 は、導電性を有する。第 1 接合層 21 は、第 1 電極 201 と主面 101 とを電氣的に接合する。これにより、半導体装置 A10 においては、第 1 電極 201 が主面 101 に電氣的に接合され、かつ第 1 電極 201 がダイパッド 10 に導通する構成となっている。第 1 接合層 21 は、錫を含有する。第 1 接合層 21 は、たとえば鉛フリーハンダである。第 1 接合層 21 の融点は、290 以上 300 以下とされている。第 1 接合層 21 は、鉛ハンダでもよい。

【0020】

第 1 リード 11 は、図 3 および図 7 に示すように、ダイパッド 10 から離れて位置する。第 1 リード 11 は、第 1 方向 x に沿って延びている。第 1 リード 11 は、半導体素子 20 の第 2 電極 202 に導通している。このため、第 1 リード 11 は、半導体装置 A10 のソース端子に相当する。第 1 リード 11 は、被覆部 111、露出部 112、第 1 接合面 113 を有する。被覆部 111 は、封止樹脂 40 に覆われている。露出部 112 は、被覆部 111 につながり、かつ封止樹脂 40 から露出している。露出部 112 は、第 1 方向 x においてダイパッド 10 から遠ざかる側に延びている。露出部 112 の表面には、たとえば錫めっきが施されている。第 1 接合面 113 は、厚さ方向 z においてダイパッド 10 の主面 101 と同じ側を向く。第 1 接合面 113 は、被覆部 111 の一部に含まれる。厚さ方向 z において、第 1 接合面 113 は、主面 101 に対して半導体素子 20 寄りに位置する。

【0021】

第 2 リード 12 は、図 3 に示すように、ダイパッド 10 および第 1 リード 11 の双方から離れて位置する。第 2 リード 12 は、第 1 方向 x に沿って延びている。半導体装置 A10 においては、第 2 リード 12 は、第 2 方向 y において第 3 リード 13 に対して第 1 リード 11 とは反対側に位置する。第 2 リード 12 は、半導体素子 20 の第 3 電極 203 に導通している。このため、第 2 リード 12 は、半導体装置 A10 のゲート端子に相当する。第 2 リード 12 は、被覆部 121、露出部 122、第 2 接合面 123 を有する。被覆部 121 は、封止樹脂 40 に覆われている。露出部 122 は、被覆部 121 につながり、かつ封止樹脂 40 から露出している。露出部 122 は、第 1 方向 x においてダイパッド 10 から遠ざかる側に延びている。露出部 122 の表面には、たとえば錫めっきが施されている。第 2 接合面 123 は、厚さ方向 z においてダイパッド 10 の主面 101 と同じ側を向く

10

20

30

40

50

。第2接合面123は、被覆部121の一部に含まれる。厚さ方向zにおいて、第2接合面123は、主面101に対して半導体素子20寄りに位置する。図9に示すように、厚さ方向zにおいて、第2接合面123の位置は、第1リード11の第1接合面113の位置と同一である。

【0022】

第3リード13は、図3および図8に示すように、第1方向xに沿って延びる部分を含むとともに、ダイパッド10につながっている。第3リード13の材料は、ダイパッド10の材料と同一である。第3リード13は、被覆部131および露出部132を有する。被覆部131は、ダイパッド10につながり、かつ封止樹脂40に覆われている。第2方向yに沿って視て、被覆部131は、屈曲している。露出部132は、被覆部131につ

10

【0023】

図5に示すように、半導体装置A10において、第1リード11の露出部112、第2リード12の露出部122、および第3リード13の露出部132の各々の高さhは、いずれも同一である。このため、第2方向yに沿って視て、第3リード13の少なくとも一部（露出部132）が、第1リード11および第2リード12の各々に重なっている（図6参照）。

【0024】

第1導電部材31は、図3および図7に示すように、半導体素子20の第2電極202と、第1リード11の第1接合面113とに電氣的に接合されている。これにより、第1リード11は、第2電極202に導通している。第1導電部材31は、銅を含有する。半導体装置A10においては、第1導電部材31は、金属クリップである。図11および図12に示すように、第1導電部材31は、第1接合部311および第2接合部312を有する。第1接合部311は、第1導電部材31の一端に位置し、かつ第1導電部材31を第2電極202に電氣的に接合させる部分である。第2接合部312は、第1導電部材31の他端に位置し、かつ第1導電部材31を第1接合面113に電氣的に接合させる部分である。

20

【0025】

第2接合層22は、図11に示すように、半導体素子20の第2電極202と、第1導電部材31の第1接合部311との間に介在する部分を含む。第2接合層22は、導電性を有する。第2接合層22は、第1接合部311と第2電極202とを電氣的に接合する。これにより、半導体装置A10においては、第1導電部材31が第2電極202に電氣的に接合され、かつ第1導電部材31が第2電極202に導通する構成となっている。第2接合層22は、錫を含有する。第2接合層22は、たとえば鉛フリーハンダである。第2接合層22の融点は、260 以上270 以下とされている。このため、第1接合層21の融点は、第2接合層22の融点よりも高いものとなっている。さらに、第1接合層21の厚さt1は、第2接合層22の厚さt2よりも大となっている。第2接合層22は、鉛ハンダでもよい。

30

【0026】

第3接合層23は、図12に示すように、第1リード11の第1接合面113と、第1導電部材31の第2接合部312との間に介在する部分を含む。第3接合層23は、導電性を有する。第3接合層23は、第2接合部312と第1接合面113とを電氣的に接合する。これにより、半導体装置A10においては、第1導電部材31が第1接合面113に電氣的に接合され、かつ第1導電部材31が第1リード11に導通する構成となっている。第3接合層23は、第2接合層22と同一の材料からなる。

40

【0027】

ワイヤ33は、図3および図10に示すように、半導体素子20の第3電極203と、第2リード12の第2接合面123とに電氣的に接合されている。これにより、第2リー

50

ド 1 2 は、第 3 電極 2 0 3 に導通している。ワイヤ 3 3 は、金 (A u) を含有する。この他、ワイヤ 3 3 は、銅を含有する構成や、アルミニウム (A l) を含有する構成でもよい。

【 0 0 2 8 】

封止樹脂 4 0 は、図 3、および図 7 ~ 図 9 に示すように、半導体素子 2 0、第 1 導電部材 3 1 およびワイヤ 3 3 を覆っている。また、封止樹脂 4 0 は、ダイパッド 1 0、第 1 リード 1 1、第 2 リード 1 2 および第 3 リード 1 3 の各々の一部を覆っている。封止樹脂 4 0 は、電気絶縁性を有する。封止樹脂 4 0 は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂 4 0 は、頂面 4 1、底面 4 2、一对の第 1 側面 4 3、一对の第 2 側面 4 4、一对の開口 4 5、および取付け孔 4 6 を有する。

【 0 0 2 9 】

図 7 ~ 図 9 に示すように、頂面 4 1 は、厚さ方向 z においてダイパッド 1 0 の主面 1 0 1 と同じ側を向く。図 7 ~ 図 9 に示すように、底面 4 2 は、厚さ方向 z において頂面 4 1 とは反対側を向く。図 4 に示すように、底面 4 2 からダイパッド 1 0 の裏面 1 0 2 が露出している。

【 0 0 3 0 】

図 2、図 4 および図 6 に示すように、一对の第 1 側面 4 3 は、第 1 方向 x において互いに離れて位置する。一对の第 1 側面 4 3 の各々は、頂面 4 1 および底面 4 2 につながっている。図 5 に示すように、一对の第 1 側面 4 3 のうち一方の第 1 側面 4 3 から、第 1 リード 1 1 の露出部 1 1 2、第 2 リード 1 2 の露出部 1 2 2、および第 3 リード 1 3 の露出部 1 3 2 が露出している。

【 0 0 3 1 】

図 2、図 4 および図 5 に示すように、一对の第 2 側面 4 4 は、第 2 方向 y において互いに離れて位置する。一对の第 2 側面 4 4 の各々は、頂面 4 1 および底面 4 2 につながっている。図 2 および図 6 に示すように、一对の開口 4 5 は、第 2 方向 y において互いに離れて位置する。一对の開口 4 5 の各々は、頂面 4 1 と、一对の第 2 側面 4 4 のいずれかとの双方から封止樹脂 4 0 の内方に向けて凹んでいる。一对の開口 4 5 の各々から、ダイパッド 1 0 の主面 1 0 1 の一部が露出している。図 2、図 4 および図 8 に示すように、取付け孔 4 6 は、厚さ方向 z において頂面 4 1 から底面 4 2 に至って封止樹脂 4 0 を貫通している。厚さ方向 z に沿って視て、取付け孔 4 6 は、ダイパッド 1 0 の貫通孔 1 0 3 に内包されている。貫通孔 1 0 3 を規定するダイパッド 1 0 の周面は、封止樹脂 4 0 に覆われている。これにより、厚さ方向 z に沿って視て、取付け孔 4 6 の最大寸法は、貫通孔 1 0 3 の寸法よりも小となっている。

【 0 0 3 2 】

図 1 3 は、半導体装置 A 1 0 の変形例である半導体装置 A 1 1 を示している。半導体装置 A 1 1 は、第 1 接合層 2 1 の構成が、半導体装置 A 1 0 と異なる。また、半導体装置 A 1 1 は、めっき層 1 9 を備える。

【 0 0 3 3 】

半導体装置 A 1 1 においては、第 1 接合層 2 1 は、焼結金属粒子を含む材料からなる。当該焼結金属粒子は、銀 (A g) を含有する。このため、半導体装置 A 1 1 においても、第 1 接合層 2 1 の融点は、第 2 接合層 2 2 の融点よりも高いものとなっている。

【 0 0 3 4 】

図 1 9 に示すように、めっき層 1 9 は、ダイパッド 1 0 の主面 1 0 1 を覆っている。めっき層 1 9 は、銀を含有する。第 1 接合層 2 1 は、めっき層 1 9 と、半導体素子 2 0 の第 1 電極 2 0 1 との間介在する部分を含む。

【 0 0 3 5 】

次に、図 1 4 ~ 図 2 1 に基づき、半導体装置 A 1 0 の製造方法の一例について説明する。図 1 7 および図 1 9 の断面位置は、図 1 1 の断面位置と同一である。図 2 0 の断面位置は、図 1 2 の断面位置と同一である。

【 0 0 3 6 】

最初に、図 1 4 に示すように、ダイパッド 1 0 の主面 1 0 1 の上に第 1 接合材 8 1 を配

10

20

30

40

50

置する。第1リード11、第2リード12および第3リード13は、リードフレームを構成するタイバー80により互いに連結されている。タイバー80は、第2方向yに沿って延びている。第1接合材81は、導電性を有する。第1接合材81は、線ハンダである。第1接合材81の融点は、290以上300以下である。第1接合材81は、主面101に仮付けされている。

【0037】

次いで、図15に示すように、第1接合材81の上に半導体素子20を配置する。この際、半導体素子20の第1電極201が第1接合材81に対向するようにする。第1電極201は、第1接合材81に仮付けされている。

【0038】

次いで、図16および図17に示すように、リフローにより第1接合材81を溶融させた後、冷却により固化させることにより、半導体素子20の第1電極201をダイパッド10の主面101に電氣的に接合させる。本工程において、冷却により固化された第1接合材81が第1接合層21となる。

【0039】

次いで、図19および図20に示すように、半導体素子20の第2電極202の上に第2接合材82と、第1リード11の第1接合面113の上に第3接合材83とを配置する。第2接合材82および第3接合材83の各々は、導電性を有する。第2接合材82および第3接合材83の各々は、クリームハンダである。第2接合材82および第3接合材83の各々の配置にあたっては、ディスペンサなどを用いる。第2接合材82の融点は、260以上270以下である。このため、第1接合材81の融点は、第2接合材82の融点よりも高い。第3接合材83は、第2接合材82と同一の材料からなる。その後、第1導電部材31の第1接合部311を第2接合材82の上に配置する。あわせて、第1導電部材31の第2接合部312を第3接合材83の上に配置する。さらにその後、リフローにより第2接合材82および第3接合材83を溶融させた後、冷却によりこれらを固化させることにより、第1接合部311を第2電極202に電氣的に接合させる。あわせて、第2接合部312を第1接合面113に電氣的に接合させる。この際、リフローの温度が、第1接合材81の融点よりも低くなるように設定する。本工程において、冷却により固化された第2接合材82が第2接合層22となる。また、冷却により固化された第3接合材83が第3接合層23となる。図18に示すように、ワイヤボンディングによりワイヤ33を半導体素子20の第3電極203と、第2リード12の第2接合面123とに電氣的に接合させる。

【0040】

次いで、図21に示すように、半導体素子20、第1導電部材31およびワイヤ33を覆い、かつ、ダイパッド10、第1リード11、第2リード12および第3リード13の各々の一部を覆う封止樹脂84を形成する。封止樹脂84は、トランスファモールド成形により形成される。封止樹脂84の形成に伴って、樹脂バリ841が形成される。樹脂バリ841は、第1リード11の露出部112、第2リード12の露出部122、第3リード13の露出部132、およびタイバー80により堰き止められる。その後、樹脂バリ841を高圧水などにより除去する。さらにその後、タイバー80を導電経路とした電解めっきにより、第1リード11の露出部112、第2リード12の露出部122、および第3リード13の露出部132の各々の表面と、ダイパッド10の裏面102とを覆う錫めっきを施す。最後にタイバー80を切断することにより、半導体装置A10が得られる。

【0041】

次に、半導体装置A10の作用効果について説明する。

【0042】

半導体装置A10は、第1接合層21および第2接合層22を備える。第1接合層21は、導電性を有するとともに、半導体素子20の第1電極201と、ダイパッド10の主面101とを電氣的に接合する。第2接合層22は、導電性を有するとともに、第1導電部材31と、半導体素子20の第2電極202とを電氣的に接合する。第1接合層21の

10

20

30

40

50

融点は、第2接合層22の融点よりも高い。このため、図19に示す半導体装置A10の製造工程において、第2接合層22となる第2接合材82を溶融させた際、第1接合層21は溶融されない。これにより、ダイパッド10に対する半導体素子20の位置ずれが防止されるため、図19に示す製造工程において第1導電部材31を第2接合層22により第2電極202に電氣的に接合させる際、第2電極202に対する第1導電部材31の接合面積をより大きく確保することができる。したがって、半導体装置A10によれば、より大きな電流に対応しつつ、半導体素子20の電極(第2電極202)に対する導電部材(第1導電部材31)の接合面積の縮小を抑制することが可能となる。

【0043】

半導体装置A10は、第3接合層23をさらに備える。第3接合層23は、導電性を有するとともに、第1導電部材31と、第1リード11の第1接合面113とを電氣的に接合する。第3接合層23は、第2接合層22と同一の材料からなる。これにより、図19および図20に示す半導体装置A10の製造工程において、第2接合層22となる第2接合材82を溶融させた際、第3接合層23となる第3接合材83が同時に溶融される。したがって、半導体装置A10の製造において、第1導電部材31を半導体素子20の第2電極202に電氣的に接合される際、第1導電部材31を第1接合面113に同時に電氣的に接合させることができるため、半導体装置A10の製造効率の向上が図られる。

10

【0044】

第1導電部材31は、銅を含有する。これにより、アルミニウムを含有するワイヤと比較して、第1導電部材31の電気抵抗を低減させることができる。このことは、半導体素子20により大きな電流を流すことに好適である。

20

【0045】

第1接合層21の厚さ t_1 は、第2接合層22の厚さ t_2 よりも大である。これにより、半導体装置A10の使用時において、半導体素子20から発した熱を、より速やかにダイパッド10に伝導させることができる。半導体装置A10の製造工程において、第1接合材81を線ハンダとすることにより、厚さが一様に確保された第1接合層21を形成することができる。

【0046】

厚さ方向 z において、第1リード11の第1接合面113は、ダイパッド10の主面101に対して半導体素子20寄りに位置する。これにより、第1導電部材31の長さが短縮されるため、第1導電部材31におけるインダクタンスの低減を図ることができる。

30

【0047】

ダイパッド10は、銅を含有する。さらに、ダイパッド10の厚さ T は、第1リード11の最大厚さ t_{max} よりも大である。これにより、ダイパッド10の熱伝導率の向上を図りつつ、厚さ方向 z に対して直交する方向の熱伝導の効率を高めることができる。このことは、ダイパッド10の放熱性の向上に寄与する。

【0048】

図22～図25に基づき、本開示の第2実施形態にかかる半導体装置A20について説明する。これらの図において、先述した半導体装置A10と同一、または類似の要素には同一の符号を付して、重複する説明を省略する。図22は、理解の便宜上、封止樹脂40を透過し、想像線で示している。

40

【0049】

半導体装置A20においては、ワイヤ33に代えて、第2導電部材32、第4接合層24および第5接合層25を備えることが、半導体装置A10と異なる。

【0050】

第2導電部材32は、図22および図23に示すように、半導体素子20の第3電極203と、第2リード12の第2接合面123とに電氣的に接合されている。これにより、第2リード12は、第3電極203に導通している。第2導電部材32は、銅を含有する。半導体装置A20においては、第2導電部材32は、金属クリップである。図24および図25に示すように、第2導電部材32は、第3接合部321および第4接合部322

50

を有する。第3接合部321は、第2導電部材32の一端に位置し、かつ第2導電部材32を第3電極203に電氣的に接合させる部分である。第4接合部322は、第2導電部材32の他端に位置し、かつ第2導電部材32を第2接合面123に電氣的に接合させる部分である。

【0051】

第4接合層24は、図24に示すように、半導体素子20の第3電極203と、第2導電部材32の第3接合部321との間に介在する部分を含む。第4接合層24は、導電性を有する。第4接合層24は、第3接合部321と第3電極203とを電氣的に接合する。これにより、半導体装置A20においては、第2導電部材32が第3電極203に電氣的に接合され、かつ第2導電部材32が第3電極203に導通する構成となっている。第4接合層24は、第2接合層22と同一の材料からなる。

10

【0052】

第5接合層25は、図25に示すように、第2リード12の第2接合面123と、第2導電部材32の第4接合部322との間に介在する部分を含む。第5接合層25は、導電性を有する。第5接合層25は、第4接合部322と第2接合面123とを電氣的に接合する。これにより、半導体装置A20においては、第2導電部材32が第2接合面123に電氣的に接合され、かつ第2導電部材32が第2リード12に導通する構成となっている。第5接合層25は、第2接合層22と同一の材料からなる。

【0053】

次に、半導体装置A20の作用効果について説明する。

20

【0054】

半導体装置A20は、第1接合層21および第2接合層22を備える。第1接合層21は、導電性を有するとともに、半導体素子20の第1電極201と、ダイパッド10の主面101とを電氣的に接合する。第2接合層22は、導電性を有するとともに、第1導電部材31と、半導体素子20の第2電極202とを電氣的に接合する。第1接合層21の融点は、第2接合層22の融点よりも高い。したがって、半導体装置A20によっても、より大きな電流に対応しつつ、半導体素子20の電極に対する導電部材の接合面積の縮小を抑制することが可能となる。

【0055】

半導体装置A20は、半導体素子20の第3電極203と、第2リード12の第2接合面123とに接合された第2導電部材32を備える。さらに半導体装置A20は、第4接合層24および第5接合層25を備える。第4接合層24は、導電性を有するとともに、第2導電部材32と第3電極203とを電氣的に接合する。第5接合層25は、導電性を有するとともに、第2導電部材32と第2接合面123とを電氣的に接合する。第4接合層24および第5接合層25の各々は、第2接合層22と同一の材料からなる。これにより、半導体装置A20の製造において、第2導電部材32の接合を第1導電部材31の接合と同時に行うことができる。さらに、第2導電部材32の接合の際、ダイパッド10に対する半導体素子20の位置ずれが防止されるため、第3電極203に対する第2導電部材32の接合面積が確保されたものとなる。

30

【0056】

第2導電部材32は、銅を含有する。さらに、厚さ方向zにおいて、第2リード12の第2接合面123は、ダイパッド10の主面101に対して半導体素子20寄りに位置する。これにより、第2導電部材32の電気抵抗は比較的低いものとなり、かつ第2導電部材32の長さが短縮されるため、半導体素子20の第3電極203におけるオン抵抗の低減を図ることが可能となる。

40

【0057】

本開示は、先述した実施形態や変形例に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

【0058】

本開示の半導体装置および製造方法は、以下の付記に記載された構成を含む。

50

付記 1 .

厚さ方向を向く主面を有するダイパッドと、

前記主面に対向して設けられた第 1 電極と、前記厚さ方向において前記第 1 電極とは反対側に設けられた第 2 電極と、を有するとともに、前記第 1 電極が前記主面に電氣的に接合された半導体素子と、

前記第 1 電極と前記主面とを電氣的に接合する第 1 接合層と、

前記第 2 電極に電氣的に接合された第 1 導電部材と、

前記第 1 導電部材と前記第 2 電極とを電氣的に接合する第 2 接合層と、を備え、

前記第 1 接合層の融点は、前記第 2 接合層の融点よりも高い、半導体装置。

付記 2 .

前記ダイパッドおよび前記第 1 導電部材の各々は、銅を含有する、付記 1 に記載の半導体装置。

付記 3 .

前記第 2 接合層は、錫を含有する、付記 2 に記載の半導体装置。

付記 4 .

前記第 1 接合層は、錫を含有する、付記 3 に記載の半導体装置。

付記 5 .

前記第 1 接合層の厚さは、前記第 2 接合層の厚さよりも大である、付記 3 または 4 に記載の半導体装置。

付記 6 .

前記第 1 接合層は、焼結金属粒子を含む材料からなる、付記 3 に記載の半導体装置。

付記 7 .

前記焼結金属粒子は、銀を含有する、付記 6 に記載の半導体装置。

付記 8 .

前記主面を覆うめっき層をさらに備え、

前記めっき層は、銀を含有し、

前記第 1 接合層は、前記めっき層と前記第 1 電極との間に介在している、付記 7 に記載の半導体装置。

付記 9 .

前記厚さ方向に沿って視て、前記半導体素子の面積は、前記主面の面積の 40% 以下である、付記 2 ないし 8 のいずれかに記載の半導体装置。

付記 10 .

前記半導体素子は、化合物半導体基板を含む、付記 9 に記載の半導体装置。

付記 11 .

前記厚さ方向において前記主面と同じ側を向く第 1 接合面を有するとともに、前記ダイパッドから離れて位置する第 1 リードと、

前記第 1 導電部材と前記第 1 接合面とを電氣的に接合する第 3 接合層と、をさらに備え、

前記第 1 リードは、銅を含有し、

前記第 3 接合層は、前記第 2 接合層と同一の材料からなる、付記 2 ないし 10 のいずれかに記載の半導体装置。

付記 12 .

前記厚さ方向において、前記第 1 接合面は、前記主面に対して前記半導体素子寄りに位置する、付記 11 に記載の半導体装置。

付記 13 .

前記ダイパッドの厚さは、前記第 1 リードの最大厚さよりも大である、付記 11 または 12 に記載の半導体装置。

付記 14 .

第 2 リード、第 2 導電部材、第 4 接合層および第 5 接合層をさらに備えており、

前記半導体素子は、前記厚さ方向において前記第 1 電極とは反対側に設けられ、かつ前記第 2 電極から離れて位置する第 3 電極を有し、

10

20

30

40

50

前記第 2 リードは、前記厚さ方向において前記主面と同じ側を向く第 2 接合面を有するとともに、前記ダイパッドおよび前記第 1 リードの双方から離れて位置しており、
 前記第 2 導電部材は、前記第 3 電極および前記第 2 接合面に電氣的に接合されており、
 前記第 4 接合層は、前記第 2 導電部材と前記第 3 電極とを電氣的に接合しており、
 前記第 5 接合層は、前記第 2 導電部材と前記第 2 接合面とを電氣的に接合しており、
 前記第 2 導電部材および前記第 2 リードは、銅を含有し、
 前記第 4 接合層および前記第 5 接合層の各々は、前記第 2 接合層と同一の材料からなる、
 付記 1 1 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 5 .

前記厚さ方向において、前記第 2 接合面は、前記主面に対して前記半導体素子寄りに位置する、付記 1 4 に記載の半導体装置。

10

付記 1 6 .

前記厚さ方向に対して直交する第 1 方向に沿って延びる部分を含むとともに、前記ダイパッドにつながる第 3 リードをさらに備え、

前記第 1 リードおよび前記第 2 リードの各々は、前記第 1 方向に沿って延び、

前記第 3 リードの材料は、前記ダイパッドの材料と同一であり、

前記厚さ方向および前記第 1 方向に対して直交する第 2 方向に沿って見て、前記第 3 リードの少なくとも一部が、前記第 1 リードおよび前記第 2 リードの各々に重なっている、
 付記 1 4 または 1 5 に記載の半導体装置。

付記 1 7 .

20

前記半導体素子および前記第 1 導電部材と、前記ダイパッドの一部と、を覆う封止樹脂をさらに備える、付記 1 ないし 1 6 のいずれかに記載の半導体装置。

付記 1 8 .

前記ダイパッドは、前記厚さ方向において前記主面とは反対側を向く裏面を有し、

前記封止樹脂から前記裏面が露出している、付記 1 7 に記載の半導体装置。

付記 1 9 .

ダイパッドの主面の上に導電性を有する第 1 接合材を配置し、

互いに反対側に位置する第 1 電極および第 2 電極を有する半導体素子を、前記第 1 電極が前記第 1 接合材に対向するように前記第 1 接合材の上に配置し、

前記第 1 接合材を溶融および固化させることにより、前記第 1 電極を前記主面に電氣的に接合させ、

30

導電性を有する第 2 接合材を前記第 2 電極の上に配置し、

導電部材を前記第 2 接合材の上に配置し、かつ前記第 2 接合材を溶融および固化させることにより、前記導電部材を前記第 2 電極に電氣的に接合させる、各工程を備え、

前記第 1 接合材の融点は、前記第 2 接合材の融点よりも高い構成とされている、半導体装置の製造方法。

付記 2 0 .

前記第 1 接合材は、線ハンダである、付記 1 9 に記載の半導体装置の製造方法。

【符号の説明】

【 0 0 5 9 】

40

A 1 0 , A 1 1 , A 2 0 : 半導体装置 1 0 : ダイパッド

1 0 1 : 主面 1 0 2 : 裏面 1 0 3 : 貫通孔

1 1 : 第 1 リード 1 1 1 : 被覆部 1 1 2 : 露出部

1 1 3 : 第 1 接合面 1 2 : 第 2 リード 1 2 1 : 被覆部

1 2 2 : 露出部 1 2 3 : 第 2 接合面 1 3 : 第 3 リード

1 3 1 : 被覆部 1 3 2 : 露出部 1 9 : めっき層

2 0 : 半導体素子 2 0 1 : 第 1 電極 2 0 2 : 第 2 電極

2 0 3 : 第 3 電極 2 1 : 第 1 接合層 2 2 : 第 2 接合層

2 3 : 第 3 接合層 2 4 : 第 4 接合層 2 5 : 第 5 接合層

3 1 : 第 1 導電部材 3 1 1 : 第 1 接合部 3 1 2 : 第 2 接合部

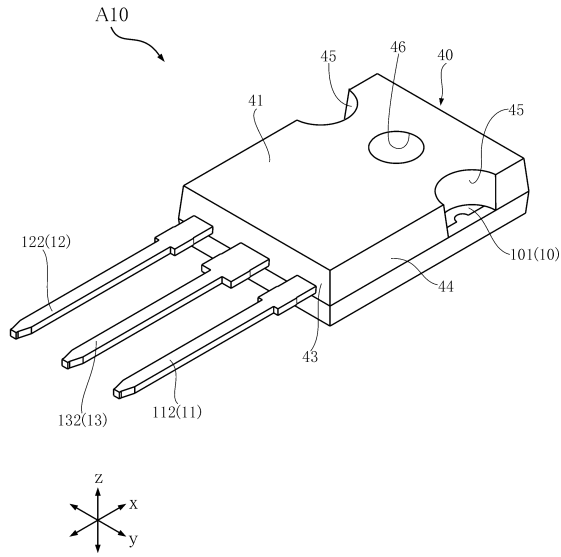
50

- 3 2 : 第 2 導電部材 3 2 1 : 第 3 接合部 3 2 2 : 第 4 接合部
- 3 3 : ワイヤ 4 0 : 封止樹脂 4 1 : 頂面
- 4 2 : 底面 4 3 : 第 1 側面 4 4 : 第 2 側面
- 4 5 : 開口 4 6 : 取付け孔 8 0 : タイバー
- 8 1 : 第 1 接合材 8 2 : 第 2 接合材 8 3 : 第 3 接合材
- z : 厚さ方向 x : 第 1 方向 y : 第 2 方向

【 図 面 】

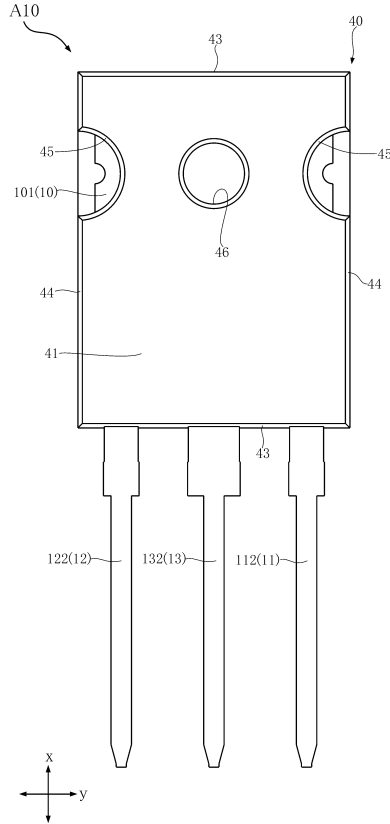
【 図 1 】

FIG.1



【 図 2 】

FIG.2



10

20

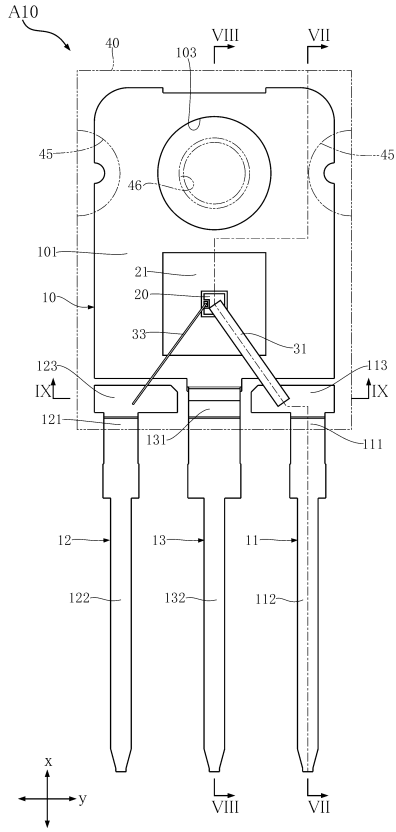
30

40

50

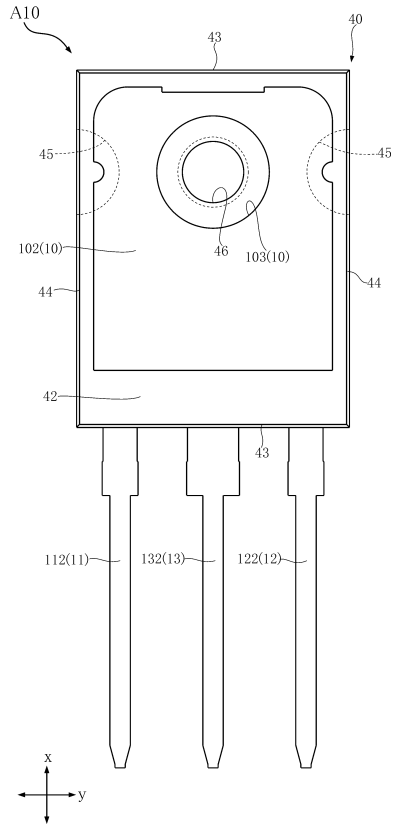
【 図 3 】

FIG.3



【 図 4 】

FIG.4

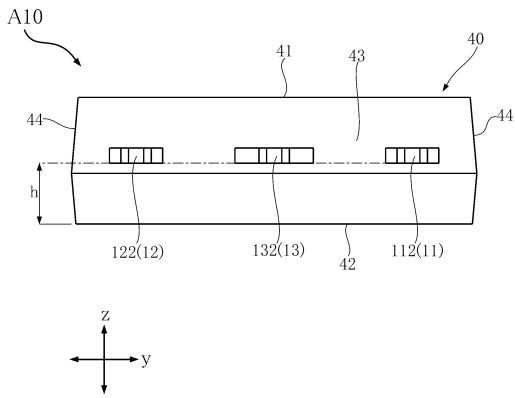


10

20

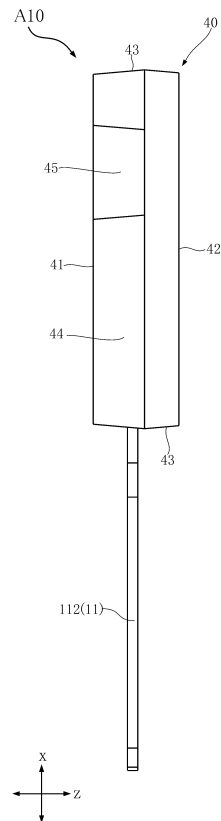
【 図 5 】

FIG.5



【 図 6 】

FIG.6



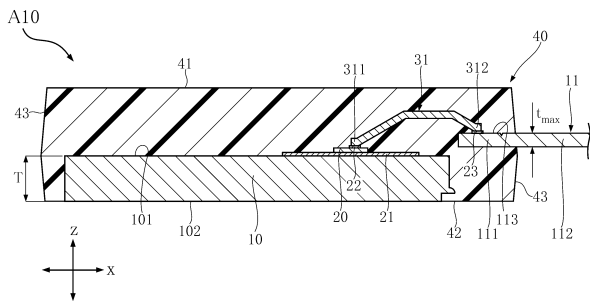
30

40

50

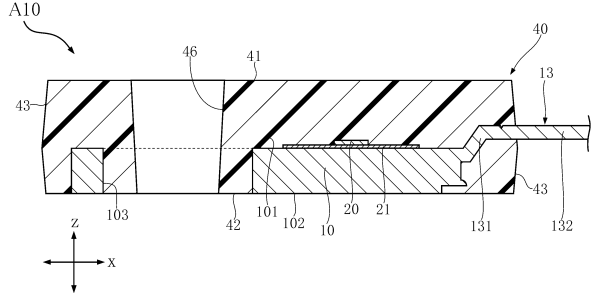
【 7 】

FIG.7



【 8 】

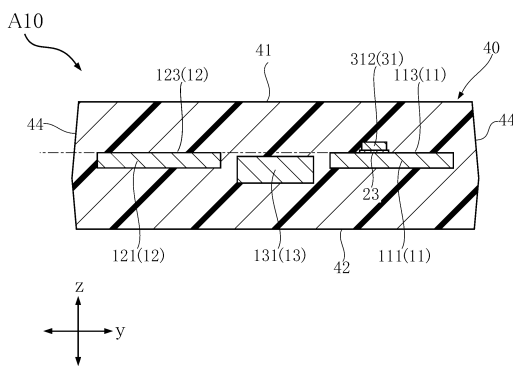
FIG.8



10

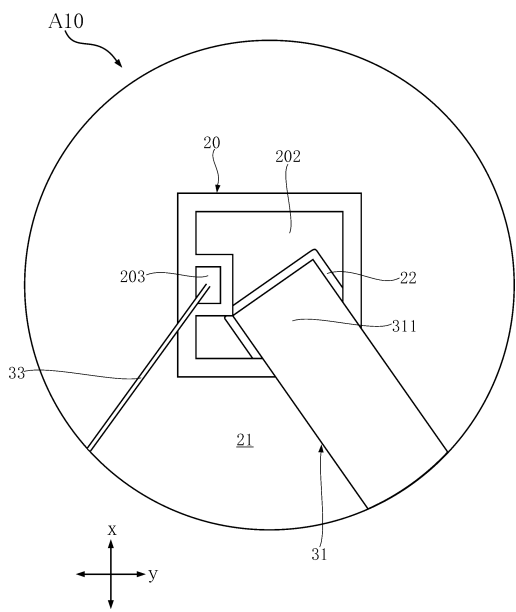
【 9 】

FIG.9



【 10 】

FIG.10




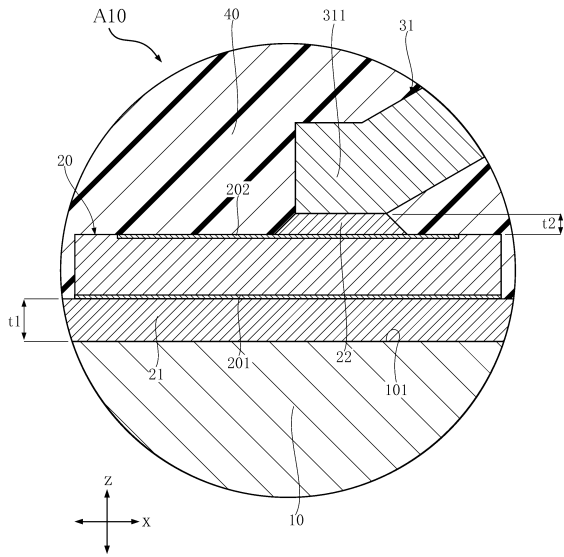
20


30

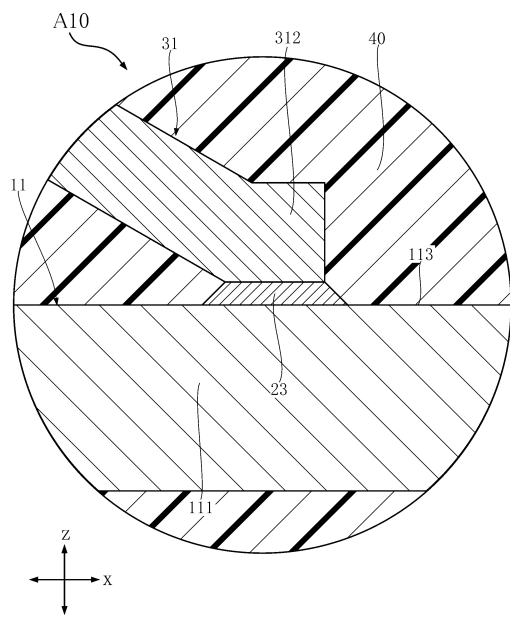
40

50

【 1 1 】
FIG.11




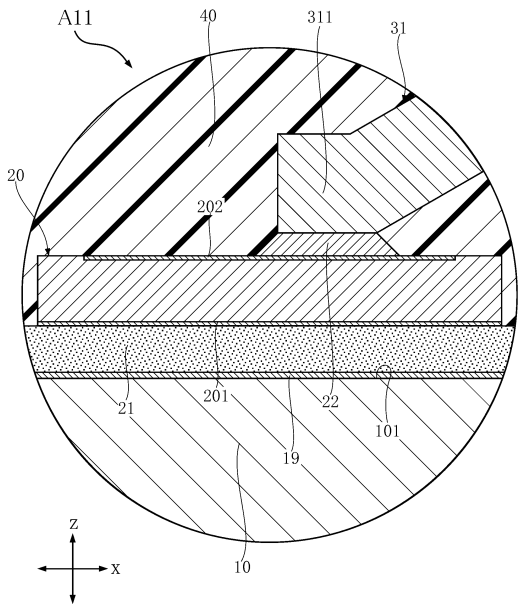
【 1 2 】
FIG.12




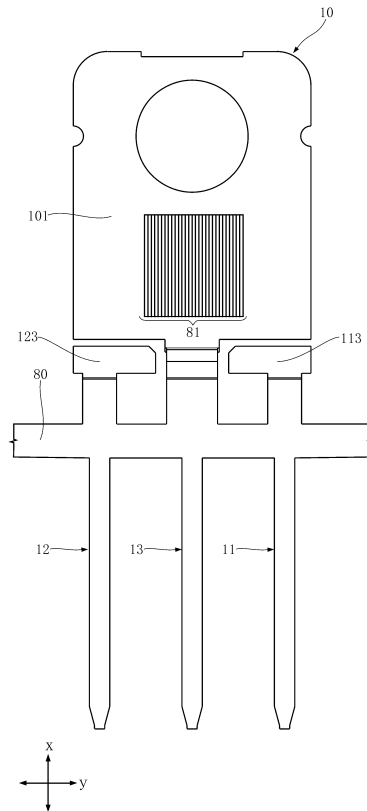
10

20

【 1 3 】
FIG.13



【 1 4 】
FIG.14



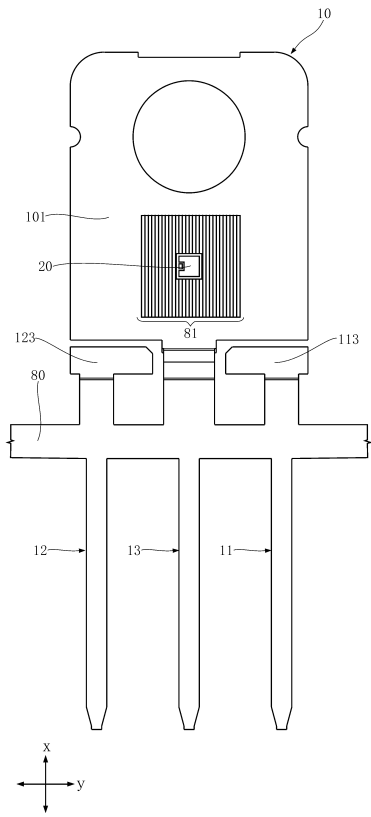
30

40

50

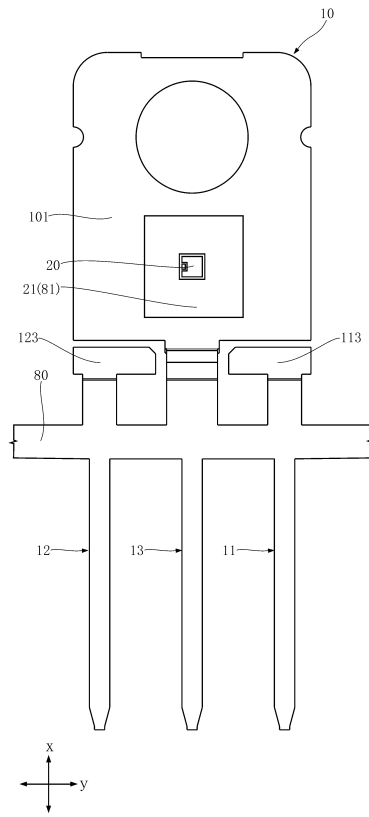
【図15】

FIG.15



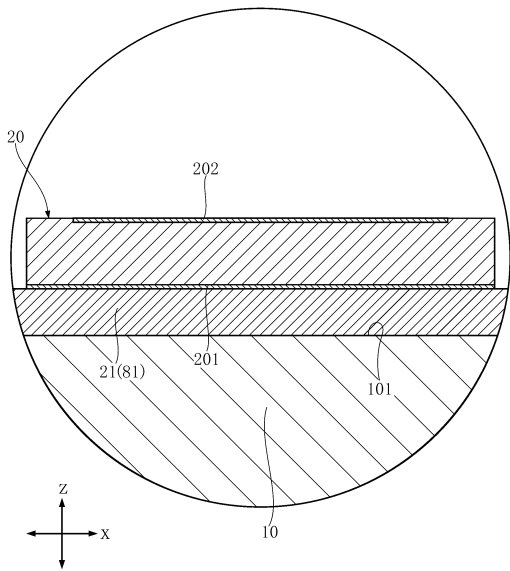
【図16】

FIG.16



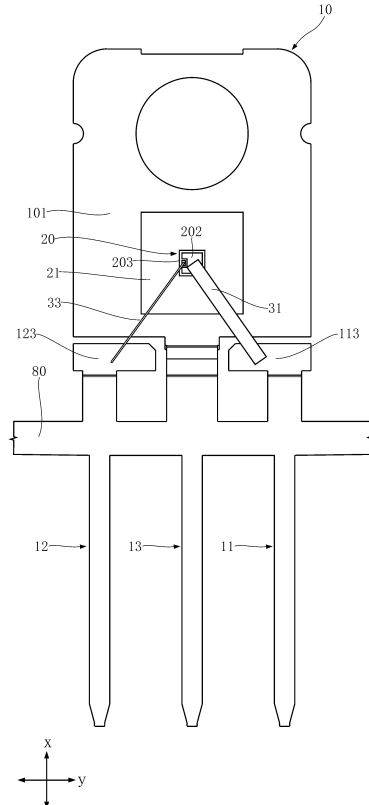
【図17】

FIG.17



【図18】

FIG.18



10

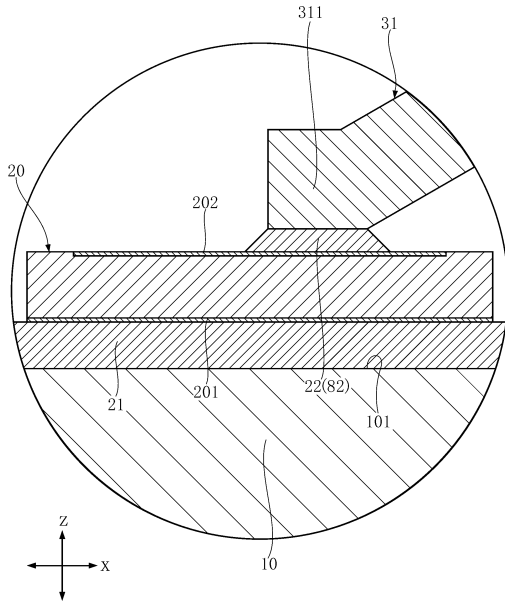
20

30

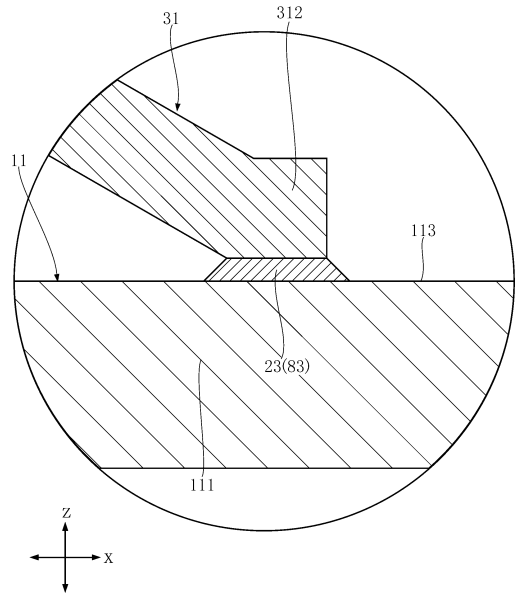
40

50

【図19】
FIG.19



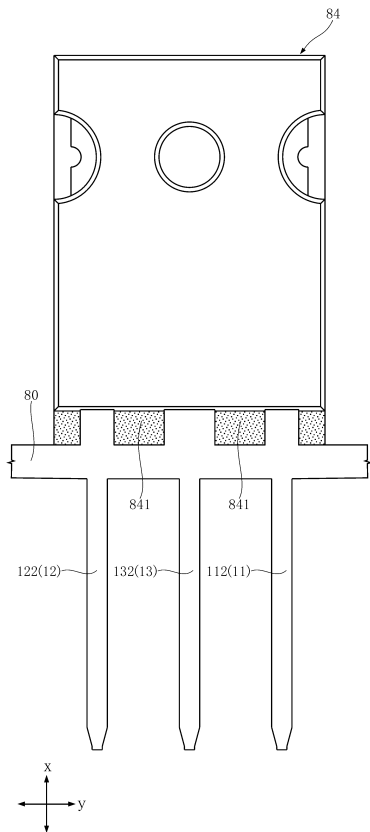
【図20】
FIG.20



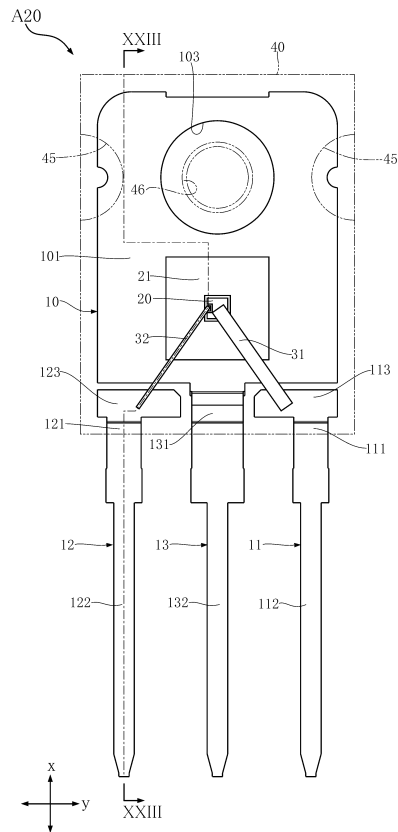
10

20

【図21】
FIG.21



【図22】
FIG.22



30

40

50


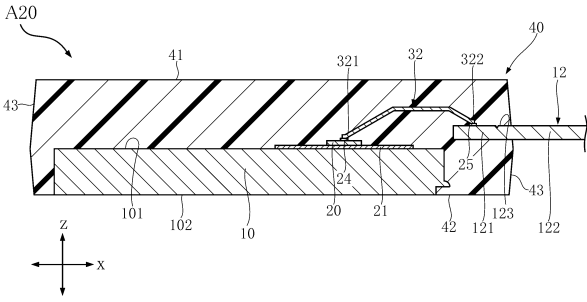
【 2 3】

FIG.23




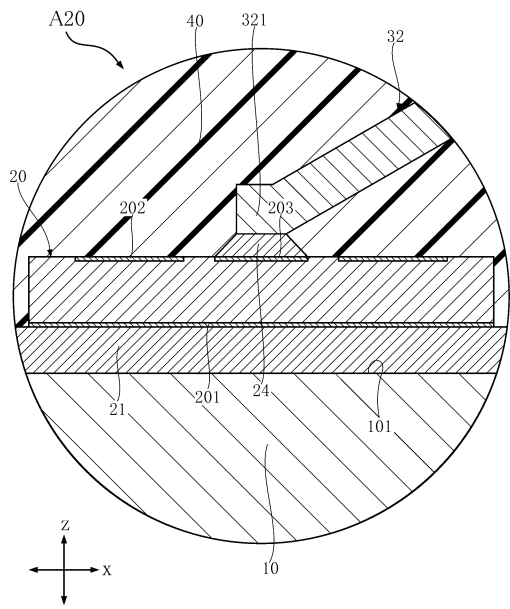
【 2 4】

FIG.24



10

20


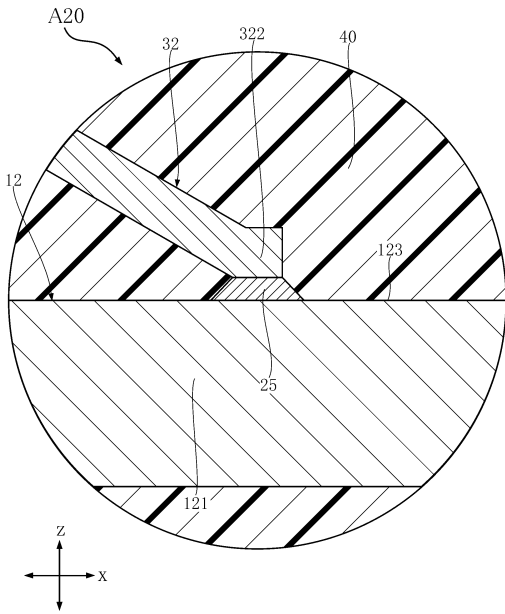
【 2 5】

FIG.25



30

40

50

フロントページの続き

- (56)参考文献 特開2010-123686(JP,A)
特開2018-200953(JP,A)
特開2015-041676(JP,A)
特開2019-186321(JP,A)
特開2018-014490(JP,A)

- (58)調査した分野 (Int.Cl., DB名)
H01L 21/60
H01L 23/48
H01L 21/52
H01L 25/07
H01L 25/18