



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101999900797278
Data Deposito	29/10/1999
Data Pubblicazione	29/04/2001

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	05	K		

Titolo

METODO E CIRCUITO DI LETTURA PER UNA MEMORIA NON VOLATILE.

DESCRIZIONE

del brevetto per invenzione industriale
di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: PASOTTI Marco, GUAITINI Giovanni,

ROLANDI Pier Luigi, DE SANDRE Guido

*** *****

(0099A 000944

La presente invenzione è relativa ad un metodo e ad
un circuito di lettura per una memoria non volatile.

Come è noto, in una cella di memoria non volatile
del tipo a porta flottante, la memorizzazione di uno
stato logico viene effettuata programmando la tensione
di soglia della cella stessa attraverso la definizione
della quantità di carica elettrica immagazzinata nella
regione di porta flottante.

La lettura di una cella di memoria viene effettuata
mediante un circuito di lettura generalmente noto col
nome di amplificatore di sense, il quale, oltre al
riconoscimento dello stato logico memorizzato nella
cella di memoria, provvede anche alla corretta
polarizzazione del terminale di pozzo della cella di
memoria stessa.

Nella figura 1 è illustrato a titolo di esempio un
amplificatore di sense noto utilizzato per la lettura di

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

celle di memoria flash multilivello.

L'amplificatore di sense, indicato nel suo insieme con 1, è del tipo ad approssimazioni successive e comprende una linea di alimentazione 2 posta alla tensione di alimentazione V_{CC} ; una linea di massa 4 posta alla tensione di massa V_{GND} ; un ramo di matrice 6 collegato, attraverso una linea di bit di matrice 8, ad una cella di memoria 10 non volatile della quale si vuole leggere il contenuto; un ramo di riferimento 12 collegato, attraverso una linea di bit di riferimento 14, ad un convertitore digitale/analogico 16 richiedente in uscita una corrente di riferimento I_R ; uno stadio convertitore corrente/tensione 18 collegato ai rami di matrice e di riferimento 6, 12 per convertire le correnti fluenti in tali rami in un potenziale di matrice V_M e rispettivamente, in un potenziale di riferimento V_R ; uno stadio comparatore 20 di tipo differenziale avente lo scopo di confrontare fra loro i potenziali di matrice e di riferimento V_M e V_R e fornire in uscita un segnale di confronto COMP di tipo logico indicativo dell'esito del confronto; ed un registro ad approssimazioni successive 22 ad n bit, in cui n è il numero di bit memorizzati nella cella di memoria 10, avente un ingresso collegato all'uscita dello stadio comparatore 20 ed una pluralità n di uscite collegate a

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

rispettivi ingressi del convertitore digitale/analogico 16 ed avente lo scopo di pilotare il convertitore digitale/analogico 16 stesso per variare, nel modo descritto in dettaglio in seguito, la corrente di riferimento I_R da questo richiesta in uscita.

Nell'esempio illustrato, la cella di memoria 10 da leggere è una cella di memoria multilivello in cui sono memorizzati quattro bit (sedici livelli) e presenta un terminale di porta ricevente un segnale di lettura V_{READ} , un terminale di pozzo collegato alla linea di bit di matrice 8 ed un terminale di sorgente collegati alla linea di massa 4.

Nell'esempio illustrato, il registro ad approssimazioni successive 22 è conseguentemente un registro a quattro bit e presenta quattro uscite associate, ciascuna, ad un rispettivo bit e sulle quali fornisce quattro segnali di comando, indicati con B3, B2, B1 e B0, assumenti un livello logico correlato al valore logico assunto dal bit corrispondente.

Il ramo di matrice 6 comprende uno stadio di polarizzazione di matrice 24 avente lo scopo di polarizzare ad un potenziale prefissato, tipicamente 1 V, il terminale di pozzo della cella di memoria 10; ed uno stadio di decodifica di colonna di matrice, per semplicità schematizzato in figura mediante un

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

interruttore 25, interposto fra lo stadio di polarizzazione di matrice 24 e la linea di bit di matrice 8 e tipicamente formato da tre transistori NMOS (non mostrati) collegati fra loro in serie e ricevanti sui terminali di porta rispettivi segnali di decodifica di colonna.

In particolare, lo stadio di polarizzazione di matrice 24 presenta una struttura cascode retroazionata negativamente e formata da un transistor NMOS 26 e da un invertitore logico 28; il transistor NMOS 26 presenta terminale di pozzo collegato allo stadio convertitore corrente/tensione 18, terminale di sorgente collegato alla linea di bit di matrice 8 ed al terminale di ingresso dell'invertitore logico 28 e terminale di porta collegato al terminale di uscita dell'invertitore logico 28. Con tale configurazione, il potenziale elettrico del terminale di pozzo della cella di memoria 10 è circa pari alla tensione di soglia dell'invertitore logico, alla quale, cioè, si ha la commutazione dell'invertitore da un livello logico all'altro.

Il ramo di riferimento 12 comprende uno stadio di polarizzazione di riferimento 30 del tutto identico allo stadio di polarizzazione di matrice 24 e presentante una struttura cascode retroazionata formata da un transistor NMOS 32 e da un invertitore logico 34; il

BERGADANO MIRKO
[iscritto all'Albo n. 8438]

transistore NMOS 32 presenta terminale di pozzo collegato allo stadio convertitore corrente/tensione 18, terminale di sorgente collegato alla linea di bit di riferimento 14 ed al terminale di ingresso dell'invertitore logico 34 e terminale di porta collegato al terminale di uscita dell'invertitore logico 34.

Il ramo di riferimento 12 comprende inoltre uno stadio di decodifica di colonna di riferimento (non mostrato), interposto fra lo stadio di polarizzazione di riferimento 30 e la linea di bit di riferimento 14, formato da tre transistori NMOS collegati fra loro in serie e mantenuti sempre accesi (tipicamente collegando i loro terminali di porta alla linea di alimentazione 2) ed avente lo scopo di rendere simmetriche fra loro la struttura del ramo di riferimento 12 e quella del ramo di matrice 6.

Lo stadio convertitore corrente/tensione 18 è formato da uno specchio di corrente comprendente un primo transistore PMOS 36 collegato a diodo posto sul ramo di matrice 6 ed un secondo transistore PMOS 38 posto sul ramo di riferimento 12; in particolare, i transistori PMOS 36 e 38 presentano terminali di porta collegati fra loro ed al terminale di pozzo del transistore PMOS 36, terminali di sorgente collegati

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

alla linea di alimentazione 2 e terminali di pozzo collegati ai terminali di pozzo del transistor NMOS 26 e, rispettivamente, del transistor NMOS 32 e definenti un nodo di matrice 40 e, rispettivamente, un nodo di riferimento 42 sui quali sono presenti i summenzionati potenziale di matrice V_M e, rispettivamente, potenziale di riferimento V_R ed ai quali sono collegati i due terminali di ingresso dello stadio comparatore 20.

Il funzionamento dell'amplificatore di sense 1 è il seguente.

Applicando al terminale di porta della cella di memoria 10 una tensione di lettura V_{READ} costante di valore maggiore della più alta tensione di soglia programmabile nella cella di memoria 10 e dato che il terminale di pozzo della cella di memoria 10 è mantenuto ad un valore sufficientemente basso e costante di circa 1 V, la cella di memoria 10 si trova a lavorare nella zona di funzionamento a triodo e richiede una corrente di matrice I_M che è inversamente proporzionale alla tensione di soglia programmata, ossia più elevata è la sua tensione di soglia minore è la corrente che in essa scorre.

La corrente di matrice I_M viene specchiata sul nodo di riferimento 42 dai transistori PMOS 36 e 38 dello specchio di corrente 18 e nel nodo di riferimento 42 a

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

tale corrente specchiata viene sottratta la corrente di riferimento I_R richiesta dal convertitore digitale/analogico 16.

Il potenziale di matrice V_M , ed il potenziale di riferimento V_R presenti sul nodo di matrice 40 e, rispettivamente, sul nodo di riferimento 42 risultano quindi correlati alla corrente di matrice I_M e, rispettivamente, alla differenza fra la corrente di riferimento I_R e la corrente di matrice I_M specchiata sul ramo di riferimento 12 e tali potenziali vengono confrontati fra loro dallo stadio comparatore 20, il quale fornisce in uscita il segnale di confronto COMP che assume un primo livello logico se V_M è maggiore di V_R ed un secondo livello logico basso se V_M è minore di V_R .

Il segnale di confronto COMP viene quindi fornito al registro ad approssimazioni successive 22, il quale, in base al livello logico di tale segnale, modifica il livello logico dei segnali di comando B3-B0 implementando un algoritmo dicotomico noto e qui di seguito descritto in maniera sintetica.

In particolare, il registro ad approssimazioni successive 22 pilota il convertitore digitale/analogico 16 in modo da far variare a scalini la corrente di riferimento I_R da esso richiesta in funzione del livello

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

logico assunto dal segnale di confronto COMP. In dettaglio, non appena al terminale di porta della cella di memoria 10 viene fornito il segnale di lettura V_{READ} , il registro ad approssimazioni successive 22 viene comandato in modo da porre il segnale di comando B3 al livello logico alto (bit più significativo posto ad "1"). Di conseguenza, il convertitore digitale/analogico 16 richiede una corrente di riferimento I_R di valore pari a metà del valore massimo da esso fornibile (ossia di valore correlato al peso del bit più significativo che è stato posto ad "1") e tale corrente inizia a scorrere nel ramo di riferimento 12.

Se la corrente di riferimento I_R è minore della corrente di matrice I_M specchiata sul ramo di riferimento 12, allora il potenziale V_R evolve verso valori maggiori di quelli del potenziale di matrice V_M ed il livello logico conseguentemente assunto dal segnale di confronto COMP comanda il registro ad approssimazioni successive 22 in modo da porre anche il segnale di comando B2 al livello logico alto (secondo bit più significativo posto ad "1"), mentre se la corrente di riferimento I_R è maggiore della corrente di matrice I_M specchiata sul ramo di riferimento 12, allora il potenziale V_R evolve verso valori minori di quelli del potenziale di matrice V_M ed il livello logico

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

conseguentemente assunto dal segnale di confronto COMP comanda il registro ad approssimazioni successive 22 in modo da porre il segnale di comando B3 al livello logico basso (bit più significativo posto a "0") ed il segnale di comando B2 al livello logico alto (secondo bit più significativo posto ad "1").

Nel primo caso, la corrente di riferimento I_R richiesta dal convertitore digitale/analogico 16 si incrementa di conseguenza di un valore pari ad un quarto del valore massimo fornibile (ossia di un valore correlato al peso del secondo bit più significativo che è stato posto ad "1") e così in totale assume un valore pari a tre quarti della massima corrente fornibile, mentre nel secondo caso la corrente di riferimento I_R richiesta dal convertitore digitale/analogico 16 assume un valore pari ad un quarto del valore massimo fornibile.

Viene quindi nuovamente effettuato il confronto fra i nuovi valori assunti dai potenziali di matrice e di riferimento V_M e V_R e modificato di conseguenza il livello logico dei segnali di comando B3-B0 e procedendo così per approssimazioni successive, ad ogni passo di confronto viene determinato il valore di uno dei quattro bit memorizzati nella cella di memoria 10 (algoritmo dicotomico) e quindi in quattro passi nel registro ad

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

approssimazioni successive 22 risultano essere scritti i quattro bit memorizzati nella cella di memoria 10.

L'inconveniente principale degli amplificatori di sense noti è il loro elevato consumo di corrente, specialmente nel caso in cui la cella di memoria da leggere sia vergine o presenti una bassa tensione di soglia. In questi casi, infatti, l'elevata tensione di lettura V_{READ} fornita al terminale di porta della cella di memoria da leggere unitamente alla bassa tensione di soglia della cella di memoria fanno sì che la corrente fluente nella cella di memoria stessa assuma un valore piuttosto elevato, dell'ordine dei 50 μA , che, moltiplicato per il numero di amplificatori di sense che generalmente funzionano contemporaneamente per effettuare la lettura in parallelo di più celle di memoria, determina un consumo complessivo che in alcune applicazioni può risultare inaccettabile.

Le considerazioni qui sopra riportate per gli amplificatori di sense ad approssimazioni successive dedicati alla lettura di celle di memoria multilivello valgono tali e quali anche per gli amplificatori di sense dedicati alla lettura di celle di memoria flash in cui è memorizzato un unico bit ed in cui la corrente di riferimento I_R è costante e viene generata mediante una cella di memoria di riferimento di contenuto noto.

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

Scopo della presente invenzione è quello di fornire un metodo ed circuito di lettura che consentano di ridurre i consumi di corrente rispetto a quelli dei circuiti di lettura secondo l'arte nota.

Secondo la presente invenzione viene realizzato un circuito di lettura per una memoria non volatile, come definito nella rivendicazione 1.

Secondo la presente invenzione viene inoltre fornito un metodo di lettura per una memoria non volatile, come definito nella rivendicazione 16.

Per una migliore comprensione della presente invenzione vengono ora descritte due forme di realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un amplificatore di sense secondo l'arte nota;

- la figura 2 mostra un amplificatore di sense secondo una prima forma realizzativa della presente invenzione;

- la figura 3 mostra un amplificatore di sense secondo una seconda forma realizzativa della presente invenzione;

- la figura 4 mostra un amplificatore di sense secondo una terza forma realizzativa della presente

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

invenzione; e

- la figura 5 mostra un amplificatore di sense secondo una quarta forma realizzativa della presente invenzione.

La presente invenzione trae spunto dalla constatazione che l'elevato consumo degli amplificatori di sense del tipo precedentemente descritto è dovuto, fra le altre cose, anche al fatto che la corrente di matrice I_M viene specchiata sul ramo di riferimento 12 e quindi in tali amplificatori si hanno due cammini di corrente in cui si ha dissipazione di potenza.

In realtà, però, affinché la corrente di matrice I_M venga specchiata correttamente sul ramo di riferimento 12 non è necessario che essa scorra nel transistor PMOS 36 per tutto la durata della fase di lettura ma è sufficiente che la tensione presente fra il terminale di porta ed il terminale di sorgente del transistor PMOS 38 assuma il valore appropriato per far scorrere tale corrente.

Pertanto, quando tale tensione assume il valore necessario per effettuare un corretto specchiaggio della corrente di matrice I_M sul ramo di riferimento 12, è sufficiente campionare e mantenere invariata nel tempo tale tensione e "spegnere" il ramo di matrice 6, con conseguente riduzione del consumo di energia.

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

In particolare, secondo la presente invenzione l'amplificatore di sense viene dotato di uno stadio di campionamento e mantenimento, noto generalmente con il termine di "stadio di Sample&Hold", e dato che la cella di memoria da leggere è assimilabile ad un blocco convertitore tensione/corrente (tensione di lettura V_{READ} /corrente di matrice I_M), al terminale di porta della cella di memoria 10 viene applicata la tensione di lettura V_{READ} per un tempo sufficiente a rendere stabile la tensione presente fra il terminale di porta ed il terminale di sorgente del transistor PMOS 38.

Questa tensione viene quindi campionata e mantenuta dallo stadio di Sample&Hold e, non essendo più necessari i blocchi che precedono tale stadio, questi vengono spenti e la tensione di lettura V_{READ} fornita al terminale di porta della cella di memoria 10 viene annullata. In questo modo, tutti i componenti che precedono lo stadio di Sample&Hold non dissipano più potenza elettrica ed il terminale di porta della cella di memoria 10 da leggere (e con esso anche tutti quelli delle celle di memoria appartenenti alla stessa riga) non è sottoposto allo stress derivante dall'applicazione di elevate tensioni.

Nella figura 2 è mostrato un amplificatore di sense secondo una prima forma realizzativa della presente

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

invenzione implementante il principio inventivo sopra descritto.

L'amplificatore di sense, indicato nel suo insieme con 1', presenta una struttura circuitale simile a quella dell'amplificatore di sense 1 precedentemente descritto, per cui parti identiche verranno indicate con gli stessi numeri di riferimento.

In particolare, l'amplificatore di sense 1' differisce dall'amplificatore di sense 1 per il fatto di comprendere inoltre uno stadio di campionamento e mantenimento 50 interposto fra il nodo di matrice 40 ed il relativo terminale di ingresso, indicato in figura con 51, dello stadio comparatore 20, e comprendente un condensatore 52 interposto fra la linea di alimentazione 2 ed il terminale di porta del transistor PMOS 36 dello stadio convertitore corrente/tensione 18; ed un interruttore controllato 54 collegato fra il terminale di porta (nodo 51) ed il terminale di pozzo del transistor PMOS 36 dello stadio convertitore corrente/tensione 18 (nodo di matrice 40) al posto del cortocircuito definente il collegamento a diodo del transistor PMOS 36 stesso.

L'interruttore 54 può essere convenientemente realizzato mediante un transistor MOS ricevente sul terminale di porta un segnale di controllo S1 avente lo

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

scopo di comandare l'apertura e la chiusura dell'interruttore 54 stesso e generato ad esempio da un microcontrollore opportunamente programmato.

Il funzionamento dell'amplificatore di sense 1' è il seguente.

Quando la cella di memoria 10 viene collegata all'amplificatore di sense 1' per la prima volta (interruttore 25 chiuso), il segnale di controllo S1 comanda la chiusura dell'interruttore 54 in modo che la corrente di matrice I_M scorra nel transistor PMOS 36 e carichi di conseguenza il condensatore 52. In questa fase, l'amplificatore di sense 1' presenta una struttura circuitale del tutto identica a quella dell'amplificatore di sense 1 precedentemente descritto.

Dopo un tempo sufficiente a caricare il condensatore 52, il segnale di controllo S1 commuta per comandare l'apertura dell'interruttore 54. Contemporaneamente, viene spento il ramo di matrice 6 comandando l'apertura dell'interruttore 25, (ossia comandando l'apertura dei transistori NMOS dello stadio di decodifica di colonna di matrice). Inoltre, viene anche annullata la tensione di lettura V_{READ} fornita al terminale di porta della cella di memoria 10 in modo tale da evitare che tale terminale (e con esso anche tutti quelli delle celle di memoria appartenenti alla

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

stessa riga) sia sottoposto allo stress derivante dall'applicazione di elevate tensioni.

Se l'interruttore 54 fosse ideale, la carica elettrica immagazzinata nel condensatore 52 rimarrebbe intrappolata e di conseguenza la tensione presente sui terminali di porta dei transistori PMOS 36, 38 (nodo 40) sarebbe costante e tale da far fluire nel transistore PMOS 36 esattamente la corrente che fluiva inizialmente nella cella di memoria 10.

Al tempo stesso, però, la porzione di circuito comprendente il ramo di matrice 6, la cella di memoria 10 ed il transistore PMOS 36 risulta spenta e quindi viene annullato il suo contributo al consumo di energia complessivo dell'amplificatore di sense 1'.

In realtà, però, essendo l'interruttore 54 non ideale ma reale, si avranno quanto meno due tipi di non idealità:

- la prima è data dall'iniezione di carica sul condensatore 52, che comporta una piccola variazione del potenziale elettrico V_M del nodo 40, dopo che l'interruttore 54 è stato aperto, rispetto al valore che si ha prima dell'apertura, ma questo contributo può essere considerato un contributo sistematico all'errore di lettura e può quindi essere eliminato tenendone conto in programmazione; durante la programmazione della cella

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

di memoria 10, infatti, l'amplificatore di sense 1' viene utilizzato anche per effettuare la fase di verifica e quindi, essendo l'iniezione di carica presente anche in questa fase, il valore programmato tiene già conto dell'errore che si compirà ogni volta che la cella di memoria 10 viene letta;

- la seconda è data dalla piccola corrente di perdita (corrente di leakage) che tende a scaricare nel tempo il condensatore 52, ma il suo effetto può essere trascurato purché la fase di lettura venga eseguita in maniera sufficientemente veloce.

Nell'amplificatore di sense 1' secondo la presente invenzione, la modalità di lettura del contenuto della cella di memoria 10 avviene in modo pressoché identico a quello descritto precedentemente per l'amplificatore di sense 1 e quindi non verrà nuovamente ripetuto.

Si sottolinea però il fatto che a differenza dell'amplificatore di sense 1 in cui la fase di approssimazione successiva del valore della corrente di riferimento I_R viene effettuata avendo sia il ramo di matrice 6 che il ramo di riferimento 12 accesi, nell'amplificatore di sense 1' secondo la presente invenzione tale fase viene effettuata, dopo il transitorio iniziale di carica del condensatore 52, con il ramo di matrice 6 spento e ciò fa sì che il risparmio

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

di energia ottenibile con l'amplificatore di sense 1' tenda ad un valore limite teorico del 50% non raggiungibile però nella pratica a causa della potenza che deve essere comunque dissipata per caricare il condensatore 52.

La riduzione del consumo di energia viene inoltre ottenuto senza particolari penalizzazioni, rispetto agli amplificatori di sense noti, dal punto di vista della velocità di lettura.

Con la configurazione circuitale dell'amplificatore di sense 1' mostrata nella figura 2 si potrebbero inoltre eliminare gli invertitori logici 28, 24 ed applicare sui terminali di porta dei transistori NMOS 26, 32 una tensione di riferimento opportunamente generata.

Nella figura 3 è mostrato un amplificatore di sense secondo una seconda forma realizzativa della presente invenzione.

L'amplificatore di sense, indicato nel suo insieme con 1'', presenta una struttura circuitale in parte simile a quella dell'amplificatore di sense 1' precedentemente descritto, per cui parti identiche verranno indicate con gli stessi numeri di riferimento.

In particolare, l'amplificatore di sense 1'' differisce dall'amplificatore di sense 1' per il fatto

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

che:

- il convertitore digitale/analogico 16 non è più presente e la corrente di riferimento I_R è costante ed indipendente dal contenuto del registro ad approssimazioni successive 22 ed è generata nel modo classico mediante una cella di memoria 56 avente terminale di sorgente collegato alla linea di massa 4, terminale di pozzo collegato alla linea di riferimento 14 e terminale di porta ricevente il segnale di lettura V_{READ} ;

- fra il terminale di pozzo del transistor PMOS 38 ed il nodo 42 è interposto un interruttore 58;

- il terminale non invertente dello stadio comparatore 10 è collegato al nodo 42;

- il terminale invertente dello stadio comparatore 20 è collegato ai terminali di porta dei transistori PMOS 36, 38 e, attraverso l'interruttore 54, al nodo 40;

- fra la linea di alimentazione 2 ed il nodo 42, ossia in parallelo al transistor PMOS 38 ed all'interruttore 58, sono collegati altri tre transistori PMOS 60, 62, 64 aventi rispettivi interruttori 66, 68, 70 collegati in serie;

- ciascuno dei quattro segnali di comando B3, B2, B1 e B0 forniti dal registro ad approssimazioni successive 22 comanda un rispettivo dei quattro

BERGADANO MIRKO
(Iscritto all' Albo n. 8438)

interruttori 58, 66, 68 e 70, determinandone la chiusura quando assume un primo livello logico e l'apertura quando assume un secondo livello logico.

In particolare, gli interruttori 58, 66, 68 e 70 possono essere convenientemente realizzati mediante rispettivi transistori PMOS ricevanti sui terminali di porta i segnali di comando B3, B2, B1 e B0, i quali comandano quindi l'accensione di tali transistori PMOS quando assumono un livello logico basso e lo spegnimento quando assumono un livello logico alto.

I transistori PMOS 36, 38, 60, 62, 64 presentano valori di W/L correlati fra loro, i quali possono essere scelti secondo due criteri differenti che consentono di ottenere differenti modalità di funzionamento dello specchio di corrente 18.

In particolare, secondo il primo criterio di scelta, indicando con S_0 un valore di W/L di riferimento, i transistori PMOS 36, 38, 60, 62, 64 presentano i seguenti valori di W/L: $(W/L)_{36}=15*S_0$, $(W/L)_{64}=8*S_0$, $(W/L)_{62}=4*S_0$, $(W/L)_{60}=2*S_0$ e $(W/L)_{38}=S_0$, determinando così un funzionamento dello specchio di corrente 18 come divisore di corrente, mentre, secondo il secondo criterio di scelta, i transistori PMOS 36, 38, 60, 62, 64 presentano rispettivamente i seguenti valori di W/L: $(W/L)_{36}=S_0$, $(W/L)_{64}=8*S_0$, $(W/L)_{62}=4*S_0$,

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

(W/L)₆₀=2*S0 e (W/L)₃₈=S0, determinando così un funzionamento dello specchio di corrente 18 come moltiplicatore di corrente.

I rapporti di specchiaggio derivanti dall'utilizzo del primo criterio di scelta permettono di usare piccoli valori della corrente di riferimento I_R , con conseguente riduzione dei consumi di energia nel ramo di riferimento 12, mentre i rapporti di specchiaggio derivanti dall'utilizzo del secondo criterio di scelta permettono di avere precisioni di lettura più elevate poiché la minima corrente di matrice I_M viene moltiplicata anziché divisa ed è conseguentemente meno soggetta a disturbi indesiderati.

I livelli logici dei segnali di comando B0-B3 forniti dal registro ad approssimazioni successive 22 sono determinati in base ad un algoritmo dicotomico molto simile a quello precedentemente descritto per l'amplificatore di sense 1.

In particolare, la principale differenza fra il funzionamento dell'amplificatore di sense 1 e quello dell'amplificatore di sense 1' risiede nel fatto che in quest'ultimo la corrente di riferimento I_R è costante ed il valore contenuto nel registro ad approssimazioni successive 22 viene utilizzato per modificare il rapporto di specchiaggio dello specchio di corrente 18',

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

in modo da variare la corrente iniettata nel nodo di matrice 40 ed ottenuta specchiando sul ramo di matrice la corrente di riferimento I_R .

Con la struttura circuitale sopra descritta, a seconda dei livelli logici assunti dai segnali di comando B0-B3 forniti dal registro ad approssimazioni successive 22 è possibile iniettare nel nodo 42 una corrente variabile fra un valore minimo pari a zero ed un valore massimo pari a I_M , nel caso in cui i valori di W/L dei transistori PMOS 36, 38, 60, 62, 64 vengano scelti secondo il primo criterio (specchio divisore di corrente), e fra un valore minimo pari a zero ed un valore massimo pari a $15 \cdot I_M$, nel caso in cui i valori di W/L dei transistori PMOS 36, 38, 60, 62, 64 vengano scelti secondo il secondo criterio (specchio moltiplicatore di corrente).

In particolare, il funzionamento dell'amplificatore di sense 1' è il seguente.

Ai terminali di porta delle celle di memoria 10, 56 viene applicata la tensione di lettura V_{READ} , tipicamente 5,5 o 6 V, ed il registro ad approssimazioni successive 22 viene comandato in modo tale da porre il segnale di comando B3 ad un primo livello logico ed i segnali di comando B2-B0 ad un secondo livello logico; in questo modo, quindi, l'interruttore 70 risulta chiuso e gli

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

interruttori 58, 66, 68 risultano aperti.

In questa situazione, il transistor PMOS 64 risulta elettricamente collegato al nodo di riferimento 42 mentre gli altri transistori PMOS 38, 60, 62 risultano elettricamente scollegati dal nodo di riferimento 42.

Il transistor PMOS 64 inietta quindi nel nodo di riferimento 42 una corrente che è pari a $8/15 \cdot I_R$ (rapporto fra i valori di W/L dei transistori PMOS 64 e 36) se i rapporti di specchiaggio dei transistori PMOS 64 e 36 sono stati scelti secondo il primo criterio summenzionato, mentre è pari $8 \cdot I_R$ se i rapporti di specchiaggio dei transistori PMOS 64 e 36 sono stati scelti secondo il secondo criterio summenzionato.

Se la corrente iniettata dal transistor PMOS 64 nel nodo di riferimento 42 è minore della corrente di riferimento I_R , allora il potenziale di riferimento V_R tende ad assumere valori minori di quelli assunti dal potenziale di matrice V_M ed il livello logico assunto conseguentemente dal segnale di confronto COMP comanda il registro ad approssimazioni successive 22 in modo tale da porre anche il segnale di comando B2 al primo livello logico, mentre se la corrente iniettata dal transistor PMOS 64 nel nodo di riferimento 42 è maggiore della corrente di riferimento I_R , allora il

BERGADANO MIRKO
(iscritto all'Albo n. 8436)

potenziale di riferimento V_R tende ad assumere valori maggiori di quelli assunti dal potenziale di matrice V_M ed il livello logico assunto conseguentemente dal segnale di confronto COMP comanda il registro ad approssimazioni successive 22 in modo da porre il segnale di comando B3 al secondo livello logico ed il segnale di comando B2 al primo livello logico.

Nel primo caso, sia l'interruttore 70 che l'interruttore 68 sono chiusi e quindi sia il transistor PMOS 64 che il transistor PMOS 62 sono elettricamente collegati al nodo di riferimento 42, mentre nel secondo caso soltanto l'interruttore 68 è chiuso e quindi soltanto il transistor PMOS 62 è collegato al nodo di riferimento 42.

In entrambi i casi, il transistor PMOS 62 inietta nel nodo di riferimento 42 una corrente pari a $4/15 \cdot I_R$ (rapporto fra i valori di W/L dei transistori PMOS 62 e 36) se i rapporti di specchiaggio dei transistori PMOS 62 e 36 sono stati scelti secondo il primo criterio summenzionato, oppure pari $4 \cdot I_R$ se i rapporti di specchiaggio dei transistori PMOS 62 e 36 sono stati scelti secondo il secondo criterio summenzionato, la quale, nel primo caso, si somma alla corrente iniettata dal transistor PMOS 64.

Viene quindi nuovamente effettuato il confronto fra

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

i nuovi valori dei potenziali di matrice e di riferimento V_M e V_R e modificato di conseguenza il livello logico dei segnali di comando B3-B0 e procedendo così per approssimazioni successive, ad ogni passo di confronto viene determinato il valore di uno dei quattro bit memorizzati nella cella di memoria 10 (algoritmo dicotomico) e quindi in quattro passi nel registro ad approssimazioni successive 22 risultano essere scritti i quattro bit memorizzati nella cella di memoria 10.

I vantaggi dell'amplificatore di sense 1" sono i seguenti.

La struttura mostrata nella figura 3 consente da un lato di avere un risparmio di area sul silicio in quanto lo spazio necessario per la realizzazione dei summenzionati transistori PMOS ed interruttori è minore di quella necessaria per realizzare un intero convertitore digitale/analogico e dall'altro di conseguire una maggiore compattazione del circuito sul silicio in quanto i summenzionati transistori PMOS ed interruttori possono essere realizzati direttamente sul ramo di matrice anziché separatamente dai rami di matrice e di riferimento come invece tipicamente avviene per un convertitore digitale/analogico.

Inoltre, la maggiore compattazione del circuito che si ottiene sul silicio permette un ulteriore risparmio

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

di energia rispetto agli amplificatori di sense tradizionali in quanto il percorso complessivo compiuto dalla corrente è minore di quello che essa compie quando il convertitore digitale/analogico è realizzato separatamente e ciò determina una conseguente minore dissipazione di potenza.

Risulta infine chiaro che agli amplificatori di sense 1', 1" qui descritti ed illustrati possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione.

Ad esempio, la presente invenzione può essere applicata senza alcuna modifica anche agli amplificatori di sense dedicati alla lettura di celle di memoria non volatili memorizzanti un unico bit, in cui il registro ad approssimazioni successive ed il convertitore digitale/analogico non sono presenti e la corrente di riferimento I_R è generata da una cella di memoria di riferimento della quale è noto il contenuto e ricevente sul proprio terminale di porta il segnale di lettura V_{READ} .

Inoltre, il principio inventivo alla base della presente invenzione può senza alcuna modifica essere applicato anche ad amplificatori di sense in cui è la corrente di riferimento I_R ad essere specchiata sul ramo di matrice 6, ossia ad amplificatori di sense in cui è

BERGADANO MIRKO
(iscritto all' Albo n. 8438)

il transistor PMOS 38 ad essere collegato a diodo. In questa tipologia di amplificatori di sense, infatti, è sufficiente disporre lo stadio di campionamento e mantenimento 50 fra il nodo di riferimento 42 ed il terminale di ingresso dello stadio comparatore 20 a cui tale nodo di riferimento è collegato e prevedere mezzi di spegnimento del ramo di riferimento 12.

Nella figura 4 è mostrato lo schema circuitale di tale amplificatore di sense, nel quale le varie parti sono indicate con gli stessi numeri di riferimento utilizzati nella figura 2.

In particolare, come mostrato in tale figura, in questa tipologia di amplificatori di sense il collegamento dello stadio di campionamento e mantenimento 50 è speculare rispetto a quello mostrata nella figura 2, ossia l'interruttore 54 viene disposto fra il nodo di riferimento 42 ed il terminale di ingresso dello stadio comparatore 20 a cui tale nodo di riferimento è collegato e tale terminale di ingresso viene poi anche collegato anche ai terminali di porta dei transistori PMOS 36, 38 (nodo 51), mentre l'altro terminale di ingresso dello stadio comparatore 20 viene collegato soltanto al nodo di matrice 40. I mezzi di spegnimento 25 del ramo di riferimento 12 possono poi essere realizzati o mediante un interruttore aggiuntivo

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

dedicato disposto sul ramo di riferimento 42 stesso oppure mediante lo stadio di decodifica di colonna di riferimento opportunamente comandato.

Anche a questa tipologia di amplificatori di sense è poi possibile realizzare uno specchio di corrente avente un rapporto di specchiaggio variabile in modo analogo a quanto precedentemente descritto con riferimento alla figura 3, ossia collegando fra la linea di alimentazione 2 ed il nodo di matrice 40 una pluralità di transistori PMOS attraverso rispettivi interruttori comandati dai segnali di comando B3-B0 forniti dal registro ad approssimazioni successive 22.

Nella figura 5 è mostrato un amplificatore di sense del tipo suddetto, nel quale le varie parti sono indicate con gli stessi numeri di riferimento utilizzati nella figura 3.

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

R I V E N D I C A Z I O N I

1. Circuito di lettura (1'; 1'') per una memoria non volatile, comprendente un primo ramo (6, 12) collegato a primi mezzi generatori di corrente (10, 16, 22; 10, 56); un secondo ramo (6, 12) collegato a secondi mezzi generatori di corrente (10, 16, 22; 10, 56); mezzi convertitori corrente/tensione (18) collegati a detti primo e secondo ramo (6, 12) e fornenti su un primo ed un secondo nodo (40, 42) un primo e, rispettivamente, un secondo potenziale elettrico (V_M , V_R) correlati a correnti fluenti in detto primo e, rispettivamente, in detto secondo ramo (6, 12); e mezzi comparatori (20) aventi un primo ed un secondo ingresso collegati a detti primo e secondo nodo (40, 42) per confrontare fra loro detti primo e secondo potenziale elettrico (V_M , V_R); caratterizzato dal fatto di comprendere inoltre mezzi di campionamento e mantenimento (50) interposti fra detto primo nodo (40, 42) e detti mezzi comparatori (20) e selettivamente attivabili per campionare e mantenere detto primo potenziale (V_M , V_R) e mezzi di spegnimento (25) di detto primo ramo (6).

2. Circuito di lettura secondo la rivendicazione 1, caratterizzato dal fatto che detti mezzi convertitori corrente/tensione (18) comprendono una linea di riferimento (2) posta ad un potenziale di riferimento

BERGADANO MIRKO
[iscritto all' Albo n. 843B]

(V_{CC}); e mezzi a specchio di corrente (18) collegati fra detta linea di riferimento (2) e detti primo e secondo nodo (40, 42) ed presentanti un nodo interno (51) collegato a detto primo ingresso di detti mezzi comparatori (20); e dal fatto che detti mezzi di campionamento e mantenimento (50) comprendono mezzi di immagazzinamento di carica (52) interposti fra detta linea di riferimento (2) e detto nodo interno (51) di detti mezzi a specchio di corrente (18) e primi mezzi interruttori (54) interposti fra detto primo nodo (40, 42) e detto nodo interno (51) di detti mezzi a specchio di corrente (18).

3. Circuito di lettura secondo la rivendicazione 2, caratterizzato dal fatto che detti mezzi di immagazzinamento di carica comprendono un condensatore (52).

4. Circuito di lettura secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detti mezzi a specchio di corrente (18) presentano un rapporto di specchiaggio fisso e comprendono primi e secondi mezzi transistori (36, 38) aventi primi terminali collegati a detta linea di riferimento (2), secondi terminali collegati a detto primo e, rispettivamente, a detto secondo nodo (40, 42) e terminali di controllo collegati fra loro e a detto primo ingresso di detti mezzi comparatori (20) e

BERGADANO MIRKO
(iscritto all' Albo n. 843B)

definenti detto nodo interno (51).

5. Circuito di lettura secondo la rivendicazione 4, caratterizzato dal fatto che detti primi mezzi generatori di corrente comprendono una prima cella di memoria (10) e dal fatto che detti secondi mezzi generatori di corrente comprendono una seconda cella di memoria (56).

6. Circuito di lettura secondo la rivendicazione 4, caratterizzato dal fatto che detti primi mezzi generatori di corrente comprendono una terza cella di memoria (10) multilivello; e dal fatto che detti secondi mezzi generatori di corrente (16, 22) comprendono primi mezzi di registro ad approssimazioni successive (22) aventi un ingresso collegato ad una uscita di detti mezzi comparatori (20) ed una pluralità di uscite sulle quali forniscono rispettivi primi segnali di comando (B3-B0); e mezzi convertitori digitale/analogico (16) aventi una pluralità di ingressi collegati a rispettive dette uscite di detti primi mezzi di registro ad approssimazioni successive (22) ed una uscita collegata a detto secondo ramo (12).

7. Circuito di lettura secondo la rivendicazione 4, caratterizzato dal fatto che detti secondi mezzi generatori di corrente comprendono una quarta cella di memoria (10) multilivello; e dal fatto che detti primi

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

mezzi generatori di corrente (16, 22) comprendono secondi mezzi di registro ad approssimazioni successive (22) aventi un ingresso collegato ad una uscita di detti mezzi comparatori (20) ed una pluralità di uscite sulle quali forniscono rispettivi secondi segnali di comando (B3-B0); e mezzi convertitori digitale/analogico (16) aventi una pluralità di ingressi collegati a rispettive dette uscite di detti secondi mezzi di registro ad approssimazioni successive (22) ed una uscita collegata a detto primo ramo (12).

8. Circuito di lettura secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detti primi mezzi generatori di corrente comprendono una quinta cella di memoria (10) multilivello; dal fatto che detti secondi mezzi generatori di corrente comprendono una sesta cella di memoria (56); e dal fatto che detti mezzi a specchio di corrente (18) presentano un rapporto di specchiaggio variabile.

9. Circuito di lettura secondo la rivendicazione 8, caratterizzato dal fatto che detti mezzi a specchio di corrente (18) comprendono terzi mezzi transistori (36) aventi un primo terminale collegato a detta linea di riferimento (2), un secondo terminale collegato a detto primo nodo (40) ed un terminale di controllo collegato a detto primo ingresso di detti mezzi comparatori (20); ed

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

una pluralità di quarti mezzi transistori (38, 60, 62, 64) in numero pari al numero di bit memorizzati in detta quinta cella di memoria (10) aventi terminali di controllo collegati fra loro ed al detto terminale di controllo di detti terzi mezzi transistori (36) e definenti con esso il detto nodo interno (51); primi terminali collegati a detta linea di riferimento (2); e secondi terminali collegati a detto secondo nodo (42) attraverso rispettivi terzi mezzi interruttori (58, 66, 68, 70) ricevanti su terminali di controllo rispettivi terzi segnali di comando (B3-B0).

10. Circuito di lettura secondo la rivendicazione 9, caratterizzato dal fatto di comprendere inoltre terzi mezzi di registro ad approssimazioni successive (22) aventi un ingresso collegato ad una uscita di detti mezzi comparatori (20) ed una pluralità di uscite fornenti detti terzi segnali di comando (B3-B0).

11. Circuito di lettura secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detti primi mezzi generatori di corrente comprendono una settima cella di memoria (56); dal fatto che detti secondi mezzi generatori di corrente comprendono una ottava cella di memoria (10) multilivello; e dal fatto che detti mezzi a specchio di corrente (18) presentano un rapporto di specchiaggio variabile.

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

12. Circuito di lettura secondo la rivendicazione 11, caratterizzato dal fatto che detti mezzi a specchio di corrente (18) comprendono quinti mezzi transistori (36) aventi un primo terminale collegato a detta linea di riferimento (2), un secondo terminale collegato a detto primo nodo (42) ed un terminale di controllo collegato a detto primo ingresso di detti mezzi comparatori (20); ed una pluralità di sesti mezzi transistori (38, 60, 62, 64) in numero pari al numero di bit memorizzati in detta ottava cella di memoria (10) aventi terminali di controllo collegati fra loro ed al detto terminale di controllo di detti quinti mezzi transistori (36) e definenti con esso il detto nodo interno (51); primi terminali collegati a detta linea di riferimento (2); e secondi terminali collegati a detto secondo nodo (40) attraverso rispettivi quarti mezzi interruttori (58, 66, 68, 70) ricevanti su terminali di controllo rispettivi quarti segnali di comando (B3-B0).

13. Circuito di lettura secondo la rivendicazione 12, caratterizzato dal fatto di comprendere inoltre quarti mezzi di registro ad approssimazioni successive (22) aventi un ingresso collegato ad una uscita di detti mezzi comparatori (20) ed una pluralità di uscite fornenti detti quarti segnali di comando (B3-B0).

14. Circuito di lettura secondo una qualsiasi delle

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

2
rivendicazioni precedenti, caratterizzato dal fatto che detti mezzi di spegnimento comprendono quarti mezzi interruttori (25) disposti lungo detto primo ramo (6, 12).

15. Circuito di lettura secondo la rivendicazione 14, caratterizzato dal fatto che detti quarti mezzi interruttori (25) sono definiti da mezzi di decodifica di ramo.

16. Metodo di lettura per una memoria non volatile implementato per mezzo di un circuito di lettura (1'; 1'') comprendente un primo ramo (6, 12) nel quale fluisce una prima corrente (I_M , I_R) ed un secondo ramo (6, 12) nel quale fluisce una seconda corrente (I_M , I_R); detto metodo di lettura comprendendo le fasi di:

- convertire detta prima corrente (I_M , I_R) in un primo potenziale elettrico (V_M , V_R);

- convertire detta seconda corrente (I_M) in un secondo potenziale elettrico (V_M , V_R); e

- confrontare fra loro detti primo e secondo potenziale elettrico (V_M , V_R);

caratterizzato dal fatto di comprendere inoltre le fasi di:

- campionare e mantenere detto primo potenziale elettrico (V_M , V_R); e

- spegnere detto primo ramo (6, 12) di detto

BERGADANO MIRKO
(iscritto all'Albo n. 843B)

circuito di lettura (1'; 1").

17. Metodo di lettura secondo la rivendicazione 16, caratterizzato dal fatto che detto primo ramo è un ramo di matrice (6) e che detto secondo ramo è un ramo di riferimento (12).

18. Metodo di lettura secondo la rivendicazione 17, per un circuito di lettura (1'; 1") comprendente una cella di memoria (10, 56) collegata a detto un primo ramo (6, 12), caratterizzato dal fatto che detta fase di spegnere detto primo ramo (6, 12) di detto circuito di lettura (1'; 1") comprende la fase di spegnere detta cella di memoria (10, 56).

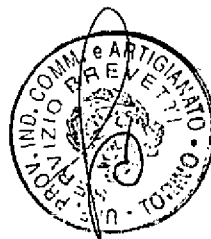
19. Metodo di lettura secondo la rivendicazione 18, caratterizzato dal fatto che detta fase di spegnere detta cella di memoria (10, 56) comprende la fase di annullare una tensione di lettura (V_{READ}) fornita ad un terminale di porta di detta cella di memoria (10, 56).

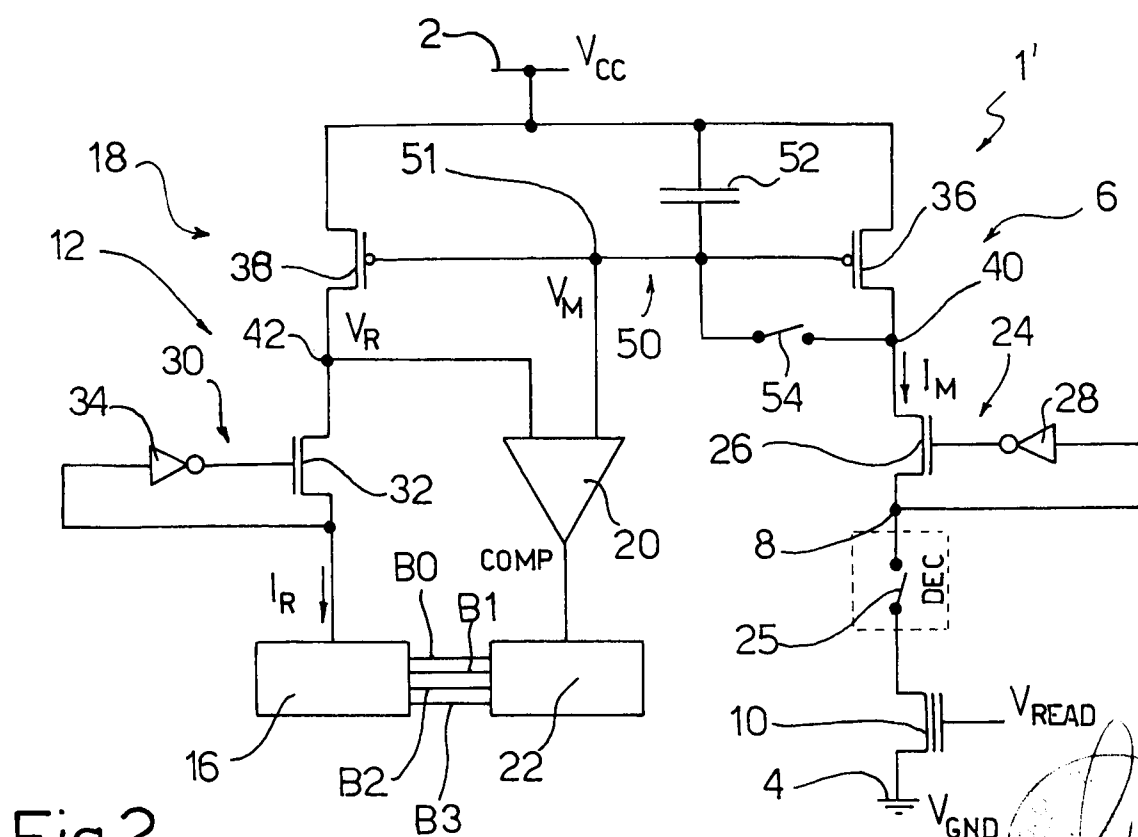
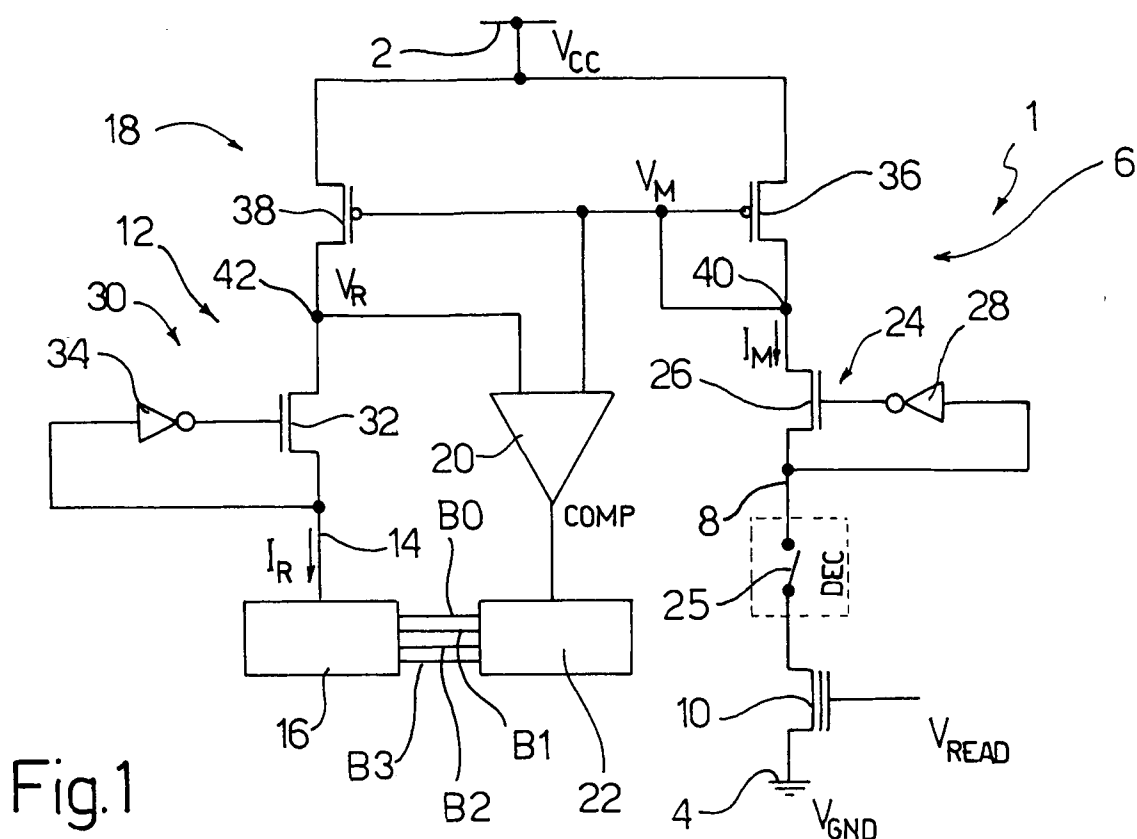
20. Metodo e circuito di lettura per una memoria non volatile, sostanzialmente come descritti con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

BERGADANO MIRKO
(iscritto all'Albo n. 8438)





p.i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO

Isritto all'Albo n. 843B)

