

發明專利說明書

200406032

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： P211385P

※ 申請日期： P2-5-22

※IPC 分類： H01L 21/321

壹、發明名稱：(中文/日文)

半導體積體電路裝置及其製造方法

半導体集積回路装置およびその製造方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商日立製作所股份有限公司

HITACHI, LTD.

代表人：(中文/英文)

庄山 悦彦

ETSUHIKO SHOYAMA

住居所或營業所地址：(中文/英文)

日本國東京都千代田區神田駿河台四丁目 6 番地

6, KANDA-SURUGADAI 4-CHOME CHIYODA-KU, TOKYO 101-8010
JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 檜上 龍也

2. 青野 英樹

住居所地址：(中文/英文)

1. 日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓
日立製作所股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME, CHIYODA-
KU, TOKYO 100-8220, JAPAN

2. 日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓
日立製作所股份有限公司知的財產權本部

C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME, CHIYODA-
KU, TOKYO 100-8220, JAPAN

國 籍：(中文/英文)

1.、2.均日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 05 月 28 日；特願 2002-154589
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 05 月 28 日；特願 2002-154589
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體積體電路裝置及其製造技術，特別是有關於藉由使包含於 MISFET (Metal Insulator Semiconductor Field Effect Transistor) 之閘極絕緣膜和半導體基板的界面之氮氣數量能達成最佳化，而提高熱載體耐性等之裝置信賴性之技術。

【先前技術】

近年來，藉由在 NO 或 N_2O 等之氣體中，將形成於矽基板上之閘極絕緣膜進行氧氮化處理，並將氮原子予以導入於閘極絕緣膜和矽基板之界面之措施，已知能提高 n 通道型 MISFET 之熱載體耐性，並可抑制來自 p 型多晶矽閘極之硼 (B) 之漏失，且在邏輯 LSI 等當中被實用化。

此外，作為上述氧氮化第理之代替法，而例如記載於特開平 10-79506 號公報，已知可藉由在閘極電極加工後之源極、汲極擴展形成時，將氮氣或含有氮氣之離子進行離子佈植，而獲得相同之功效。

最近之邏輯 LSI，由於係在同一半導體晶片內發展成多電源化，故將薄的膜厚之閘極絕緣膜和厚的膜厚之閘極絕緣膜分配在同一半導體晶片內之所謂 2 水準閘極絕緣膜構造已達成實用化。

具有如此之 2 水準閘極絕緣膜構造之邏輯 LSI 之情形時，其起因於熱載體之信賴性之劣化，係已知具有厚的閘極絕緣膜之 MISFET 為較具有薄的閘極絕緣膜之 MISFET 更明顯，

且n通道型 MISFET為較p通道型 MISFET更明顯。

此外，為了提升 MISFET之熱載體耐性，而採用將氮原子予以導入於閘極氧化膜和矽基板的界面之前述技術時，已知當過度增加界面之氮濃度時，則相對於NBT之信賴性係以p通道型 MISFET較易於劣化。

但是，以藉由採用2水準閘極絕緣膜構造之互補型 MISFET而構成電路之LSI之製造步驟而實施前述之氧氮化處理時，由於厚的閘極絕緣膜係較薄的閘極絕緣膜而其氮氣之透明量為較少，故產生具有厚的閘極絕緣膜之n通道型 MISFET之氮濃度係不足，且熱載體耐性為劣化之問題。

另一方面，配合具有厚的閘極絕緣膜之n通道型 MISFET而決定氧氮化處理之條件時，係產生p通道型 MISFET之氮濃度為過剩，且相對於NBT之信賴性為劣化之問題。

本發明之目的係提供一種在混合著具有薄的絕緣膜之互補型 MISFET和具有厚的閘極絕緣膜之互補型 MISFET之半導體積體電路裝置當中，能使相對於熱載體之信賴性和相對於NBT之信賴性進行最佳化之技術。

本發明之另外之目的，係提供一種在混合著具有薄的絕緣膜之 MISFET和具有厚的閘極絕緣膜之 MISFET之半導體積體電路裝置當中，能無須增加光學遮罩之數量，而使相對於熱載體之信賴性和相對於NBT之信賴性進行最佳化之技術。

本發明之前述及另外之目的和新穎之特徵，係可由本說明書之敘述和添附圖式而理解。

【發明內容】

在本案所揭示之發明當中，簡單地說明其代表性之概要如下。

亦即，本發明之半導體積體電路裝置之製造方法，係具有如下之步驟：

(a)在形成於半導體基板之主要表面之第1p型阱、第2p型阱、第1n型阱、以及第2n型阱之各個表面形成第1絕緣膜之後，藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述各個阱和前述第1絕緣膜之界面，形成具有第1氮濃度之第1氮化區域之步驟；

(b)分別將形成於前述第1p型阱之前述第1絕緣膜和前述第1氮化區域、以及形成於前述第1n型阱之前述第1絕緣膜和前述第1氮化區域予以去除，並分別於前述第2p型阱和前述第2n型阱，存留前述第1絕緣膜和前述第1氮化區域之步驟；

(c)藉由將前述半導體基板施以熱氧化，而分別在前述第1p型阱和前述第1n型阱的表面形成第1閘極絕緣膜，並分別在前述第2p型阱和前述第2n型阱的表面，包含前述第1絕緣膜的一部份，並形成較前述第1閘極絕緣膜而膜厚為厚之第2閘極絕緣膜之步驟；

(d)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第1p型阱和前述第1閘極絕緣膜之界面、以及前述第1n型阱和前述第1閘極絕緣膜之界面，形成具有第2氮濃度之第2氮化區域，且在前述第2p型阱和前述第2閘極絕緣膜、以及前述第2n型阱和前述第2閘極絕緣膜

之界面，包含前述第1氮化區域之氮的一部份，並形成具有較前述第2氮濃度更高之第3氮濃度之第3氮化區域之步驟；

(e)將矽膜予以堆積於前述半導體基板上之後，分別於前述第1n型阱和前述第2n型阱之上部，形成第1光阻膜，並藉由將n型雜質予以離子佈植於前述第1p型阱和前述第2p型阱之各個上部之前述矽膜，而形成n型矽膜之步驟；

(f)分別在前述第1n型阱和前述第2n型阱之上部，存留前述第1光阻膜，並藉由通過前述n型矽膜而分別將氮氣予以離子佈植於前述第1p型阱和前述第2p型阱，

在前述第1p型阱和前述第1閘極絕緣膜之界面，包含前述第2氮化區域之氮的一部份，並形成具有較前述第3氮濃度更高之第4氮濃度之第4氮化區域，

在前述第2p型阱和前述第2閘極絕緣膜之界面，包含前述第3氮化區域之氮的一部份，並形成具有較前述第4氮濃度更高之第5氮濃度之第5氮化區域之步驟；

(g)分別於前述第1p型阱和前述第2p型阱之上部形成第2光阻膜，並將p型雜質予以離子佈植於前述第1n型阱和前述第2n型阱之各個上部之前述矽膜而改變成p型矽膜之步驟；

(h)藉由分別將前述型n型矽膜和前述p型矽膜予以圖案化，而在前述第1p型阱和前述第2p型阱之各個上部，形成由前述n型矽膜所組成之n型導體片，且在前述第1n型阱和前述第2n型阱之各個上部，形成由前述p型矽膜所組成之p型導體片之步驟；以及

(i)在前述(h)步驟之後，藉由分別在前述第1p型阱和前述

第2p型阱，形成由n型半導體區域所組成之源極、汲極，且分別在前述第1n型阱和前述第2n型阱，形成由p型半導體區域所組成之源極、汲極，而

在前述第1n型阱形成第1p通道型MISFET，其係具有：由前述p型半導體區域所組成之源極、汲極；前述第1閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第2氮化區域，

在前述第2n型阱形成第2p通道型MISFET，其係具有：由前述p型半導體區域所組成之源極、汲極；前述第2閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第3氮化區域，

在前述第1p型阱形成第1n通道型MISFET，其係具有：由前述n型半導體區域所組成之源極、汲極；前述第1閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第4氮化區域，

在前述第2p型阱形成第2n通道型MISFET，其係具有：由前述n型半導體區域所組成之源極、汲極；前述第2閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第5氮化區域之步驟。

根據上述之(a)步驟~(i)步驟，則導入於前述第2n通道型MISFET之第2閘極絕緣膜和前述半導體基板的界面之氮濃度，係較導入於前述第1n通道型MISFET之第1閘極絕緣膜和前述半導體基板的界面之氮濃度更高，且導入於前述第1n通道型MISFET之第1閘極絕緣膜和前述半導體基板的界面之

前述氮濃度，係較導入於前述第1p通道型 MISFET 之第1閘極絕緣膜和前述半導體基板的界面之氮濃度、以及導入於前述第2p通道型 MISFET 之第2閘極絕緣膜和前述半導體基板的界面之氮濃度更高。

據此，即能使導入於導電型及閘極氧化膜厚之相異的4種類之 MISFET 之閘極氧化膜和基板(阱)之界面之氮濃度達成最佳化，且能使相對於熱載體之信賴性和相對於 NBT 之信賴性之雙方面同時成立。

【實施方式】

以下，根據圖式而詳細說明本發明之實施形態。又，在用以說明實施形態之全部圖式當中，具有相同功能者係賦予相同之符號，並省略其重覆之說明。

(實施形態1)

使用圖1~圖15並依步驟順序而說明本實施形態之 CMOS-LSI 之製造方法。又，在表示 CMOS-LSI 之製造方法之各圖中，距離圖的中央其左側之區域係表示內部電路區域，而右側之區域係表示 I/O(輸出)電路區域。此外，在內部電路區域、各 I/O 電路區域之左側部份係表示 n 通道型 MISFET 形成區域，而右側部份係表示通道型 MISFET 形成區域。

本實施形態之 CMOS-LSI 係自減低電路之消費電力之觀點，以低電壓而作動構成內部電路之 MISFET。因此，以較薄的膜厚而構成各個構成內部電路之 n 通道型 MISFET 和 p 通道型 MISFET 之閘極氧化膜。另一方面，施加外部之高電壓之 I/O 電路之 n 通道型 MISFET 和 p 通道型 MISFET 係自確保閘極

耐壓之觀點，而以較厚的膜厚而構成此類之閘極氧化膜。

首先，如圖1所示，例如在具有 $1\sim 10\ \Omega\text{cm}$ 程度之比電阻之p型單結晶矽基板(以下，稱為基板)1形成元件分離溝2。形成元件分離溝2係在將元件分離區域之基板1予以蝕刻而形成溝之後，於含有溝的內部之基板1上，以CVD法而堆積氧化矽膜3，繼而藉由化學機械研磨法而將溝的外部之氧化矽膜3予以去除。

繼之，如圖2所示，將基板1進行濕式氧化，而在其表面形成10 nm以下之薄的氧化矽膜7。繼之，通過該氧化矽膜7而將硼予以離子佈植於基板1之一部份，且在將磷予以離子佈植於另外的一部份之後，藉由將基板1進行熱處理，並將上述雜質(硼和磷)擴散至基板1的內部之措施，在n通道型MISFET形成區域形成p型阱4a、4b，且在p通道型MISFET形成區域形成n型阱5a、5b。而此時為了控制MISFET之臨界值電壓，則將硼予以離子佈植於p型阱4a、4b之表面(通道形成區域)，並將磷予以離子佈植於n型阱5a、5b之表面(通道形成區域)。

繼之，在以氟酸而將基板1的表面之氧化矽膜7予以去除之後，如圖3所示，藉由將基板1進行濕式氧化，而分別在p型阱4a、4b、n型阱5a、5b的表面形成膜厚4 nm程度之氧化矽膜6。該氧化矽膜係在此後之步驟中，構形成於內部電路區域之厚的閘極氧化膜之一部份。

繼之，如圖4所示，藉由在含有NO(一氧化氮)之環境氣體中，將基板1進行熱處理(氧氮化處理)，而將既定量(例如2%

程度)之氮氣予以導入於氧化矽膜6和基板1之界面近傍。此時，導入於氧化矽膜6和基板1之界面近傍之氮濃度，係在基板1全體而形成相同。

繼之，如圖5所示，以光阻膜40而覆蓋I/O電路區域之基板1的表面，並藉由以氟酸而將內部電路區域之基板1的表面進行蝕刻之措施，將氧化矽膜6予以去除。在進行該蝕刻時，由於導入於內部電路區域之氧化矽膜6和基板1之界面近傍之前述氮氣，係和氧化矽膜6均被去除，故該區域之氮濃度係大致形成0%。

繼之，在將光阻膜40予以去除之後，如圖6所示，藉由將基板1進行濕式氧化，而在內部電路區域之基板1(p型阱4a和n型阱5a)的表面，形成膜厚2nm程度之閘極氧化膜6a。此時，由於I/O電路區域之基板1(p型阱4b和n型阱5b)的表面亦被氧化，故在該區域之基板1的表面，包含氧化矽膜6的一部份，並形成有閘極氧化膜6b，其係具有較氧化矽膜6更厚之膜厚(6nm程度)。

根據至此為止之步驟，而在內部電路區域之基板1(p型阱4a和n型阱5a)的表面，形成有薄的膜厚(2nm程度)之閘極氧化膜6a，且在I/O電路區域之基板1(p型阱4b和n型阱5b)的表面，形成有厚的膜厚(6nm程度)之閘極氧化膜6b。

繼之，如圖7所示，藉由在含有NO之環境氣體中，將基板1進行熱處理(氧氮化處理)，而將既定量之氮氣予以導入於閘極氧化膜6a、6b和基板1之界面近傍。

在進行上述第2次之氧氮化處理時，係通過內部電路區域

之薄的閘極氧化膜6a，並將導入於基板1(p型阱4a和n型阱5a)之氮濃度作成2%程度。此時，通過I/O電路區域之厚的閘極氧化膜6b而導入於基板1(p型阱4b和n型阱5b)之氮濃度，係形成導入於內部電路區域之基板1(p型阱4a和n型阱5a)之氮濃度之1程度，亦即0.2%程度。

如前述，在I/O電路區域之厚的閘極氧化膜6b和基板1(p型阱4b和n型阱5b)之界面近傍，係以第1次之氧氮化處理而導入2%程度之氮氣。因此，在進行第2次之氧氮化處理之時點，其I/O電路區域之厚的閘極氧化膜6b和基板1(p型阱4b和n型阱5b)的界面近傍之氮濃度係形成2.2%程度。另一方面，以第1次之氧氮化處理而導入於內部電路區域之基板1(p型阱4a和n型阱5a)之氮氣，係以第1次之氧氮化處理和第2次之氧氮化處理之間所進行之蝕刻而幾乎被去除。因此，在進行第2次之氧氮化處理之時點，其內部電路區域之薄的閘極氧化膜6a和基板1(p型阱4a和n型阱5a)的界面近傍之氮濃度係形成2%程度。亦即，根據至此為止之步驟，而I/O電路區域之厚的閘極氧化膜6b和基板1(p型阱4b和n型阱5b)的界面近傍之氮濃度(= 2.2%程度)，係較內部電路區域之薄的閘極氧化膜6a和基板1(p型阱4a和n型阱5a)的界面近傍之氮濃度(= 2%程度)更高。

繼之，如圖8所示，以CVD法而將非摻雜之多晶矽膜10堆積於基板1上。繼之，如圖9所示，以光阻膜41而覆蓋p通道型MISFET形成區域，亦即n型阱5a、5b之上部之多晶矽膜10，並藉由將磷或砷予以離子佈植於n通道型MISFET形成區域，

亦即 p 型阱 4a、4b 之上部之多晶矽膜 10 之措施，將該區域之多晶矽膜 10 改變成低電阻之 n 型多晶矽膜。

繼之，如圖 10 所示，通過上述 n 型多晶矽膜 10 n 而將氮氣 (N_2^+) 予以離子佈植於其下部之閘極氧化膜 6a 和 p 型阱 4a 之界面、以及閘極氧化膜 6b 和 p 型阱 4b 之界面。此時，藉由例如將氮氣之劑量作成 $5 \times 10^{14}/\text{cm}^2$ ，而導入相當於 2% 程度之濃度之氮氣於上述界面近傍。

如前述，在 I/O 電路區域之厚的閘極氧化膜 6b 和基板 1 (p 型阱 4b 和 n 型阱 5b) 之界面近傍，係藉由前述 2 次之氧氮化處理而導入 2.2% 程度之氮氣。此外，在內部電路區域之薄的閘極氧化膜 6a 和基板 1 (p 型阱 4a 和 n 型阱 5a) 之界面近傍，係導入 2% 程度之氮氣。

因此，藉由在 p 型阱 4a、4b 進行上述之氮氣之離子佈植，而 I/O 電路區域之厚的閘極氧化膜 6b 和 p 型阱 4b 的界面近傍之氮濃度係形成 4.2% 程度，且內部電路區域之薄的閘極氧化膜 6a 和 p 型阱 4a 的界面近傍之氮濃度係形成 4% 程度。

另一方面，由於 p 通道型 MISFET 形成區域，亦即各個內部電路區域之 n 型阱 5a 和 I/O 電路區域之 n 型阱 5b 之上部係被光阻膜 41 所覆蓋，故藉由上述之氮氣之離子佈植而不增加氮氣之濃度。亦即，I/O 電路區域之厚的閘極氧化膜 6b 和 n 型阱 5b 的界面近傍之氮濃度係 2.2% 程度，而內部電路區域之薄的閘極氧化膜 6a 和 n 型阱 5a 的界面近傍之氮濃度係 2% 程度。

根據至此為止之步驟，而導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，其 I/O 電路區域之 n 通道型 MISFET 形成區

域(p型阱4b)係形成最高之4.2%程度，繼之，內部電路區域之n通道型MISFET形成區域(p型阱4a)係形成4%程度，I/O電路區域之p通道型MISFET形成區域(n型阱5b)係形成2.2%程度，內部電路區域之p通道型MISFET形成區域(n型阱5a)係形成2%程度。

又，上述之步驟雖係在將磷或砷予以離子佈植於多晶矽膜10而改變成n型多晶矽膜10n之後，通過n型多晶矽膜10n而將氮氣予以離子佈植於p型阱4a、4b，但，與此相反地，亦可在通過多晶矽膜10而將氮氣予以離子佈植於p型阱4a、4b之後，將磷或砷予以離子佈植於多晶矽膜10而改變成n型多晶矽膜10n。

繼之，在將光阻膜41予以去除之後，如圖11所示，以光阻膜42而覆蓋n通道型MISFET形成區域(p型阱4a、4b)的上部之n型多晶矽膜10n，並藉由將硼予以離子佈植於p通道型MISFET形成區域(n型阱5a、5b)的上部之多晶矽膜10，而將該區域之多晶矽膜10改變成低電阻之p型多晶矽膜10p。又，亦可部份變更至此為止之步驟順序，在將n型阱5a、5b的上部之多晶矽膜10改變成p型多晶矽膜10p之後，將p型阱4a、4b的上部之多晶矽膜10改變成n型多晶矽膜10n，並將氮氣予以離子佈植於p型阱4a、4b。

繼之，在將光阻膜42予以去除之後，如圖12所示，藉由將光阻膜43作為遮罩而將n型多晶矽膜10n和p型多晶矽膜10p進行乾式蝕刻，而在p型阱4a、4b的上部，形成由n型多晶矽膜10n所組成之閘極電極11n，且在n型阱5a、5b的上部，形

成由p型多晶矽膜10p所組成之閘極電極11p。

繼之，在將光阻膜43予以去除之後，如圖13所示，在p型阱4a、4b形成n⁻型半導體區域12，且在n型阱5a、5b形成p⁻型半導體區域13。形成n⁻型半導體區域12係以光阻膜(未圖示)而覆蓋n型阱5a、5b，並將磷或砷予以離子佈植於p型阱4a、4b。此外，形成p⁻型半導體區域13係以光阻膜(未圖示)而覆蓋p型阱4a、4b，並將硼予以離子佈植於n型阱5a、5b。n⁻型半導體區域12係用以將n通道型MISFET之源極、汲極作成LDD (Lightly Doped Drain)構造，而p⁻型半導體區域13係用以將p通道型MISFET之源極、汲極作成LDD構造而形成。

繼之，如圖14所示，在閘極電極11n、11p之側壁形成側牆間隔物14。形成側牆間隔物14係以CVD法而將氮化矽膜堆積於基板1上，繼而將該氮化矽膜予以各向異性地進行蝕刻而殘留於閘極電極11n、11p之側壁。

繼之，在p型阱4a、4b形成n⁺型半導體區域(源極、汲極)16，且在n型阱5a、5b形成p⁺型半導體區域(源極、汲極)17。形成n⁺型半導體區域(源極、汲極)16係以光阻膜(未圖示)而覆蓋n型阱5a、5b，並將磷或砷予以離子佈植於p型阱4a、4b。此外，形成p⁺型半導體區域(源極、汲極)17係以光阻膜(未圖示)而覆蓋p型阱4a、4b，並將硼予以離子佈植於n型阱5a、5b。

根據至此為止之步驟，而在內部電路區域之p型阱4a係形成有n通道型MISFET (Qn1)，其係具有薄的閘極氧化膜6a，而在I/O電路區域之p型阱4b係形成有n通道型MISFET (Qn2)，其係具有厚的閘極氧化膜6b。此外，在內部電路區域之n型阱

5a係形成有p通道型 MISFET (Qp1)，其係具有薄的閘極氧化膜6a，而在 I/O 電路區域之n型阱5b係形成有p通道型 MISFET (Qp2)，其係具有厚的閘極氧化膜6b。

繼之，導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，係自較高之一方而依序形成 I/O 電路區域之n通道型 MISFET (Qn2)>內部電路區域之n通道型 MISFET (Qn1)>I/O 電路區域之p通道型 MISFET (Qp2)>內部電路區域之p通道型 MISFET (Qp1)。

繼之，如圖15所示，以CVD法而將氮化矽膜19堆積於基板1上，繼而在以CVD法而將氧化矽膜20予以堆積於氮化矽膜19的上部之後，藉由將形成於氧化矽膜20的上部之光阻膜(未圖示)作為遮罩而將氧化矽膜20和氮化矽膜19進行乾式蝕刻，而分別在n⁺型半導體區域(源極、汲極)16的上部和p⁺型半導體區域(源極、汲極)17的上部形成連接孔21。

繼之，以CVD法或濺鍍法而將鎢(W)膜予以堆積於含有連接孔21的內部之氧化矽膜20上，繼而藉由將光阻膜(未圖)作為遮罩而將該鎢膜進行乾式蝕刻，而在氧化矽膜20的上部形成鎢配線22~28。此後，中介層間絕緣膜而在鎢配線22~28的上部形成複數層之金屬配線，但，此類之圖示係省略。

如此，根據本實施之形態，藉由將氮氣導入於n通道型 MISFET (Qn1)之閘極氧化膜6a和p型阱4a的界面、以及n通道型 MISFET (Qn2)之閘極氧化膜6b和p型阱4b的界面，即能提升n通道型 MISFET (Qn1、Qn2)之熱載體耐性。此外，藉由以具有厚的閘極氧化膜6b之n通道型 MISFET (Qn2)而將上述氮濃度

作成更高之措施，即能確實地提升易於產生熱載體之信賴性之劣化之n通道型 MISFET (Qn2)之熱載體耐性。

此外，根據本實施之形態，藉由將導入於p通道型 MISFET (Qp1)之閘極氧化膜 6a和n型阱 5a之界面、以及p通道型 MISFET (Qp2)之閘極氧化膜 6b和n型阱 5b之界面之氮濃度，作成較n通道型 MISFET(Qn1、Qn2)更低之措施，即能抑制相較於n通道型 MISFET(Qn1、Qn2)而易於產生NBT之信賴性之劣化之p通道型 MISFET(Qp1、Qp2)之信賴性降低之情形。

亦即，根據本實施之形態，藉由將導入於導電型以及閘極氧化膜厚之相異的4種類之 MISFET (Qn1、Qn2、Qp1、Qp2)之閘極氧化膜和基板(阱)的界面之氮濃度作成最佳化，即能使相對於熱載體之信賴性和相對於NBT之信賴性之雙方面同時成立。

此外，根據本實施之形態，藉由將氮氣導入於p通道型 MISFET (Qp1)之閘極氧化膜 6a和n型阱 5a之界面、以及p通道型 MISFET (Qp2)之閘極氧化膜 6b和n型阱 5b之界面，即能抑制起因於構成p通道型 MISFET (Qp1、Qp2)之閘極電極 11p之p型多晶矽膜 10p中之硼為漏失於基板 1之元件特性之變動。

此外，根據本實施之形態，由於在上述氮氣之導入時並無追加遮罩，故能將製造成本之增加抑制於最小限度，且可獲得上述之功效。

(實施形態 2)

使用圖 16~圖 29並依據步驟順序而說明本實施形態之 CMOS-LSI之製造方法。又，和前述實施形態 1相同，距離各圖的

中央而左側之區域係表示內部電路區域，而右側之區域係表示I/O(輸出入)電路區域。此外，內部電路區域、I/O電路區域其分別之左側部份係表示n通道型MISFET形成區域，而右側部份係表示p通道型MISFET形成區域。

首先，如圖16所示，在基板1上形成元件分離溝2、p型阱4a、4b和n型阱5a、5b，繼而分別在p型阱4a、4b、n型阱5a、5b的表面，形成膜厚4 nm程度之氧化矽膜6。至此為止之步驟係和前述實施形態1之圖1~圖3所示之步驟相同。

繼之，如圖17所示，以光阻膜40而覆蓋I/O電路區域之基板1之表面，並藉由以氟酸而將內部電路區域之基板1的表面進行蝕刻之措施，將該區域之氧化矽膜6予以去除。

繼之，在將光阻膜40予以去除之後，如圖18所示，藉由將基板1進行濕式氧化，而在內部電路區域之基板1(p型阱4a和n型阱5a)的表面，形成膜厚2 nm程度之薄的閘極氧化膜6a。此時，由於I/O電路區域之基板1(p型阱4b和n型阱5b)的表面亦被氧化，故在I/O電路區域之基板1的表面係形成有閘極氧化膜6b，其係具有含有氧化矽膜6的一部份之厚的膜厚(6 nm程度)。

繼之，如圖19所示，藉由在含有NO之環境氣體中，將基板1進行熱處理(氧氮化處理)，而將氮氣導入於閘極氧化膜6a、6b和基板1之界面近傍。此時，將通過內部電路區域之薄的閘極氧化膜6a而導入於基板1(p型阱4a和n型阱5a)之氮濃度作成2%程度時，則通過I/O電路區域之厚的閘極氧化膜6b而導入於基板1(p型阱4b和n型阱5b)之氮濃度係形成0.2%程

度。

繼之，如圖 20 所示，以 CVD 法而將非摻雜之多晶矽膜 10 堆積於基板 1 上之後，以光阻膜 41 而覆蓋 p 通道型 MISFET 形成區域 (n 型阱 5a、5b) 的上部之多晶矽膜 10，並藉由將磷或砷予以離子佈植於 n 通道型 MISFET 形成區域 (p 型阱 4a、4b) 的上部之多晶矽膜 10，而將該區域之多晶矽膜 10 改變成低電阻之 n 型多晶矽膜 10n。

繼之，如圖 21 所示，在 p 通道型 MISFET 形成區域 (n 型阱 5a、5b) 之多晶矽膜 10 上存留光阻膜 41，並通過 n 型多晶矽膜 10n 而將氮氣 (N_2^+) 予以離子佈植於其下部之閘極氧化膜 6a 和 p 型阱 4a 之界面、以及閘極氧化膜 6b 和 p 型阱 4b 之界面。此時，藉由例如將氮氣之劑量作成 $5 \times 10^{14}/\text{cm}^2$ ，而在上述界面近傍導入相當於 2% 程度的濃度之氮氣。

如前述，在前述之氧氮化處理步驟中，內部電路區域之薄的閘極氧化膜 6a 和基板 1 (p 型阱 4a 和 n 型阱 5b) 之界面近傍，係導入 2% 程度之氮氣，而在 I/O 電路區域之厚的閘極氧化膜 6b 和基板 1 (p 型阱 4b 和 n 型阱 5b) 之界面近傍，係導入 0.2% 程度之氮氣。

因此，藉由在上述之氮氣之離子佈植步驟中進而導入 2% 程度之氮氣，則內部電路區域之薄的閘極氧化膜 6a 和 p 型阱 4a 之界面近傍之氮濃度，係形成 4% 程度，而 I/O 電路區域之厚的閘極氧化膜 6b 和 p 型阱 4b 之界面近傍之氮濃度，係形成 2.2% 程度。

另一方面，由於內部電路區域之 n 型阱 5a 和 I/O 電路區域 n

型阱5b之上部，係分別以光阻膜41而予以覆蓋，故在上述之氮氣之離子佈植步驟中，無增加氮氣之濃度。亦即，內部電路區域之薄的閘極氧化膜6a和n型阱5a的界面近傍之氮濃度係2%程度，而I/O電路區域之厚的閘極氧化膜6b之n型阱5b的界面近傍之氮濃度係0.2%程度。

根據至此為止之步驟，而導入於閘極氧化膜和基板(阱)的界面之氮濃度，係n通道型MISFET形成區域(p型阱4a、4b)之一方為較p通道型MISFET形成區域(n型阱5a、5b)更高。但，該時點係薄的閘極氧化膜6a和p型阱4a的界面近傍之氮濃度(4%程度)之一方，係較厚的閘極氧化膜6b和p型阱4b的界面近傍之氮濃度(2.2%程度)更高。

繼之，在將光阻膜41予以去除之後，如圖22所示，以光阻膜42而覆蓋n通道型MISFET形成區域(p型阱4a、4b)的上部之n型多晶矽膜10n，並藉由將硼予離子佈植於p通道型MISFET形成區域(n型阱5a、5b)的上部之多晶矽膜10，而將該區域之多晶矽膜10改變成低電阻之p型多晶矽膜10p。

繼之，在將光阻膜42予以去除之後，如圖23所示，藉由將光阻膜43作為遮罩而將n型多晶矽膜10n和p型多晶矽膜10p進行乾式蝕刻，在p型阱4a、4b的上部，形成由n型多晶矽膜10n所組成之閘極電極11n，而在n型阱5a、5b的上部，形成由p型多晶矽膜10p所組成之閘極電極11p。

繼之，在將光阻膜43予以去除之後，如圖24所示，在基板1上形成p型阱4b的上部為開口狀之光阻膜44，並藉由將該光阻膜44作為遮罩而將磷或砷予以離子佈植於p型阱4b，

而形成n型半導體區域12。如前述，n型半導體區域12係用以將n通道型MISFET之源極、汲極作成LDD構造而形成。

繼之，如圖25所示，將上述光阻膜44作為遮罩而將氮氣予以離子佈植於閘極氧化膜6b和p型阱4b之界面近傍。此時，藉由例如將氮氣之劑量作成 $2 \times 10^{15}/\text{cm}^2$ ，而在上述界面近傍導入相當於2%程度的濃度之氮氣。

如前述，在閘極氧化膜6b和p型阱4b之界面近傍，係藉由前述2次之氧氮化處理而導入2.2%程度之氮氣。因此，藉由在p型阱4b進行上述之氮氣之離子佈植，而I/O電路區域之厚的閘極氧化膜6b和p型阱4b的界面近傍之氮濃度，係形成4.2%程度，且較內部電路區域之薄的閘極氧化膜6a和p型阱4a的界面近傍之氮濃度(4%程度)更高。

根據至此為止之步驟，則導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，其I/O電路區域之n通道型MISFET之形成區域(p型阱4b)係形成最高之4.2%程度，繼而內部電路區域之n通道型MISFET形成區域(p型阱4a)係形成4%程度，I/O電路區域之p通道型MISFET形成區域(n型阱5b)係形成0.2%程度，內部電路區域之p通道型MISFET形成區域(n型阱5a)係形成2%程度。

又，本實施形態係因為在形成閘極電極11n、11p之後，再進行氮氣之離子佈植，故雖在閘極電極11n之正下方之閘極氧化膜6b和p型阱4b之界面近傍係無導入氮氣，但，因至少在汲極區域之近傍導入氮氣時，即能抑制熱載體，故不產生障礙。

繼之，在將光阻膜44予以去除之後，如圖26所示，在基板1上形成p型阱4a的上部為開口狀之光阻膜45，並藉由將該光阻膜45作為遮罩而將磷或砷予以離子佈植於p型阱4a，而形成n-型半導體區域12。

繼之，將光阻膜45予以去除之後，如圖27所示，在基板1上形成n型阱5a的上部為開口之光阻膜46，並藉由將該光阻膜46作為遮罩而將硼予以離子佈植於n型阱5a，而形成p-型半導體區域13。繼之，在將光阻膜46予以去除之後，如圖28所示，在基板1上形成將n型阱5b的上部予以開口之光阻膜47，並藉由將該光阻膜47作為遮罩而將硼予以離子佈植於n型阱5b，而形成p-型半導體區域13。又，使用上述之4種類之光阻膜44~47而在p型阱4a、4b形成n-型半導體區域12，且在n型阱5a、5b形成p-型半導體區域13時，亦可任意地變更此類之順序。

此後，如圖29所示，以和前述實施形態1相同之方法，在內部電路區域之p型阱4a形成具有薄的閘極氧化膜6a之n通道型MISFET (Qn1)，而在I/O電路區域之p型阱4b形成具有厚的閘極氧化膜6b之n通道型MISFET (Qn2)。此外，在內部電路區域之n型阱5a形成具有薄的閘極氧化膜6a之通道型MISFET (Qp1)，而在I/O電路區域之n型阱5b形成具有厚的閘極氧化膜6b之p通道型MISFET (Qp2)。此後之步驟係和前述實施形態1相同。

根據本實施形態，則導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，係自較高之一方而依序形成I/O電路區域之n

通道型 MISFET (Qn2)>內部電路區域之n道型 MISFET (Qn1)>內部電路區域之p通道型 MISFET (Qp1) > I/O電路區域之p通道型 MISFET (Qp2)。因此，和前述實施形態1相同，能使導入於導電型及閘極氧化膜厚之相異的4種類之 MISFET(Qn1、Qn2、Qp1、Qp2)之閘極氧化膜和基板(阱)的界面之氮濃度作成最佳化，並能使相對於熱載體之信賴性和相對於NBT之信賴性之雙方同時成立。

此外，本實施形態係因為將形成具有厚的閘極氧化膜6b之n通道型 MISFET (Qn2)之n型半導體區域12時所使用之光阻膜44作為遮罩而進行氮氣之離子佈植，故在形成具有薄的閘極氧化膜6b之n通道型 MISFET (Qn1)之n型半導體區域12時，則必需另外之光阻膜45。因此，使用於將2種類之n通道型 MISFET(Qn1、Qn2)之n型半導體區域12設定成相同的雜質濃度之CMOS-LSI之製造時，係增加光學遮罩之數量。但是，使用於分別將2種類之n通道型 MISFET(Qn1、Qn2)之n型半導體區域12設定成最佳之雜質濃度之CMOS-LSI之製造時，則無須增加光學遮罩之數量。

(實施形態3)

使用圖30~圖39並依據步驟順序而說明本實施形態之CMOS-LSI之製造方法。

首先，如圖30所示，在內部電路區域之基板1(p型阱4a和n型阱5a)的表面，形成膜厚2 nm程度之薄的閘極氧化膜6a，且在I/O電路區域之基板1(p型阱4b和n型阱5b)的表面，形成膜厚6 nm程度之厚的閘極氧化膜6a。繼之，藉由在含有NO

之環境氣體中，將基板1進行熱處理(氧氮化處理)，而將既定量之氮氣予以導入於閘極氧化膜6a、6b和基板1之界面近傍。此時，通過內部電路區域之薄的閘極氧化膜6a而將導入於基板1(p型阱4a和n型阱5a)之氮濃度作成2%程度時，則通過I/O電路區域之厚的閘極氧化膜6b而導入於基板1(p型阱4b和n型阱5b)之氮濃度係形成0.2%程度。至此為止之步驟係和前述實施形態2之圖16~圖19所示之步驟相同。

繼之，如圖31所示，以CVD法而將非摻雜之多晶矽膜(未圖示)堆積於基板1上之後，藉由將如前述實施形態1、2所說明之2種類之光阻膜(41、42)作為遮罩之雜質之離子佈植，而在n通道型MISFET形成區域(p型阱4a、4b)的上部形成n型多晶矽膜10n，且在p通道型MISFET形成區域(n型阱5a、5b)的上部形成p型多晶矽膜10p。

繼之，如圖32所示，藉由將光阻膜43作為遮罩而將n型多晶矽膜10n和p型多晶矽膜10p進行乾式蝕刻，而在p型阱4a、4b的上部，形成由n型多晶矽膜10n所組成之閘極電極11n，且在n型阱5a、5b的上部，形成由p型多晶矽膜10p所組成之閘極電極11p。

繼之，在將光阻膜43予以去除之後，如圖33所示，在基板1上形成p型阱4b的上部為開口狀之光阻膜44，並藉由將該光阻膜44作為遮罩而將磷或砷予以離子佈植於p型阱4b，而形成n-型半導體區域12。

繼之，如圖34所示，將上述光阻膜44作為遮罩而將氮氣予以離子佈植於p型阱4b。此時，藉由例如將氮氣之劑量作

成 $4 \times 10^{15}/\text{cm}^2$ ，而在閘極氧化膜 6b 和 p 型阱 4b 之界面近傍，導入相當於 4% 程度的濃度之氮氣。如前述，在閘極氧化膜 6b 和 p 型阱 4b 之界面近傍，係藉由前述之氧氮化處理而導入 0.2% 程度之氮氣。因此，藉由在 p 型阱 4b 進行上述之氮氣之離子佈植，則 I/O 電路區域之厚的閘極氧化膜 6b 和 p 型阱 4b 的界面近傍之氮濃度係形成 4.2% 程度。

繼之，在將光阻膜 44 予以去除之後，如圖 35 所示，在基板 1 上形成 p 型阱 4a 的上部為開口之光阻膜 45，並藉由將該光阻膜 45 作為遮罩而將磷或砷予以離子佈植於 p 型阱 4a，而形成 n 型半導體區域 12。

繼之，如圖 36 所示，將上述光阻膜 45 作為遮罩而將氮氣予以離子佈植於閘極氧化膜 6a 和 p 型阱 4a 之界面近傍。此時，藉由例如將氮氣之劑量作成 $2 \times 10^{15}/\text{cm}^2$ ，而在上述界面近傍導入相當於 2% 程度的濃度之氮氣。如前述，在閘極氧化膜 6a 和 p 型阱 4a 之界面近傍，係藉由前述之氧氮化處理而導入 2% 程度之氮氣。因此，藉由在 p 型阱 4a 進行上述之氮氣之離子佈植，則內部電路區域之薄的閘極氧化膜 6a 和 p 型阱 4a 的界面近傍之氮濃度係形成 4% 程度。

根據至此為止之步驟，而導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，其 I/O 電路區域之 n 通道型 MISFET 形成區域(p 型阱 4b)係形成最高之 4.2% 程度，繼而內部電路區域之 n 通道型 MISFET 形成區域(p 型阱 4a)係形成 4% 程度，內部電路區域之 p 通道型 MISFET 形成區域(n 型阱 5a)係形成 2% 程度，I/O 電路區域 p 通道型 MISFET 形成區域(n 型阱 5b)係形成 0.2% 程

度。

繼之，在將光阻膜45予以去除之後，如圖37所示，在基板1上形成n型阱5a的上部為開口狀之光阻膜46，並藉由將該光阻膜46作為遮罩而將硼予以離子佈植於n型阱5a，而形成p型半導體區域13。繼之，去將光阻膜46予以去除之後，如圖38所示，在基板1上形成n型阱5b的上部為開口狀之光阻膜47，並藉由將該光阻膜47作為遮罩而將硼予以離子佈植於n型阱5b，而形成p型半導體區域13。又，使用上述之4種類之光阻膜44~47而將n型雜質或氮氣予以離子佈植於p型阱4a、4b，並將p型雜質予以離子佈植於n型阱5a、5b時，亦可任意地變更此類之順序。

此後，如圖39所示，以和前述實施形態1、2相同之方法，在內部電路區域之p型阱4a形成具有薄的閘極氧化膜6a之n通道型MISFET (Qn1)，且在I/O電路區域之p型阱4b形成具有厚的閘極氧化膜6b之n通道型MISFET (Qn2)。此外，在內部電路區域之n型阱5a形成具有薄的閘極氧化膜6a之p通道型MISFET (Qp1)，且在I/O電路區域之n型阱5b形成具有厚的閘極氧化膜6b之p通道型MISFET (Qp2)。

根據本實施形態，則導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，係自較高之一方而依序形成I/O電路區域之n通道型MISFET (Qn2) > 內部電路區域之n通道型MISFET (Qn1) > 內部電路區域之p通道型MISFET (Qp1) > I/O電路區域之p通道型MISFET (Qp2)。因此，如和前述實施形態1、2相同地，將導入於導電型及閘極氧化膜厚之相異的4種類之MISFET

(Qn1、Qn2、Qp1、Qp2)之閘極氧化膜和基板(阱)的界面之氮濃度作成最佳化，並能使相對於熱載體之信賴性和相對於NBT之信賴性之雙方面同時成立。

又，導入於n通道型MISFET (Qn2)之厚的閘極氧化膜6b和n型阱5b的界面近傍之氮濃度，係因亦可和導入於n通道型MISFET (Qn1)之薄的閘極氧化膜6a和n型阱5a的界面近傍之氮濃度同等或其以上，故即使兩者之氮濃度相同時，亦不產生障礙。本實施形態之製造方法，係藉由在前述圖34所示之氮氣之離子佈植步驟或前述圖34所示之氮氣之離子佈植步驟中，使氮氣之劑量和前述之值相異之措施，而亦能將n通道型MISFET (Qn1)之氮濃度和n通道型MISFET (Qn2)之氮濃度作成相同。

(實施形態4)

使用圖40~圖46並依據步驟順序而說明本實施形態之CMOS-LSI之製造方法。

首先，如圖40所示，在內部電路區域之基板1的表面，形成膜厚2 nm程度之薄的閘極氧化膜6a，且在I/O電路區域之基板1的表面，形成膜厚6 nm程度之厚的閘極氧化膜6a。膜厚相異之2種類之閘極氧化膜6a、6b，雖係以和前述實施形態1~3相同的方法而形成，但，本實施形態係先行在將p型阱4a、4b和n型阱5a、5b形成於基板1之步驟，而形成上述閘極氧化膜6a、6b。

繼之，如圖41所示，藉由在含有NO之環境氣體中，將基板1進行熱處理(氧氮化處理)，通過內部電路區域之薄的閘

極氧化膜 6a 而將 2% 程度之氮氣導入於閘極氧化膜 6a 和基板 1 之界面近傍。該情形時，導入於 I/O 電路區域之厚的閘極氧化膜 6b 和基板 1 的界面近傍之氮濃度係形成 0.2%。

繼之，如圖 42 所示，以 CVD 法而將非摻雜之多晶矽膜 10 堆積於基板 1 上之後，以光阻膜 41 而覆蓋 p 通道型 MISFET 形成區域的上部之多晶矽膜 10，並藉由將磷或砷予以離子佈植於 n 通道型 MISFET 形成區域的上部之多晶矽膜 10，而將該區域之多晶矽膜 10 改變成低電阻之 n 型多晶矽膜 10n。

繼之，如圖 43 所示，在 p 通道型 MISFET 形成區域存留光阻膜 41，並藉由通過 n 型多晶矽膜 10n 而將硼予以離子佈植於 n 通道型 MISFET 形成區域的基板 1，而在該區域之基板 1 形成 p 型阱 4a、4b。此外，此時為了控制 n 通道型 MISFET 之臨界值電壓，亦將硼予以離子佈植於 p 型阱 4a、4b 的表面(通道形成區域)。該離子佈植係因以將形成於 p 型阱 4a 之 n 通道型 MISFET (Qn1) 之臨界值作成最佳化而進行。

繼之，如圖 44 所示，在 p 通道型 MISFET 形成區域存留光阻膜 41，並將氮氣予以離子佈植於閘極氧化膜 6a 和 p 型阱 4a 之界面近傍、以及閘極氧化膜 6b 和 p 型阱 4b 之界面近傍。此時，藉由例如將氮氣之劑量作成 $5 \times 10^{14}/\text{cm}^2$ ，而在上述界面近傍導入 2% 程度之濃度。

如前述，在內部電路區域之薄的閘極氧化膜 6a 和 p 型阱 4a 之界面近傍，係藉由前述之氧氮化處理而導入 2% 程度之氮氣。因此，藉由進行上述之氮氣之離子佈植，而閘極氧化膜 6a 和 p 型阱 4a 之界面近傍之氮濃度係形成 4% 程度。此外，

在 I/O 電路區域之厚的閘極氧化膜 6b 和 p 型阱 4b 之界面近傍，係藉由前述之氧氮化處理而導入 0.2% 程度之氮氣。因此，薄由進行上述之氮氣之離子佈植，而閘極氧化膜 6b 和 p 型阱 4b 之界面近傍之氮濃度係形成 2.2% 程度。

繼之，在將光阻膜 41 予以去除之後，如圖 45 所示，在多晶矽膜 10 和 n 型多晶矽膜 10n 的上部，形成將 p 型阱 4b 的上部予以開口之光阻膜 48，並將該光阻膜 48 作為遮罩而將磷予以離子佈植於 p 型阱 4b 的表面(通道形成區域)。據此，而具有厚的閘極氧化膜 6b 之 n 通道型 MISFET (Qn2) 之通道雜質(硼)濃度，係較具有薄的閘極氧化膜 6 之 n 通道型 MISFET (Qn1) 之通道雜質(硼)濃度更低，並使該臨界值電壓作成最佳化。

繼之，如圖 46 所示，將上述光阻膜 48 作為遮罩而將氮氣予以離子佈植於閘極氧化膜 6b 和 p 型阱 4b 之界面近傍。此時，藉由例如將氮氣之劑量作成 $5 \times 10^{14}/\text{cm}^2$ ，而在上述界面近傍導入相當於 2% 程度之濃度之氮氣。

如前述，在閘極氧化膜 6b 和 p 型阱 4b 之界面近傍，係藉由前述之氧氮化處理和氮氣之離子佈植，而導入 2.2% 程度之氮氣。因此，藉由進行將上述光阻膜 48 作為遮罩之第 2 次氮氣離子佈植，而 I/O 電路區域之厚的閘極氧化膜 6b 和 p 型阱 4b 的界面近傍之氮濃度係形成 4.2% 程度，且較內部電路區域之薄的閘極氧化膜 6a 和 p 型阱 4a 的界面近傍之氮濃度(4% 程度)更高。

根據至此為止之步驟，則導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，其 I/O 電路區域之 n 通道型 MISFET 形成區

域(p型阱4b)係形成最高之4.2%程度，繼而內部電路區域之n通道型MISFET形成區域(p型阱4a)係形成4%程度，內部電路區域之p通道型MISFET形成區域係形成2%程度，I/O電路區域之p通道型MISFET形成區域係形成0.2%程度。

繼之，在將光阻膜48予以去除之後，如圖47所示，以光阻膜49而覆蓋n通道型MISFET形成區域(p型阱4a、4b)的上部之n型多晶矽膜10n，並藉由將硼予以離子佈植於p通道型MISFET形成區域的上部之多晶矽膜10，而將該區域之多晶矽膜10改變成低電阻之p型多晶矽膜10p。繼之，在n通道型MISFET形成區域(p型阱4a、4b)存留光阻膜49，並藉由通過p型多晶矽膜10p而將磷予以離子佈植於p通道型MISFET形成區域之基板1，而在該區域之基板1形成n型阱5a、5b。此外，此時為了控制p通道型MISFET之臨界值電壓，亦將磷予以離子佈植於n型阱5a、5b的表面(通道形成區域)。該離子佈植係用以將形成於n型阱5a之p通道型MISFET(Qp1)之臨界值電壓作成最佳化而進行。

繼之，在將光阻膜49予以去除之後，如圖48所示，在p型多晶矽膜10p和n型多晶矽膜10n的上部，形成將n型阱5b的上部予以開口之光阻膜50，並藉由將該光阻膜50作為遮罩而將硼予以離子佈植於n型阱5b的表面(通道形成區域)。據此，而具有厚的閘極氧化膜6b之p通道型MISFET(Qp2)之通道雜質(磷)濃度，係較具有薄的閘極氧化膜6之p通道型MISFET(Qp1)之通道雜質(磷)濃度更低，並使該臨界值電壓作成最佳化。

此後，如圖49所示，根據前述實施形態1之圖12~圖14所示

之步驟，在內部電路區域之p型阱4a，形成具有薄的閘極氧化膜6a之n通道型MISFET (Qn1)，且在I/O電路區域之p型阱4b，形成具有厚的閘極氧化膜6b之通道型MISFET (Qn2)。此外，在內部電路區域之n型阱5a，形成具有薄的閘極氧化膜6a之p通道型MISFET (Qp1)，且在I/O電路區域之n型阱5b，形成具有厚的閘極氧化膜6b之p通道型MISFET (Qp2)。

在本實施形態當中，導入於閘極氧化膜和基板(阱)的界面近傍之氮濃度，係自較高之一方而依序形成I/O電路區域之n通道型MISFET (Qn2) > 內部電路區域之n通道型MISFET (Qn1) > 內部電路區域之p通道型MISFET (Qp1) > I/O電路發域之p通道型MISFET (Qp2)。又，本實施形態之製造方法，亦可藉由在前述圖46所示之氮氣之離子佈植步驟中，使氮氣之劑量作成和前述之值相異之措施，而將n通道型MISFET (Qn1)之氮濃度和n通道型MISFET (Qn2)之氮濃度作成相同。

根據本實施形態，則如和前述實施形態1~4相同地，能使導入於導電型和閘極氧化膜厚相異之4種類之MISFET (Qn1、Qn2、Qp1、Qp2)之閘極氧化膜和基板(阱)的界面之氮濃度達成最佳化，並使相對於熱載體之信賴性和相對於NBT之信賴性之雙方面同時成立。此時，根據本實施形態係因為在上述氮氣之導入時，無須追加光學遮罩，故可將製造成本之增加予以抑制於最小限度，且能獲得上述之功效。

以上，雖根據發明之實施形態而具體地說明本發明者所實施之發明，但，本發明係不限定於前述實施形態，在不脫離該精神要旨之範圍內，當然可作各種變更。

例如前述實施形態1~4所示之氮濃度，係不自限於此。此外，亦可藉由將前述實施形態1~4所說明之方法予以適當地組合，而將導入於導電型及閘極氧化膜厚相異之4種類之MISFET(Qn1、Qn2、Qp1、Qp2)之閘極氧化膜和基板(阱)的界面之氮濃度作成最佳化。

在本案所揭示之發明當中，簡單地說明藉由代表性者而獲得之功效如下。

在混合著具有薄的閘極絕緣膜之MISFET和具有厚的閘極絕緣膜之MISFET之半導體積體電路裝置當中，無增加光學遮罩之數量，而能使相對於熱載體之信賴性和相對於NBT之信賴性達成最佳化。

【圖式簡單說明】

〔圖1〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。

〔圖2〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。

〔圖3〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。。

〔圖4〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。

〔圖5〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。

〔圖6〕表示本發明之一實施形態之邏輯LSI的製造方法之半導體基板之要部截面圖。

〔圖 7〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 8〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 9〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 10〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 11〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 12〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 13〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 14〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 15〕表示本發明之一實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 16〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 17〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 18〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 19〕表示本發明之實施形態 2 之 DRAM 混載邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 20〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 21〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 22〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 23〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 24〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 25〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 26〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 27〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 28〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 29〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 30〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 31〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 32〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 33〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 34〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 35〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 36〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 37〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 38〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 39〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 40〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 41〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 42〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 43〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 44〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 45〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 46〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 47〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 48〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

〔圖 49〕表示本發明之另外的實施形態之邏輯 LSI 的製造方法之半導體基板之要部截面圖。

【圖式代表符號說明】

- | | |
|-------|-------|
| 1 | 矽基板 |
| 2 | 元件分離溝 |
| 3 | 氧化矽膜 |
| 4a、4b | p 型阱 |
| 5a、5b | n 型阱 |
| 6 | 氧化矽膜 |
| 6a、6b | 閘極氧化膜 |
| 7 | 氧化矽膜 |
| 10 | 多晶矽膜 |

10n	n型多晶矽膜
10p	p型多晶矽膜
11n、11p	閘極電極
12	n ⁻ 型半導體區域
13	p ⁻ 型半導體區域
14	側牆間隔物
16	n ⁺ 型半導體區域(源極、汲極)
17	p ⁺ 型半導體區域(源極、汲極)
19	氮化矽膜
20	氧化矽膜
21	連接孔
22~28	鎢配線
40~50	光阻膜
Qn1、Qn2	n通道型 MISFET
Qp1、Qp2	p通道型 MISFET

伍、中文發明摘要：

本發明係提供一種半導體積體電路裝置及其製造方法之相關技術，其係將導入於導電型及閘極氧化膜厚之相異的4種類之MISFET之閘極氧化膜和基板(阱)之界面之氮氣濃度予以作成最佳化，而使相對於熱載體之信賴性和相對於NBT之信賴性之雙方面同時成立。

藉由在含有NO(一氧化氮)之環境氣體中，將基板1進行熱處理之氮化處理、以及使用氮氣之離子佈植之措施，而無須追加光學遮罩，而將導入於閘極氧化膜和基板(阱)之界面近傍之氮氣濃度，自較高之方面而依序作成具有厚的閘極氧化膜6b之n通道型MISFET(Qn2)>具有薄的閘極氧化膜6a之n通道型MISFET(Qn1)>具有厚的閘極氧化膜6b之p通道型MISFET(Qp2)、具有薄的閘極氧化膜6a之p通道型MISFET(Qp1)。

陸、日文發明摘要：

【課題】 導電型およびゲート酸化膜厚の異なる4種類のMISFETのゲート酸化膜と基板(ウェル)の界面に導入する窒素の濃度を最適化することによって、ホットキャリアに対する信頼性とNBTに対する信頼性を両立させる。

【解決手段】 NO(一酸化窒素)を含む雰囲気中で基板1を熱処理する酸化窒素処理と、窒素のイオン注入を併用することにより、フォトリソマスクを追加することなく、ゲート酸化膜と基板(ウェル)との界面近傍に導入される窒素の濃度を、高い方から順に、厚いゲート酸化膜6bを有するnチャネル型MISFET(Qn2)>薄いゲート酸化膜6aを有するnチャネル型MISFET(Qn1)>厚いゲート酸化膜6bを有するpチャネル型MISFET(Qp2)、薄いゲート酸化膜6aを有するpチャネル型MISFET(Qp1)とする。

拾、申請專利範圍：

1. 一種半導體積體電路裝置，其特徵在於：

具有第1閘極絕緣膜之第1n通道型 MISFET 和第1p通道型 MISFET、以及具有較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之第2n通道型 MISFET 和第2p通道型 MISFET，係形成於半導體基板之主要表面，且氮係導入於前述第1和第2閘極絕緣膜和前述半導體基板之界面，

導入於前述第2n通道型 MISFET 之第2閘極絕緣膜和前述半導體基板之界面之氮濃度，係等於導入於前述第1n通道型 MISFET 之第1閘極絕緣膜和前述半導體基板之界面之氮濃度、或較其更高，

導入於前述第1n通道型 MISFET 之第1閘極絕緣膜和前述半導體基板之界面之前述氮濃度，係較導入於前述第1p通道型 MISFET 之第1閘極絕緣膜和前述半導體基板之界面之氮濃度、以及導入於前述第2p通道型 MISFET 之第2閘極絕緣膜和前述半導體基板之界面之氮濃度更高。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中

前述第1和第2n通道型 MISFET 之閘極電極，係含有n型多晶矽膜而構成，而前述第1和第2p通道型 MISFET 之閘極電極，係含有p型多晶矽膜而構成。

3. 一種半導體積體電路裝置之製造方法，其特徵在於具有如下之步驟：

(a)在形成於半導體基板之主要表面之第1p型阱、第2p型阱、第1n型阱、以及第2n型阱之各個表面形成第1絕緣

膜之後，藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述各個阱和前述第1絕緣膜之界面，形成具有第1氮濃度之第1氮化區域之步驟；

(b)分別將形成於前述第1p型阱之前述第1絕緣膜和前述第1氮化區域、以及形成於前述第1n型阱之前述第1絕緣膜和前述第1氮化區域予以去除，並分別於前述第2p型阱和前述第2n型阱，存留前述第1絕緣膜和前述第1氮化區域之步驟；

(c)藉由將前述半導體基板施以熱氧化，而分別在前述第1p型阱和前述第1n型阱的表面形成第1閘極絕緣膜，並分別在前述第2p型阱和前述第2n型阱的表面，包含前述第1絕緣膜的一部份，並形成較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之步驟；

(d)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第1p型阱和前述第1閘極絕緣膜之界面、以及前述第1n型阱和前述第1閘極絕緣膜之界面，形成具有第2氮濃度之第2氮化區域，且在前述第2p型阱和前述第2閘極絕緣膜之界面、以及前述第2n型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第1氮化區域之氮、並具有較前述第2氮濃度為高之第3氮濃度之第3氮化區域之步驟；

(e)將矽膜予以堆積於前述半導體基板上之後，分別於前述第1n型阱和前述第2n型阱之上部，形成第1光阻膜，並藉由將n型雜質予以離子佈植於前述第1p型阱和前述第

2p型阱之各個上部之前述矽膜，而形成n型矽膜之步驟；

(f)分別在前述第1n型阱和前述第2n型阱之上部，存留前述第1光阻膜，並藉由通過前述n型矽膜而分別將氮氣予以離子佈植於前述第1p型阱和前述第2p型阱，

以在前述第1p型阱和前述第1閘極絕緣膜之界面，包含前述第2氮化區域之氮的一部份，並形成具有較前述第3氮濃度為高之第4氮濃度之第4氮化區域，

在前述第2p型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第3氮化區域之氮、並具有較前述第4氮濃度為高之第5氮濃度之第5氮化區域之步驟；

(g)分別於前述第1p型阱和前述第2p型阱之上部形成第2光阻膜，並將p型雜質予以離子佈植於前述第1n型阱和前述第2n型阱之各個上部之前述矽膜，而改變成p型矽膜之步驟；

(h)藉由分別將前述型n型矽膜和前述p型矽膜予以圖案化，而在前述第1p型阱和前述第2p型阱之各個上部，形成含前述n型矽膜之n型導體片，且在前述第1n型阱和前述第2n型阱之各個上部，形成含前述p型矽膜之p型導體片之步驟；以及

(i)在前述(h)步驟之後，藉由分別在前述第1p型阱和前述第2p型阱，形成含n型半導體區域之源極、汲極，且分別在前述第1n型阱和前述第2n型阱，形成含p型半導體區域之源極、汲極，而

在前述第1n型阱形成第1p通道型MISFET，其係具有：

含前述p型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第2氮化區域，

在前述第2n型阱形成第2p通道型MISFET，其係具有：含前述p型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第3氮化區域，

在前述第1p型阱形成第1n通道型MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第4氮化區域，

在前述第2p型阱形成第2n通道型MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第5氮化區域之步驟。

4. 如申請專利範圍第3項之半導體積體電路裝置之製造方法，其中

在前述(e)步驟當中，分別在前述第1p型阱和前述第2p型阱的上部形成n型矽膜之步驟，係在前述(f)步驟之後進行。

5. 一種半導體積體電路裝置之製造方法，其特徵在於具有如下之步驟：

(a)在半導體基板之主要表面形成第1p型阱、第2p型阱、第1n型阱、以及第2n型阱之後，分別在前述第1p型阱和

前述第1n型阱的表面形成第1閘極絕緣膜，並分別在前述第2p型阱和前述第2n型阱的表面，形成較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之步驟；

(b)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第2p型阱和前述第2閘極絕緣膜之界面、以及前述第2n型阱和前述第2閘極絕緣膜之界面，形成具有第1氮濃度之第1氮化區域，且在前述第1p型阱和前述第1閘極絕緣膜之界面、以及前述第1n型阱和前述第1閘極絕緣膜之界面，形成具有較前述第1氮濃度為高之第2氮濃度之第2氮化區域之步驟；

(c)將矽膜予以堆積於前述半導體基板上之後，分別於前述第1n型阱和前述第2n型阱之上部，形成第1光阻膜，並藉由將n型雜質予以離子佈植於前述第1p型阱和前述第2p型阱之各個上部之前述矽膜，而形成n型矽膜之步驟；

(d)分別在前述第1n型阱和前述第2n型阱之上部，存留前述第1光阻膜，並藉由通過前述n型矽膜而分別將氮氣予以離子佈植於前述第1p型阱和前述第2p型阱，

以在前述第2p型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第1氮化區域之氮、並具有較前述第2氮濃度為高之第3氮濃度之第3氮化區域，

在前述第1p型阱和前述第1閘極絕緣膜之界面，形成部分包含前述第2氮化區域之氮、並具有較前述第3氮濃度為高之第4氮濃度之第4氮化區域之步驟；

(e)分別於前述第1p型阱和前述第2p型阱之上部形成第2

光阻膜，並藉由將p型雜質予以離子佈植於前第1n型阱和前述第2n型阱之各個上部之前述矽膜，而改變成p型矽膜之步驟；

(f)藉由分別將前述型n型矽膜和前述p型矽膜予以圖案化，而在前述第1p型阱和前述第2p型阱之各個上部，形成含前述n型矽膜之n型導體片，且在前述第1n型阱和前述第2n型阱之各個上部，形成含前述p型矽膜之p型導體片之步驟；

(g)在前述(f)步驟之後，分別在前述第1p型阱、前述第1n型阱以及前述第2n型阱之各個上部，形成第3光阻膜，並藉由將n型雜質予以離子佈植於前述第2p型阱，而構成源極、汲極的一部份於前述第2p型阱之步驟；

(h)分別在前述第1p型阱、前述第1n型阱以及前述第2n型阱之各個上部，存留第3光阻膜，並藉由將氮氣予以離子佈植於前述第2p型阱，而在前述第2p型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第3氮化區域之氮、並具有較前述第4氮濃度為高之第5氮濃度之第5氮化區域之步驟；以及

(i)在前述(h)步驟之後，藉由分別在前述第1p型阱和前述第2p型阱，形成含n型半導體區域之源極、汲極，且分別在前述第1n型阱和前述第2n型阱，形成含p型半導體區域之源極、汲極，

在前述第1n型阱形成第1p通道型MISFET，其係具有：含前述p型半導體區域之源極、汲極；前述第1閘極絕緣

膜；含有前述p型導體片之閘極電極；以及前述第2氮化區域，

在前述第2n型阱形成第2p通道型 MISFET，其係具有：
含前述p型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第1氮化區域，

在前述第1p型阱形成第1n通道型 MISFET，其係具有：
含前述n型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第4氮化區域，

在前述第2p型阱形成第2n通道型 MISFET，其係具有：
含前述n型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第5氮化區域之步驟。

6. 如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中

在前述(c)步驟當中，分別在前述第1p型阱和前述第2p型阱的上部形成n型矽膜之步驟，係在前述(d)步驟之後進行。

7. 如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中

在前述(g)步驟當中，在前述第2p型阱形成前述n型半導體區域之步驟，係在前述(h)步驟之後進行。

8. 一種半導體積體電路裝置之製造方法，其特徵在於具有

如下之步驟：

(a)在半導體基板之主要表面形成第1p型阱、第2p型阱、第1n型阱、以及第2n型阱之後，分別在前述第1p型阱和前述第1n型阱的表面形成第1閘極絕緣膜，並分別在前述第2p型阱和前述第2n型阱的表面，形成較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之步驟；

(b)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第2p型阱和前述第2閘極絕緣膜之界面、以及前述第2n型阱和前述第2閘極絕緣膜之界面，形成具有第1氮濃度之第1氮化區域，且在前述第1p型阱和前述第1閘極絕緣膜之界面、以及前述第1n型阱和前述第1閘極絕緣膜之界面，形成具有較前述第1氮濃度為高之第2氮濃度之第2氮化區域之步驟；

(c)分別在前述第1p型阱和前述第2p型阱的上部形成n型矽膜，且分別在前述第1n型阱和前述第2n型阱的上部形成p型矽膜之步驟；

(d)藉由分別將前述n型矽膜和前述p型矽膜予以圖案化，而在前述第1p型阱和前述第2p型阱之各個上部，形成含前述n型矽膜之n型導體片，且在前述第1n型阱和前述第2n型阱之各個上部，形成含前述p型矽膜之p型導體片之步驟；

(e)在前述(d)步驟之後，分別在前述第1p型阱、前述第1n型阱以及前述第2n型阱之各個上部，形成第1光阻膜，並藉由將n型雜質予以離子佈植於前述第2p型阱，而形成構

成源極、汲極的一部份之n型半導體區域之步驟；

(f)分別在前述第1p型阱、前述第1n型阱以及前述第2n型阱之各個上部，存留第1光阻膜，並藉由將氮氣予以離子佈植於前述第2p型阱，而在前述第2p型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第1氮化區域之氮、並具有較前述第2氮濃度為高之第3氮濃度之第3氮化區域之步驟；

(g)分別在前述第2p型阱、前述第1n型阱以及前述第2n型阱之各個上部，形成第2光阻膜，並藉由將n型雜質予以離子佈植於前述第1p型阱，而形成構成源極、汲極的一部份之n型半導體區域之步驟；

(h)分別在前述第2p型阱、前述第1n型阱以及前述第2n型阱之各個上部，存留第2光阻膜，並藉由將氮氣予以離子佈植於前述第1p型阱，而在前述第1p型阱和前述第1閘極絕緣膜之界面，形成部分包含前述第2氮化區域之氮、並具有較前述第2氮濃度為高且等於前述第3氮濃度、或較其為低之第4氮濃度之第4氮化區域之步驟；以及

(i)在前述(h)步驟之後，藉由分別在前述第1p型阱和前述第2p型阱，形成含n型半導體區域之源極、汲極，且分別在前述第1n型阱和前述第2n型阱，形成含p型半導體區域之源極、汲極，

以在前述第1n型阱形成第1p通道型MISFET，其係具有：
含前述p型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第2氮化

區域，

在前述第2n型阱形成第2p通道型MISFET，其係具有：
含前述p型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第1氮化區域，

在前述第1p型阱形成第1n通道型MISFET，其係具有：
含前述n型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第4氮化區域，

在前述第2p型阱形成第2n通道型MISFET，其係具有：
含前述n型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第3氮化區域之步驟。

9. 如申請專利範圍第8項之半導體積體電路裝置之製造方法，其中

前述(f)步驟中之前述氮氣之離子佈植，係較前述(e)步驟之前述n型雜質之離子佈植之前進行。

10. 如申請專利範圍第8項之半導體積體電路裝置之製造方法，其中

前述(h)步驟中之前述氮氣之離子佈植，係較前述(g)步驟之前述n型雜質之離子佈植之前進行。

11. 一種半導體積體電路裝置之製造方法，其特徵在於具有如下之步驟：

(a)在半導體基板的主要表面之第1區域和第2區域形成

第1閘極絕緣膜，且在半導體基板的主要表面之第3區域和第4區域形成較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之步驟；

(b)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第3區域之前述半導體基板和前述第2閘極絕緣膜之界面、以及前述第4區域之前述半導體基板和前述第2閘極絕緣膜之界面，形成具有第1氮濃度之第1氮化區域，且在前述第1區域之前述半導體基板和前述第1閘極絕緣膜之界面、以及前述第2區域之前述半導體基板和前述第1閘極絕緣膜之界面，形成具有較前述第1氮濃度為高之第2氮濃度之第2氮化區域之步驟；

(c)將矽膜予以堆積於前述半導體基板上之後，於前述第2區域和前述第4區域之前述矽膜上，形成第1光阻膜，並藉由將n型雜質予以離子佈植於前述第1區域和前述第3區域之前述矽膜，而形成n型矽膜之步驟；

(d)在前述第2區域和前述第4區域之前述矽膜上，存留第1光阻膜，並藉由通過前述n型矽膜而將p型雜質予以離子佈植於前述半導體基板，而在前述半導體基板之前述第1區域形成第1p型阱，且在前述第3區域形成第2p型阱之步驟；

(e)前述第2區域和前述第4區域之前述矽膜上，存留第1光阻膜，並藉由通過前述n型矽膜而分別將氮氣予以離子佈植於前述第1p型阱和前述第2p型阱，

在前述第2p型阱和前述第2閘極絕緣膜之界面，形成將

前述第1氮化區域之氮氣包含於其一部份之具有第3氮濃度之第3氮化區域，

在前述第1p型阱和前述第1閘極絕緣膜之界面，形成部分包含前述第2氮化區域之氮、並具有較前述第2氮濃度為高之第4氮濃度之第4氮化區域之步驟；

(f)分別在前述第2區域和前述第4區域之前述矽膜、以及前述第1區域之前述n型矽膜的上部，形成第2光阻膜，並藉由通過前述n型矽膜而將n型雜質予以離子佈植於前述第2p型阱，而使形成於前述第2p型阱之n通道型MISFET之臨界值電壓達成最適化之步驟；

(g)分別在前述第2區域和前述第4區域之前述矽膜、以及前述第1區域之前述n型矽膜的上部，殘留前述第2光阻膜，並藉由通過前述n型矽膜而將氮氣予以離子佈植於前述第2p型阱，而在前述第2p型阱和前述第2閘極絕緣膜之界面，形成部分包含前述第3氮化區域之氮、並具有等於前述第4氮濃度、或較其為高之第5氮濃度之第5氮化區域之步驟；

(h)在前述n型矽膜上形成第3光阻膜，並藉由將p型雜質予以離子佈植於前述第2區域和前述第4區域之前述矽膜而形成p型矽膜之步驟；

(i)在前述n型矽膜上，殘留前述第3光阻膜，並藉由通過前述p型矽膜而將n型雜質予以離子佈植於前述半導體基板，而在前述半導體基板之前述第2區域形成第1n型阱，且在前述第4區域形成第2n型阱之步驟；

(j)藉由分別將前述n型矽膜和前述p型矽膜予以圖案化，而在前述第1p型阱和前述第2p型阱之各個上部，形成含前述n型矽膜之n型導體片，且在前述第1n型阱和前述第2n型阱之各個上部，形成含前述p型矽膜之p型導體片之步驟；以及

(k)在前述(j)步驟之後，藉由分別在前述第1p型阱和前述第2p型阱，形成含n型半導體區域之源極、汲極，且分別在前述第1n型阱和前述第2n型阱，形成含p型半導體區域之源極、汲極，而

在前述第1n型阱形成第1p通道型 MISFET，其係具有：含前述p型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第2氮化區域，

在前述第2n型阱形成第2p通道型 MISFET，其係具有：含前述p型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第1氮化區域，

在前述第1p型阱形成第1n通道型 MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第4氮化區域，

在前述第2p型阱形成第2n通道型 MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第5氮化

區域之步驟。

12. 一種半導體積體電路裝置之製造方法，其特徵在於具有如下之步驟：

(a)在半導體基板的主要表面之第1區域形成第1閘極絕緣膜，且在前述半導體基板的主要表面之第2區域形成較前述第1閘極絕緣膜之膜厚為厚之第2閘極絕緣膜之步驟；

(b)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述第2區域之前述半導體基板和前述第2閘極絕緣膜之界面，形成具有第1氮濃度之第1氮化區域，且在前述第1區域之前述半導體基板和前述第1閘極絕緣膜之界面，形成具有較前述第1氮濃度更高之第2氮濃度之第2氮化區域之步驟；

(c)在前述(b)步驟之後，在前述第1和第2閘極絕緣膜的上部形成導體膜，並通過前述導體膜而將用以控制n通道型 MISFET的臨界值電壓之n型雜質予以離子佈植於前述第1和第2區域之半導體基板之步驟；

(d)在前述第1區域之導體膜上形成光阻膜，並藉由通過前述第2區域之導體膜而將n型雜質予以離子佈植於前述第2區域之半導體基板，而使形成於前述第2區域之半導體基板之n通道型 MISFET之臨界值電壓達成最適化之步驟；

(e)在前述第1區域之導體膜上，殘留前述光阻膜，並藉由通過前述第2區域之導體膜而將氮氣予以離子佈植於前

述第2區域之半導體基板，而在前述第2區域之半導體基板和前述第2閘極絕緣膜之界面，形成部分包含前述第1氮化區域之氮、並具有等於前述第2氮濃度、或較其為高之第3氮濃度之第3氮化區域之步驟；

(f)藉由將前述導體膜予以圖案化，而分別在前述第1和第2閘極絕緣膜之各個上部，形成導體片之步驟；以及

(g)在前述(f)步驟之後，藉由分別在前述第1和第2區域之半導體基板，形成含n型半導體區域之源極、汲極，

以在前述第1區域之半導體基板形成第1n通道型MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第1閘極絕緣膜；含有前述導體片之閘極電極；以及前述第2氮化區域，

在前述第2區域之半導體基板形成第2n通道型MISFET，其係具有：含前述n型半導體區域之源極、汲極；前述第2閘極絕緣膜；含有前述導體片之閘極電極；以及前述第3氮化區域之步驟。

13. 一種半導體積體電路裝置之製造方法，其特徵在於具有如下之步驟：

(a)在半導體基板的主要表面形成p型阱和n型阱之後，分別在前述p型阱和前述n型阱的各個表面形成閘極絕緣膜之步驟；

(b)藉由在含有氮氣之環境氣體中，將前述半導體基板施以熱處理，而在前述p型阱和前述閘極絕緣膜之界面、以及前述n型阱和前述閘極絕緣膜之界面，形成具有第1

氮濃度之第1氮化區域之步驟；

(c)在前述(b)步驟之後，在前述閘極絕緣膜上形成矽膜之步驟；

(d)以第1光阻膜覆蓋前述n型阱之上部之前述矽膜，並藉由將n型雜質予以離子佈植於前述p型阱之上部之前述矽膜而形成n型矽膜之步驟；

(e)在前述矽膜上，殘留前述第1光阻膜，並藉由通過前述n型矽膜而將氮氣予以離子佈植於前述p型矽膜，而在前述p型阱和前述閘極絕緣膜之界面，形成部分包含前述第1氮化區域之氮、並具有較前述第1氮濃度為高之第2氮濃度之第2氮化區域之步驟；

(f)以第2光阻膜覆蓋前述n型矽膜，並藉由將p型雜質予以離子佈植於前述n型阱之上部之前述矽膜而形成p型矽膜之步驟；

(g)藉由分別將前述n型矽膜和前述p型矽膜予以圖案化，而在前述p型阱之上部，形成含前述n型矽膜之n型導體片，且在前述n型阱之上部，形成含前述p型矽膜之p型導體片之步驟；以及

(h)在前述(g)步驟之後，藉由在前述p型阱形成含n型半導體區域之源極、汲極，且在前述n型阱形成含p型半導體區域之源極、汲極，

以在前述n型阱形成p通道型MISFET，其係具有：含前述p型半導體區域之源極、汲極；前述閘極絕緣膜；含有前述p型導體片之閘極電極；以及前述第1氮化區域，

在前述p型阱形成n通道型 MISFET，其係具有：由前述n型半導體區域之源極、汲極；前述閘極絕緣膜；含有前述n型導體片之閘極電極；以及前述第2氮化區域之步驟。

拾壹、圖式：

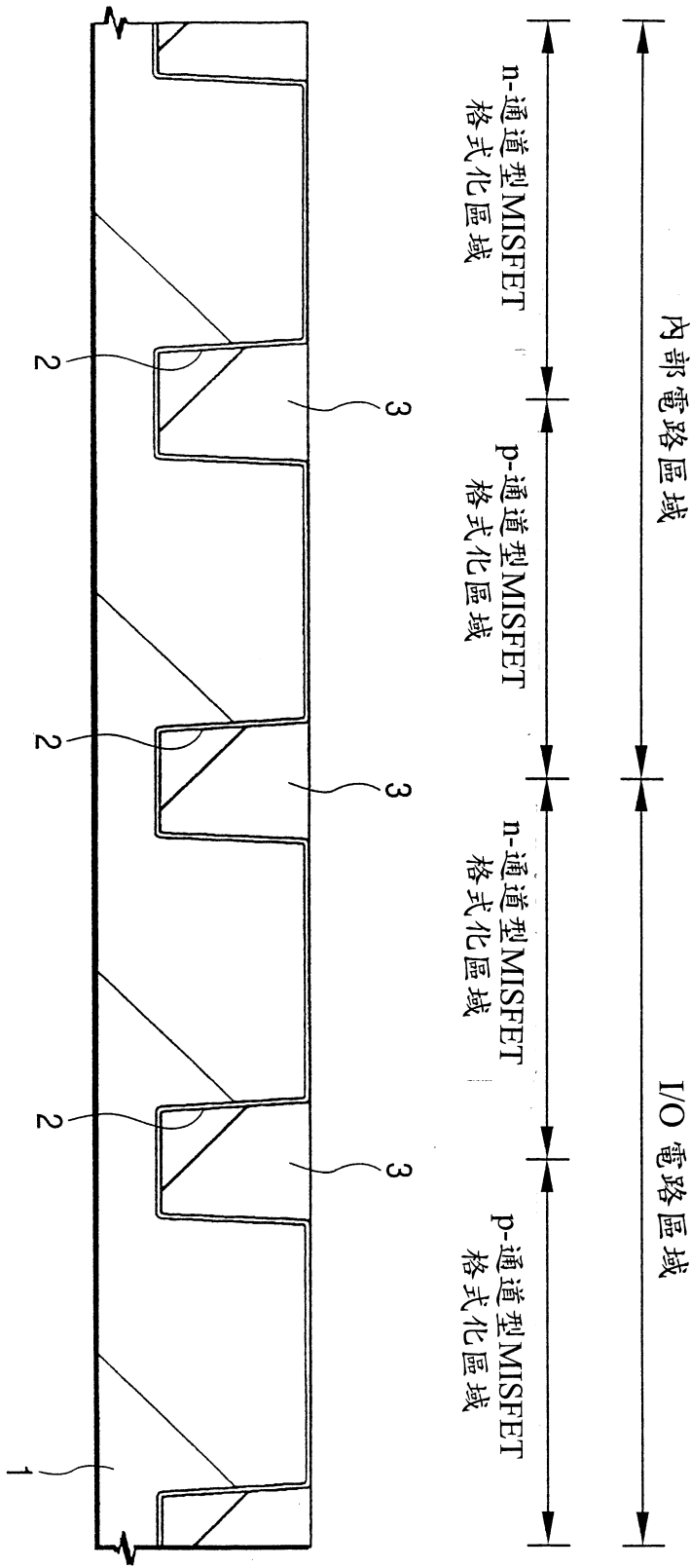


圖 1

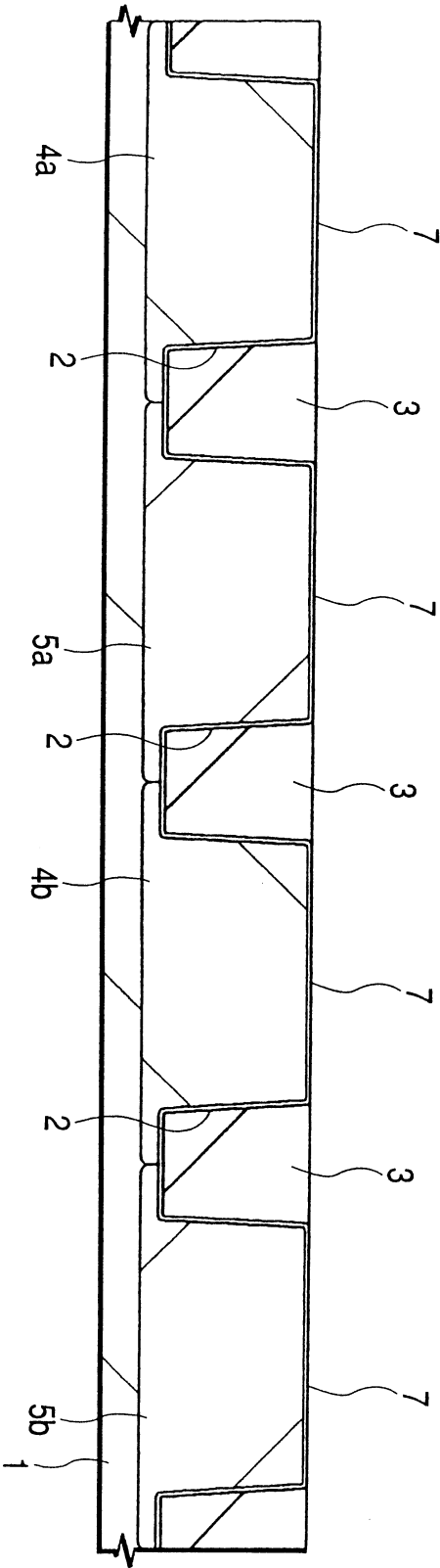


圖 2

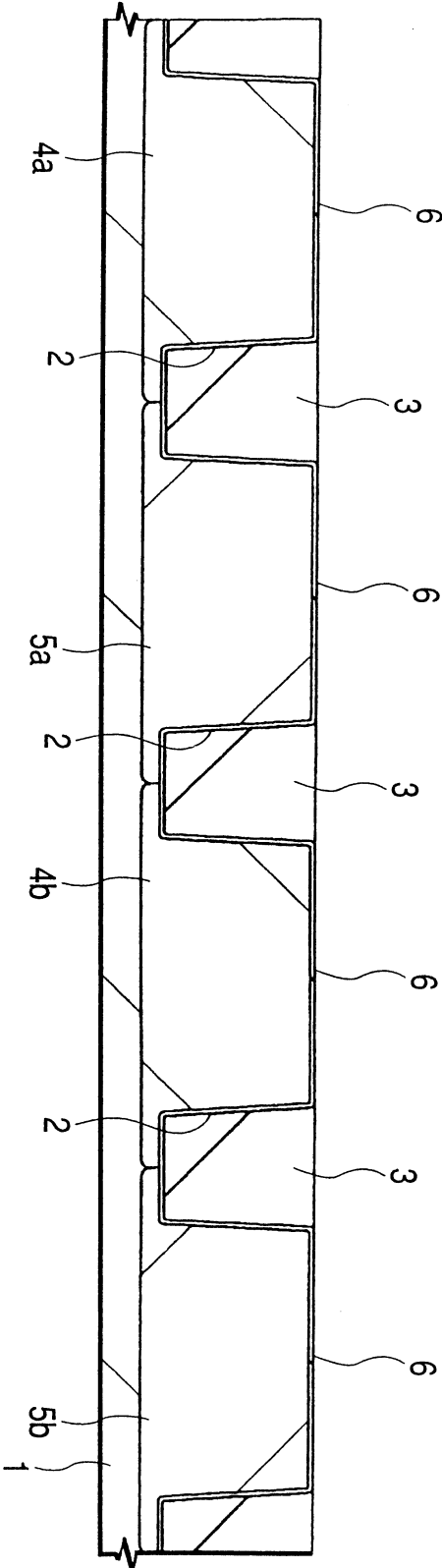


圖 3

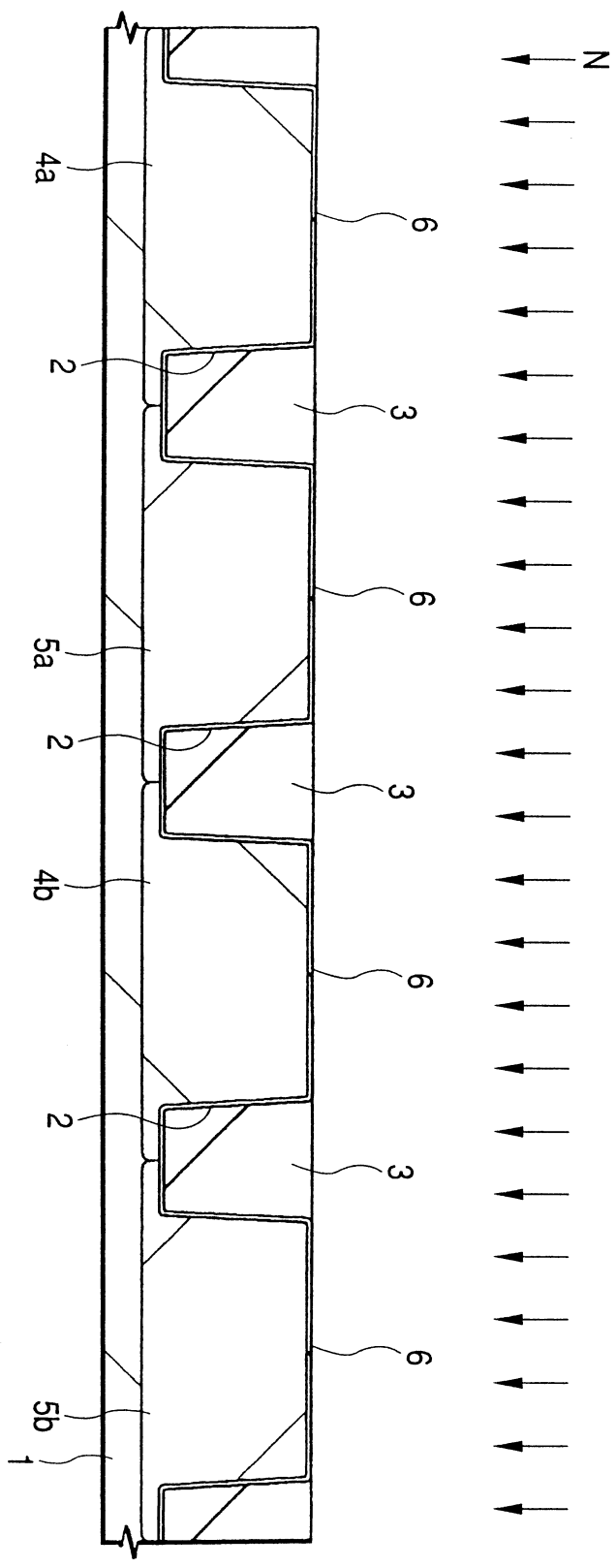


圖 4

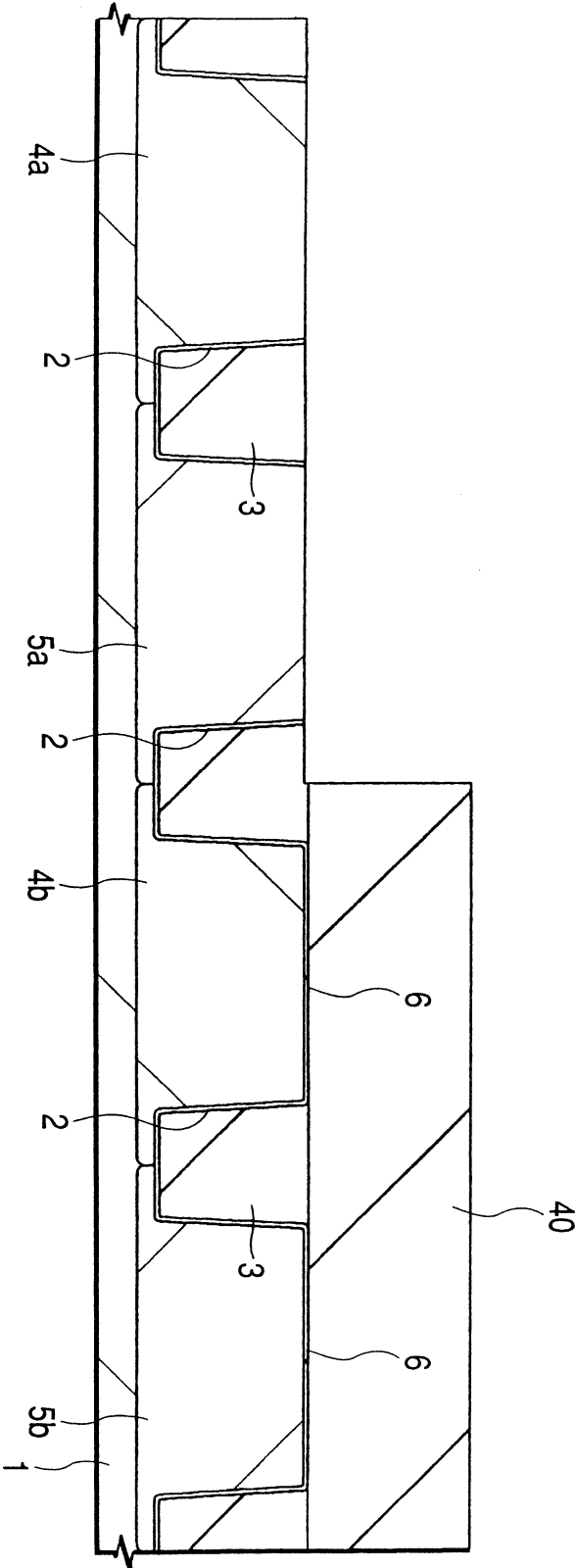


圖 5

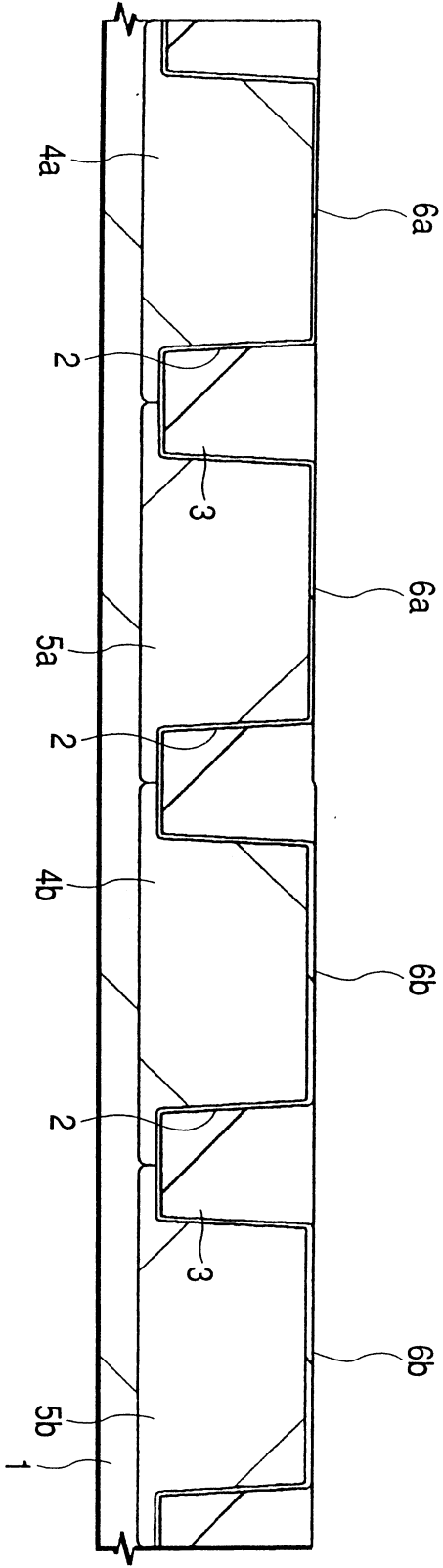


圖 6

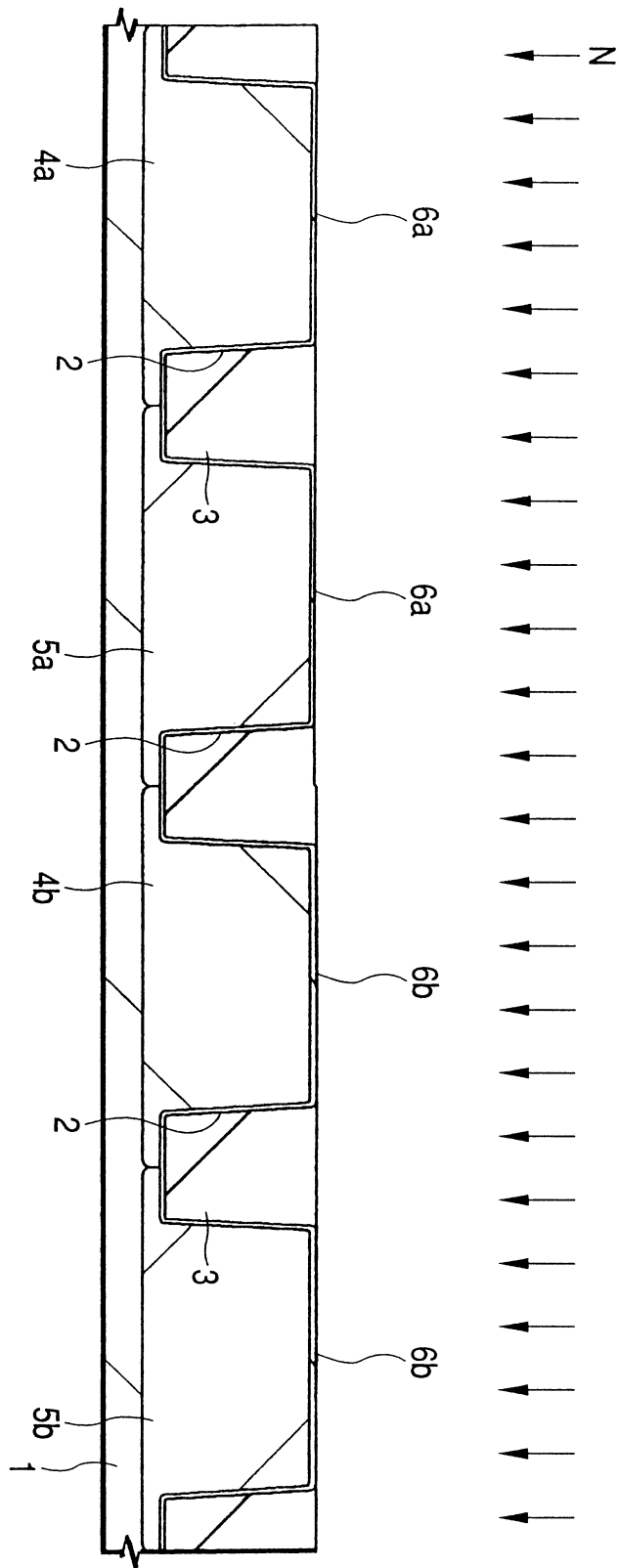


圖 7

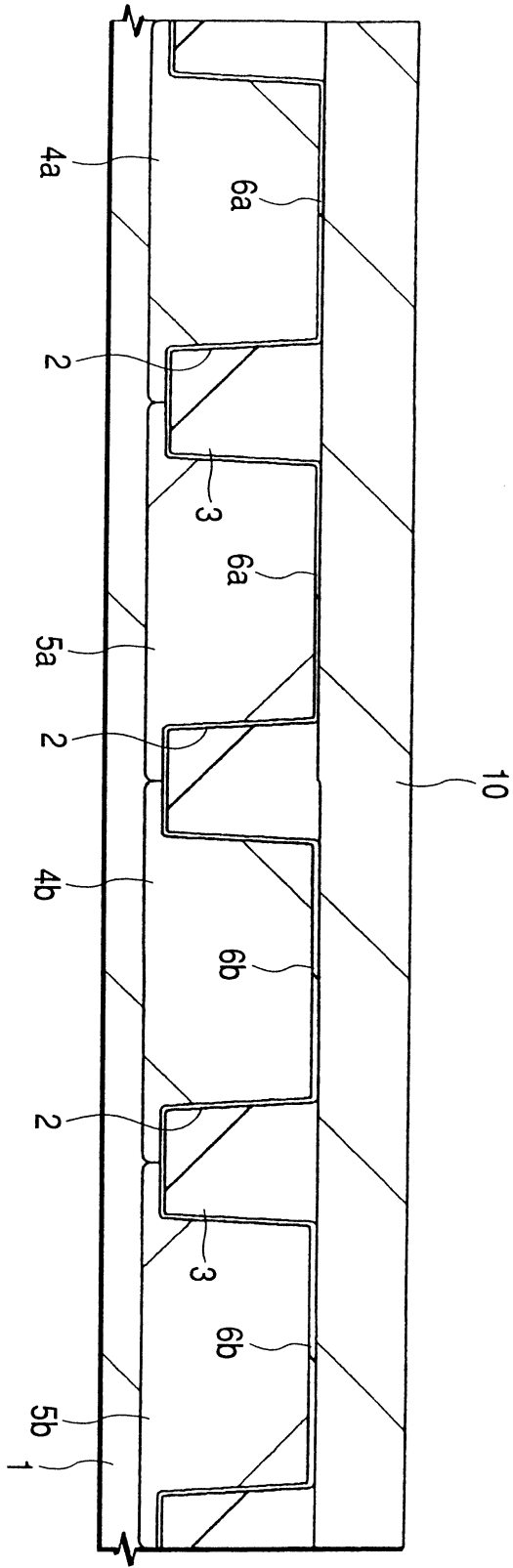


圖 8

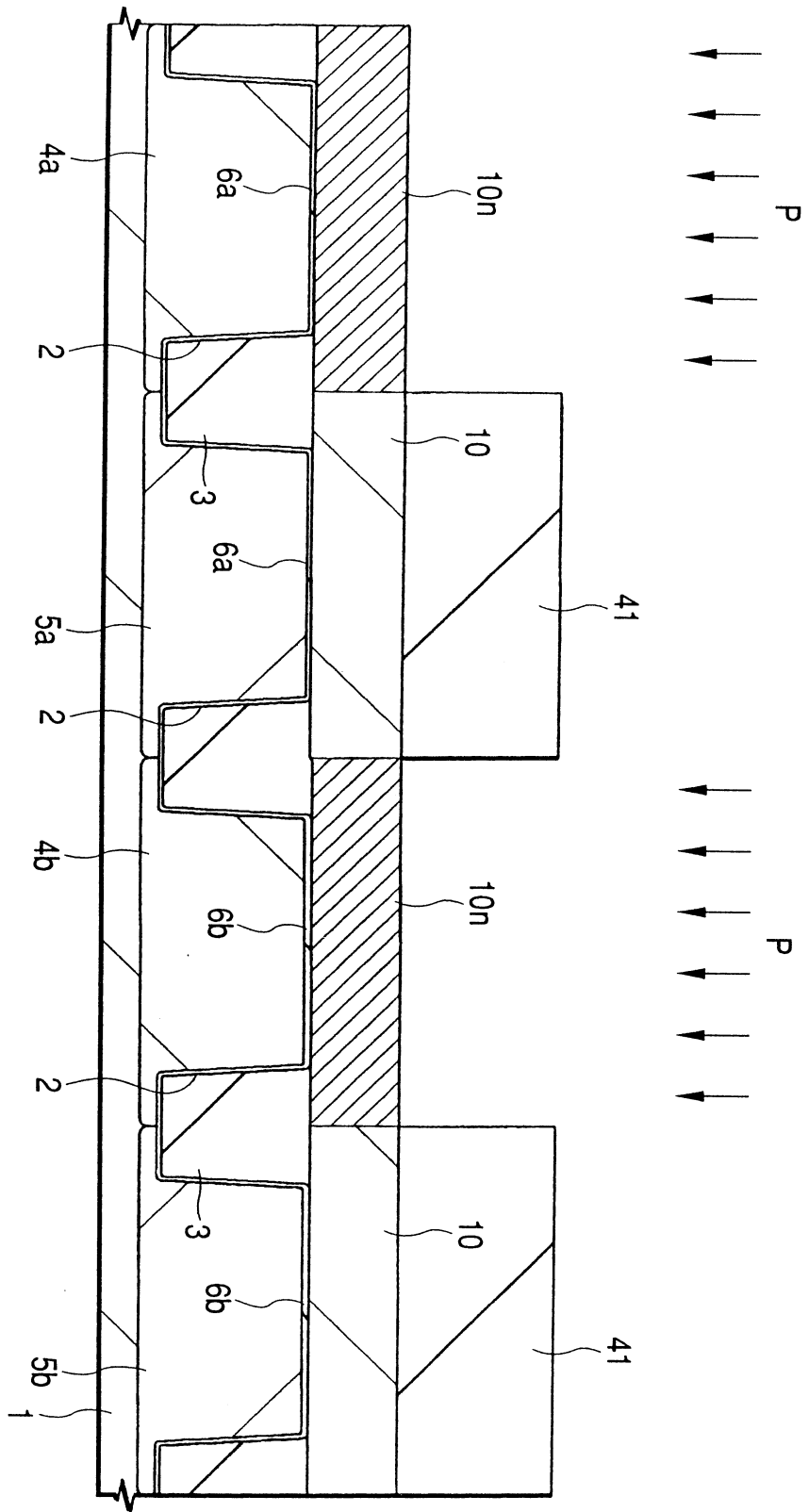


圖 9

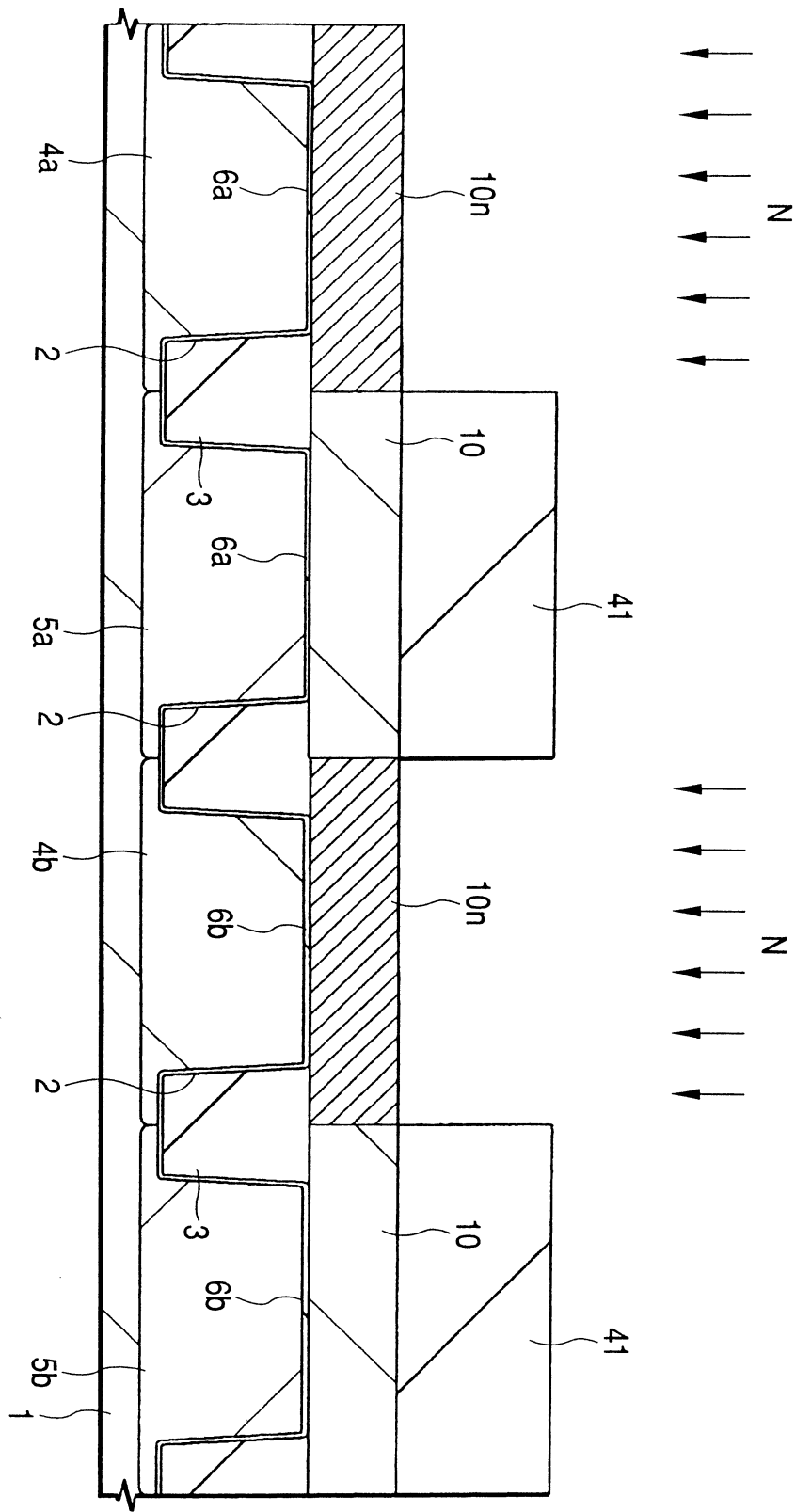


圖 10

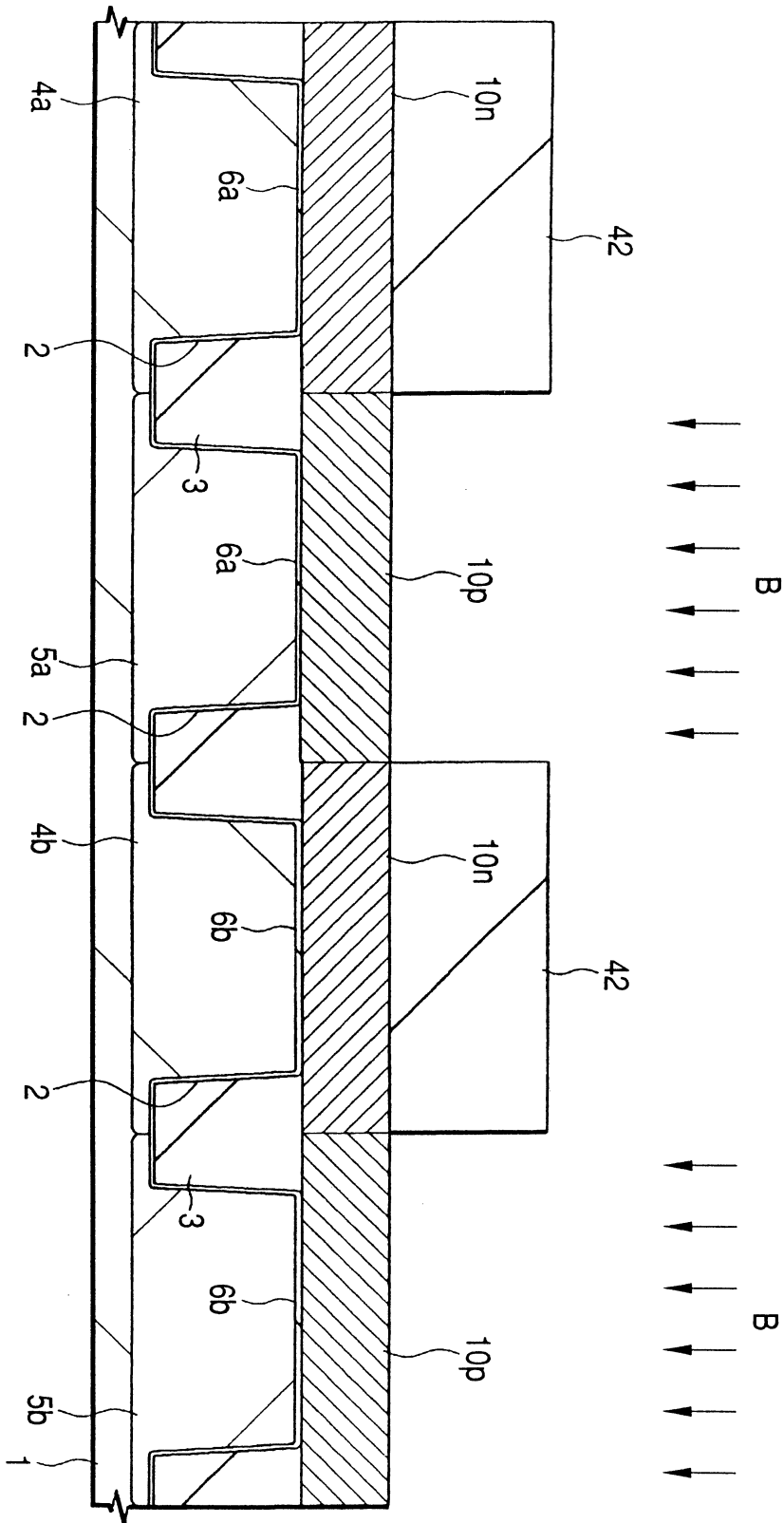


圖 11

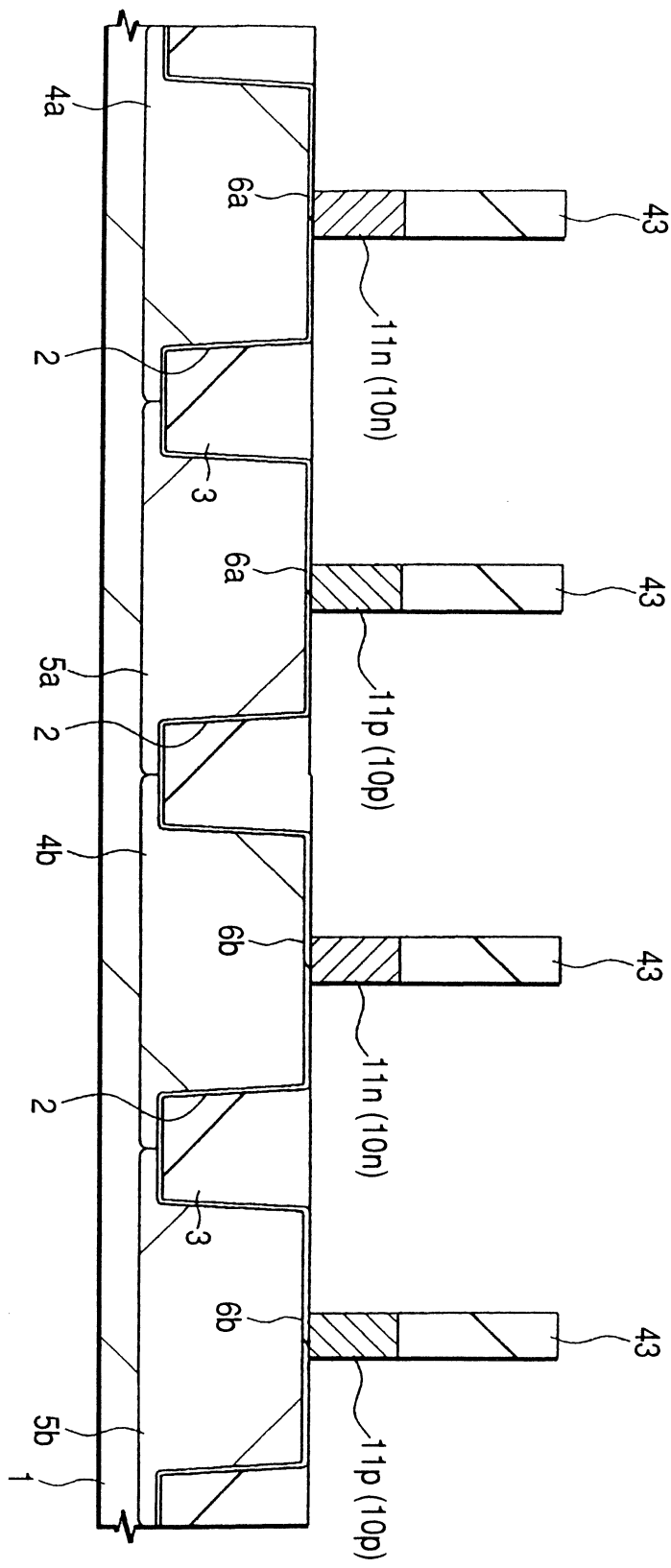


圖 12

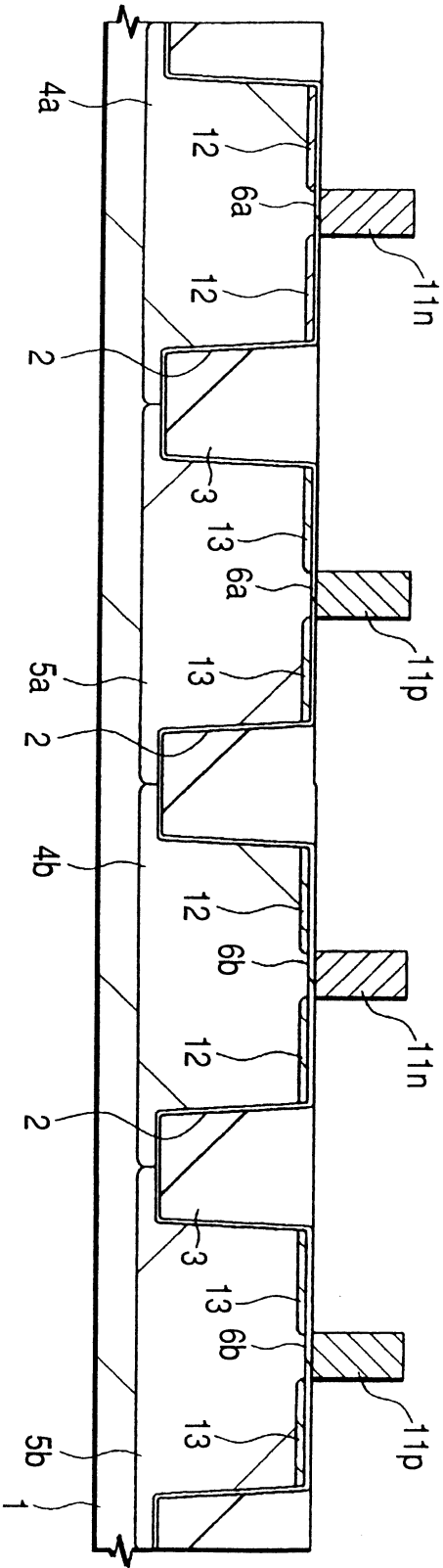
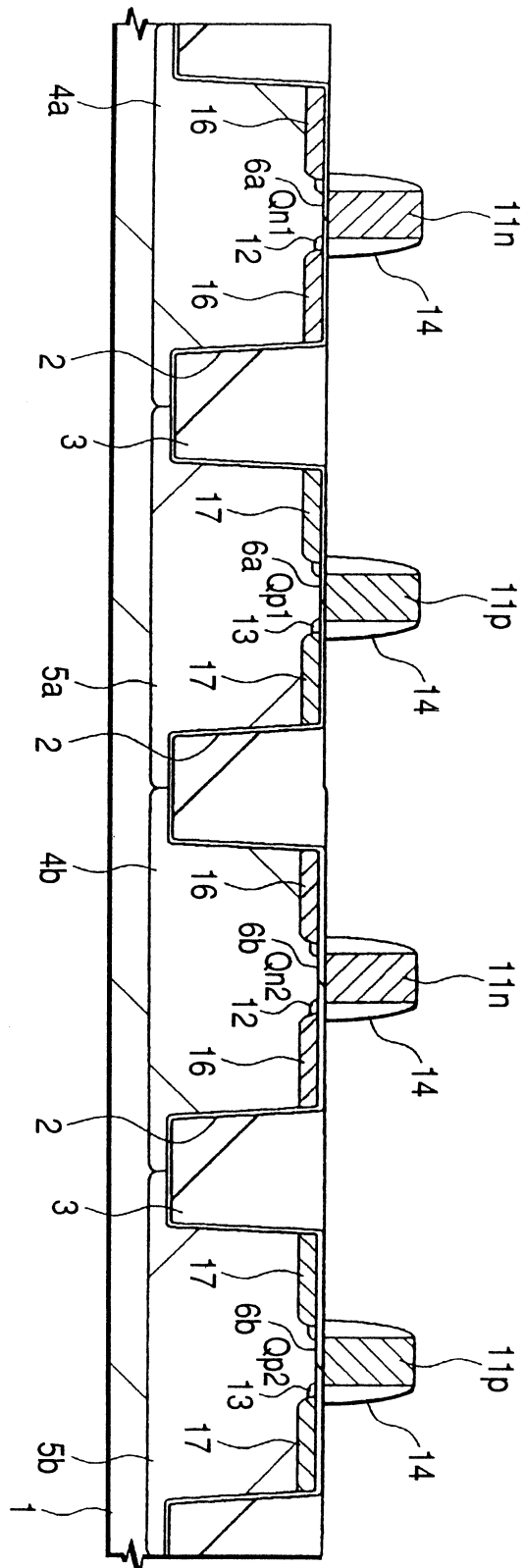
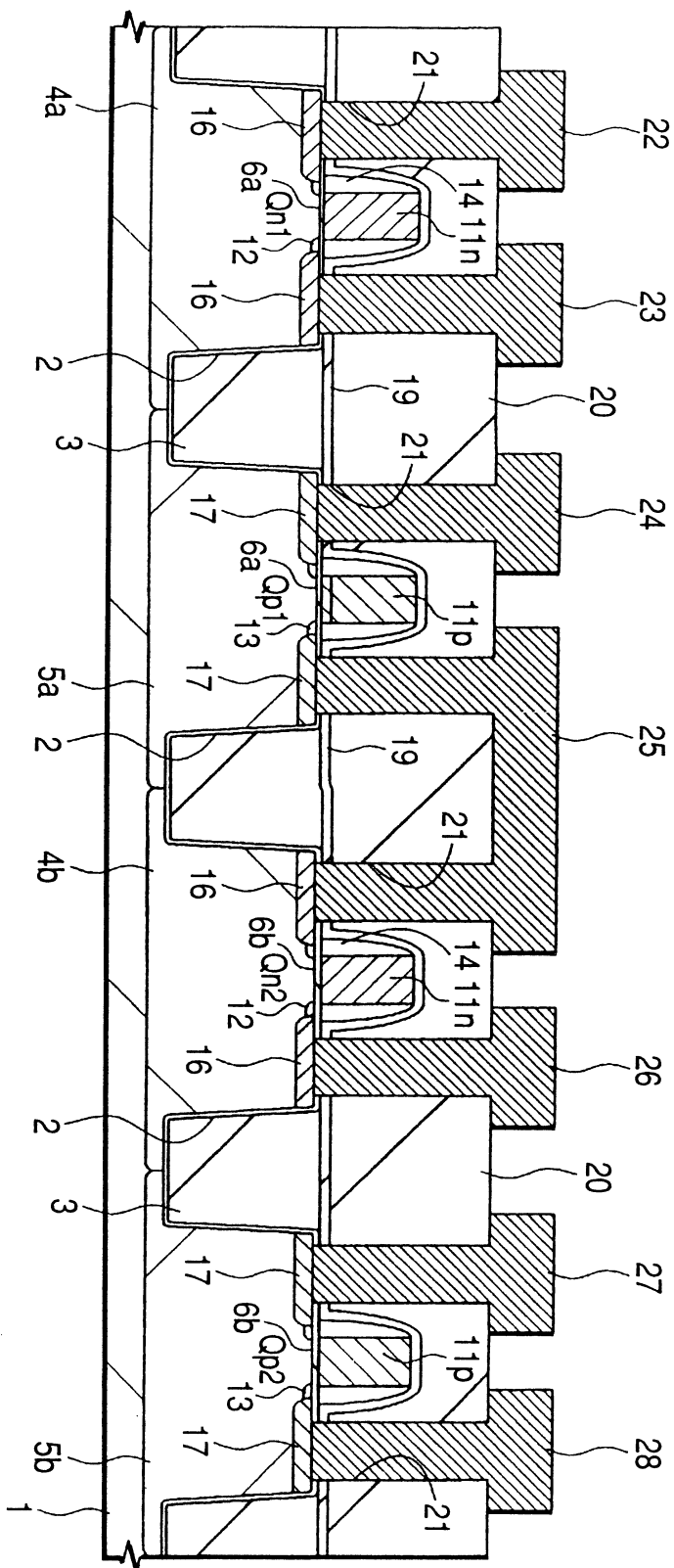


圖 13



14



15

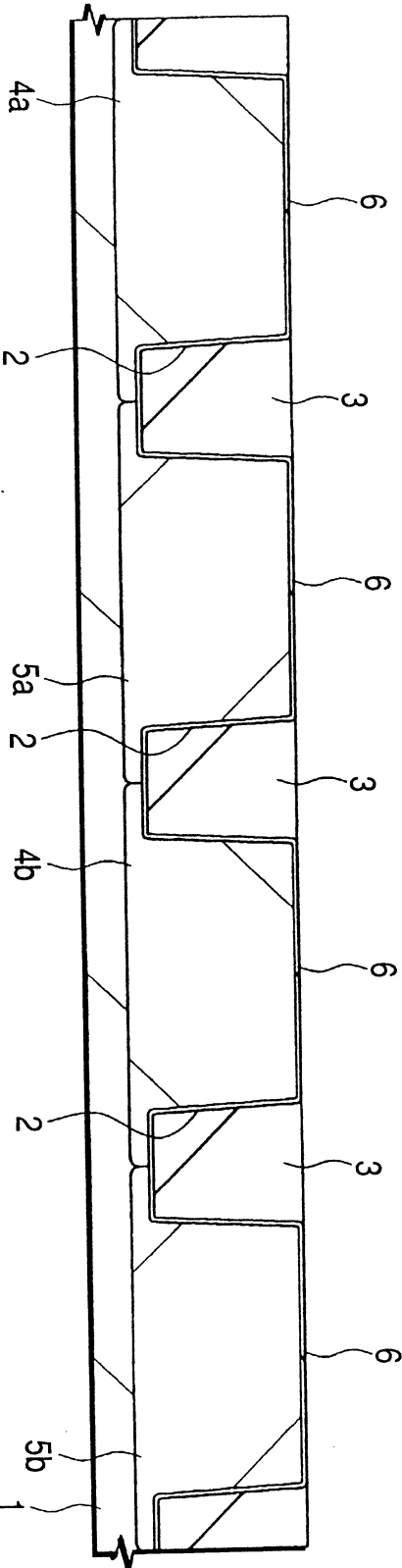


圖 16

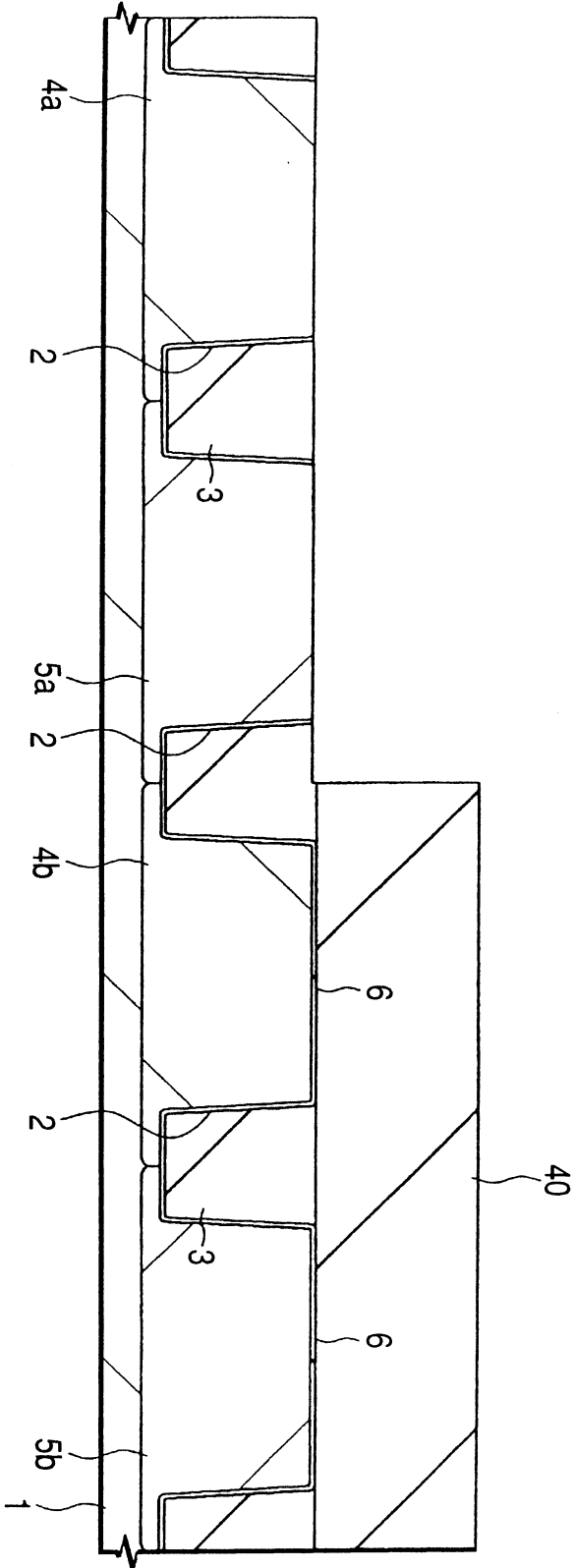


圖 17

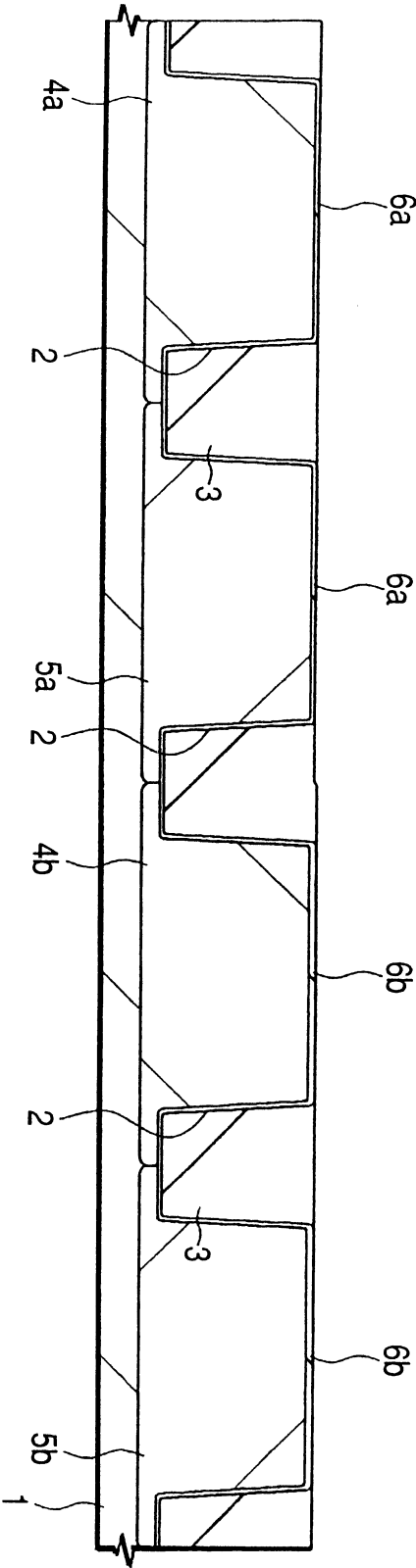


圖 18

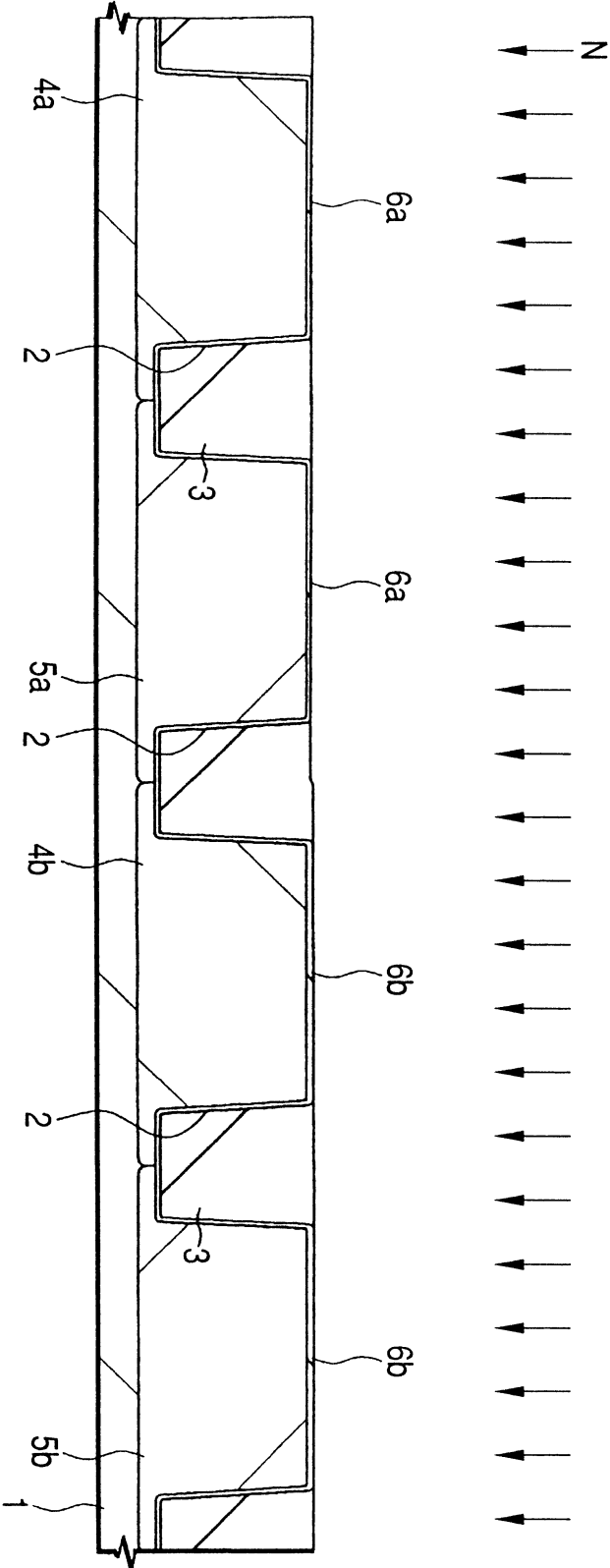
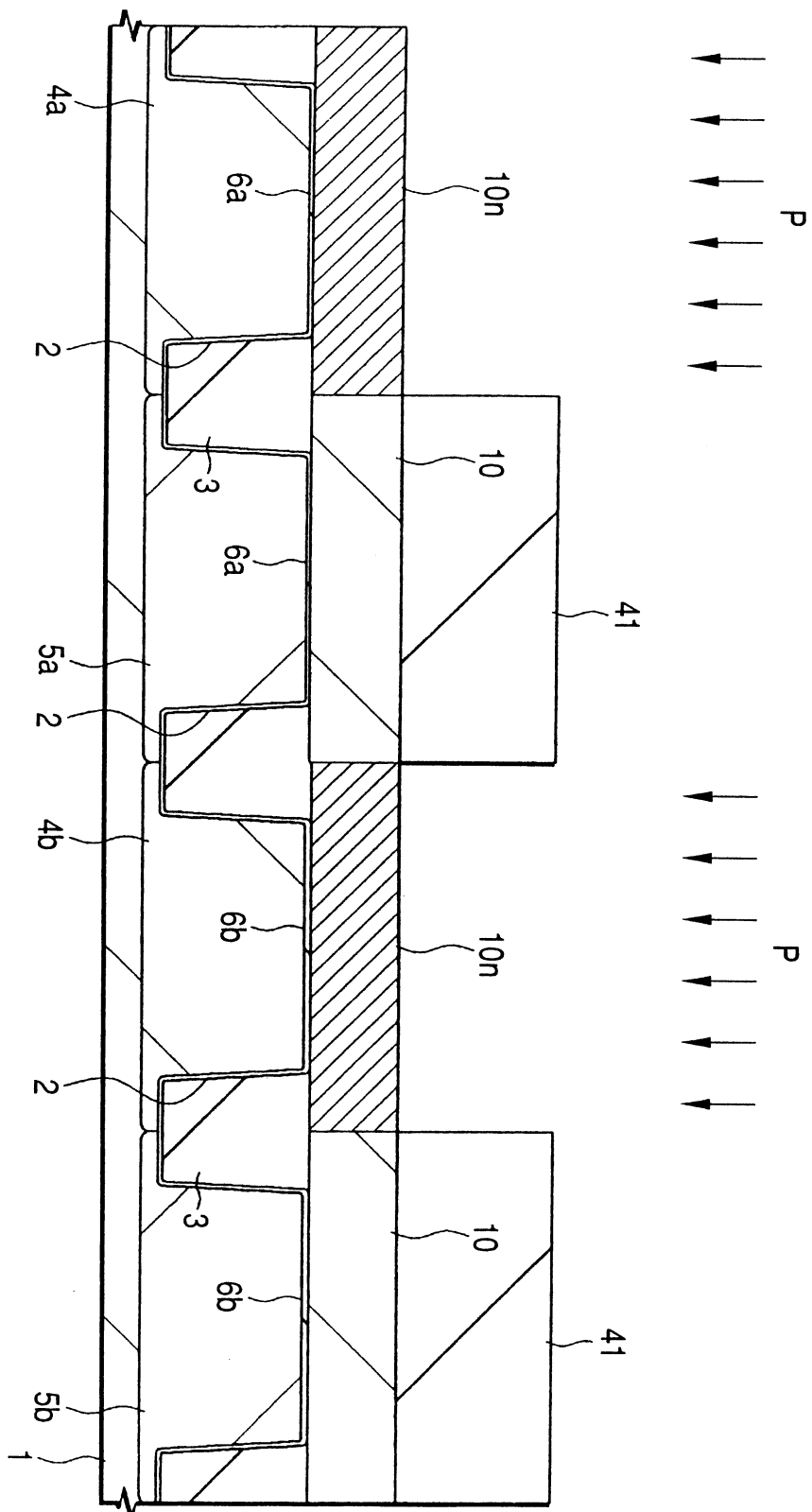


圖 19



20

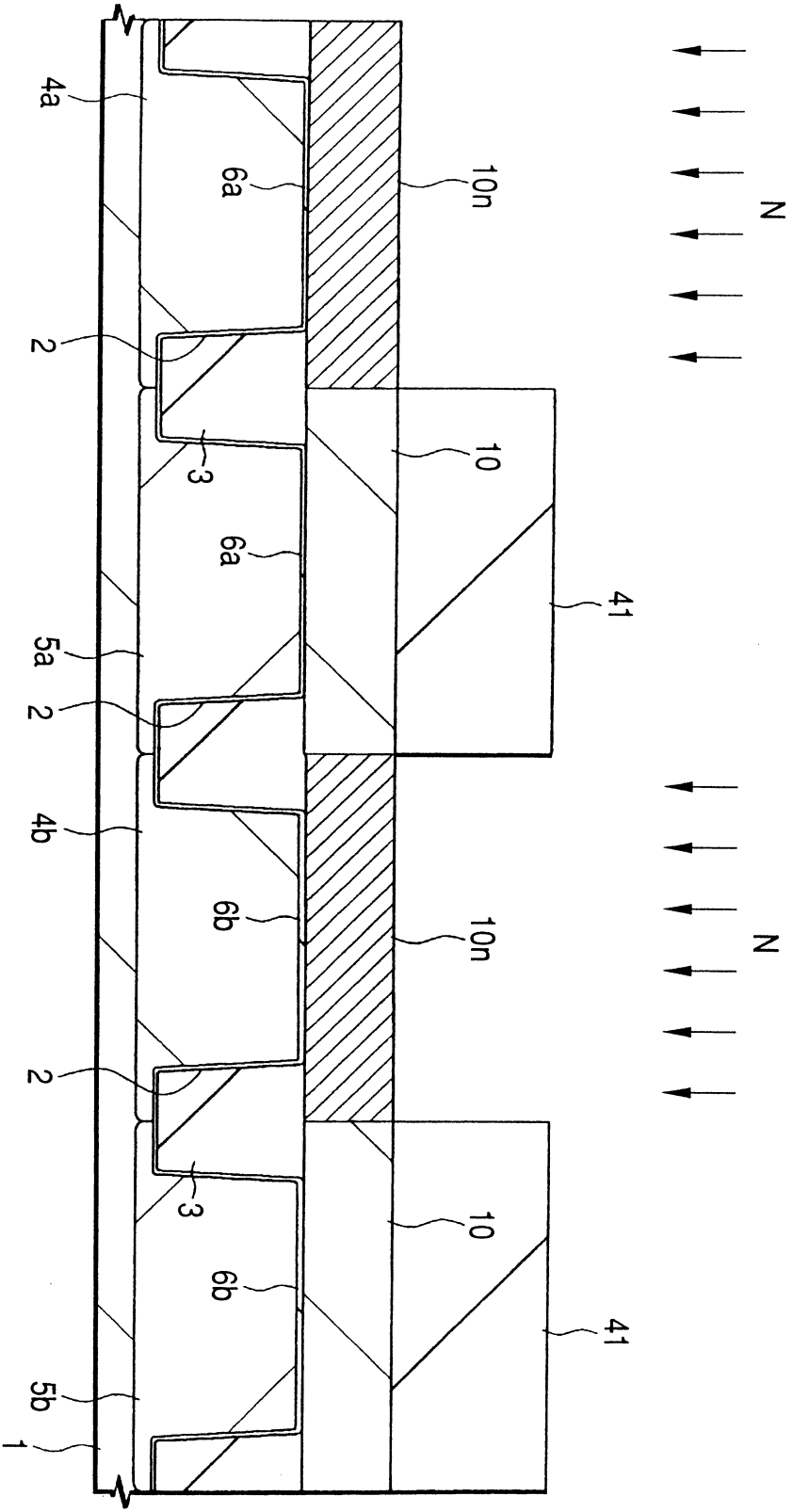


圖 21

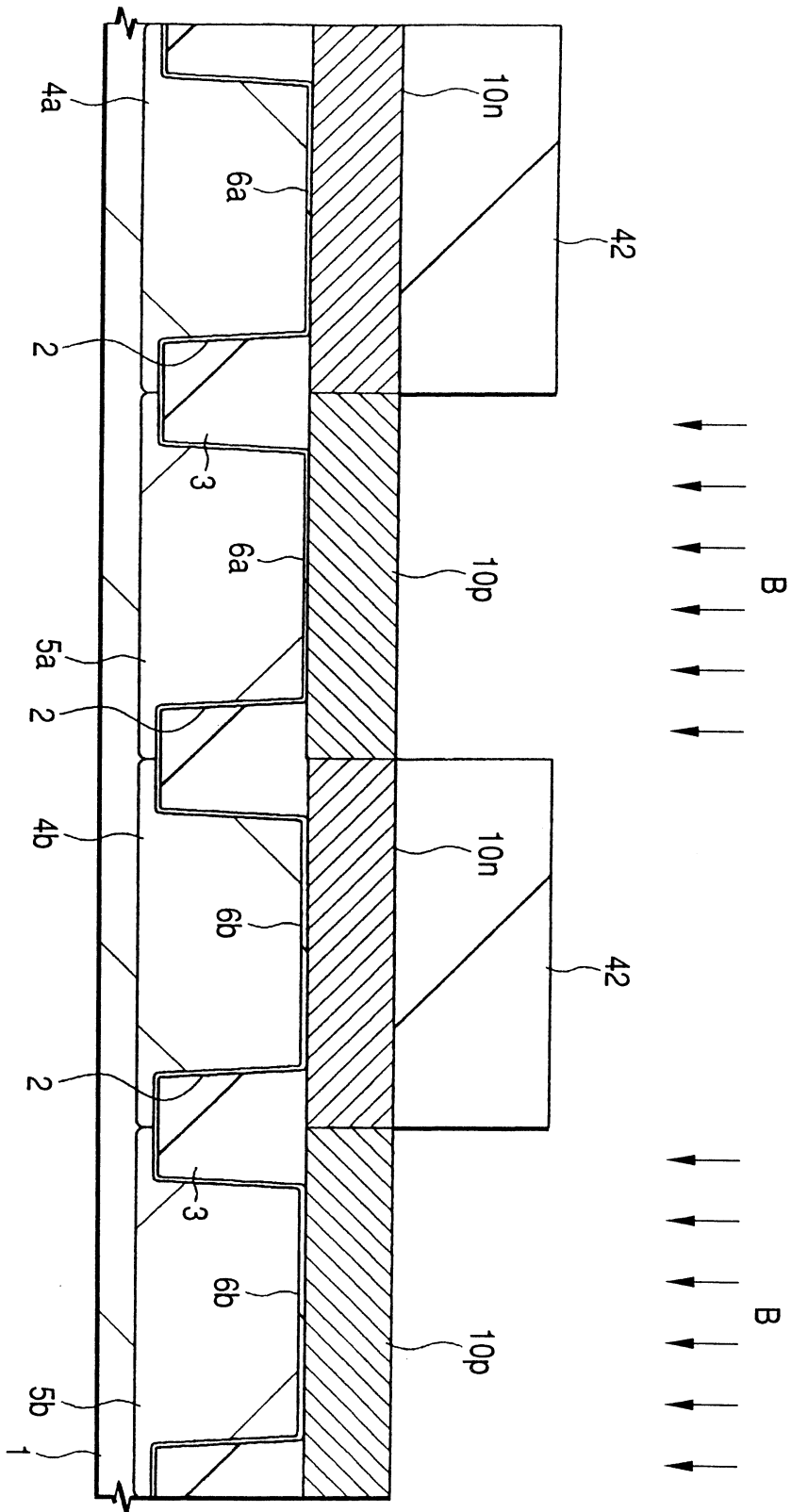
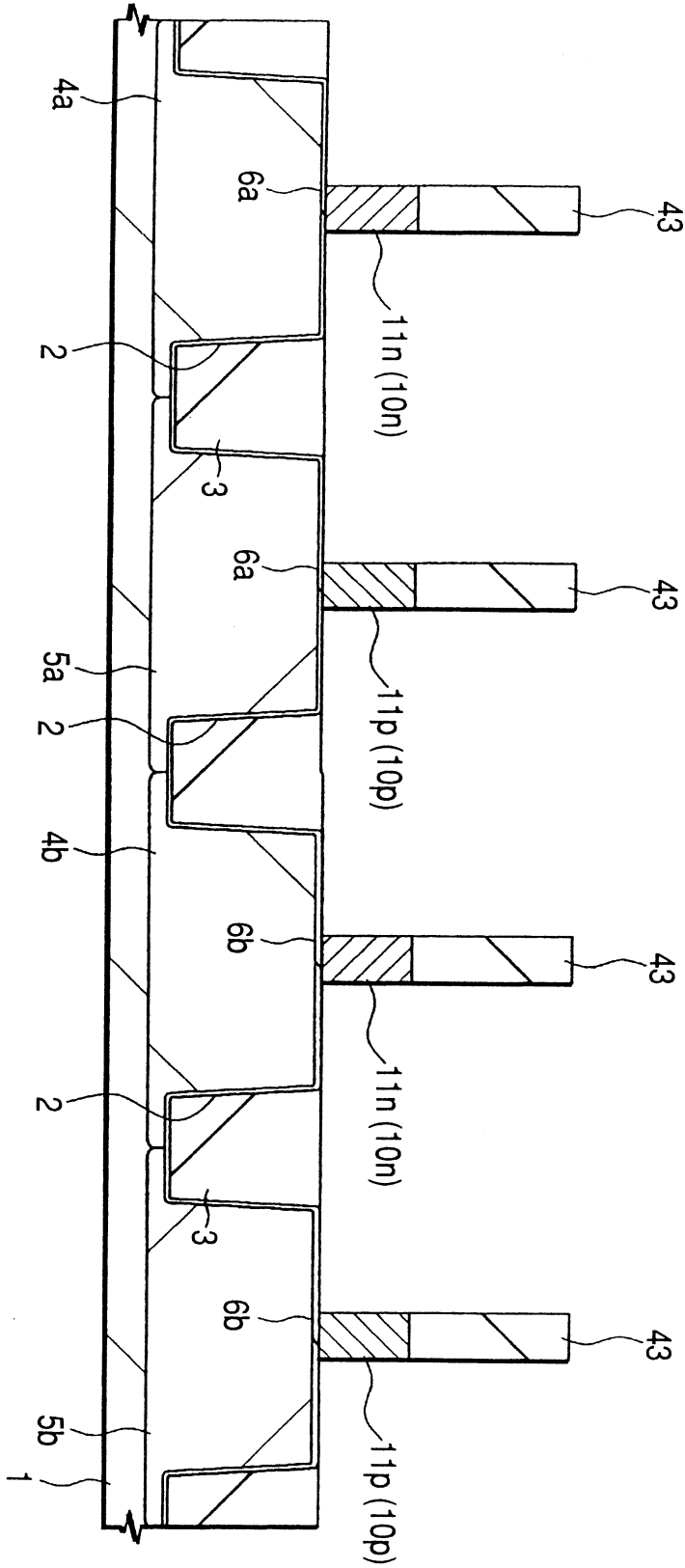


圖 22



23

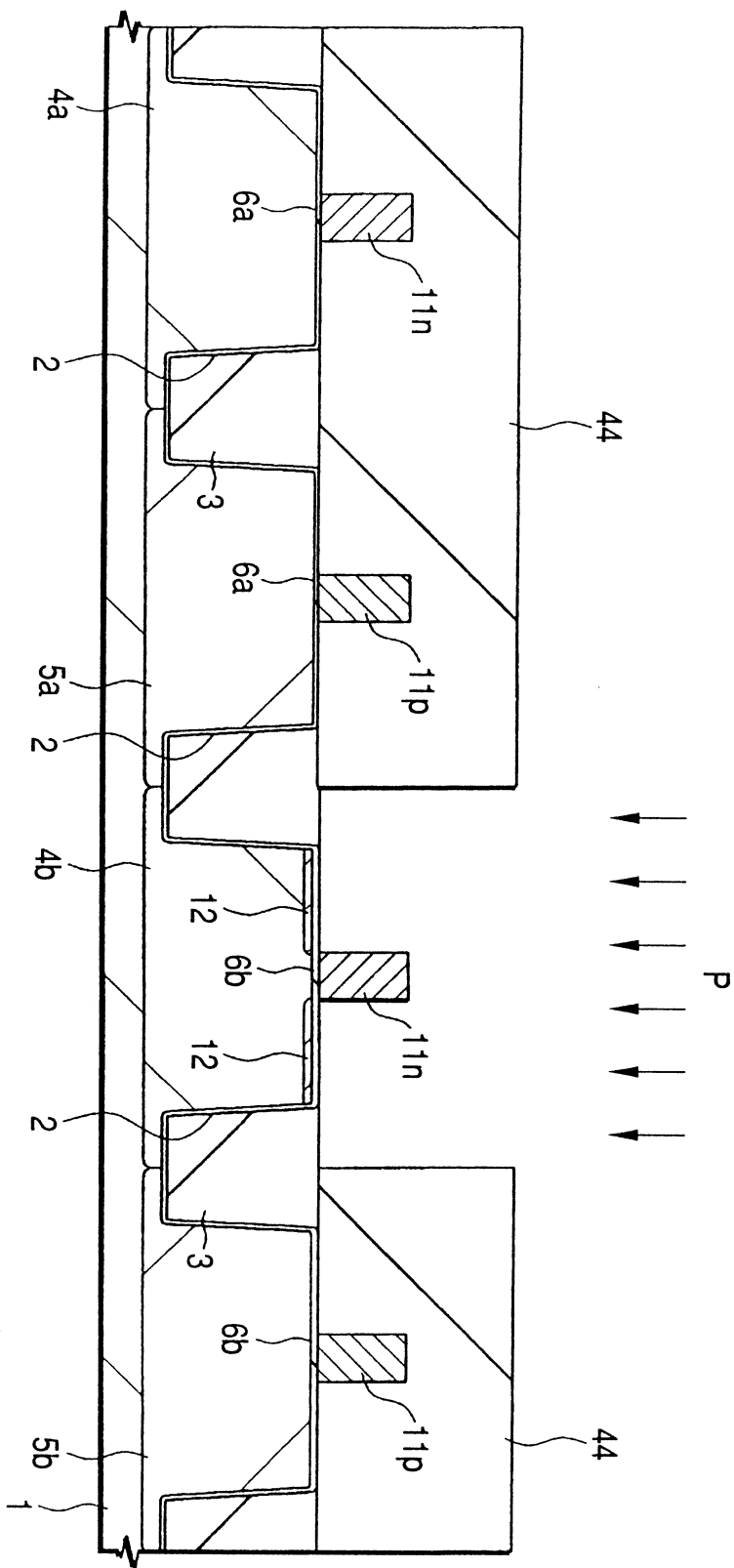


圖 24

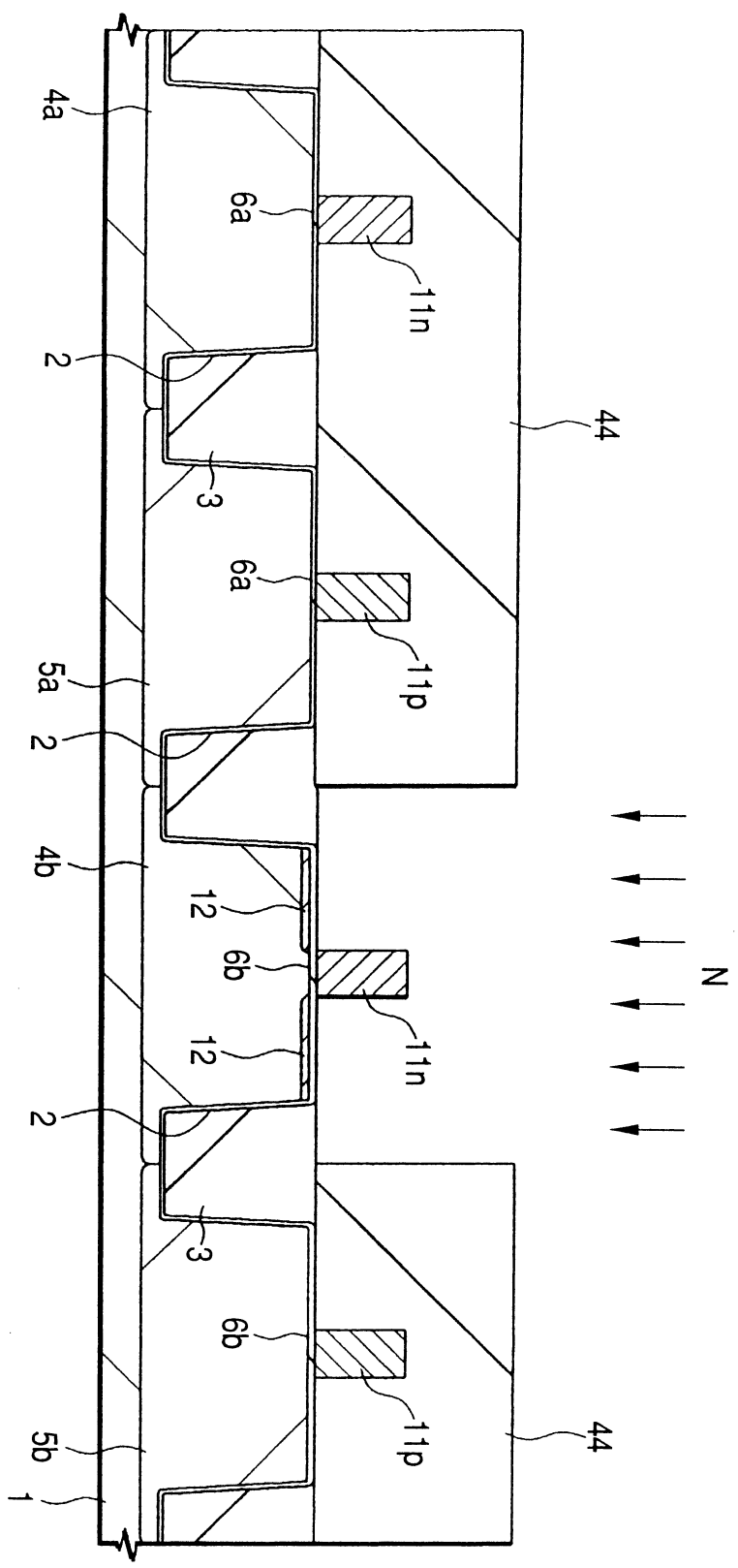


圖 25

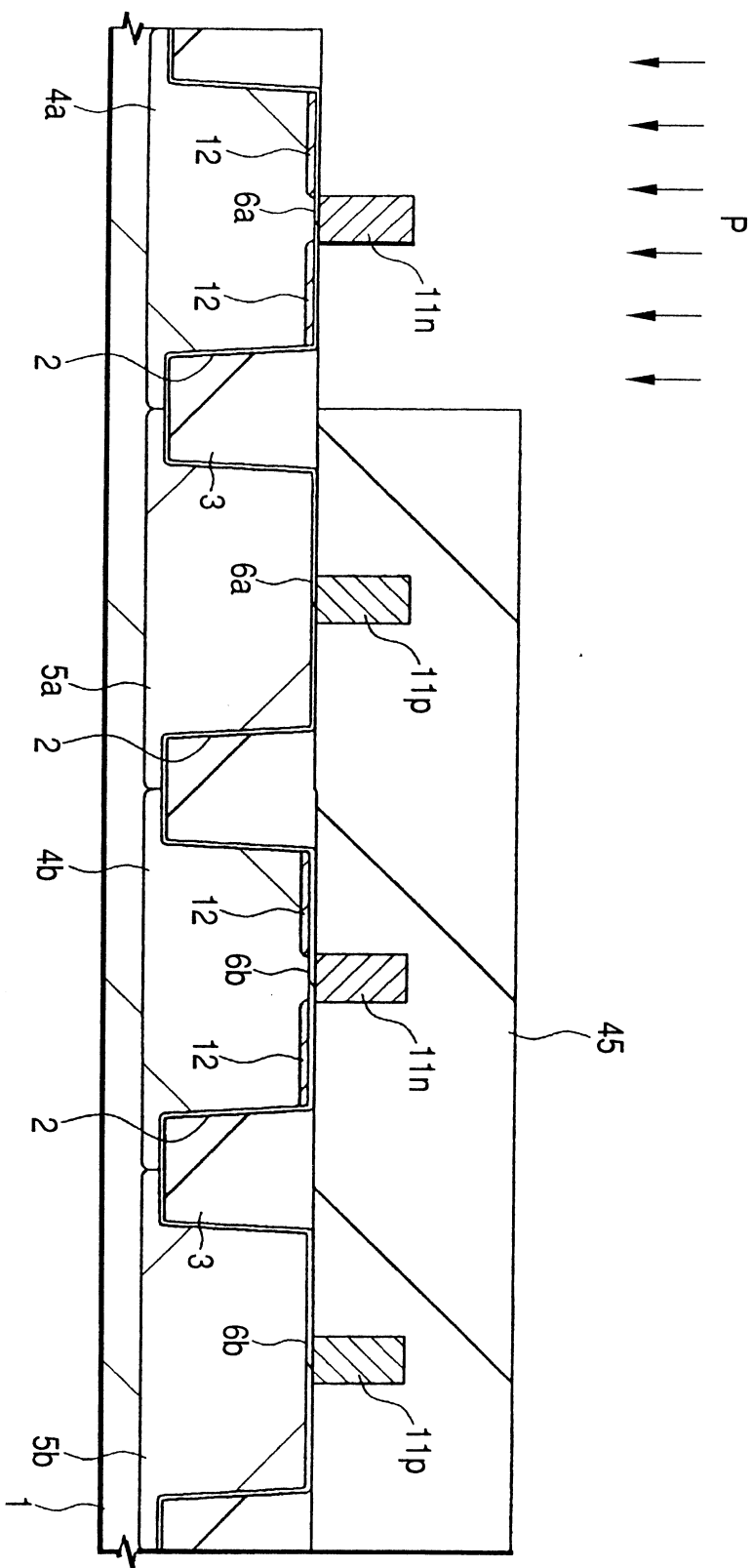


圖 26

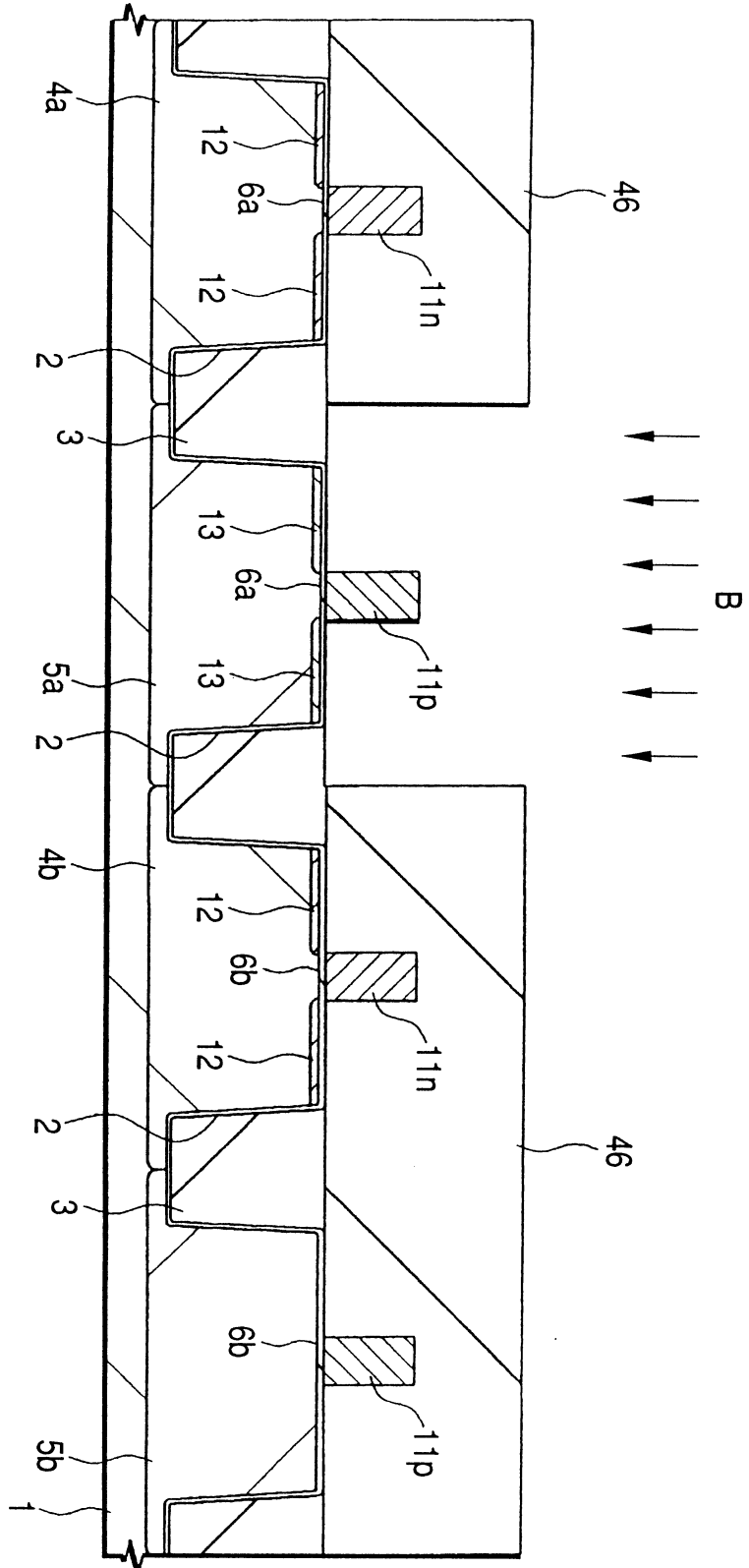


圖 27

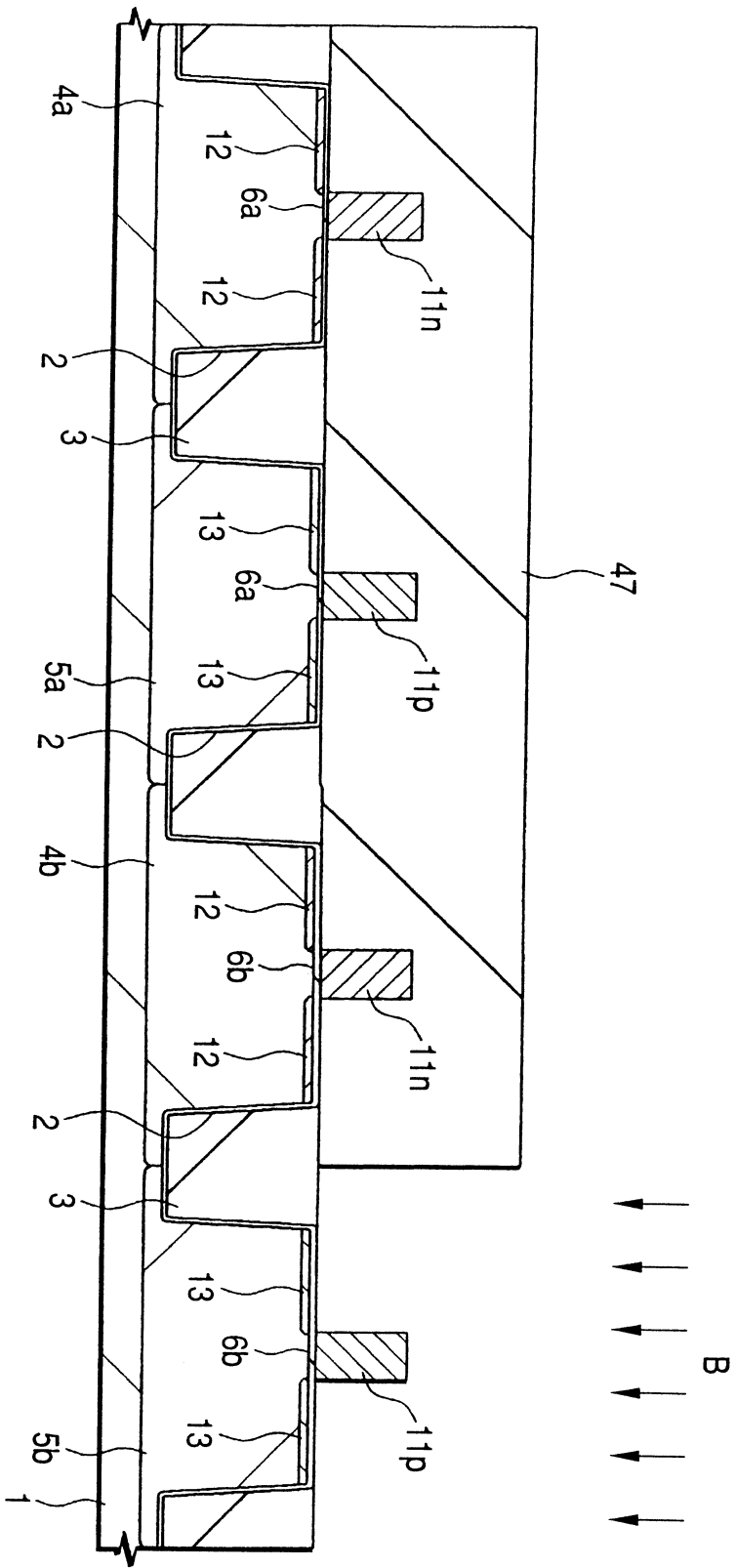
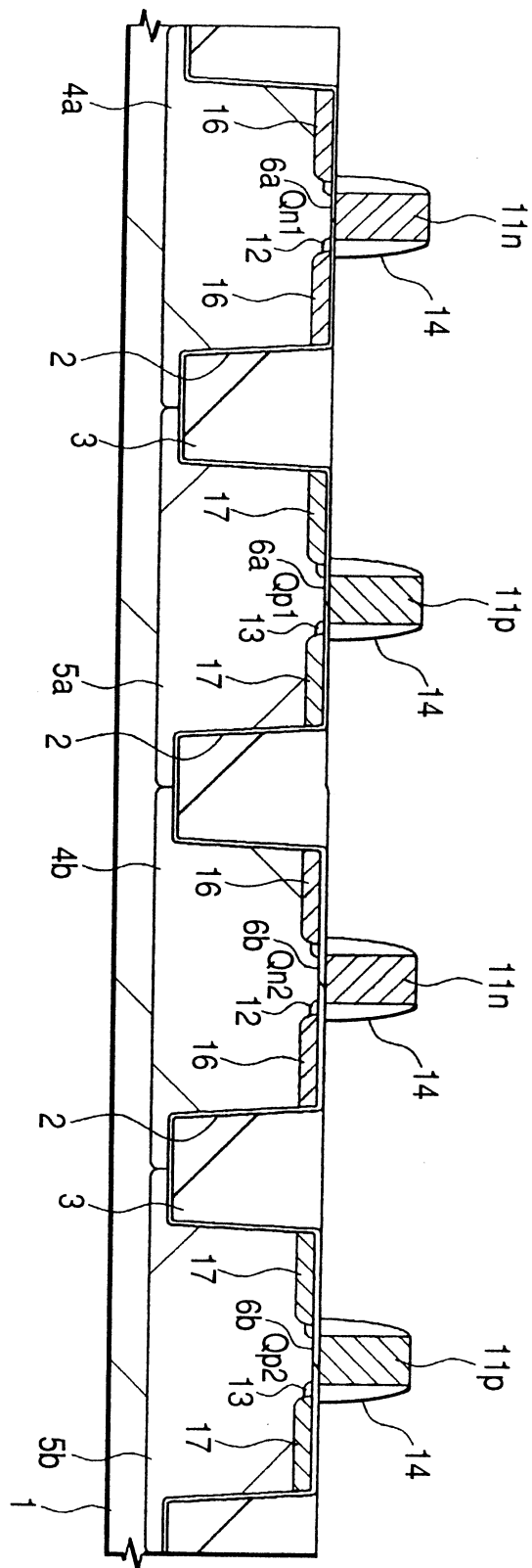


圖 28



29

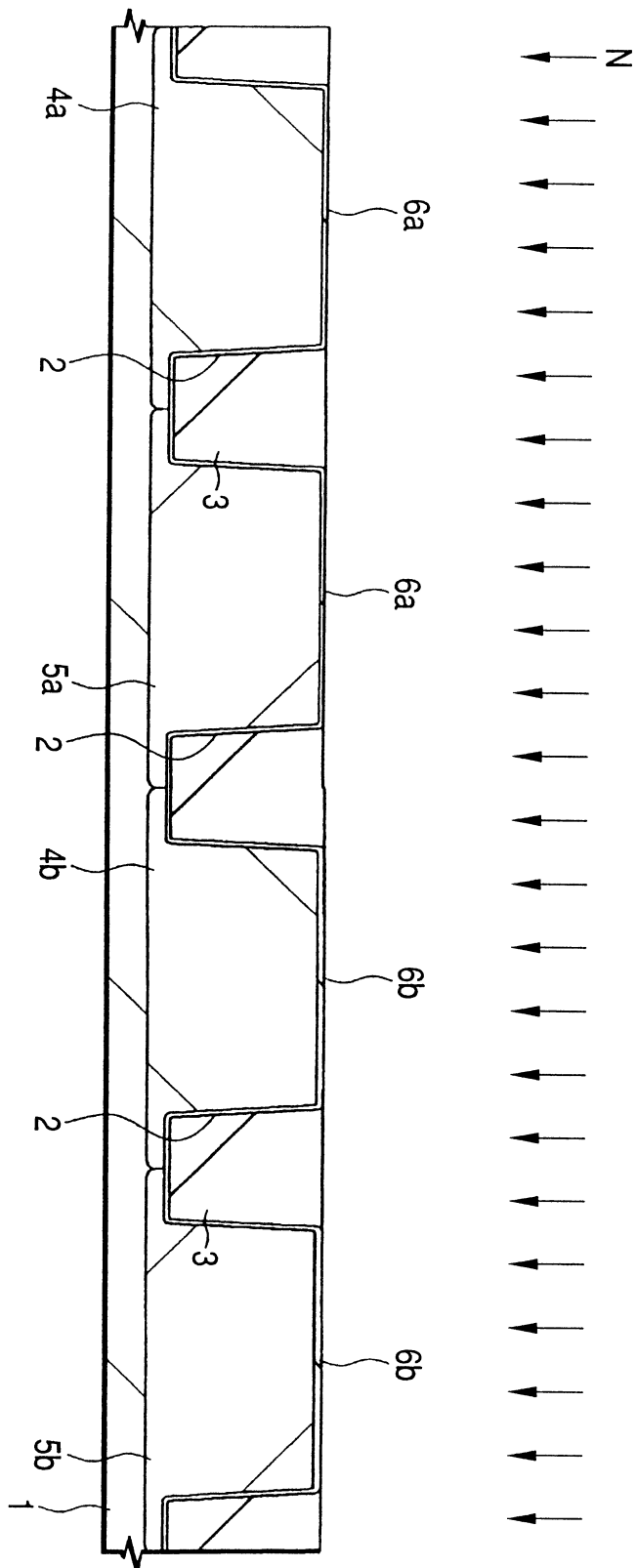


圖 30

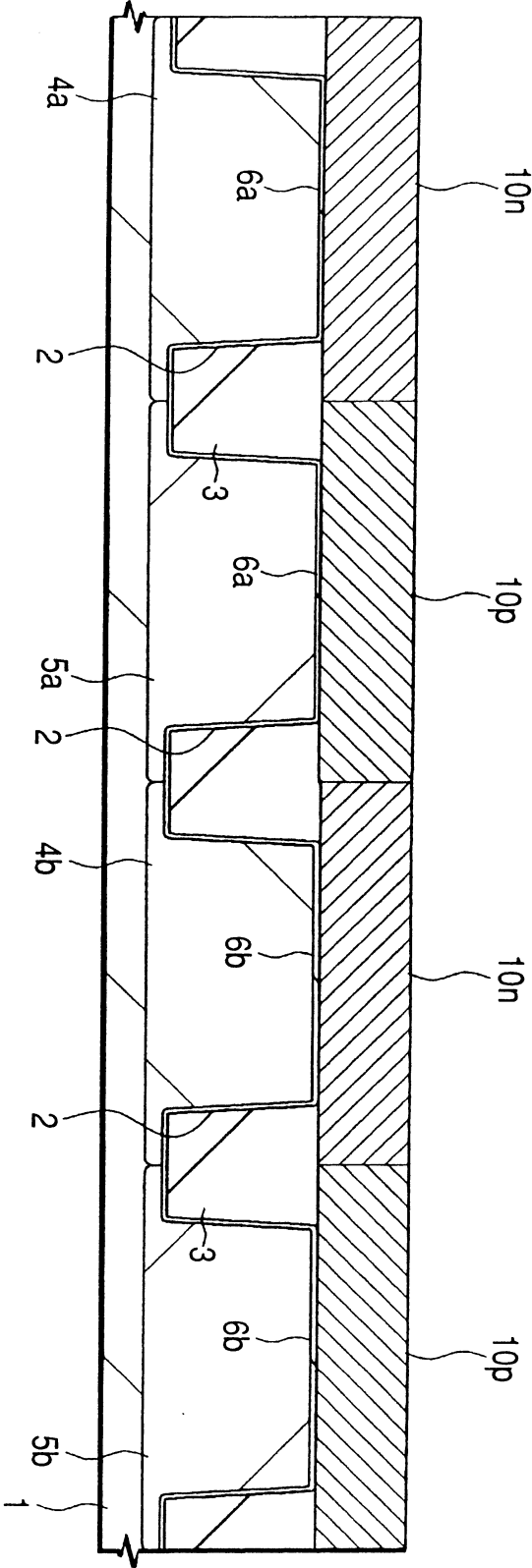


圖 31

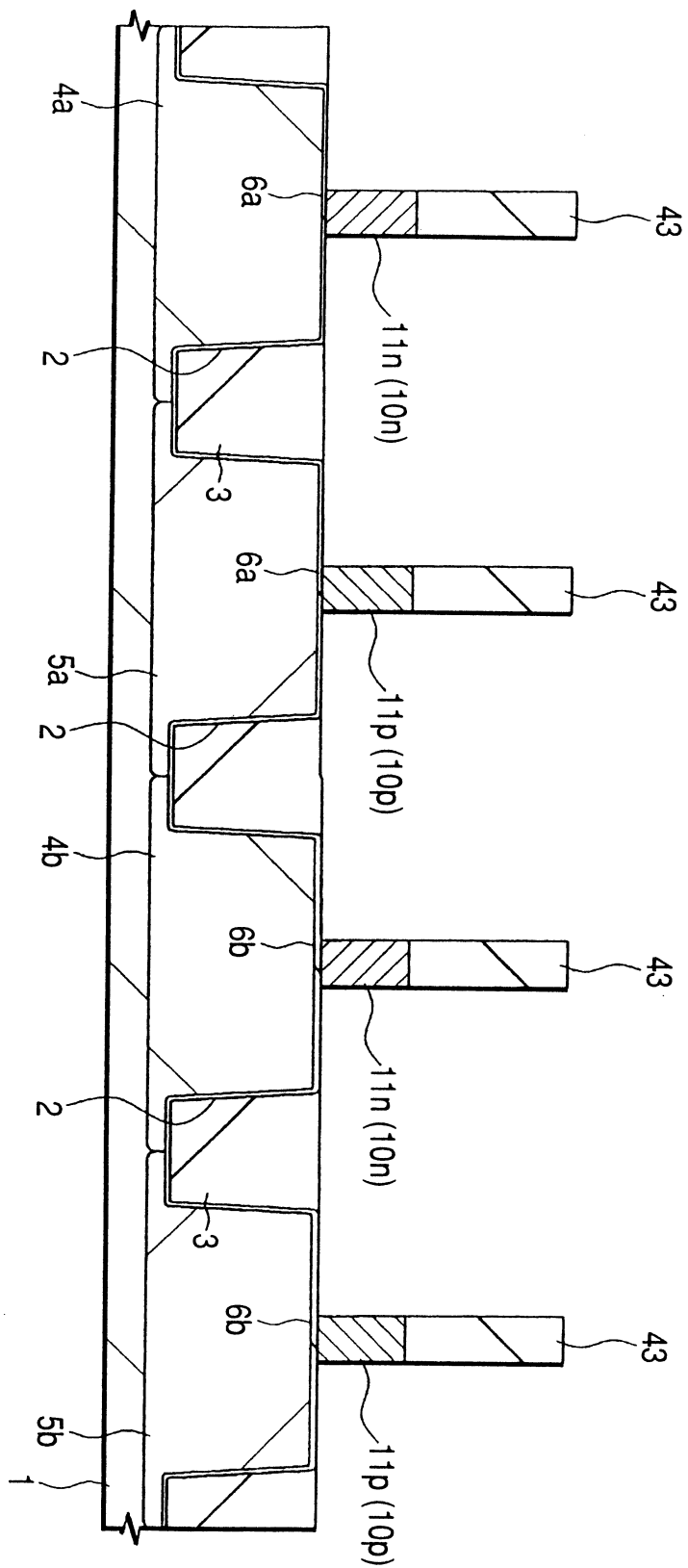


圖 32

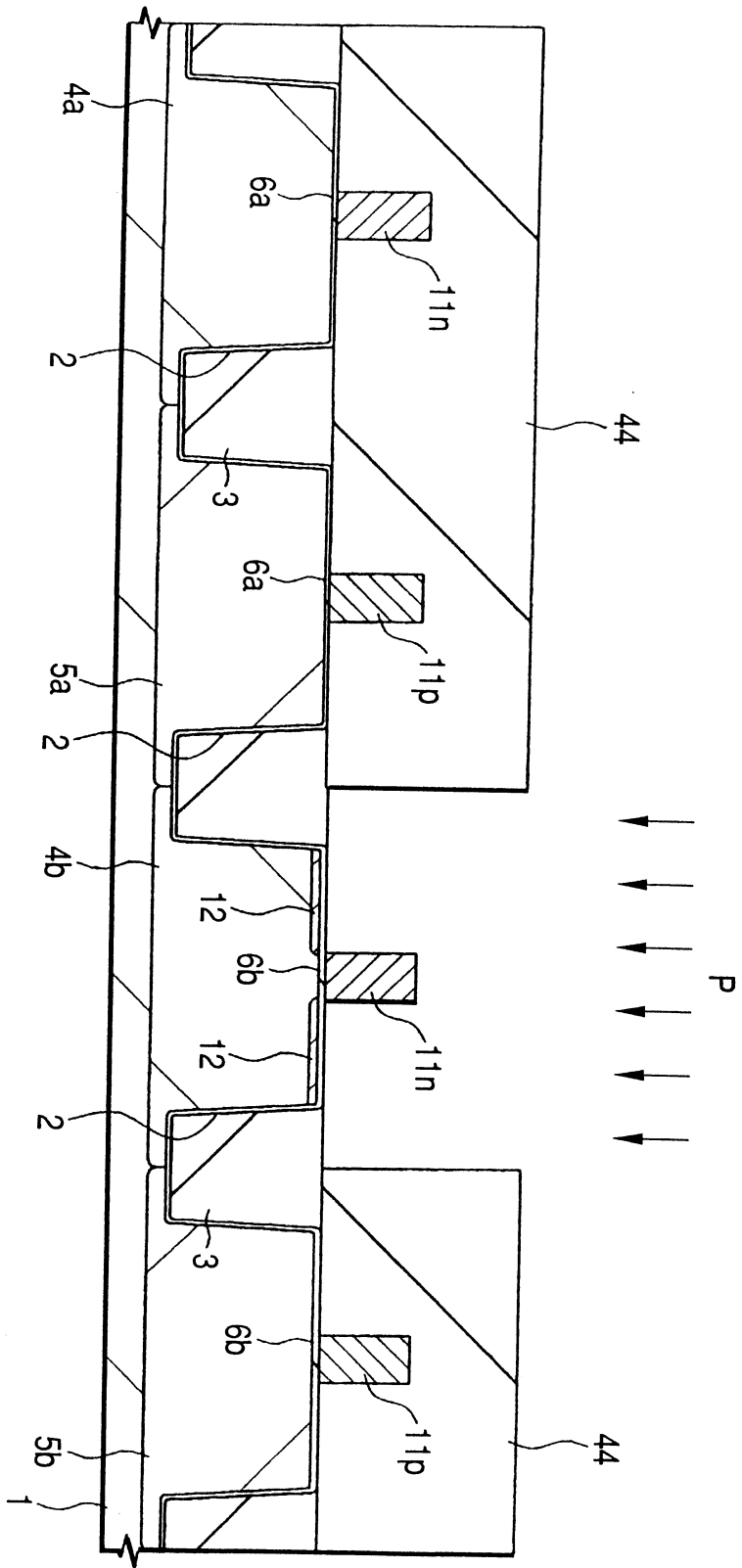


圖 33

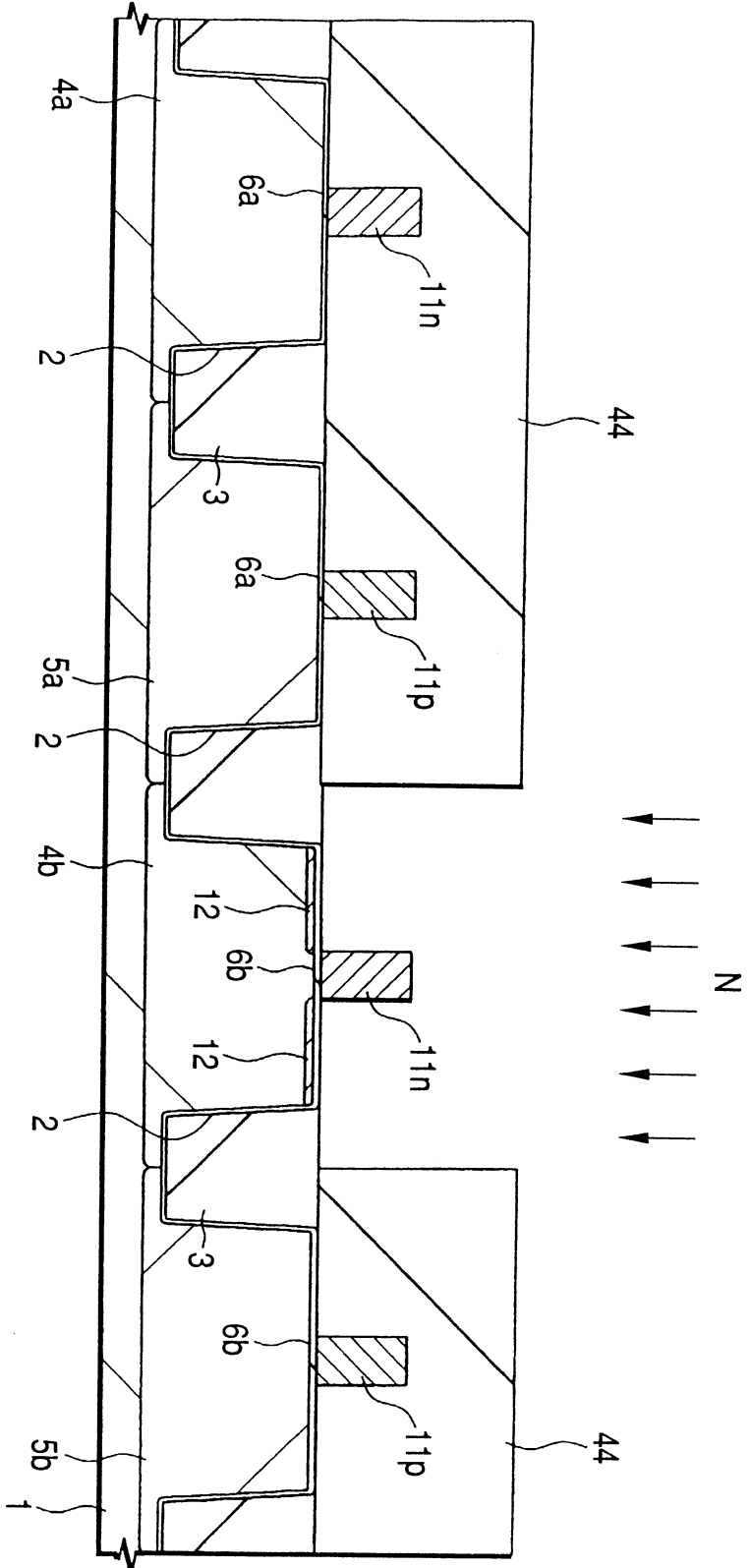


圖 34

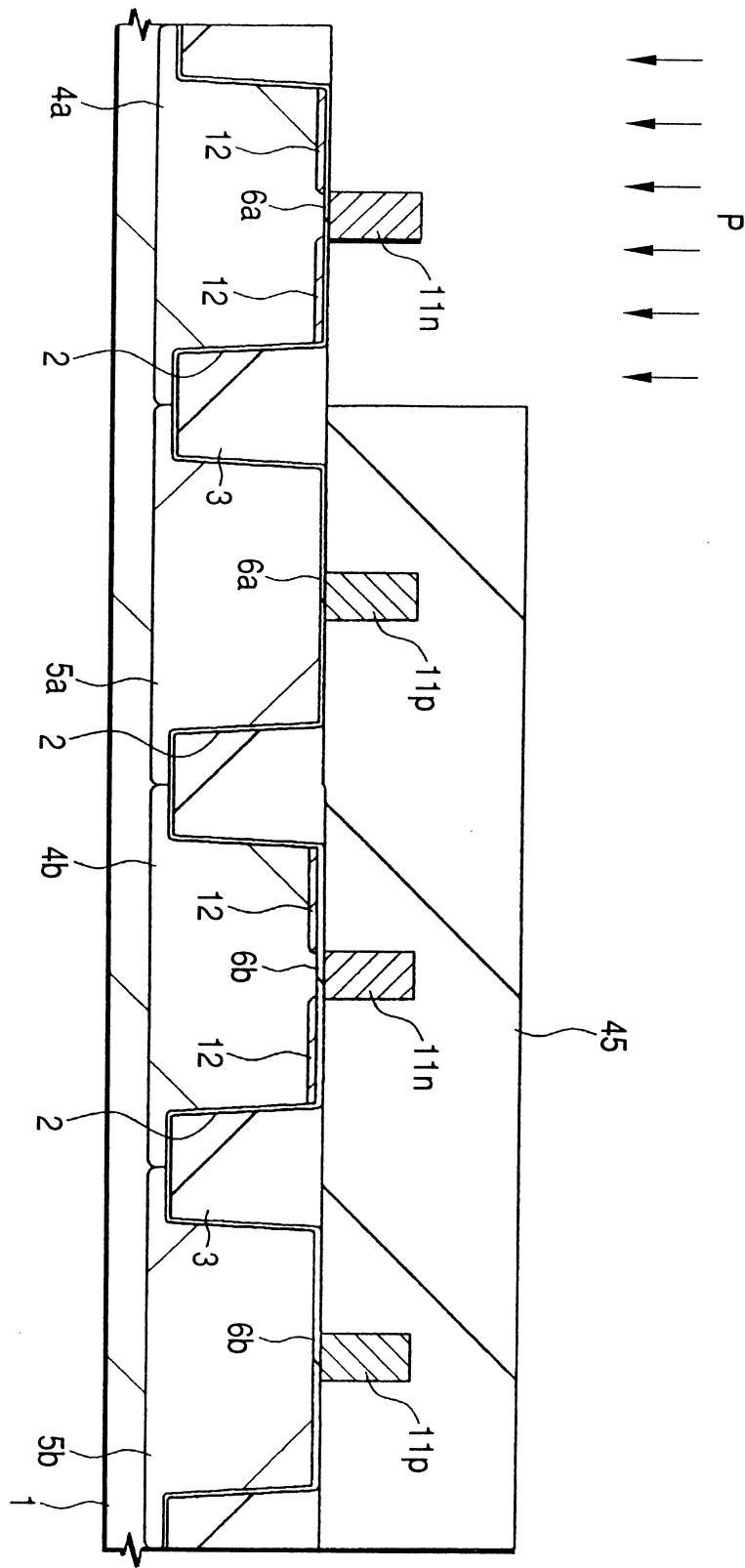


圖 35

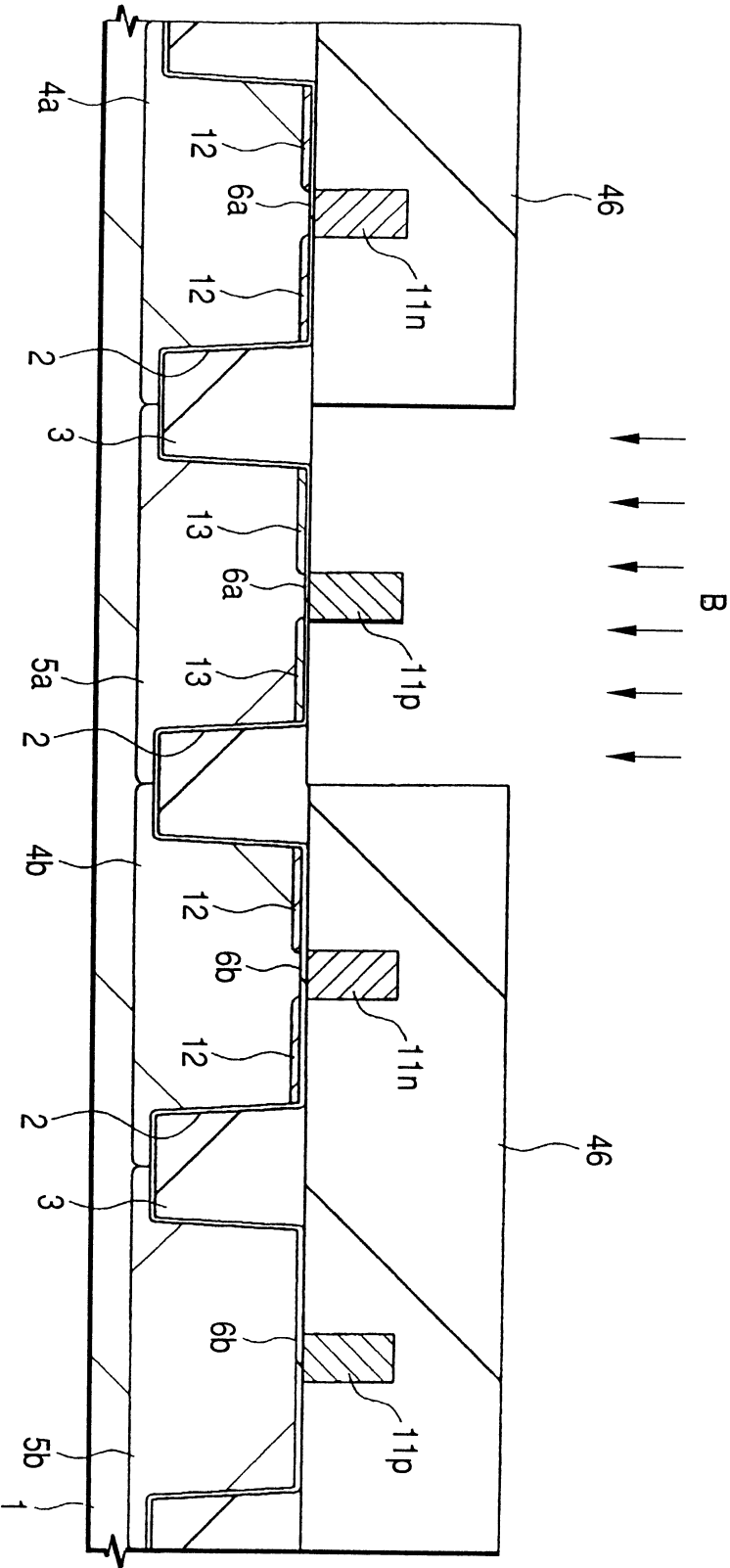


圖 37

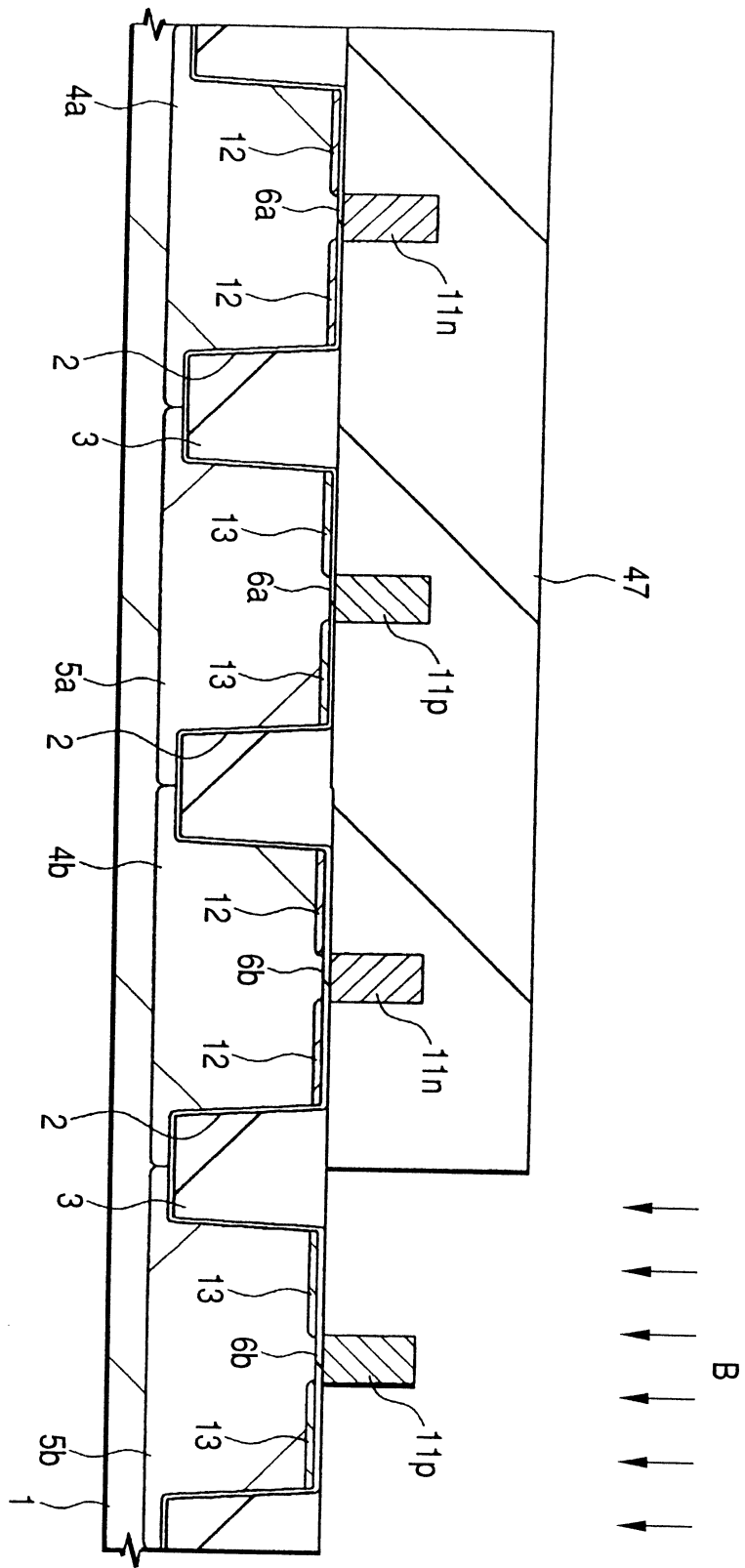


圖 38

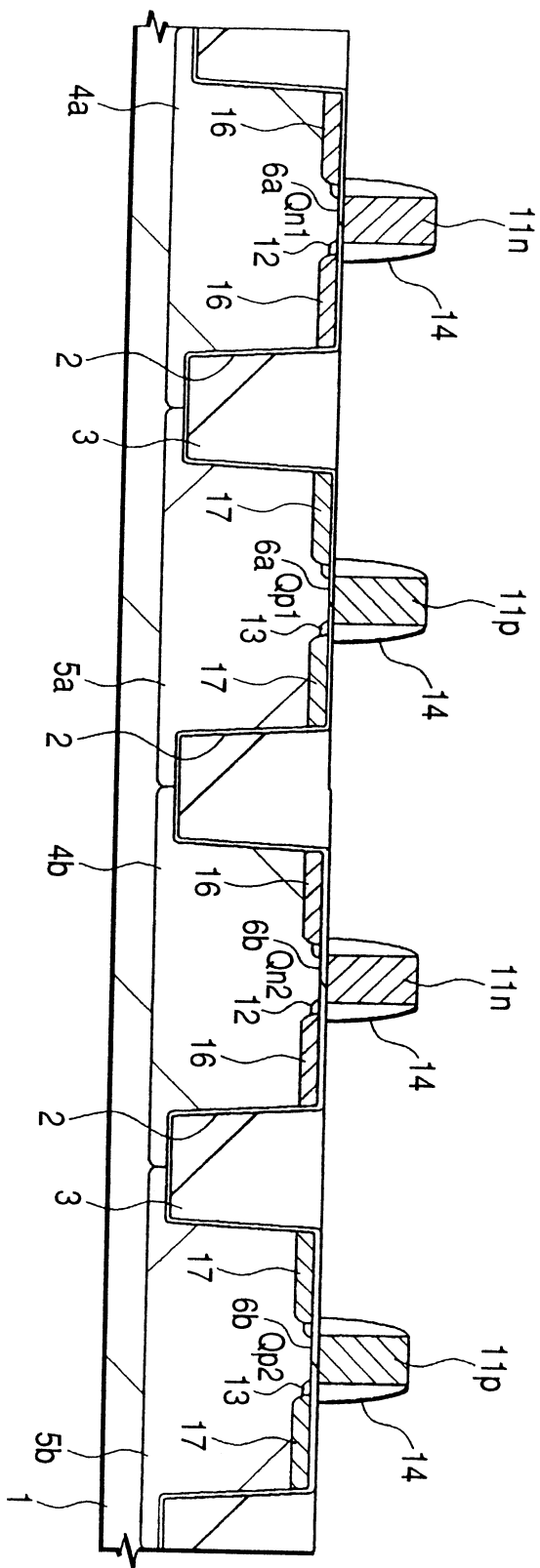


圖 39

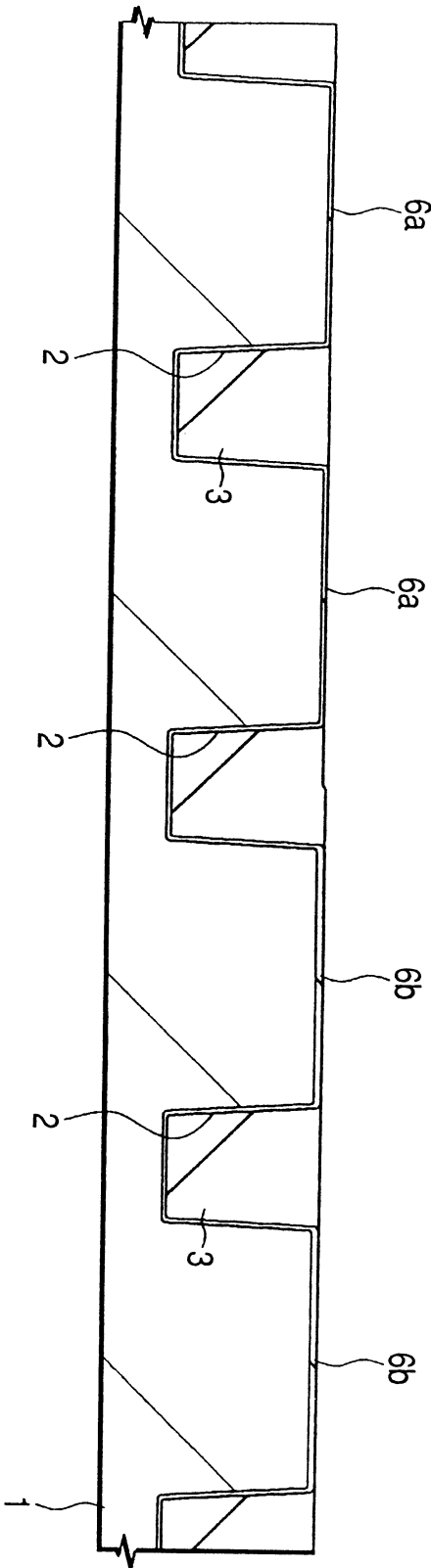


圖 40

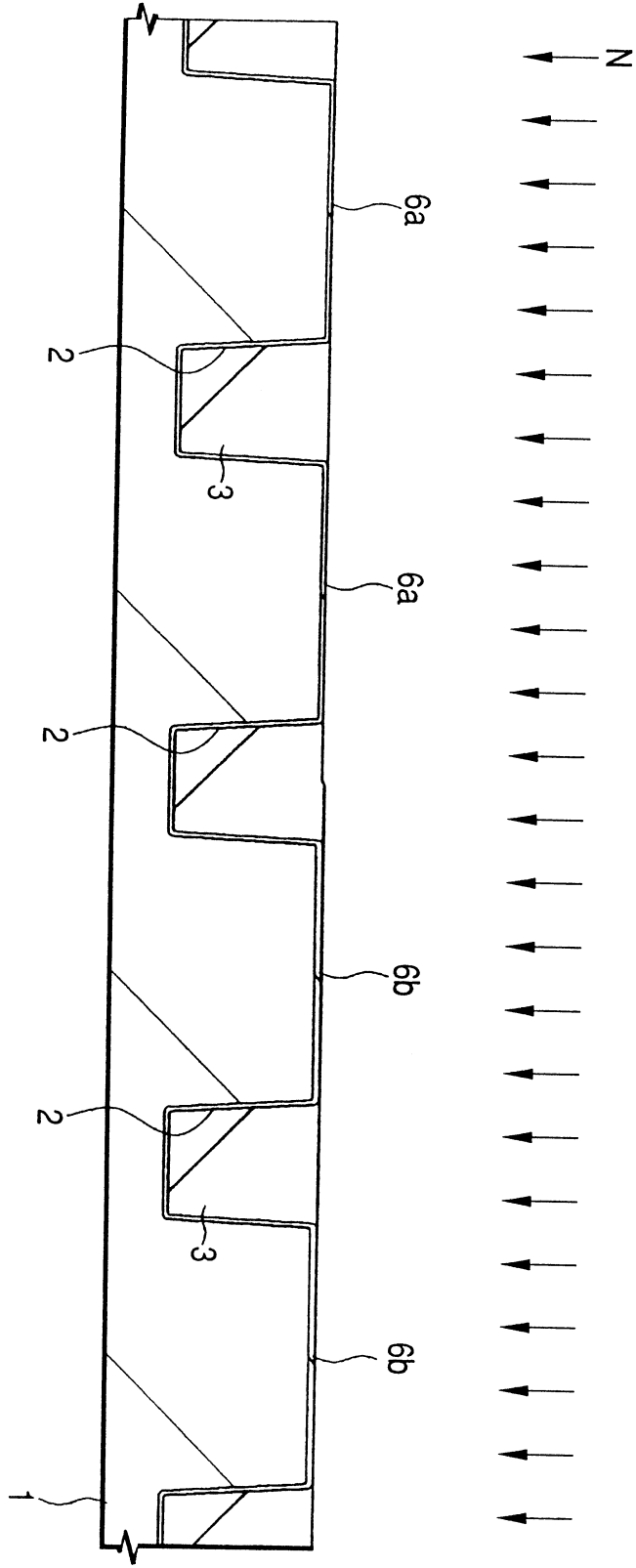


圖 41

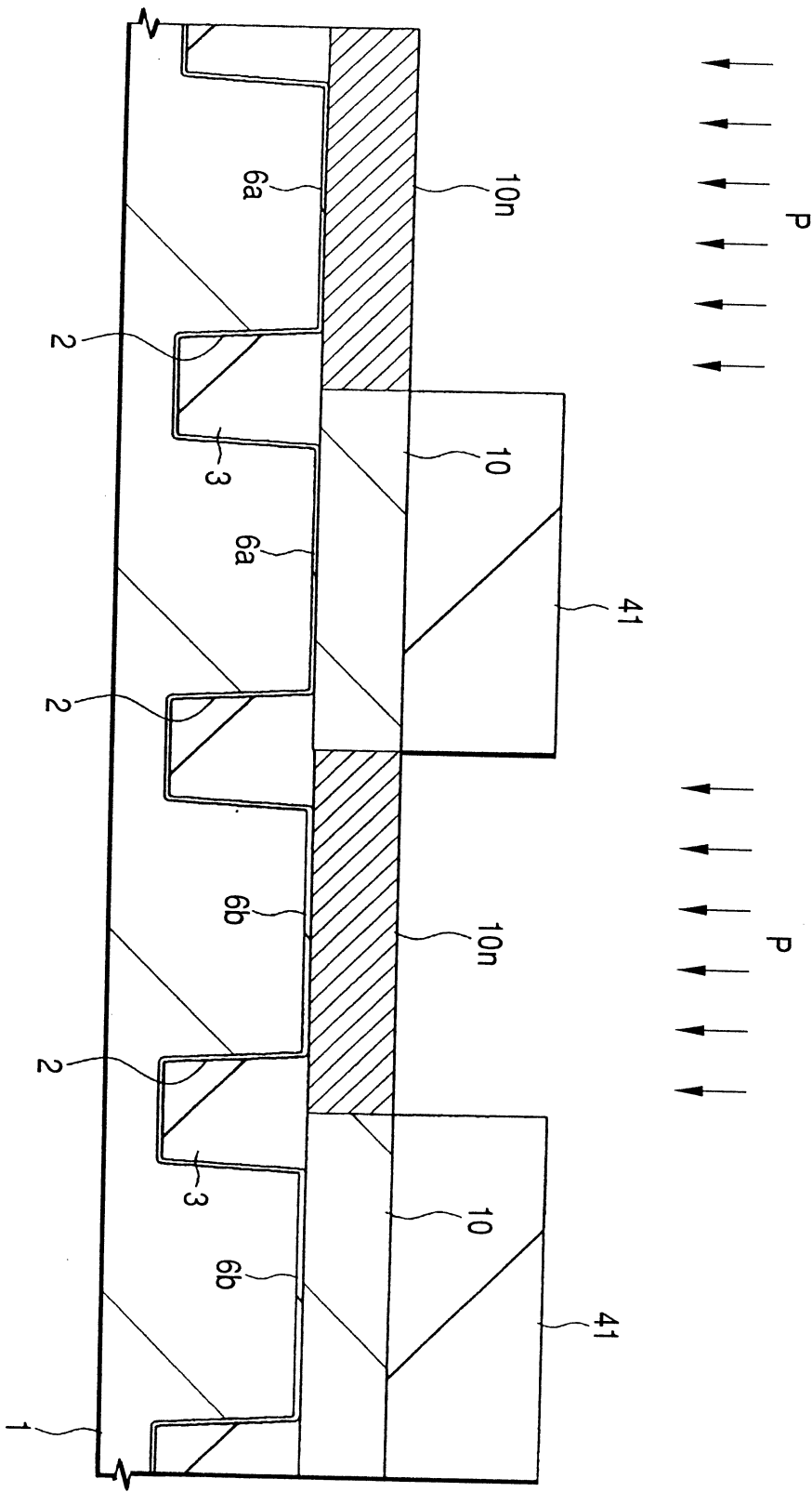


圖 42

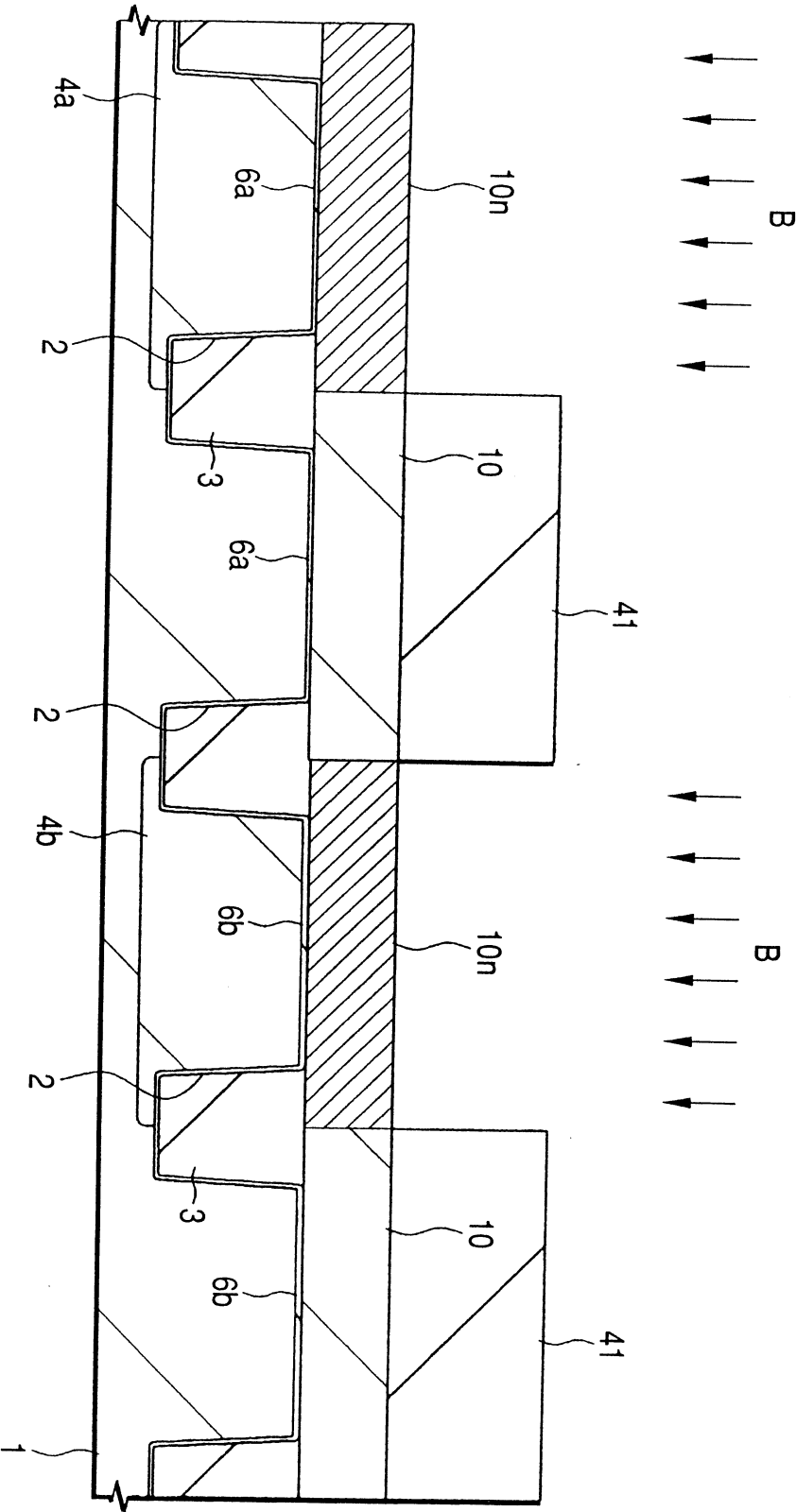


圖 43

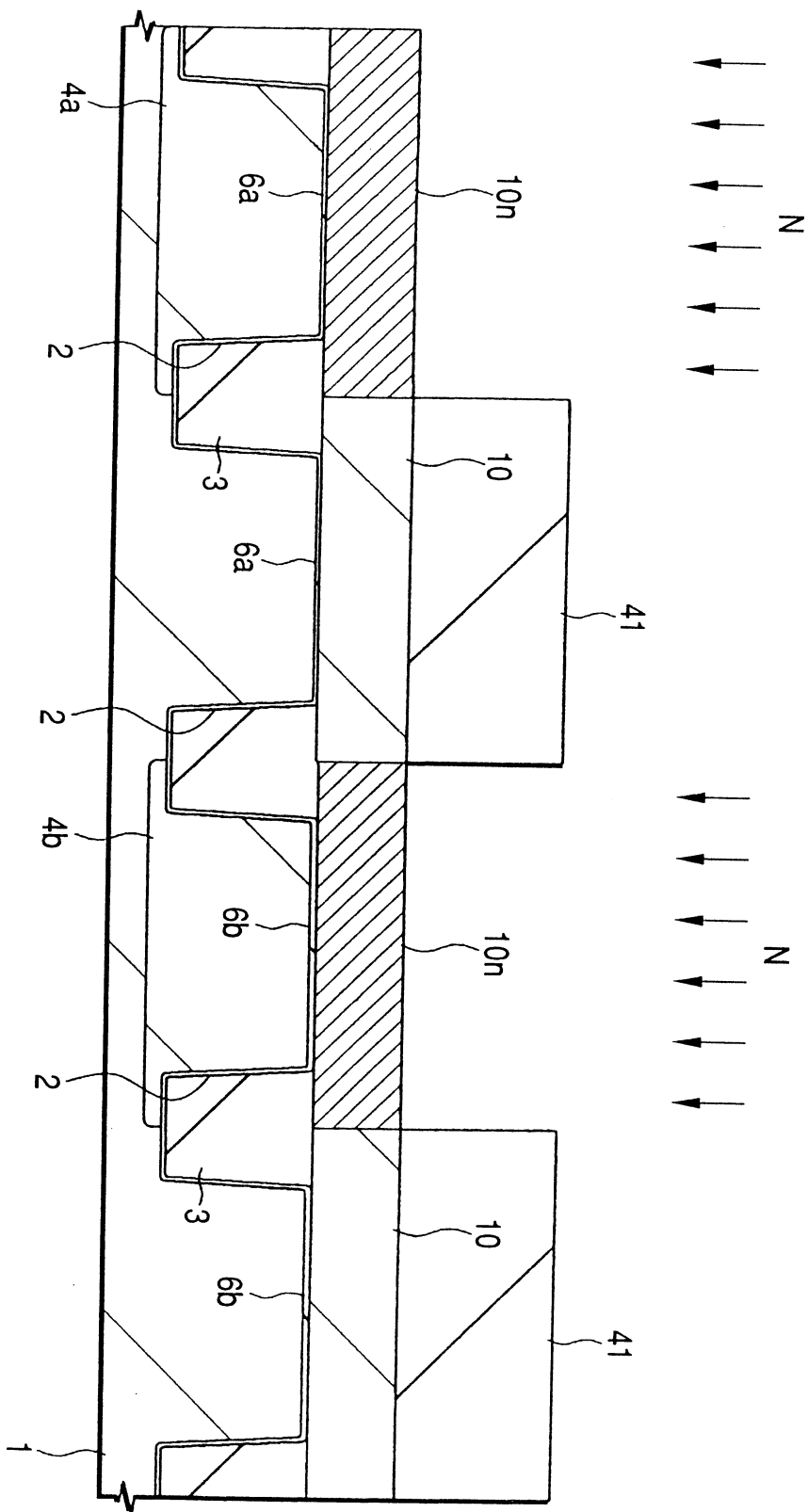


圖 44

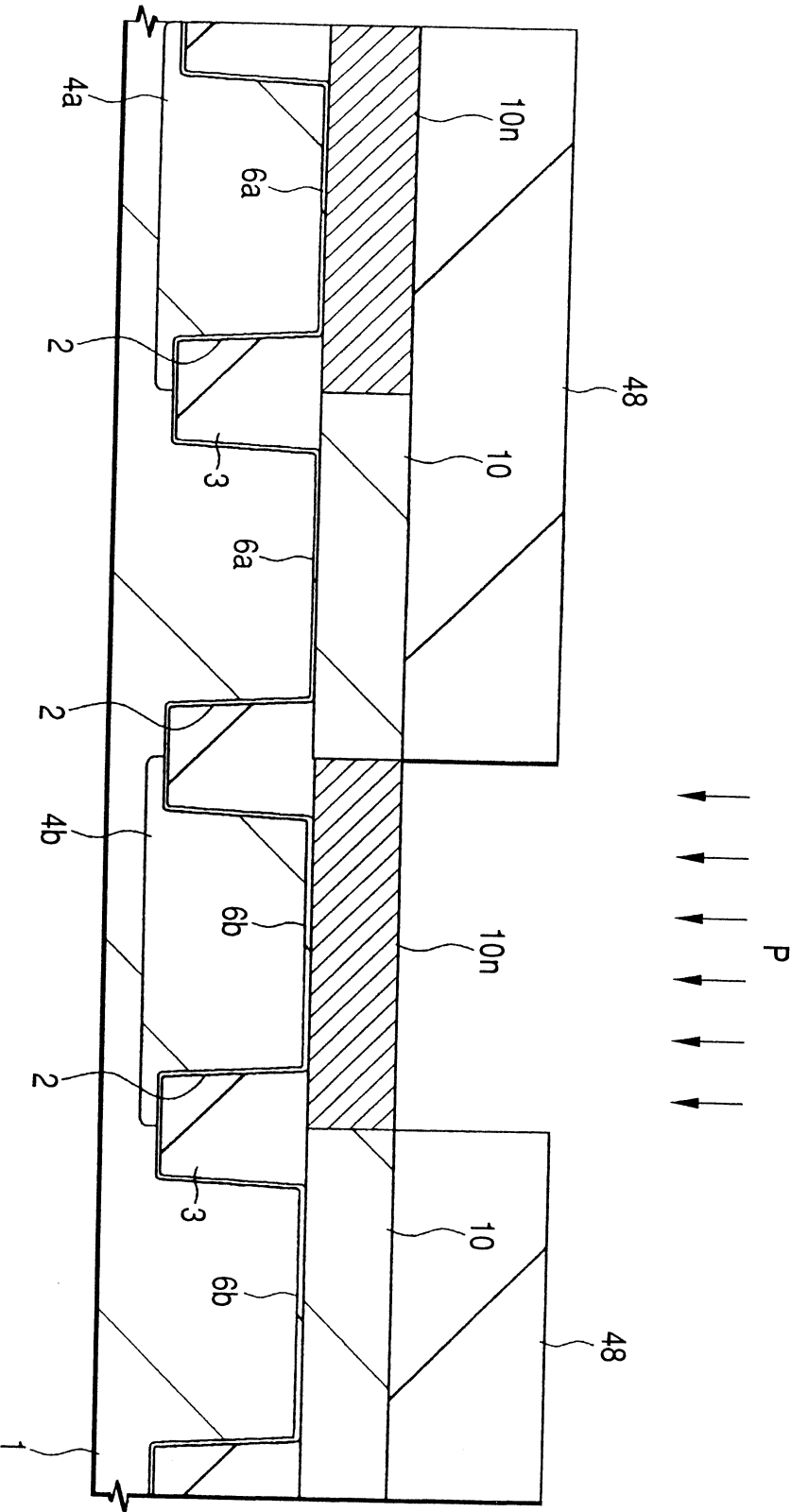


圖 45

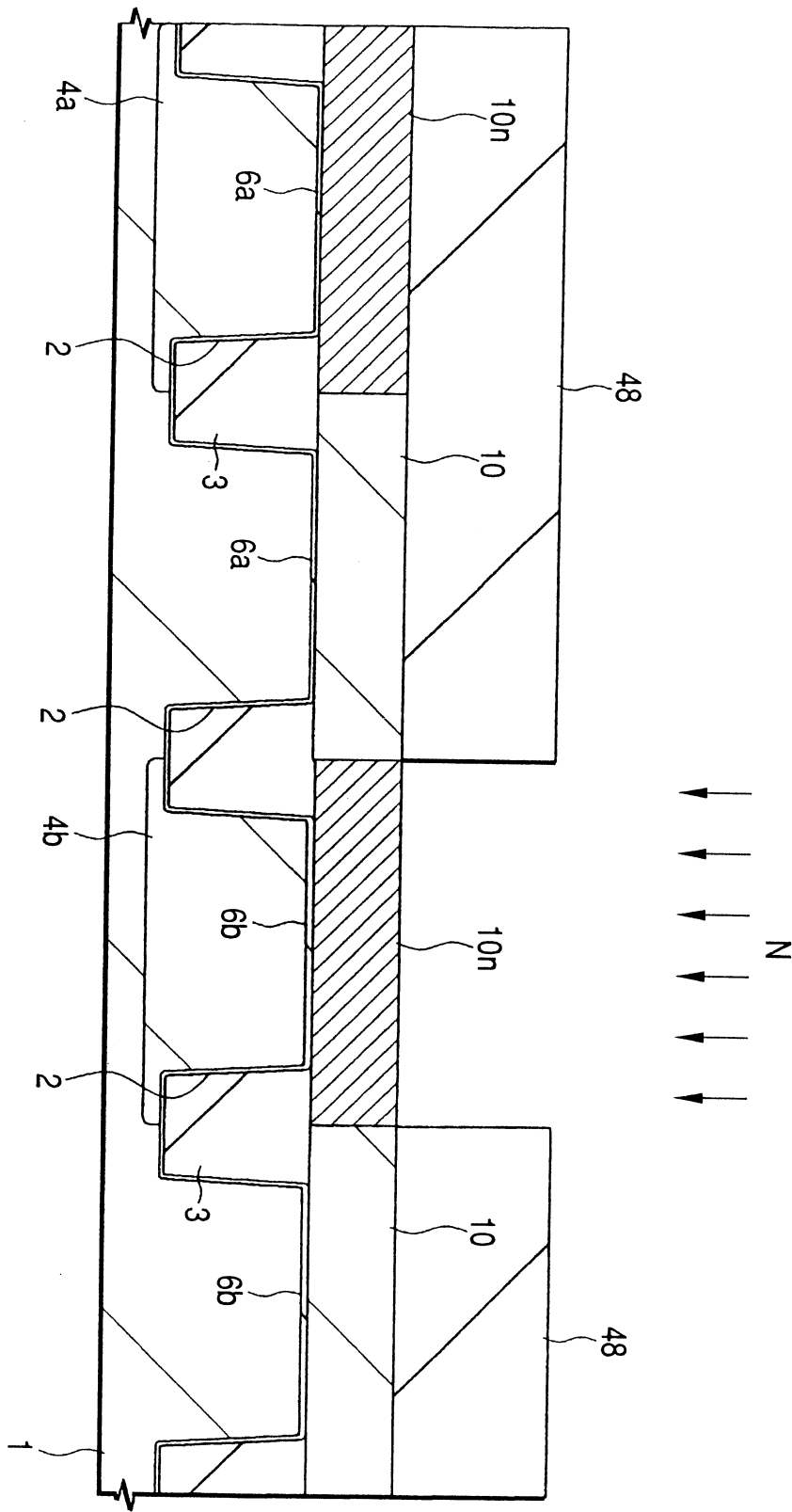


圖 46

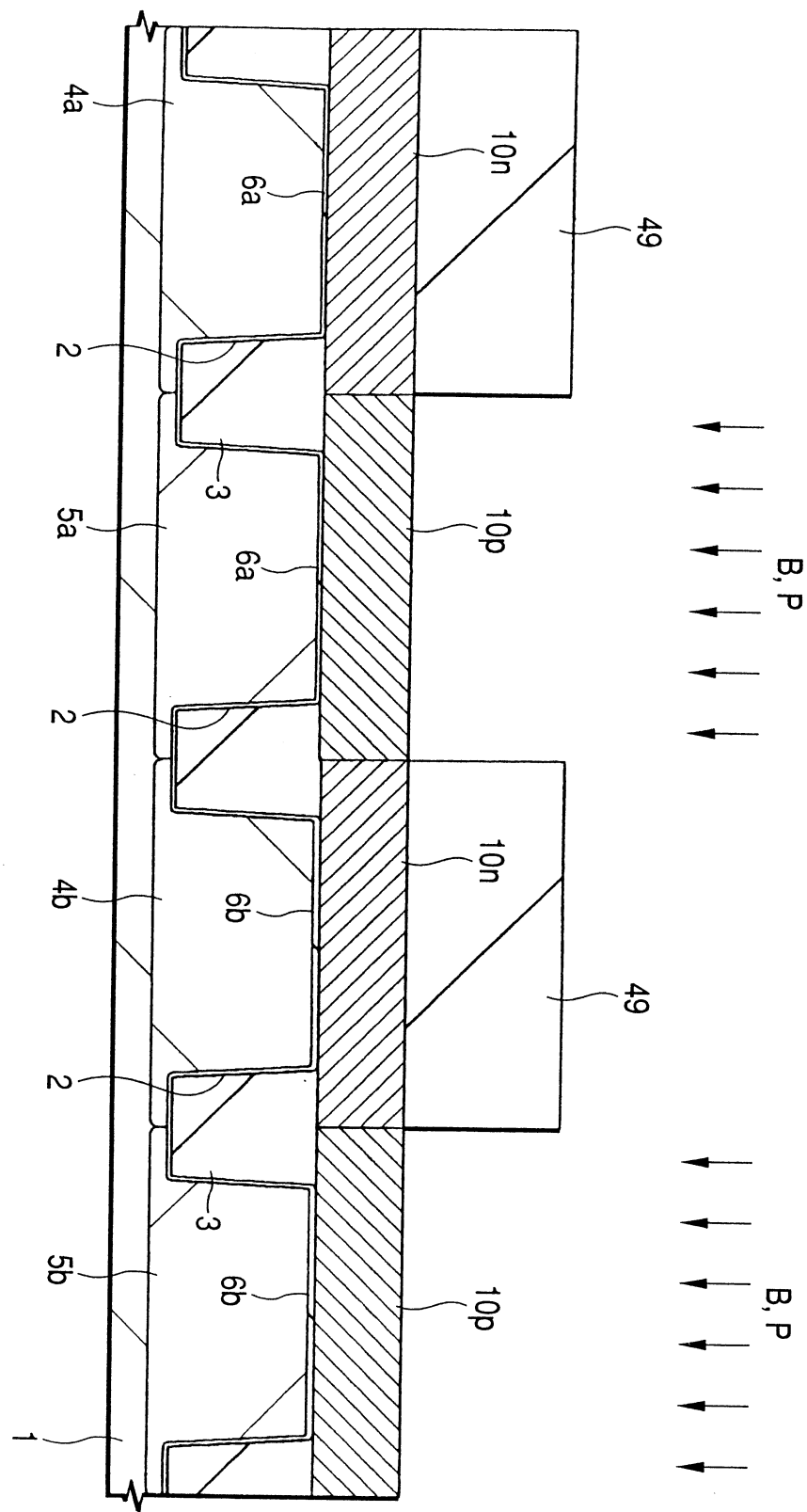


圖 47

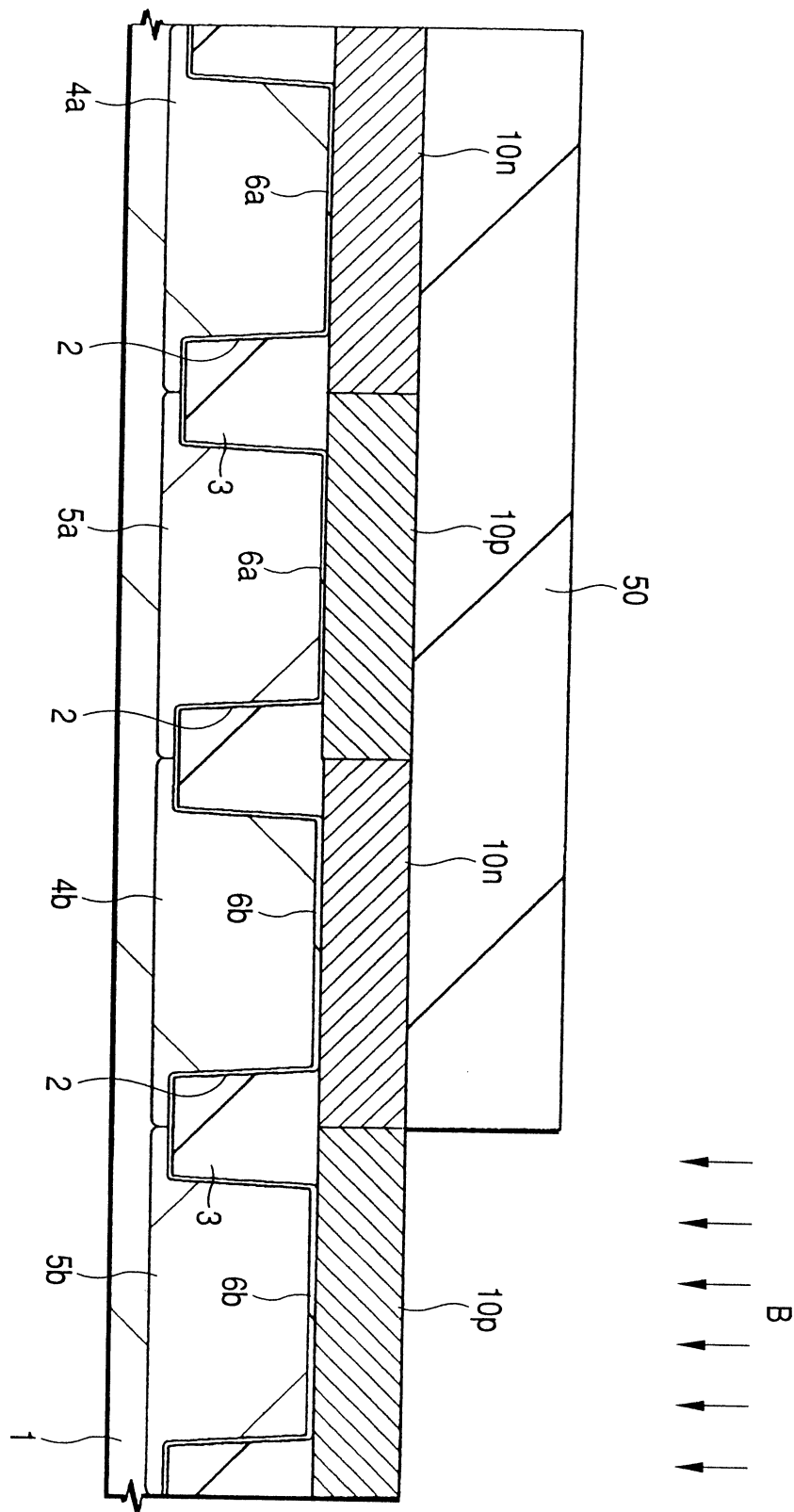
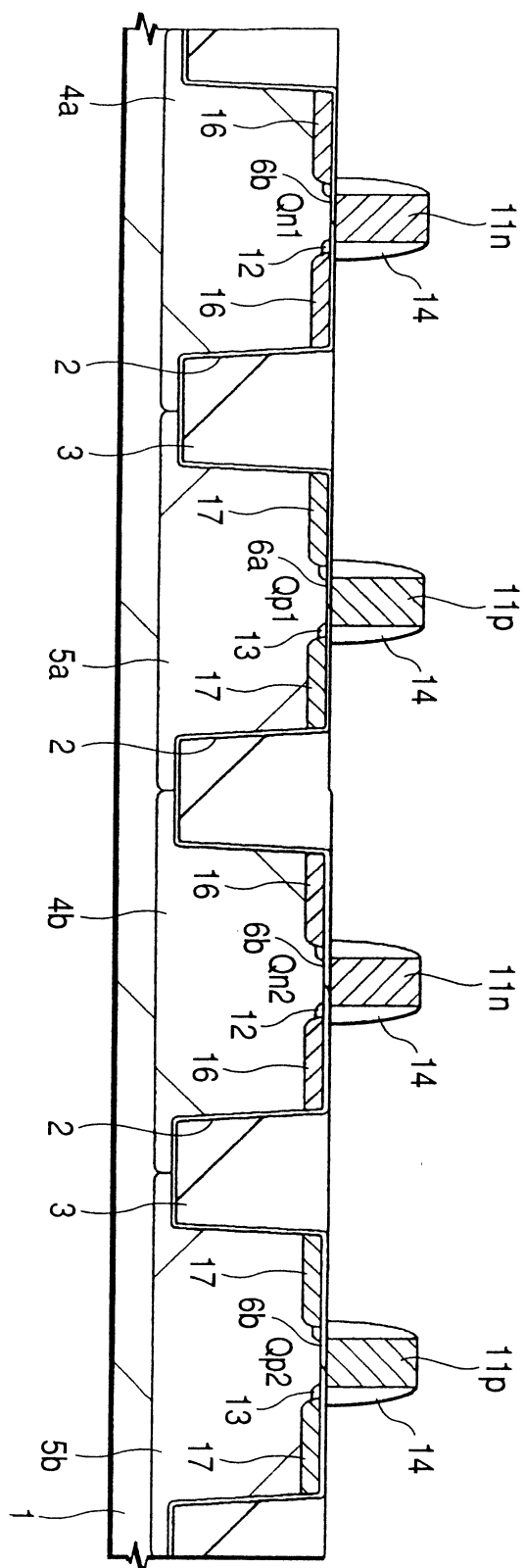


圖 48



49 回

柒、指定代表圖：

(一)本案指定代表圖為：第（ 14 ）圖。

(二)本代表圖之元件代表符號簡單說明：

1	矽基板
2	元件分離溝
3	氧化矽膜
4a、4b	p型阱
5a、5b	n型阱
6a、6b	閘極氧化膜
11n、11p	閘極電極
12	n ⁻ 型半導體區域
13	p ⁻ 型半導體區域
14	側牆間隔物
16	n ⁻ 型半導體區域(源極、汲極)
17	p ⁺ 型半導體區域(源極、汲極)
Qn1、Qn2	n通道型 MISFET
Qp1、Qp2	p通道型 MISFET

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：