(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 6 月 3 日(03.06.2010)

PCT

(10) 国際公開番号
WO 2010/061657 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2009/060956

(22) 国際出願日: 2009 年 6 月 16 日(16.06.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-303550 2008 年 11 月 28 日(28.11.2008) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 坂本　真由子 (SAKAMOTO, Mayuko). 岩瀬　泰章 (IWASE, Yasuaki). 中谷　喜紀 (NAKATANI, Yoshiki). 高橋　佳久 (TAKAHASHI, Yoshihisa).

(74) 代理人: 島田　明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル　島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

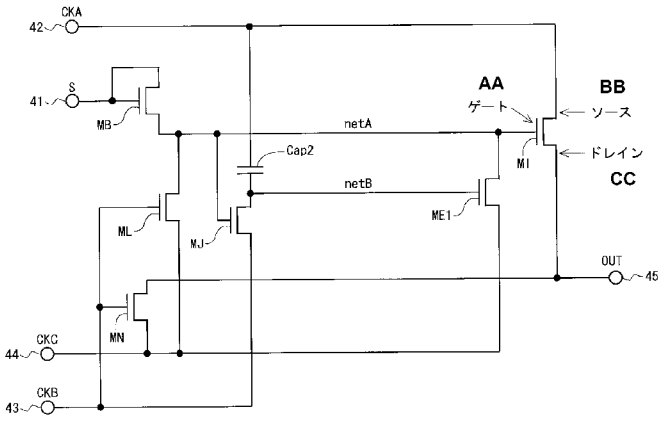
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SCANNING SIGNAL LINE DRIVING CIRCUIT, SHIFT REGISTER, AND DISPLAY DEVICE

(54) 発明の名称 : 走査信号線駆動回路、シフトレジスタ、および表示装置

[図1]



AA - GATE
BB - SOURCE
CC - DRAIN

(57) Abstract: Provided is a display device, which is freed, even if a circuit in a shift register is constituted by using thin film transistors of relatively large off-leaks, from any malfunction or display failure, as might otherwise be caused by those off-leaks. Each bistable circuit constituting the shift register comprises a thin film transistor (MI) for raising the potential of an output terminal (45) on the basis of a first clock, a thin film transistor (MN) for lowering the potential of the output terminal (45), a thin film transistor (MB) for raising the potential of a region (netA) connected with the gate terminal of the thin film transistor (MI), on the basis of a starting signal (S), thin film transistors (ML and ME1) for lowering the potential of the region (netA), a capacitor (Cap2) for raising the potential of a region (netB) connected with the gate terminal of the thin film transistor (ME1), and a thin film transistor (MJ) for lowering the potential of the region (netB).

(57) 要約: 比較的オフリークの大きな薄膜トランジスタを用いてシフトレジスタ内の回路が構成された場合でも当該オフリークに起因する誤動作や表示不良の生じることのない表示装置を実現する。

[続葉有]

WO 2010/061657 A1

シフトレジスタを構成する各双安定回路は、出力端子（４５）の電位を第１クロックに基づいて上昇させるための薄膜トランジスタ（ＭＩ）と、出力端子（４５）の電位を低下させるための薄膜トランジスタ（ＭＮ）と、薄膜トランジスタ（ＭＩ）のゲート端子に接続された領域ｎｅｔＡの電位を開始信号（Ｓ）に基づいて上昇させるための薄膜トランジスタ（ＭＢ）と、領域ｎｅｔＡの電位を低下させるための薄膜トランジスタ（ＭＬ，ＭＥ１）と、薄膜トランジスタ（ＭＥ１）のゲート端子に接続された領域ｎｅｔＢの電位を上昇させるためのキャパシタ（Ｃａｐ２）と、領域ｎｅｔＢの電位を低下させるための薄膜トランジスタ（ＭＪ）とを備える。

明　細　書

発明の名称 ：

走査信号線駆動回路、シフトレジスタ、および表示装置

技術分野

[0001] 本発明は、表示装置およびその駆動回路に関し、更に詳しくは、表示装置の表示部に配設された走査信号線を駆動する走査信号線駆動回路内のシフトレジスタに関する。

背景技術

[0002] 従来よりアモルファスシリコンを用いた薄膜トランジスタ（以下「ａ－ＳｉＴＦＴ」という）を駆動素子として使用する液晶表示装置が知られているが、近年、微結晶シリコンを用いた薄膜トランジスタ（以下「μｃ－ＳｉＴＦＴ」という）を駆動素子として使用する液晶表示装置の開発が進められている。微結晶シリコンの移動度はアモルファスシリコンの移動度よりも大きく、かつ、μｃ－ＳｉＴＦＴはａ－ＳｉＴＦＴと同様の工程で形成される。このため、駆動素子にμｃ－ＳｉＴＦＴを採用することにより、額縁面積の縮小によるコストの低減，ドライバＩＣのチップ数の削減によるコストの低減，実装歩留まりの向上，表示装置の大型化の実現などが期待される。また、μｃ－ＳｉＴＦＴには、ゲート電極に長時間電圧が印加された際の閾値シフト（閾値電圧が変動すること）がａ－ＳｉＴＦＴよりも小さいという特徴がある。すなわち、ａ－ＳｉＴＦＴと比較すると、μｃ－ＳｉＴＦＴは劣化しにくいという点で信頼性が高くなっている。

[0003] ところで、アクティブマトリクス型の液晶表示装置の表示部には、複数本のソースバスライン（映像信号線）と、複数本のゲートバスライン（走査信号線）と、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲー

ト端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタや、画素値を保持するための画素容量などを含んでいる。また、アクティブマトリクス型の液晶表示装置には、複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）と複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）とが設けられている。

[0004] 画素値を示す映像信号はソースバスラインによって伝達される。しかし、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、マトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは１行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

[0005] 図２８は、従来のゲートドライバに含まれているシフトレジスタの１段分の構成例を示す回路図である。この回路には、薄膜トランジスタＭＡ，ＭＢ，ＭＤ，ＭＥ，ＭＬ，ＭＮ，およびＭＩと、キャパシタＣａｐ１とが含まれている。薄膜トランジスタＭＢのソース端子と薄膜トランジスタＭＡのドレイン端子と薄膜トランジスタＭＥのドレイン端子と薄膜トランジスタＭＬのドレイン端子と薄膜トランジスタＭＩのゲート端子とキャパシタＣａｐ１の一端とは領域（配線）ｎｅｔＡを介して互いに接続されている。ゲートバスラインに接続されている出力端子９６は、薄膜トランジスタＭＩのドレイン端子に接続されている。このような構成において、開始信号Ｓのパルスが入力端子９２に与えられることによりｎｅｔＡはプリチャージされる。この状態でクロックＣＫＡの電位がローレベルからハイレベルに変化すると、薄膜トランジスタＭＩのゲートーソース間には寄生容量（不図示）が形成されているので、当該寄生容量を介してｎｅｔＡの電位が上昇する。これにより薄膜トランジスタＭＩがオン状態となり、出力端子９６の電位が上昇して当該出力端子９６に接続されているゲートバスラインが選択状態となる。このような動作がシフトレジスタを構成する各段で順次に行われることにより、複

数本のゲートバスラインが順次に選択状態とされ、１行ずつ画素容量に映像信号が書き込みまれる。

[0006] また、日本の特開２００６－３５１１７１号公報には、シフトレジスタ１段分の構成として図２９に示す回路図が開示されている。この構成によると、寄生容量による影響が最小化され、安定したゲート出力を生成することができるとされている。さらに、特開２００６－１９０４３７号公報には、薄膜トランジスタの劣化に起因する誤動作を防止できるシフトレジスタについての発明が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：日本の特開２００５－５０５０２号公報

特許文献2：日本の特開２００６－３５１１７１号公報

特許文献3：日本の特開２００６－１９０４３７号公報

発明の概要

発明が解決しようとする課題

[0008] ところが、図２８に示す構成によれば、薄膜トランジスタＭＩにおけるリーク電流に起因して、シフトレジスタの誤動作や表示不良が生じうる。これについて以下に説明する。

[0009] 上述したように、薄膜トランジスタＭＩのゲートーソース間には寄生容量が形成されている。このため、クロックＣＫＡの電位がローレベルからハイレベルに変化すると、寄生容量を介してｎｅｔＡの電位が上昇する。ところで、各ゲートバスラインは１フレーム期間中に一度（１水平走査期間）だけ選択状態となれば良い（それ以外の期間は非選択状態で維持されるべきである）ので、大半の期間においてｎｅｔＡおよび出力端子９６の電位はローレベルで維持されるべきである。ところが、上述のクロックＣＫＡについては、２水平走査期間毎にローレベルからハイレベルに変化する。このため、ゲートバスラインが非選択状態で維持されるべき期間にもｎｅｔＡの電位が上

昇し、薄膜トランジスタＭＩにリーク電流が流れる。ここで、図２８で示すように、薄膜トランジスタＭＩ，節点９７（出力端子９６と同電位），薄膜トランジスタＭＥ，およびｎｅｔＡによってループが形成されているので、上記リーク電流に起因して、ｎｅｔＡおよび出力端子９６の電位がハイレベルの電位に近づくように上昇する。このため、出力端子９６の電位がローレベルで維持されるべき期間に、当該出力端子９６の電位が上昇する。このようにして、シフトレジスタの動作が異常となって表示不良が生じる。

[0010] また、図２９に示した回路構成によれば、２相のクロック信号が用いられているので、ゲート電極にそれらのクロック信号が与えられる薄膜トランジスタの劣化が起こりやすい。このため、薄膜トランジスタの劣化に起因するシフトレジスタの誤動作の防止が課題となる。

[0011] さらに、上述のμｃ－ＳｉＴＦＴについてはａ－ＳｉＴＦＴよりもオフリーク（オフ状態で生じるリーク電流）が大きいため、従来の回路構成にμｃ－ＳｉＴＦＴを用いた場合には、ａ－ＳｉＴＦＴを用いたときと比較して、リーク電流に起因する誤動作や表示不良がより生じやすくなる。

[0012] そこで本発明は、比較的オフリークの大きな薄膜トランジスタを用いてシフトレジスタ内の回路が構成された場合でも当該オフリークに起因する誤動作や表示不良の生じることのない表示装置を実現することを目的とする。

課題を解決するための手段

[0013] 本発明の第１の局面は、表示部に配設された複数の走査信号線を駆動する、表示装置の走査信号線駆動回路であって、

第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタを備え、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態

信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放電するための第１の第２ノード放電部と

を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする。

[0014] 本発明の第２の局面は、本発明の第１の局面において、

各双安定回路において、

前記第１の出力ノード放電部は、前記出力ノードに第３電極が接続され、第１電極に前記第２のクロック信号もしくは前記第３のクロック信号また

は当該各双安定回路の次段の双安定回路から出力される状態信号が与えられる第４のスイッチング素子を含み、

前記第１ノード充電部は、前記第１ノードに第２電極が接続され、第１電極および第３電極に前記所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号が与えられる第５のスイッチング素子を含み、

前記第１の第１ノード放電部は、前記第１ノードに第３電極が接続され、第１電極に前記第２のクロック信号もしくは前記第３のクロック信号または当該各双安定回路の次段の双安定回路から出力される状態信号が与えられる第６のスイッチング素子を含むことを特徴とする。

[0015] 本発明の第３の局面は、本発明の第２の局面において、

各双安定回路は、前記第２ノードに第１電極が接続され、前記出力ノードに第３電極が接続された第７のスイッチング素子を含む、前記出力ノードを放電するための第２の出力ノード放電部を更に有し、

各双安定回路において、前記第４のスイッチング素子の第１電極および前記第６のスイッチング素子の第１電極には、当該各双安定回路の次段の双安定回路から出力される状態信号が与えられることを特徴とする。

[0016] 本発明の第４の局面は、本発明の第３の局面において、

前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第７のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられることを特徴とする。

[0017] 本発明の第５の局面は、本発明の第３の局面において、

各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第２ノードに第３電極が接続された第９のスイ

ッチング素子を含む、前記第２ノードを放電するための第２の第２ノード放電部を更に有することを特徴とする。

[0018] 本発明の第６の局面は、本発明の第３の局面において、

各双安定回路は、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記出力ノードに第３電極が接続された第１０のスイッチング素子を含む、前記出力ノードを放電するための第４の出力ノード放電部と、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第１ノードに第３電極が接続された第１１のスイッチング素子を含む、前記第１ノードを放電するための第３の第１ノード放電部と、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第２ノードに第３電極が接続された第１２のスイッチング素子を含む、前記出力ノードを放電するための第３の第２ノード放電部と

を更に有することを特徴とする。

[0019] 本発明の第７の局面は、本発明の第２の局面において、

各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、前記出力ノードに第３電極が接続された第８のスイッチング素子を含む、前記出力ノードを放電するための第３の出力ノード放電部を更に有し、

各双安定回路において、前記第４のスイッチング素子の第１電極および前記第６のスイッチング素子の第１電極には、当該各双安定回路の次段の双安定回路から出力される状態信号が与えられることを特徴とする。

[0020] 本発明の第８の局面は、本発明の第７の局面において、

前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第８のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられることを特徴とする。

[0021] 本発明の第９の局面は、本発明の第１の局面において、

各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、前記第２ノードに第３電極が接続された第９のスイッチング素子を含む、前記第２ノードを放電するための第２の第２ノード放電部を更に有することを特徴とする。

[0022] 本発明の第１０の局面は、本発明の第９の局面において、

前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第９のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられることを特徴とする。

[0023] 本発明の第１１の局面は、本発明の第１の局面において、

各双安定回路は、前記第１ノードに一端が接続され、前記出力ノードに他端が接続されたキャパシタを更に有することを特徴とする。

[0024] 本発明の第１２の局面は、本発明の第１の局面において、

前記第２ノード充電部は、前記第２ノードに一端が接続され、他端に前記第１のクロック信号が与えられるキャパシタを含むことを特徴とする。

[0025] 本発明の第１３の局面は、本発明の第１の局面において、

前記第２ノード充電部は、前記第２ノードに第３電極が接続され、第１電極および第２電極に前記第１のクロック信号が与えられる第１３のスイッチング素子を含むことを特徴とする。

[0026] 本発明の第１４の局面は、本発明の第１の局面において、

各双安定回路に含まれるスイッチング素子は、微結晶シリコンからなる薄膜トランジスタであることを特徴とする。

[0027] 本発明の第１５の局面は、本発明の第１の局面において、

各双安定回路に含まれるスイッチング素子は、アモルファスシリコンからなる薄膜トランジスタであることを特徴とする。

[0028] 本発明の第１６の局面は、本発明の第１の局面において、

前記第１ノードに第３電極が接続されたスイッチング素子の少なくとも１つは、マルチチャネル構造を有する薄膜トランジスタであることを特徴とする。

[0029] 本発明の第１７の局面は、表示部と前記表示部に配設された複数の走査信号線を駆動する走査信号線駆動回路とを備えた表示装置であって、

前記走査信号線駆動回路は、

第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタを有し、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放電するための第１の第２ノード放電部と

を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする。

[0030] 本発明の第１８の局面は、本発明の第１７の局面において、

前記表示部と前記走査信号線駆動回路とが同一の基板上に形成されたドライバモノリシック型であることを特徴とする。

[0031] 本発明の第１９の局面は、第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタであって、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放電するための第１の第２ノード放電部と

を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする。

発明の効果

[0032] 本発明の第１の局面によれば、表示装置の走査信号線駆動回路内のシフトレジスタを構成する各双安定回路において、第１のスイッチング素子については、第１電極は第１ノードに接続され、第２電極には第１のクロック信号が与えられ、第３電極は出力ノードに接続されている。このため、所定の入力信号または前段の状態信号に基づいて第１ノードの電位が上昇した後に第１のクロック信号がローレベルからハイレベルに変化すると、第１のスイッ

チング素子の第１電極と第２電極との間の寄生容量に起因して第１ノードの電位は更に上昇して第１のスイッチング素子はオン状態となる。これにより、出力ノードの電位は上昇し、第１の状態を表す状態信号が出力ノードから出力される。その出力ノードは第１の出力ノード放電部によって放電される。第１ノードの電位は第１のクロック信号に基づいて上昇する。また、各双安定回路には、第１の第１ノード放電部と第２の第１ノード放電部とが設けられている。さらに、各双安定回路には、第２の第１ノード放電部に含まれる第２のスイッチング素子の第１電極に接続された第２ノードを充電するための第２ノード充電部と、第２ノードを放電するための第１の第２ノード放電部とが設けられている。第１の第１ノード放電部は第２のクロック信号または第３のクロック信号に基づいて動作するので、第２のクロック信号または第３のクロック信号がハイレベルになっている期間中に、第１ノードは第１の第１ノード放電部によって放電される。第１のクロック信号がハイレベルになっている期間については、第１の状態を表す状態信号が出力ノードから出力されるべき期間（選択期間）以外の期間のみ第１ノードは放電されるべきである。これに関し、選択期間には第１の第２ノード放電部によって第２ノードの電位は低下させられる。これにより第２のスイッチング素子はオフ状態となるので、選択期間中に第２の第１ノード放電部が第１ノードの電位を低下させることはない。このようにして、走査信号線駆動回路内のシフトレジスタに所望の動作をさせることができる。

[0033] ここで、出力ノードについては、出力ノード充電部に含まれる第１のスイッチング素子の第３電極および第１の出力ノード放電部のみと接続された構成となっており、従来例とは異なり、第１ノードと出力ノードとがスイッチング素子の第２電極と第３電極とで接続された構成とはなっていない。このため、出力ノードの電位の変化の影響が第１ノードに及ぶことはない。これにより、仮に第１のスイッチング素子にオフリークが生じても、出力ノードの電位の上昇に起因して第１ノードの電位が上昇することはなく、表示不良を引き起こすほどの多大なオフリークが生じることはない。従って、比較的

オフリークの大きいスイッチング素子が駆動素子として採用されていても、当該スイッチング素子のオフリークに起因するシフトレジスタの誤動作や表示不良が生じることはない。

[0034] また、シフトレジスタを構成する各双安定回路の動作は、デューティ比が３分の１の３相のクロック信号によって制御される。このため、２相のクロック信号と電源電圧とによって各双安定回路の動作を制御していた従来例の構成と比較して（表示装置の）額縁面積を増大させることなく、各双安定回路内のスイッチング素子の劣化を抑制することができる。これにより、スイッチング素子の劣化に起因するシフトレジスタの誤動作の発生が抑制される。

[0035] さらに、第１のスイッチング素子の第２電極に与えられるクロック信号（第１のクロック信号）のデューティ比が３分の１となるので、当該デューティ比が２分の１のときと比較して、第１のスイッチング素子におけるオフリークが小さくなる。このため、第１のスイッチング素子のオフリークに起因するシフトレジスタの誤動作の発生が効果的に抑制される。

[0036] 本発明の第２の局面によれば、第１の出力ノード放電部，第１ノード充電部，および第１の第１ノード放電部にスイッチング素子を含めた構成において、本発明の第１の局面と同様の効果が得られる。

[0037] 本発明の第３の局面によれば、各双安定回路の第４および第６のスイッチング素子の動作は、１フレーム期間中の１水平走査期間だけハイレベルとなる信号がそれらスイッチング素子の第１電極に与えられることによって制御される。このため、第１ノードや出力ノードを放電するために設けられているスイッチング素子の劣化が抑制され、シフトレジスタの誤動作の発生が効果的に抑制される。また、各双安定回路には、第２ノードに第１電極が接続され、出力ノードに第３電極が接続された第７のスイッチング素子が設けられている。ここで、第２ノードは第１のクロック信号に基づいて充電されるので、走査信号線が非選択状態で維持されるべき期間に第１のクロック信号に基づいて第１のスイッチング素子でオフリークが生じても、第７のスイッ

チング素子がオン状態となることにより出力ノードの電位はローレベルで維持される。これにより、表示不良の発生が抑制される。

[0038] 本発明の第４の局面によれば、第２もしくは第３のクロック信号または低電位の直流電位が第２，第３，第４，第６，および第７のスイッチング素子の第２電極に与えられることによって、第１ノード，第２ノード，および出力ノードの電位が低下する。

[0039] 本発明の第５の局面によれば、第２または第３のクロック信号に基づいて第２ノードが放電するので、第１のクロック信号に基づいて第２ノードの電位が上昇した後、第２ノードの電位は確実に低下する。このため、第２ノードに第１電極が接続された第２のスイッチング素子の劣化が抑制され、シフトレジスタの誤動作の発生が抑制される。

[0040] 本発明の第６の局面によれば、第３の第１ノード放電部と第３の第２ノード放電部とが設けられることにより、第１ノードおよび第２ノードの放電が随時行われる。このため、第１ノードに第１電極が接続されている第１のスイッチング素子および第２ノードに第１電極が接続されている第２のスイッチング素子の劣化が効果的に抑制される。また、第４の出力ノード放電部が設けられることにより、走査信号線が非選択状態とされるべき期間に出力ノードの電位が確実にローレベルに固定され、表示不良の発生が効果的に抑制される。

[0041] 本発明の第７の局面によれば、各双安定回路の第４および第６のスイッチング素子の動作は、１フレーム期間中の１水平走査期間だけハイレベルとなる信号がそれらスイッチング素子の第１電極に与えられることによって制御される。このため、第１ノードや出力ノードを放電するために設けられているスイッチング素子の劣化が抑制され、シフトレジスタの誤動作の発生が効果的に抑制される。また、各双安定回路には、第１電極に第２または第３のクロック信号が与えられ、出力ノードに第３電極が接続された第８のスイッチング素子が設けられている。このため、走査信号線が非選択状態で維持されるべき期間に第１のクロック信号に基づいて第１のスイッチング素子でオ

フリークが生じても、第２または第３のクロック信号に基づいて第８のスイッチング素子がオン状態となることにより出力ノードの電位はローレベルで維持される。これにより、表示不良の発生が抑制される。

[0042] 本発明の第８の局面によれば、第２もしくは第３のクロック信号または低電位の直流電位が第２，第３，第４，第６，および第８のスイッチング素子の第２電極に与えられることによって、第１ノード，第２ノード，および出力ノードの電位が低下する。

[0043] 本発明の第９の局面によれば、第２または第３のクロック信号に基づいて第２ノードが放電するので、第１のクロック信号に基づいて第２ノードの電位が上昇した後、第２ノードの電位は確実に低下する。このため、第２ノードに第１電極が接続された第２のスイッチング素子の劣化が抑制され、シフトレジスタの誤動作の発生が抑制される。

[0044] 本発明の第１０の局面によれば、第２もしくは第３のクロック信号または低電位の直流電位が第２，第３，第４，第６，および第９のスイッチング素子の第２電極に与えられることによって、第１ノード，第２ノード，および出力ノードの電位が低下する。

[0045] 本発明の第１１の局面によれば、キャパシタを備える構成としたことにより、走査信号線が選択状態で維持されるべき期間中に第１ノードの電位の低下が抑制される。このため、走査信号のハイレベル時の電圧レベルが充分に高いレベルで維持され、表示部内の画素容量への書き込み不良の発生が抑制される。

[0046] 本発明の第１２の局面によれば、キャパシタを備える構成としたことにより、第１のクロック信号に基づいて第２ノードの電位を上昇させることができる。

[0047] 本発明の第１３の局面によれば、ダイオード接続のスイッチング素子を備える構成としたことにより、第１のクロック信号に基づいて第２ノードの電位を上昇させることができる。

[0048] 本発明の第１４の局面によれば、比較的劣化しにくい微結晶シリコンから

なる薄膜トランジスタがスイッチング素子として採用されているので、シフトレジスタの動作の信頼性を高めることができる。

[0049] 本発明の第１５の局面によれば、アモルファスシリコンからなる薄膜トランジスタがスイッチング素子として採用されている構成において、第１のスイッチング素子でのオフリークがより小さくなり、オフリークに起因するシフトレジスタの誤動作や表示不良の発生が抑制される。

[0050] 本発明の第１６の局面によれば、第１ノードを放電するためのスイッチング素子（第２のスイッチング素子，第６のスイッチング素子）がマルチチャネル構造の薄膜トランジスタで構成されるので、第１ノードの電位が上昇したときに、それらのスイッチング素子でリーク電流が生じることによる第１ノードの電位の低下が防止される。

[0051] 本発明の第１７の局面によれば、本発明の第１の局面と同様の効果が得られる走査信号線駆動回路を備えた表示装置が実現される。

[0052] 本発明の第１８の局面によれば、装置サイズの小型化を図りつつ、本発明の第１７の局面と同様の効果が得られる表示装置が実現される。

[0053] 本発明の第１９の局面によれば、本発明の第１の局面と同様の効果が得られるシフトレジスタが実現される。

図面の簡単な説明

[0054] [図1]本発明の第１の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図2]上記第１の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

[図3]上記第１の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

[図4]上記第１の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

[図5]上記第１の実施形態において、第１～第３ゲートクロック信号の波形を示す信号波形図である。

[図6]上記第１の実施形態において、走査信号の波形を示す信号波形図である。

[図7]上記第１の実施形態において、双安定回路の動作について説明するための波形図である。

[図8]上記第１の実施形態において、双安定回路の動作について説明するための図である。

[図9]上記第１の実施形態において、薄膜トランジスタＭＩのゲートーソース間の寄生容量を考慮した回路図である。

[図10]上記第１の実施形態の変形例における双安定回路の構成を示す回路図である。

[図11]上記第１の実施形態の変形例における双安定回路の構成を示す回路図である。

[図12]本発明の第２の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図13]上記第２の実施形態において、双安定回路の動作について説明するための図である。

[図14]本発明の第３の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタの構成を示すブロック図である。

[図15]上記第３の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図16]上記第３の実施形態において、双安定回路の動作について説明するための波形図である。

[図17]上記第３の実施形態において、双安定回路の動作について説明するための図である。

[図18]本発明の第４の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図19]上記第４の実施形態において、双安定回路の動作について説明するための図である。

[図20]本発明の第５の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図21]上記第５の実施形態において、双安定回路の動作について説明するための図である。

[図22]従来例におけるシミュレーション結果を示す図である。

[図23]上記第５の実施形態におけるシミュレーション結果を示す図である。

[図24]本発明の第６の実施形態に係る液晶表示装置のゲートドライバ内のシフトレジスタに含まれる双安定回路の構成を示す回路図である。

[図25]上記第６の実施形態において、双安定回路の動作について説明するための図である。

[図26]Ａ－Ｃは、マルチチャネルＴＦＴについて説明するための図である。

[図27]上記第１の実施形態に係る双安定回路をマルチチャネルＴＦＴを用いて構成した回路図である。

[図28]従来のゲートドライバに含まれているシフトレジスタの１段分の構成例を示す回路図である。

[図29]従来のゲートドライバに含まれているシフトレジスタの１段分の構成例を示す回路図である。

発明を実施するための形態

[0055] 以下、添付図面を参照して本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第１電極に相当し、ソース端子（ソース電極）は第２電極に相当し、ドレイン端子（ドレイン電極）は第３電極に相当する。

[0056] ＜１．第１の実施形態＞

＜１．１　全体構成および動作＞

図２は、本発明の第１の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図２に示すように、この液晶表示装置は、電源１００とＤＣ／ＤＣコンバータ１１０と表示制御回路２００とソースドライバ（映像信号線駆動回路）３００とゲートドライバ（走査信

号線駆動回路）４００と共通電極駆動回路５００と表示部６００とを備えている。なお、典型的には、表示部６００と駆動回路であるゲートドライバ４００とは同一基板上すなわちモノリシックに形成される。

[0057] 表示部６００には、複数本（ｊ本）のソースバスライン（映像信号線）ＳＬ１～ＳＬｊと、複数本（ｉ本）のゲートバスライン（走査信号線）ＧＬ１～ＧＬｉと、それらのソースバスラインＳＬ１～ＳＬｊとゲートバスラインＧＬ１～ＧＬｉとの交差点にそれぞれ対応して設けられた複数個（ｉ×ｊ個）の画素形成部とが含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（ＴＦＴ）６０と、その薄膜トランジスタ６０のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極Ｅｃと、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ｅｃとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ｅｃとにより形成される液晶容量により、画素容量Ｃｐが構成される。なお通常、画素容量Ｃｐに確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0058] 電源１００は、ＤＣ／ＤＣコンバータ１１０と表示制御回路２００と共通電極駆動回路５００とに所定の電源電圧を供給する。ＤＣ／ＤＣコンバータ１１０は、ソースドライバ３００およびゲートドライバ４００を動作させるための所定の直流電圧を電源電圧から生成し、それをソースドライバ３００およびゲートドライバ４００に供給する。共通電極駆動回路５００は、共通電極Ｅｃに所定の電位Ｖｃｏｍを与える。

[0059] 表示制御回路２００は、外部から送られる画像信号ＤＡＴおよび水平同期信号や垂直同期信号などのタイミング信号群ＴＧを受け取り、デジタル映像信号ＤＶと、表示部６００における画像表示を制御するためのソーススター

トパルス信号ＳＳＰ，ソースクロック信号ＳＣＫ，ラッチストローブ信号ＬＳ，ゲートスタートパルス信号ＧＳＰ，およびゲートクロック信号ＧＣＫとを出力する。

[0060] ソースドライバ３００は、表示制御回路２００から出力されるデジタル映像信号ＤＶ，ソーススタートパルス信号ＳＳＰ，ソースクロック信号ＳＣＫ，およびラッチストローブ信号ＬＳを受け取り、各ソースバスラインＳＬ１～ＳＬｊに駆動用映像信号Ｓ（１）～Ｓ（ｊ）を印加する。

[0061] ゲートドライバ４００は、表示制御回路２００から出力されるゲートスタートパルス信号ＧＳＰとゲートクロック信号ＧＣＫとに基づいて、アクティブな走査信号Ｇｏｕｔ（１）～Ｇｏｕｔ（ｉ）の各ゲートバスラインＧＬ１～ＧＬｉへの印加を１垂直走査期間を周期として繰り返す。なお、このゲートドライバ４００についての詳しい説明は後述する。

[0062] 以上のようにして、各ソースバスラインＳＬ１～ＳＬｊに駆動用映像信号Ｓ（１）～Ｓ（ｊ）が印加され、各ゲートバスラインＧＬ１～ＧＬｉに走査信号Ｇｏｕｔ（１）～Ｇｏｕｔ（ｉ）が印加されることにより、外部から送られた画像信号ＤＡＴに基づく画像が表示部６００に表示される。

[0063] ＜１．２　ゲートドライバの構成および動作＞

次に、図３～図６を参照しつつ、本実施形態におけるゲートドライバ４００の構成および動作の概要について説明する。図３に示すように、ゲートドライバ４００は複数段のシフトレジスタ４１０によって構成されている。表示部６００にはｉ行×ｊ列の画素マトリクスが形成されており、それら画素マトリクスの各行と１対１で対応するようにシフトレジスタ４１０の各段が設けられている。シフトレジスタ４１０の各段は、各時点において２つの状態（第１の状態および第２の状態）のうちのいずれか一方の状態となっていて、当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。このように、このシフトレジスタ４１０はｉ個の双安定回路４０（１）～４０（ｉ）で構成されている。なお、本実施形態においては、双安定回路が第１の状態となっていれば、当該双安定回路からはハイレベ

ル（Ｈレベル）の状態信号が出力され、双安定回路が第２の状態となっていれば、当該双安定回路からはローレベル（Ｌレベル）の状態信号が出力される。

[0064] 図４は、ゲートドライバ４００内のシフトレジスタ４１０の構成を示すブロック図である。上述したように、このシフトレジスタ４１０はｉ個の双安定回路４０（１）～４０（ｉ）で構成されている。各双安定回路には、３相のクロック信号ＣＫＡ（以下「第１クロック」という。），ＣＫＢ（以下「第２クロック」という。），およびＣＫＣ（以下「第３クロック」という。）を受け取るための入力端子と、開始信号Ｓを受け取るための入力端子と、状態信号ＯＵＴを出力するための出力端子とが設けられている。

[0065] このシフトレジスタ４１０には、ゲートクロック信号ＧＣＫとしての３相のクロック信号ＧＣＫ１（以下「第１ゲートクロック信号」という。），ＧＣＫ２（以下「第２ゲートクロック信号」という。），およびＧＣＫ３（以下「第３ゲートクロック信号」という。）と、ゲートスタートパルス信号ＧＳＰとが表示制御回路２００から与えられる。第１～第３ゲートクロック信号ＧＣＫ１～３については、図５に示すように、互いに１水平走査期間ずつ位相がずれている。また、第１～第３ゲートクロック信号ＧＣＫ１～３はいずれも３水平走査期間中の１水平走査期間だけハイレベル（Ｈレベル）の状態となる。

[0066] 本実施形態においては、各段（各双安定回路）の入力端子に与えられる信号は次のようになっている。１段目４０（１）については、第１ゲートクロック信号ＧＣＫ１が第１クロックＣＫＡとして与えられ、第２ゲートクロック信号ＧＣＫ２が第２クロックＣＫＢとして与えられ、第３ゲートクロック信号ＧＣＫ３が第３クロックＣＫＣとして与えられる。２段目４０（２）については、第２ゲートクロック信号ＧＣＫ２が第１クロックＣＫＡとして与えられ、第３ゲートクロック信号ＧＣＫ３が第２クロックＣＫＢとして与えられ、第１ゲートクロック信号ＧＣＫ１が第３クロックＣＫＣとして与えられる。３段目４０（３）については、第３ゲートクロック信号ＧＣＫ３が第

１クロックＣＫＡとして与えられ、第１ゲートクロック信号ＧＣＫ１が第２クロックＣＫＢとして与えられ、第２ゲートクロック信号ＧＣＫ２が第３クロックＣＫＣとして与えられる。４段目以降については、上述した１段目から３段目までの構成と同様の構成が３段ずつ繰り返される。また、１段目４０（１）には、ゲートスタートパルス信号ＧＳＰが開始信号Ｓとして与えられる。２段目４０（２）以降については、前段の状態信号ＯＵＴが開始信号Ｓとして与えられる。

[0067] このシフトレジスタ４１０の１段目４０（１）に開始信号Ｓとしてのゲートスタートパルス信号ＧＳＰが与えられると、上記第１～第３ゲートクロック信号ＧＣＫ１～３に基づいて、ゲートスタートパルス信号ＧＳＰに含まれるパルス（このパルスは各段から出力される状態信号ＯＵＴに含まれる）が１段目４０（１）からｉ段目４０（ｉ）へと順次に転送される。このパルスの転送に応じて、各段４０（１）～４０（ｉ）から出力される状態信号ＯＵＴが順次にハイレベルとなる。それら各段４０（１）～４０（ｉ）から出力される状態信号ＯＵＴは、走査信号Ｇｏｕｔ（１）～Ｇｏｕｔ（ｉ）として各ゲートバスラインＧＬ１～ＧＬｉに与えられる。これにより、図６に示すように、１水平走査期間ずつ順次にハイレベルとなる走査信号が表示部６００内のゲートバスラインに与えられる。

[0068] ＜１．３　双安定回路の構成および動作＞

図１は、上述したシフトレジスタ４１０に含まれている双安定回路の構成（シフトレジスタ４１０の１段分の構成）を示す回路図である。図１に示すように、この双安定回路は、６個の薄膜トランジスタＭＩ（第１のスイッチング素子），ＭＥ１（第２のスイッチング素子），ＭＪ（第３のスイッチング素子），ＭＮ（第４のスイッチング素子），ＭＢ（第５のスイッチング素子），およびＭＬ（第６のスイッチング素子）と、キャパシタＣａｐ２とを備えている。また、この双安定回路は、４個の入力端子４１～４４と１個の出力端子（出力ノード）４５とを有している。なお、開始信号Ｓを受け取る入力端子には符号４１を付し、第１クロックＣＫＡを受け取る入力端子には

符号４２を付し、第２クロックＣＫＢを受け取る入力端子には符号４３を付し、第３クロックＣＫＣを受け取る入力端子には符号４４を付し、状態信号ＯＵＴを出力する出力端子には符号４５を付している。以下、この双安定回路内における構成要素間の接続関係について説明する。

[0069] 薄膜トランジスタＭＢのソース端子と薄膜トランジスタＭＬのドレイン端子と薄膜トランジスタＭＪのゲート端子と薄膜トランジスタＭＥ１のドレイン端子と薄膜トランジスタＭＩのゲート端子とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「ｎｅｔＡ」（第１ノード）という。

[0070] 薄膜トランジスタＭＪのドレイン端子と薄膜トランジスタＭＥ１のゲート端子とキャパシタＣａｐ２の一端とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「ｎｅｔＢ」（第２ノード）という。

[0071] 薄膜トランジスタＭＢについては、ゲート端子およびドレイン端子は入力端子４１に接続され（すなわち、ダイオード接続となっている）、ソース端子はｎｅｔＡに接続されている。薄膜トランジスタＭＬについては、ゲート端子は入力端子４３に接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は入力端子４４に接続されている。薄膜トランジスタＭＮについては、ゲート端子は入力端子４３に接続され、ドレイン端子は出力端子４５に接続され、ソース端子は入力端子４４に接続されている。薄膜トランジスタＭＪについては、ゲート端子はｎｅｔＡに接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は入力端子４３に接続されている。薄膜トランジスタＭＥ１については、ゲート端子はｎｅｔＢに接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は入力端子４４に接続されている。薄膜トランジスタＭＩについては、ゲート端子はｎｅｔＡに接続され、ソース端子は入力端子４２に接続され、ドレイン端子は出力端子４５に接続されている。キャパシタＣａｐ２については、一端はｎｅｔＢに接続され、他端は入力端子４２に接続されている。

[0072] なお、薄膜トランジスタＭＩによって出力ノード充電部が実現され、薄膜トランジスタＭＮによって第１の出力ノード放電部が実現されている。また、薄膜トランジスタＭＢによって第１ノード充電部が実現され、薄膜トランジスタＭＬによって第１の第１ノード放電部が実現され、薄膜トランジスタＭＥ１によって第２の第１ノード放電部が実現されている。さらに、キャパシタＣａｐ２によって第２ノード充電部が実現され、薄膜トランジスタＭＪによって第１の第２ノード放電部が実現されている。

[0073] 次に、図１，図７，および図８を参照しつつ、この双安定回路の動作について説明する。なお、図８には、ｎｅｔＡ，ｎｅｔＢ，および状態信号ＯＵＴ（出力端子４５）について、各期間（図７参照）においてどの構成要素を介して電位の上昇（充電）または低下（放電）が施されているのかを示している。例えば、「ｎｅｔＡについては、ｔ２～ｔ３の期間には薄膜トランジスタＭＬを介して電位の変化が施される」ということを示している。

[0074] 図７に示すように、この液晶表示装置の動作中、入力端子４２～４４にはそれぞれ第１クロックＣＫＡ，第２クロックＣＫＢ，および第３クロックＣＫＣが与えられる。時点ｔ０になると、入力端子４１に開始信号Ｓのパルスが与えられる。薄膜トランジスタＭＢはダイオード接続となっているので、開始信号Ｓのパルスによって、ｔ０～ｔ１の期間中、ｎｅｔＡはプリチャージされる。なお、この期間中、薄膜トランジスタＭＪはオン状態で維持され、また、第１クロックＣＫＡおよび第２クロックＣＫＢはローレベル（Ｌレベル）となっていることから、薄膜トランジスタＭＥ１およびＭＬはオフ状態で維持される。このため、プリチャージによって上昇したｎｅｔＡの電位がこの期間中に低下することはない。

[0075] 時点ｔ１になると、第１クロックＣＫＡがローレベルからハイレベルに変化する。ここで、薄膜トランジスタＭＩのソース端子は入力端子４２に接続されており、また、薄膜トランジスタＭＩのゲートーソース間には図９に示すように寄生容量Ｃｇｓが形成されている。このため、薄膜トランジスタＭＩのソース電位の上昇に従って、ｎｅｔＡの電位も上昇する（ｎｅｔＡがブ

ートストラップされる）。その結果、薄膜トランジスタＭＩはオン状態となる。第１クロックＣＫＡがハイレベルにされた状態は時点ｔ２まで維持されるので、ｔ１～ｔ２の期間中、状態信号ＯＵＴはハイレベルとなる。これにより、このハイレベルの状態信号ＯＵＴを出力する双安定回路に接続されたゲートバスラインが選択状態となり、当該ゲートバスラインに対応する行の画素形成部において画素容量Ｃｐへの映像信号の書き込みが行われる。なお、ｔ１～ｔ２の期間中、薄膜トランジスタＭＪはオン状態で維持され、また、第２クロックＣＫＢはローレベルで維持される。このため、ｎｅｔＢの電位はローレベルで維持される。また、この期間中、第２クロックＣＫＢはローレベルで維持されるので、薄膜トランジスタＭＬおよびＭＮはオフ状態で維持される。このため、この期間中にｎｅｔＡの電位や状態信号ＯＵＴ（出力端子４５）の電位が低下することもない。

[0076] 時点ｔ２になると、第１クロックＣＫＡはハイレベルからローレベルに変化する。また、第２クロックＣＫＢはローレベルからハイレベルに変化する。これにより、薄膜トランジスタＭＬおよびＭＮはオン状態となる。第２クロックＣＫＢがハイレベルにされた状態は時点ｔ３まで維持される。また、ｔ２～ｔ３の期間中、第３クロックＣＫＣはローレベルで維持されている。以上より、ｔ２～ｔ３の期間中に、薄膜トランジスタＭＬがオン状態となったことによりｎｅｔＡの電位は低下し、薄膜トランジスタＭＮがオン状態となったことにより状態信号ＯＵＴ（出力端子４５）の電位は低下する。

[0077] ｔ３～ｔ４の期間には、第１クロックＣＫＡおよび開始信号Ｓはローレベルで維持されるので、ｎｅｔＡの電位が上昇することはなく、状態信号ＯＵＴはローレベルで維持される。

[0078] 時点ｔ４になると、第１クロックＣＫＡがローレベルからハイレベルに変化する。ここで、入力端子４２とｎｅｔＢとはキャパシタＣａｐ２を介して接続されているので、入力端子４２の電位の上昇に従ってｎｅｔＢの電位も上昇する。これにより、薄膜トランジスタＭＥ１はオン状態となる。また、ｔ４～ｔ５の期間中、第３クロックＣＫＣはローレベルで維持されている。

このため、上述した寄生容量Ｃｇｓの存在にかかわらず、薄膜トランジスタＭＥ１がオン状態となっていることによりｎｅｔＡの電位はロ－レベルで維持される。従って、ｔ４～ｔ５の期間中、薄膜トランジスタＭＩはオン状態とはならず、状態信号ＯＵＴはロ－レベルで維持される。

[0079] ｔ５～ｔ６の期間には、第１クロックＣＫＡおよび開始信号Ｓはロ－レベルで維持されるので、ｔ２～ｔ３の期間と同様、状態信号ＯＵＴはロ－レベルで維持される。なお、この期間には、ｔ２～ｔ３の期間と同様の動作により、薄膜トランジスタＭＬおよびＭＮはオン状態となっている。このため、薄膜トランジスタＭＩのオフリークや寄生容量Ｃｇｓ等に起因して状態信号ＯＵＴの電位やｎｅｔＡの電位が仮に上昇していても、それらの電位はこの期間中に低下する。

[0080] 時点ｔ６以降の期間については、次に開始信号Ｓのパルスが入力端子４１に与えられるまで、ｔ３～ｔ６の期間と同様の動作が繰り返される。

[0081] ＜１．４ 効果＞

以上のように、本実施形態によれば、図２８に示した従来例の構成とは異なり、出力端子４５は薄膜トランジスタＭＩのドレイン端子および薄膜トランジスタＭＮのドレイン端子のみと接続されている。このため、出力端子４５の電位の変化の影響がｎｅｔＡに及ぶことはない。これにより、仮に薄膜トランジスタＭＩにオフリークが生じても、出力端子４５の電位の上昇に起因してｎｅｔＡの電位が上昇することはなく、表示不良を引き起こすほどの多大なオフリークが生じることはない。従って、微結晶シリコンを用いた薄膜トランジスタ（μｃ－ＳｉＴＦＴ）のように比較的オフリークの大きい薄膜トランジスタが駆動素子として採用されていても、当該薄膜トランジスタのオフリークに起因するシフトレジスタ４１０の誤動作や表示不良が生じることはない。

[0082] また、従来例によれば２相のクロック信号と電源電圧Ｖｓｓとによって状態信号ＯＵＴの制御が行われていたが、本実施形態によれば、３相のクロック信号ＣＫＡ，ＣＫＢ，およびＣＫＣによって状態信号ＯＵＴの制御が行わ

れる。このため、従来例と比較して額縁面積が増大することはない。また、各薄膜トランジスタのゲート端子にはデューティ比が３分の１のクロック信号が与えられることになるので、薄膜トランジスタの劣化を抑制することができる。その結果、従来例と比較して額縁面積を増大させることなく、薄膜トランジスタの劣化に起因するシフトレジスタの誤動作の発生を抑制することができる。

[0083] さらに、上述のように第１クロックＣＫＡのデューティ比は３分の１となるので、当該デューティ比が２分の１のときと比較して、薄膜トランジスタＭＩにおけるオフリークが小さくなる。このため、薄膜トランジスタＭＩのオフリークに起因するシフトレジスタ４１０の誤動作の発生が効果的に抑制される。

[0084] ＜１．５　変形例＞

以下、上記第１の実施形態における双安定回路の変形例について説明する。上記第１の実施形態においては、薄膜トランジスタＭＥ１のソース端子は第３クロックＣＫＣを受け取る入力端子４４に接続されているが、当該ソース端子は第２クロックＣＫＢを受け取る入力端子４３に接続されていても良い。また、上記第１の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，およびＭＥ１のソース端子は入力端子４３または４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらに、上記第１の実施形態においては、薄膜トランジスタＭＪのゲート端子はｎｅｔＡに接続されているが、当該ゲート端子は開始信号Ｓを受け取る入力端子４１に接続されていても良い。

[0085] さらにまた、上記第１の実施形態においては、第１クロックＣＫＡを受け取る入力端子４２とｎｅｔＢとがキャパシタＣａｐ２を介して接続されているが、当該キャパシタＣａｐ２に代えて図１０に示すようなダイオード接続の薄膜トランジスタＭＸ（第１３のスイッチング素子）を介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣ

ａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であっても良い。また、図１１に示すように、薄膜トランジスタＭＩのゲート端子と出力端子４５との間にキャパシタＣａｐ１を備える構成にしても良い。

[0086] ＜２．第２の実施形態＞

＜２．１　全体構成など＞

本実施形態においては、全体構成，ゲートドライバの概略構成，およびシフトレジスタの構成については、図２～図４に示した上記第１の実施形態における構成と同様であるので、説明を省略する。また、第１～第３ゲートクロック信号の波形および走査信号の波形についても、図５および図６に示した上記第１の実施形態における波形と同様であるので、説明を省略する。

[0087] ＜２．２　双安定回路の構成および動作＞

図１２は、本実施形態における双安定回路の構成を示す回路図である。本実施形態においては、図１に示した上記第１の実施形態における構成要素に加えて、薄膜トランジスタＭＫ１（第９のスイッチング素子）とキャパシタＣａｐ１とが設けられている。薄膜トランジスタＭＫ１については、ゲート端子は入力端子４３に接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は入力端子４４に接続されている。キャパシタＣａｐ１については、一端がｎｅｔＡに接続され、他端が出力端子４５に接続されている。なお、薄膜トランジスタＭＫ１によって第２の第２ノード放電部が実現されている。

[0088] 次に、図７，図１２，および図１３を参照しつつ、この双安定回路の動作について、上記第１の実施形態と異なる点について説明する。薄膜トランジスタＭＫ１のゲート端子は第２クロックＣＫＢを受け取る入力端子４３に接続されているので、ｔ２～ｔ３，ｔ５～ｔ６の期間のように第２クロックＣＫＢがハイレベルになっている期間中、薄膜トランジスタＭＫ１はオン状態となる（図１３で符号８０で示す欄を参照）。それらの期間中には、第３クロックＣＫＣはローレベルで維持されているので、ｎｅｔＢの電位は確実に低下する。また、本実施形態においては、ｎｅｔＡと出力端子４５との間に

キャパシタＣａｐ１が設けられている。このため、出力端子４５からアクティブな走査信号の出力が行われている期間（状態信号ＯＵＴがハイレベルになっている期間）中に、薄膜トランジスタＭＬおよびＭＥ１のオフリークに起因するｎｅｔＡの電位の低下が抑制される。

[0089] ＜２．３　効果＞

本実施形態によれば、薄膜トランジスタＭＫ１を備える構成としたことにより、例えばｔ４～ｔ５の期間のようにｎｅｔＢの電位が上昇した後、ｎｅｔＢの電位は確実に低下させられる。このため、薄膜トランジスタＭＥ１の劣化が抑制され、シフトレジスタの誤動作の発生が抑制される。また、キャパシタＣａｐ１を備える構成としたことにより、出力端子４５からアクティブな走査信号の出力が行われている期間中のｎｅｔＡの電位の低下が抑制される。このため、走査信号のハイレベル時の電圧レベルが充分に高いレベルで維持され、画素容量への映像信号の書き込み不足（不良）の発生が抑制される。

[0090] ＜２．４　変形例＞

以下、上記第２の実施形態における双安定回路の変形例について説明する。上記第２の実施形態においては、薄膜トランジスタＭＫ１のゲート端子は第２クロックＣＫＢを受け取る入力端子４３に接続され、薄膜トランジスタＭＫ１のソース端子は第３クロックＣＫＣを受け取る入力端子４４に接続されているが、当該ゲート端子が入力端子４４に接続され、かつ、当該ソース端子が入力端子４３に接続される構成であっても良い。また、上記第１の実施形態の変形例と同様、薄膜トランジスタＭＥ１のソース端子は入力端子４３に接続されていても良い。さらに、上記第２の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，ＭＫ１，およびＭＥ１のソース端子は入力端子４３または４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらにまた、上記第１の実施形態の変形例（図１０参照）と同様、キャパシタＣａｐ２に代えてダイオード接続の薄膜トラ

ンジスタを介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であっても良い。

[0091] ＜３．第３の実施形態＞

＜３．１　全体構成など＞

本実施形態においては、全体構成およびゲートドライバの概略構成については、図２および図３に示した上記第１の実施形態における構成と同様であるので、説明を省略する。また、第１～第３ゲートクロック信号の波形および走査信号の波形についても、図５および図６に示した上記第１の実施形態における波形と同様であるので、説明を省略する。

[0092] 図１４は、本実施形態におけるゲートドライバ４００内のシフトレジスタ４１０の構成を示すブロック図である。本実施形態においては、各双安定回路には、上記第１の実施形態における入出力端子に加えて、リセット信号Ｒを受け取るための入力端子が設けられている。そして、そのリセット信号Ｒを受け取るための入力端子には、次段から出力される状態信号ＯＵＴが与えられるように構成されている。

[0093] ＜３．２　双安定回路の構成および動作＞

図１５は、本実施形態における双安定回路の構成を示す回路図である。本実施形態においては、図１に示した上記第１の実施形態における構成要素に加えて、薄膜トランジスタＭＭ（第７のスイッチング素子）が設けられている。その薄膜トランジスタＭＭについては、ゲート端子はｎｅｔＢに接続され、ドレイン端子は出力端子４５に接続され、ソース端子は入力端子４４に接続されている。また、薄膜トランジスタＭＬおよびＭＮのゲート端子については、上記第１の実施形態では第２クロックＣＫＢを受け取る入力端子４３に接続されていたが、本実施形態ではリセット信号Ｒを受け取る入力端子４６に接続されている。なお、薄膜トランジスタＭＭによって第２の出力ノード放電部が実現されている。

[0094] 次に、図１５，図１６，および図１７を参照しつつ、この双安定回路の動

作について説明する。図１６に示すように、この液晶表示装置の動作中、入力端子４２～４４にはそれぞれ第１クロックＣＫＡ，第２クロックＣＫＢ，および第３クロックＣＫＣが与えられる。時点ｔ０になると、入力端子４１に開始信号Ｓのパルスが与えられる。薄膜トランジスタＭＢはダイオード接続となっているので、開始信号Ｓのパルスによって、ｔ０～ｔ１の期間中、ｎｅｔＡはプリチャージされる。なお、この期間中、薄膜トランジスタＭＪはオン状態で維持され、また、リセット信号Ｓおよび第１クロックＣＫＡはローレベルとなっていることから、薄膜トランジスタＭＬおよびＭＥ１はオフ状態で維持される。このため、プリチャージによって上昇したｎｅｔＡの電位がこの期間中に低下することはない。

[0095] 時点ｔ１になると、第１クロックＣＫＡがローレベルからハイレベルに変化する。ここで、薄膜トランジスタＭＩのソース端子は入力端子４２に接続されており、また、薄膜トランジスタＭＩのゲートーソース間には上述したように寄生容量が形成されている。このため、薄膜トランジスタＭＩのソース電位の上昇に従って、ｎｅｔＡの電位も上昇する（ｎｅｔＡがブートストラップされる）。その結果、薄膜トランジスタＭＩはオン状態となる。第１クロックＣＫＡがハイレベルにされた状態は時点ｔ２まで維持されるので、ｔ１～ｔ２の期間中、状態信号ＯＵＴはハイレベルとなる。これにより、このハイレベルの状態信号ＯＵＴを出力した双安定回路に接続されたゲートバスラインが選択状態となり、当該ゲートバスラインに対応する行の画素形成部において画素容量Ｃｐへの映像信号の書き込みが行われる。なお、ｔ１～ｔ２の期間中、薄膜トランジスタＭＪはオン状態で維持され、また、第２クロックＣＫＢはローレベルで維持される。このため、ｎｅｔＢの電位はローレベルで維持される。また、この期間中、リセット信号Ｒはローレベルで維持されるので、薄膜トランジスタＭＬおよびＭＮはオフ状態で維持される。このため、この期間中にｎｅｔＡの電位や状態信号ＯＵＴ（出力端子４５）の電位が低下することもない。

[0096] 時点ｔ２になると、第１クロックＣＫＡはハイレベルからローレベルに変

化する。また、リセット信号Ｒはロー レベルからハイレベルに変化する。これにより、薄膜トランジスタＭＬおよびＭＮはオン状態となる。リセット信号Ｒがハイレベルにされた状態は時点ｔ３まで維持される。また、ｔ２～ｔ３の期間中、第３クロックＣＫＣはロー レベルで維持されている。このため、薄膜トランジスタＭＬがオン状態となったことによりｎｅｔＡの電位は低下し、薄膜トランジスタＭＮがオン状態となったことにより状態信号ＯＵＴの電位は低下する。

[0097] ｔ３～ｔ４の期間には、第１クロックＣＫＡおよび開始信号Ｓはロー レベルで維持されるので、ｎｅｔＡの電位が上昇することはなく、状態信号ＯＵＴはロー レベルで維持される。

[0098] 時点ｔ４になると、第１クロックＣＫＡがロー レベルからハイレベルに変化する。ここで、入力端子４２とｎｅｔＢとはキャパシタＣａｐ２を介して接続されているので、入力端子４２の電位の上昇に従ってｎｅｔＢの電位も上昇する。これにより、薄膜トランジスタＭＥ１およびＭＭはオン状態となる。また、ｔ４～ｔ５の期間中、第３クロックＣＫＣはロー レベルで維持されている。このため、上述した寄生容量Ｃｇｓの存在にかかわらず、薄膜トランジスタＭＥ１がオン状態となっていることによりｎｅｔＡの電位はロー レベルで維持される。従って、ｔ４～ｔ５の期間中、薄膜トランジスタＭＩはオン状態とはならず、状態信号ＯＵＴはロー レベルで維持される。また、薄膜トランジスタＭＩのオフリークに起因して状態信号ＯＵＴの電位が仮に上昇していても、薄膜トランジスタＭＭがオン状態となっていることにより、その電位はこの期間中に低下する。従って、ｔ４～ｔ５の期間中、状態信号ＯＵＴはロー レベルで維持される。

[0099] ｔ５～ｔ６の期間には、第１クロックＣＫＡおよび開始信号Ｓはロー レベルで維持されるので、ｔ２～ｔ３の期間と同様、状態信号ＯＵＴはロー レベルで維持される。時点ｔ６以降の期間については、次に開始信号Ｓのパルスが入力端子４１に与えられるまで、ｔ３～ｔ６の期間と同様の動作が繰り返される。

[0100] ＜３．３　効果＞

本実施形態によれば、上記第１の実施形態と同様、微結晶シリコンを用いた薄膜トランジスタのように比較的オフリークの大きい薄膜トランジスタが駆動素子として採用されていても、当該薄膜トランジスタのオフリークに起因するシフトレジスタ４１０の誤動作や表示不良が生じることはない。また、上記第１の実施形態と同様、薄膜トランジスタの劣化に起因するシフトレジスタの誤動作の発生が抑制される。さらに、上記第１の実施形態と同様、第１クロックＣＫＡのデューティ比が３分の１となることにより、薄膜トランジスタＭＩのオフリークに起因するシフトレジスタ４１０の誤動作の発生が効果的に抑制される。

[0101] また、本実施形態によれば、ｎｅｔＡの電位を制御する薄膜トランジスタＭＬおよび状態信号ＯＵＴの電位を制御する薄膜トランジスタＭＮのゲート端子には１フレーム期間中に一度（１水平走査期間）だけハイレベルとなるリセット信号Ｒが与えられる。このため、薄膜トランジスタＭＬ，ＭＮの劣化が抑制され、シフトレジスタの誤動作の発生が効果的に抑制される。さらに、第１クロックＣＫＡがハイレベルの期間（ゲートバスラインが選択状態とされるべき期間を除く）中に状態信号ＯＵＴの電位を低下させるための薄膜トランジスタＭＭが設けられたことにより、薄膜トランジスタＭＩでオフリークが生じても、ゲートバスラインが非選択状態で維持されるべき期間には、状態信号ＯＵＴの電位はローレベルで維持される。これにより、表示不良の発生が抑制される。

[0102] ＜３．４　変形例＞

以下、上記第３の実施形態における双安定回路の変形例について説明する。上記第３の実施形態においては、薄膜トランジスタＭＭおよびＭＥ１のソース端子は第３クロックＣＫＣを受け取る入力端子４４に接続されているが、それらのソース端子は第２クロックＣＫＢを受け取る入力端子４３に接続されていても良い。また、上記第３の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，ＭＭ，およびＭＥ１のソース端子は入力端子４３また

は４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらに、上記第１の実施形態の変形例（図１０参照）と同様、キャパシタＣａｐ２に代えてダイオード接続の薄膜トランジスタを介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であっても良い。さらにまた、上記第１の実施形態の変形例（図１１参照）と同様、薄膜トランジスタＭＩのゲート端子と出力端子４５との間にキャパシタＣａｐ１を備える構成にしても良い。

[0103] ＜４．第４の実施形態＞

＜４．１　全体構成など＞

本実施形態においては、全体構成およびゲートドライバの概略構成については、図２および図３に示した上記第１の実施形態における構成と同様であるので、説明を省略する。また、第１～第３ゲートクロック信号の波形および走査信号の波形についても、図５および図６に示した上記第１の実施形態における波形と同様であるので、説明を省略する。シフトレジスタの構成については、図１４に示した上記第３の実施形態における構成と同様であるので、説明を省略する。

[0104] ＜４．２　双安定回路の構成および動作＞

図１８は、本実施形態における双安定回路の構成を示す回路図である。本実施形態においては、図１５に示した上記第３の実施形態における構成要素と比較すると、状態信号ＯＵＴの電位を低下させるための構成要素として薄膜トランジスタＭＭに代えて薄膜トランジスタＭＤ１（第８のスイッチング素子）が設けられている。薄膜トランジスタＭＤ１については、ゲート端子は入力端子４４に接続され、ドレイン端子は出力端子４５に接続され、ソース端子は入力端子４３に接続されている。なお、薄膜トランジスタＭＤ１によって第３の出力ノード放電部が実現されている。

[0105] 次に、図１６，図１８，および図１９を参照しつつ、この双安定回路の動

作について、上記第３の実施形態と異なる点について説明する。上記第３の実施形態においては、ｎｅｔＢの電位が上昇したときに薄膜トランジスタＭＭがオン状態となることにより、状態信号ＯＵＴの電位がローレベルに固定されていた。一方、本実施形態においては、第３クロックＣＫＣがハイレベルになったときに薄膜トランジスタＭＤ１がオン状態となる（図１９で符号８１で示す欄を参照）ことにより、状態信号ＯＵＴがローレベルに固定される。

[0106] ＜４．３　効果＞

本実施形態によれば、上記第３の実施形態と同様の効果が得られるほか、ｎｅｔＢに負荷をかけることなく状態信号ＯＵＴをローレベルに固定することができる。

[0107] ＜４．４　変形例＞

以下、上記第４の実施形態における双安定回路の変形例について説明する。上記第４の実施形態においては、薄膜トランジスタＭＤ１のゲート端子は第３クロックＣＫＣを受け取る入力端子４４に接続され、薄膜トランジスタＭＤ１のソース端子は第２クロックＣＫＢを受け取る入力端子４３に接続されているが、当該ゲート端子が入力端子４３に接続され、かつ、当該ソース端子が入力端子４４に接続される構成であっても良い。また、上記第４の実施形態においては、薄膜トランジスタＭＥ１のソース端子は入力端子４４に接続されているが、当該ソース端子は入力端子４３に接続されていても良い。さらに、上記第４の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，ＭＤ１，およびＭＥ１のソース端子は入力端子４３または４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらにまた、上記第１の実施形態の変形例（図１０参照）と同様、キャパシタＣａｐ２に代えてダイオード接続の薄膜トランジスタを介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であって

も良い。また、上記第１の実施形態の変形例（図１１参照）と同様、薄膜トランジスタＭＩのゲート端子と出力端子４５との間にキャパシタＣａｐ１を備える構成にしても良い。

[0108] また、上記第３の実施形態のように、ｎｅｔＢにゲート端子が接続され出力端子４５にドレイン端子が接続された薄膜トランジスタＭＭを備える構成にしても良い。この場合、薄膜トランジスタＭＭのソース端子については、薄膜トランジスタＭＤ１のゲート端子に接続されている入力端子に接続される構成とするのが好ましい。さらに、薄膜トランジスタＭＬおよびＭＮのゲート端子にリセット信号Ｒに代えて第２クロックＣＫＢを与える構成にしても良い。

[0109] ＜５．第５の実施形態＞

＜５．１　全体構成など＞

本実施形態においては、全体構成およびゲートドライバの概略構成については、図２および図３に示した上記第１の実施形態における構成と同様であるので、説明を省略する。また、第１～第３ゲートクロック信号の波形および走査信号の波形についても、図５および図６に示した上記第１の実施形態における波形と同様であるので、説明を省略する。シフトレジスタの構成については、図１４に示した上記第３の実施形態における構成と同様であるので、説明を省略する。

[0110] ＜５．２　双安定回路の構成および動作＞

図２０は、本実施形態における双安定回路の構成を示す回路図である。本実施形態においては、図１５に示した上記第３の実施形態における構成要素に加えて、薄膜トランジスタＭＫ１，ＭＤ１とキャパシタＣａｐ１とが設けられている。また、薄膜トランジスタＭＭのソース端子が、上記第３の実施形態においては入力端子４４に接続されていたが、本実施形態においては入力端子４３に接続されている。薄膜トランジスタＭＫ１については、ゲート端子は入力端子４３に接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は入力端子４４に接続されている。薄膜トランジスタＭＤ１について

は、ゲート端子は入力端子４３に接続され、ドレイン端子は出力端子４５に接続され、ソース端子は入力端子４４に接続されている。キャパシタＣａｐ１については、一端がｎｅｔＡに接続され、他端が出力端子４５に接続されている。

[0111] 次に、図１６，図２０，および図２１を参照しつつ、この双安定回路の動作について、上記第３の実施形態と異なる点について説明する。薄膜トランジスタＭＫ１のゲート端子は第２クロックＣＫＢを受け取る入力端子４３に接続されているので、ｔ２～ｔ３，ｔ５～ｔ６の期間のように第２クロックＣＫＢがハイレベルになっている期間中、薄膜トランジスタＭＫ１はオン状態となる（図２１で符号８２で示す欄を参照）。それらの期間中には、第３クロックＣＫＣはローレベルで維持されているので、ｎｅｔＢの電位はローレベルに固定される。また、薄膜トランジスタＭＤ１のゲート端子も入力端子４３に接続されているので、第２クロックＣＫＢがハイレベルになっている期間中、薄膜トランジスタＭＤ１はオン状態となる。それらの期間中には、第３クロックＣＫＣはローレベルで維持されているので、状態信号ＯＵＴの電位はローレベルに固定される。さらに、本実施形態においては、ｎｅｔＡと出力端子４５との間にキャパシタＣａｐ１が設けられている。このため、出力端子４５からアクティブな走査信号の出力が行われている期間中に、薄膜トランジスタＭＬおよびＭＥ１のオフリークに起因するｎｅｔＡの電位の低下が抑制される。

[0112] ＜５．３　効果＞

本実施形態によれば、薄膜トランジスタＭＫ１を備える構成としたことにより、例えばｔ４～ｔ５の期間のようにｎｅｔＢの電位が上昇した後、ｎｅｔＢの電位は確実に低下させられる。このため、薄膜トランジスタＭＥ１の劣化が抑制され、シフトレジスタの誤動作の発生が抑制される。また、薄膜トランジスタＭＤ１を備える構成としたことにより、第１クロックＣＫＡの電位が上昇したときに薄膜トランジスタＭＩでオフリークが生じて状態信号ＯＵＴの電位が上昇していても、第２クロックＣＫＢがハイレベルになって

いる期間中に、状態信号ＯＵＴの電位は確実に低下させられる。このため、薄膜トランジスタＭＩにおけるオフリークに起因するシフトレジスタの誤動作の発生が抑制される。さらに、キャパシタＣａｐ１を備える構成としたことにより、出力端子４５からアクティブな走査信号の出力が行われている期間中のｎｅｔＡの電位の低下が抑制される。このため、走査信号のハイレベル時の電圧レベルが充分に高いレベルで維持され、画素容量への映像信号の書き込み不足（不良）の発生が抑制される。

[0113] 図２２および図２３は、本実施形態における効果について説明するための図である。図２２は、従来例（図２８で示したループが形成されている構成）におけるシミュレーション結果を示す図である。図２３は、本実施形態におけるシミュレーション結果を示す図である。図２２および図２３において、太実線は状態信号ＯＵＴの電位の変動を示し、点線はｎｅｔＡの電位の変動を示している。また、縦軸を電位，横軸を時間としている。クロック信号のローレベルは－７．０Ｖとしている。

[0114] 図２２で符号５１で示すように、従来例においては、状態信号ＯＵＴの電位の変動は約２．８Ｖであった。一方、図２３で符号５３で示すように、本実施形態においては、状態信号ＯＵＴの電位の変動は約１．６Ｖとなっている。また、図２２で符号５２で示す斜線部分の面積（クロック信号のローレベルからプラス方向への電位の変動幅×時間）と図２３で符号５４で示す斜線部分の面積を比較すると、従来例における面積よりも本実施形態における面積の方がかなり小さくなっている。クロック信号のローレベルからプラス方向への電位の変動が継続すると、シフトレジスタの動作が異常になったり、また、画素形成部においてゲートバスラインに接続された薄膜トランジスタでリーク電流が発生して充電不足となったりする。この点、図２２および図２３に示したシミュレーション結果より、本実施形態によれば、従来例と比較して、シフトレジスタの異常動作の発生や画素容量の充電不足の発生が抑制されることが把握される。

[0115] ＜５．４　変形例＞

以下、上記第５の実施形態における双安定回路の変形例について説明する。上記第５の実施形態においては、薄膜トランジスタＭＤ１のゲート端子は第２クロックＣＫＢを受け取る入力端子４３に接続され、薄膜トランジスタＭＤ１のソース端子は第３クロックＣＫＣを受け取る入力端子４４に接続されているが、当該ゲート端子が入力端子４４に接続され、かつ、当該ソース端子が入力端子４３に接続される構成であっても良い。また、上記第２の実施形態の変形例と同様、薄膜トランジスタＭＫ１のゲート端子が入力端子４４に接続され、かつ、薄膜トランジスタＭＫ１のソース端子が入力端子４３に接続される構成であっても良い。さらに、上記第５の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，ＭＭ，ＭＤ１，ＭＫ１，およびＭＥ１のソース端子は入力端子４３または４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらにまた、上記第１の実施形態の変形例（図１０参照）と同様、キャパシタＣａｐ２に代えてダイオード接続の薄膜トランジスタを介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であっても良い。また、図２０に示した構成要素から薄膜トランジスタＭＤ１またはＭＭのいずれか一方を削除した構成にしても良い。

[0116] ＜６．第６の実施形態＞

＜６．１　全体構成など＞

全体構成，ゲートドライバの概略構成，ソースドライバの構成，第１～第３ゲートクロック信号の波形，および走査信号の波形については、上記第５の実施形態と同様であるので、説明を省略する。

[0117] ＜６．２　双安定回路の構成および動作＞

図２４は、本実施形態における双安定回路の構成を示す回路図である。本実施形態においては、図２０に示した上記第５の実施形態における構成要素に加えて、薄膜トランジスタＭＤ２（第１０のスイッチング素子），ＭＥ２

（第１１のスイッチング素子），およびＭＫ２（第１２のスイッチング素子）が設けられている。薄膜トランジスタＭＫ２については、ゲート端子は入力端子４４に接続され、ドレイン端子はｎｅｔＢに接続され、ソース端子は入力端子４３に接続されている。薄膜トランジスタＭＤ２については、ゲート端子は入力端子４４に接続され、ドレイン端子は出力端子４５に接続され、ソース端子は入力端子４３に接続されている。薄膜トランジスタＭＥ２については、ゲート端子は入力端子４３に接続され、ドレイン端子はｎｅｔＡに接続され、ソース端子は入力端子４４に接続されている。

[0118] なお、薄膜トランジスタＭＤ２によって第４の出力ノード放電部が実現され、薄膜トランジスタＭＥ２によって第３の第１ノード放電部が実現され、薄膜トランジスタＭＫ２によって第３の第２ノード放電部が実現されている。

[0119] 次に、図１６，図２４，および図２５を参照しつつ、この双安定回路の動作について、上記第５の実施形態と異なる点について説明する。薄膜トランジスタＭＫ２のゲート端子は第３クロックＣＫＣを受け取る入力端子４４に接続されているので、ｔ０～ｔ１，ｔ３～ｔ４の期間のように第３クロックＣＫＣがハイレベルになっている期間中、薄膜トランジスタＭＫ２はオン状態となる（図２５で符号８３で示す欄を参照）。それらの期間中には、第２クロックＣＫＢはローレベルで維持されているので、ｎｅｔＢの電位はローレベルに固定される。また、薄膜トランジスタＭＤ２のゲート端子も入力端子４４に接続されているので、第３ロックＣＫＣがハイレベルになっている期間中、薄膜トランジスタＭＤ２はオン状態となる（図２５で符号８４で示す欄を参照）。それらの期間中には、第２クロックＣＫＢはローレベルで維持されているので、状態信号ＯＵＴの電位はローレベルに固定される。さらに、薄膜トランジスタＭＥ２のゲート端子は第２クロックＣＫＢを受け取る入力端子４３に接続されているので、第２ロックＣＫＢがハイレベルになっている期間中、薄膜トランジスタＭＥ２はオン状態となる（図２５で符号８５で示す欄を参照）。それらの期間中には、第３クロックＣＫＣはローレベ

ルで維持されているので、ｎｅｔＡの電位はローレベルに固定される。

[0120] ＜６．３　効果＞

本実施形態によれば、ゲートバスラインが非選択状態とされるべき期間にｎｅｔＡの電位を低下させるための構成要素として薄膜トランジスタＭＥ１およびＭＥ２が設けられ、当該期間にｎｅｔＢの電位を低下させるための構成要素として薄膜トランジスタＭＫ１およびＭＫ２が設けられている。これにより、ｎｅｔＢにゲート端子が接続されている薄膜トランジスタＭＥ１の劣化およびｎｅｔＡにゲート端子が接続されている薄膜トランジスタＭＩの劣化が効果的に抑制される。また、ゲートバスラインが非選択状態とされるべき期間に状態信号ＯＵＴの電位を低下させるための構成要素として薄膜トランジスタＭＤ１，ＭＤ２，およびMMが設けられている。これにより、当該期間中には状態信号ＯＵＴの電位が確実にローレベルに固定され、表示不良の発生が効果的に抑制される。

[0121] ＜６．４　変形例＞

以下、上記第６の実施形態における双安定回路の変形例について説明する。薄膜トランジスタＭＤ１，ＭＤ２，ＭＫ１，ＭＫ２，ＭＥ１，ＭＥ２，およびMMのソース端子は、入力端子４３または４４のいずれに接続されていても良い。また、上記第６の実施形態においては、薄膜トランジスタＭＬ，ＭＮ，ＭＪ，ＭＭ，ＭＫ１，ＭＫ２，ＭＤ１，ＭＤ２，ＭＥ１，およびＭＥ２のソース端子は入力端子４３または４４に接続されているが、ゲートクロック信号ＧＣＫがローレベルになっている時の電圧に等しい直流電圧がそれらのソース端子に与えられる構成であっても良い。さらに、上記第１の実施形態の変形例（図１０参照）と同様、キャパシタＣａｐ２に代えてダイオード接続の薄膜トランジスタを介して入力端子４２とｎｅｔＢとが接続される構成であっても良く、また、当該キャパシタＣａｐ２に並列にダイオード接続の薄膜トランジスタを備える構成であっても良い。さらにまた、図２４に示した構成要素から薄膜トランジスタＭＤ２，ＭＫ２，ＭＥ２の１つ以上を削除した構成にしても良い。

[0122] ＜７．マルチチャネルＴＦＴを用いた構成＞

上記各実施形態においては、ｔ１～ｔ２の期間（図７および図１６参照）にｎｅｔＡの電位が上昇した際、薄膜トランジスタＭＬおよびＭＥ１（図１参照）のソースードレイン間に高電圧が与えられる。そこで、その高電圧に起因して薄膜トランジスタＭＬおよびＭＥ１にリーク電流が生じることのないよう、当該薄膜トランジスタＭＬおよびＭＥ１をマルチチャネルＴＦＴで構成することができる。以下、図２６を参照しつつ、マルチチャネルＴＦＴについて説明する。なお、図２６（Ａ）は、マルチチャネルＴＦＴの平面図であり、図２６（Ｂ）は、図２６（ａ）のＡ－Ａ’線断面図であり、図２６（Ｃ）は、マルチチャネルＴＦＴの等価回路図である。

[0123] マルチチャネルＴＦＴ７０は、デュアルゲート構造（ダブルゲート構造）を有し、図２６（Ｃ）に示すように、電気的には直列に接続された２つのＴＦＴと等価な構造を有している。マルチチャネルＴＦＴ７０は、基板（例えばガラス基板）７１に支持された活性層７４を有している。活性層７４は、半導体層であり、微結晶シリコン（μｃ－Ｓｉ）膜を含んでいる。活性層７４は、チャネル領域７４ｃ１および７４ｃ２と、ソース領域７４ｓと、ドレイン領域７４ｄと、２つのチャネル領域７４ｃ１および７４ｃ２の間に形成された中間領域７４ｍとを有している。マルチチャネルＴＦＴ７０は、さらに、ソース領域７４ｓに接するソースコンタクト領域７６ｓ，ドレイン領域７４ｄに接するドレインコンタクト領域７６ｄ，および中間領域７４ｍに接する中間コンタクト領域７６ｍを有するコンタクト層７６と、ソースコンタクト領域７６ｓに接するソース電極７８ｓ，ドレインコンタクト領域７６ｄに接するドレイン電極７８ｄ，および中間コンタクト領域７６ｍに接する中間電極７８ｍと、２つのチャネル領域７４ｃ１，７４ｃ２および中間領域７４ｍにゲート絶縁膜７３を介して対向するゲート電極７２とを有している。また、マルチチャネルＴＦＴ７０は、これらを覆う保護膜７９を更に有している。なお、中間電極７８ｍはフローティング状態となっている。

[0124] チャネル領域７４ｃ１は、ソース領域７４ｓと中間領域７４ｍとの間に形

成されている。チャネル領域７４ｃ２は、ドレイン領域７４ｄと中間領域７４ｍとの間に形成されている。２つのチャネル領域７４ｃ１，７４ｃ２，ソース領域７４ｓ，ドレイン領域７４ｄ，および中間領域７４ｍは、１つの連続した活性層７４に形成されている。また、中間電極７８ｍの、チャネル領域７４ｃ１とチャネル領域７４ｃ２との間に存在する部分の全体が、中間領域７４ｍおよびゲート絶縁膜７３を介してゲート電極７２と重なっている。

[0125] なお、このマルチチャネルＴＦＴ７０の活性層７４は、微結晶シリコン膜、または、微結晶シリコン膜とアモルファスシリコン膜との積層膜とから形成されており、従来のａ－ＳｉＴＦＴの製造プロセスを用いて製造することができる。微結晶シリコン膜は、例えば、水素ガスで希釈したシランガスを原料ガスとして、アモルファスシリコン膜の作製方法と同様のプラズマＣＶＤ法を用いて形成できる。

[0126] 以上のようにして、ｎｅｔＡにドレイン電極またはソース電極が接続された薄膜トランジスタを例えば図２７に示すようにマルチチャネルＴＦＴ（ＭＬ２，ＭＥ２）で構成することにより、ｎｅｔＡの電位がブートストラップによって上昇しても、ソースードレイン間の高電圧によって薄膜トランジスタでリーク電流が生じることによるｎｅｔＡの電位の低下を防止することができる。

[0127] ＜８．その他＞

上記各実施形態においては液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｎｅｔ）等の他の表示装置にも本発明を適用することができる。

符号の説明

[0128] ４０（１）～４０（ｉ）…双安定回路

４１～４４，４６…（双安定回路の）入力端子

４５…（双安定回路の）出力端子

２００…表示制御回路

３００…ソースドライバ（映像信号線駆動回路）

４００…ゲートドライバ（走査信号線駆動回路）

４１０…シフトレジスタ

６００…表示部

Ｃａｐ１，Ｃａｐ２…キャパシタ

ＭＢ，ＭＬ，ＭＮ，ＭＪ，ＭＤ１，ＭＤ２，ＭＫ１，ＭＫ２，ＭＭ，ＭＥ１，ＭＥ２，ＭＩ，ＭＸ…薄膜トランジスタ

ＧＬ１～ＧＬｉ…ゲートバスライン

ＳＬ１～ＳＬｊ…ソースバスライン

ＧＳＰ…ゲートスタートパルス信号

ＧＣＫ…ゲートクロック信号

ＣＫＡ，ＣＫＢ，ＣＫＣ…第１クロック，第２クロック，第３クロック

Ｓ…開始信号

Ｒ…リセット信号

ＯＵＴ…状態信号

請求の範囲

[請求項1] 表示部に配設された複数の走査信号線を駆動する、表示装置の走査信号線駆動回路であって、

第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタを備え、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電

部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放電するための第１の第２ノード放電部と

を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする、走査信号線駆動回路。

[請求項2] 各双安定回路において、

前記第１の出力ノード放電部は、前記出力ノードに第３電極が接続され、第１電極に前記第２のクロック信号もしくは前記第３のクロック信号または当該各双安定回路の次段の双安定回路から出力される状態信号が与えられる第４のスイッチング素子を含み、

前記第１ノード充電部は、前記第１ノードに第２電極が接続され、第１電極および第３電極に前記所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号が与えられる第５のスイッチング素子を含み、

前記第１の第１ノード放電部は、前記第１ノードに第３電極が接続され、第１電極に前記第２のクロック信号もしくは前記第３のクロック信号または当該各双安定回路の次段の双安定回路から出力される状態信号が与えられる第６のスイッチング素子を含むことを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項3] 各双安定回路は、前記第２ノードに第１電極が接続され、前記出力ノードに第３電極が接続された第７のスイッチング素子を含む、前記出力ノードを放電するための第２の出力ノード放電部を更に有し、

各双安定回路において、前記第４のスイッチング素子の第１電極お

よび前記第６のスイッチング素子の第１電極には、当該各双安定回路の次段の双安定回路から出力される状態信号が与えられることを特徴とする、請求項２に記載の走査信号線駆動回路。

[請求項4] 前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第７のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられることを特徴とする、請求項３に記載の走査信号線駆動回路。

[請求項5] 各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第２ノードに第３電極が接続された第９のスイッチング素子を含む、前記第２ノードを放電するための第２の第２ノード放電部を更に有することを特徴とする、請求項３に記載の走査信号線駆動回路。

[請求項6] 各双安定回路は、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記出力ノードに第３電極が接続された第１０のスイッチング素子を含む、前記出力ノードを放電するための第４の出力ノード放電部と、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第１ノードに第３電極が接続された第１１のスイッチング素子を含む、前記第１ノードを放電するための

第３の第１ノード放電部と、

第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、第２電極に前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられ、前記第２ノードに第３電極が接続された第１２のスイッチング素子を含む、前記出力ノードを放電するための第３の第２ノード放電部と

を更に有することを特徴とする、請求項３に記載の走査信号線駆動回路。

[請求項7] 各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、前記出力ノードに第３電極が接続された第８のスイッチング素子を含む、前記出力ノードを放電するための第３の出力ノード放電部を更に有し、

各双安定回路において、前記第４のスイッチング素子の第１電極および前記第６のスイッチング素子の第１電極には、当該各双安定回路の次段の双安定回路から出力される状態信号が与えられることを特徴とする、請求項２に記載の走査信号線駆動回路。

[請求項8] 前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第８のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のローレベルの電位と等しい直流電位が与えられることを特徴とする、請求項７に記載の走査信号線駆動回路。

[請求項9] 各双安定回路は、第１電極に前記第２のクロック信号または前記第３のクロック信号が与えられ、前記第２ノードに第３電極が接続された第９のスイッチング素子を含む、前記第２ノードを放電するための第２の第２ノード放電部を更に有することを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項10] 前記第２のスイッチング素子，前記第３のスイッチング素子，前記第４のスイッチング素子，前記第６のスイッチング素子，および前記第９のスイッチング素子の第２電極には、前記第２のクロック信号もしくは前記第３のクロック信号または前記３相のクロック信号のロ―レベルの電位と等しい直流電位が与えられることを特徴とする、請求項９に記載の走査信号線駆動回路。

[請求項11] 各双安定回路は、前記第１ノ―ドに一端が接続され、前記出力ノ―ドに他端が接続されたキャパシタを更に有することを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項12] 前記第２ノ―ド充電部は、前記第２ノ―ドに一端が接続され、他端に前記第１のクロック信号が与えられるキャパシタを含むことを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項13] 前記第２ノ―ド充電部は、前記第２ノ―ドに第３電極が接続され、第１電極および第２電極に前記第１のクロック信号が与えられる第１３のスイッチング素子を含むことを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項14] 各双安定回路に含まれるスイッチング素子は、微結晶シリコンからなる薄膜トランジスタであることを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項15] 各双安定回路に含まれるスイッチング素子は、アモルファスシリコンからなる薄膜トランジスタであることを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項16] 前記第１ノ―ドに第３電極が接続されたスイッチング素子の少なくとも１つは、マルチチャネル構造を有する薄膜トランジスタであることを特徴とする、請求項１に記載の走査信号線駆動回路。

[請求項17] 表示部と前記表示部に配設された複数の走査信号線を駆動する走査信号線駆動回路とを備えた表示装置であって、

前記走査信号線駆動回路は、

第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタを有し、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放

電するための第１の第２ノード放電部と

を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする、表示装置。

[請求項18] 前記表示装置は、前記表示部と前記走査信号線駆動回路とが同一の基板上に形成されたドライバモノリシック型であることを特徴とする、請求項１７に記載の表示装置。

[請求項19] 第１の状態と第２の状態とを有し互いに直列に接続された複数の双安定回路を含み、外部から入力されハイレベルの電位とローレベルの電位とを周期的に繰り返す第１，第２，および第３のクロック信号からなる３相のクロック信号に基づいて前記複数の双安定回路が順次に第１の状態となるシフトレジスタであって、

各双安定回路は、

前記第１の状態または前記第２の状態のいずれかの状態を表すべき状態信号を出力する出力ノードに第３電極が接続され、第２電極に前記第１のクロック信号が与えられる第１のスイッチング素子を含み、前記状態信号の表す状態を前記第１の状態にするための出力ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なくとも一方を受け取り、前記状態信号の表す状態を前記第２の状態にするための第１の出力ノード放電部と

前記第１のスイッチング素子の第１電極に接続された第１ノードを所定の入力信号または当該各双安定回路の前段の双安定回路から出力される状態信号に基づいて充電するための第１ノード充電部と、

前記第２のクロック信号または前記第３のクロック信号の少なく

とも一方を受け取り、前記第１ノードを放電するための第１の第１ノード放電部と、

前記第１ノードに第３電極が接続された第２のスイッチング素子を含み、前記第１ノードを放電するための第２の第１ノード放電部と、

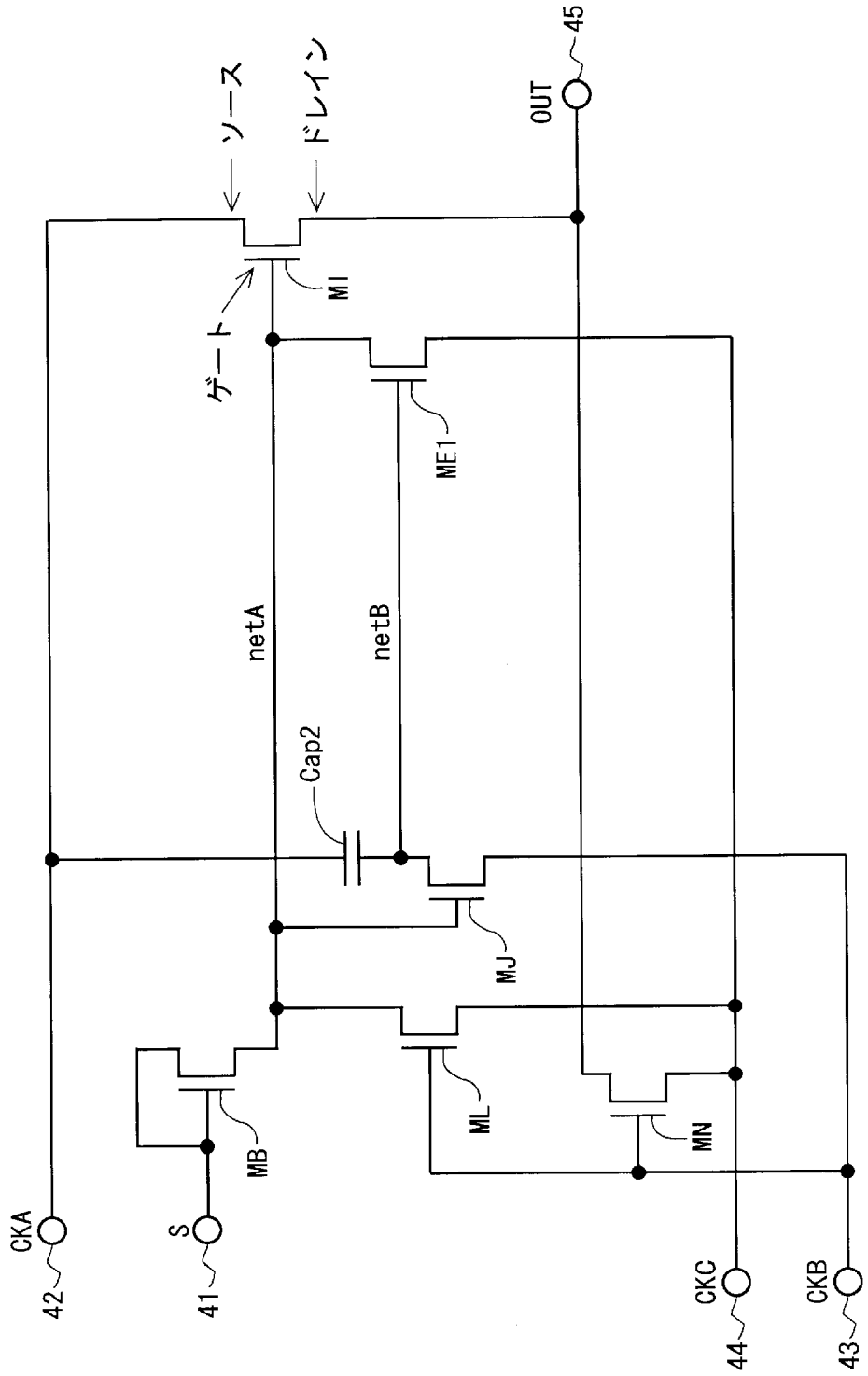
前記第２のスイッチング素子の第１電極に接続された第２ノードを前記第１のクロック信号に基づいて充電するための第２ノード充電部と、

前記第１ノードに第１電極が接続され、前記第２ノードに第３電極が接続された第３のスイッチング素子を含み、前記第２ノードを放電するための第１の第２ノード放電部と

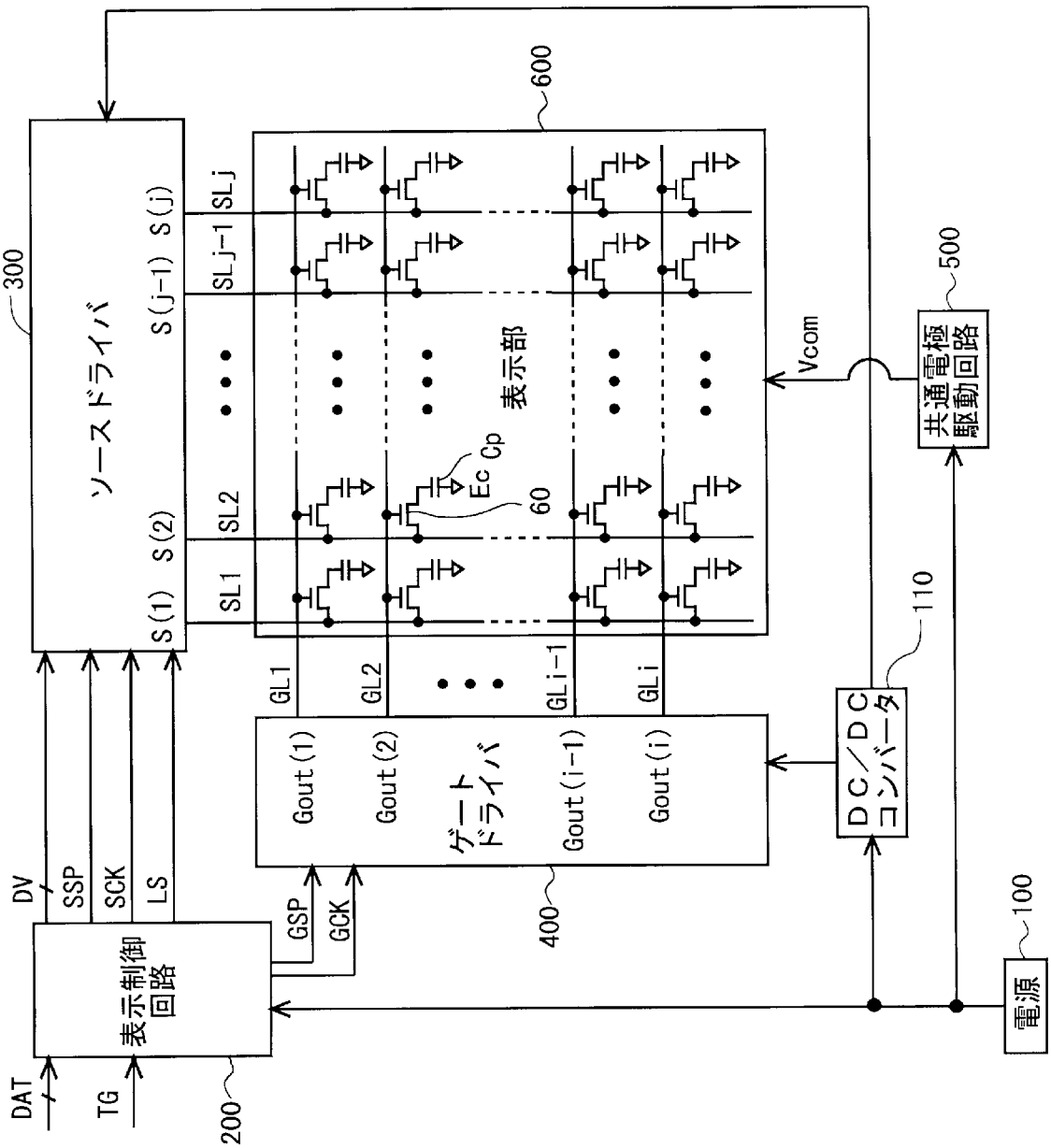
を有し、

前記３相のクロック信号についてのハイレベルの電位とローレベルの電位とを繰り返す周期に対するハイレベルの電位が維持される期間の割合であるデューティ比が３分の１であって、前記第１，第２，および第３のクロック信号の位相が互いに３分の１周期ずつずれていることを特徴とする、シフトレジスタ。

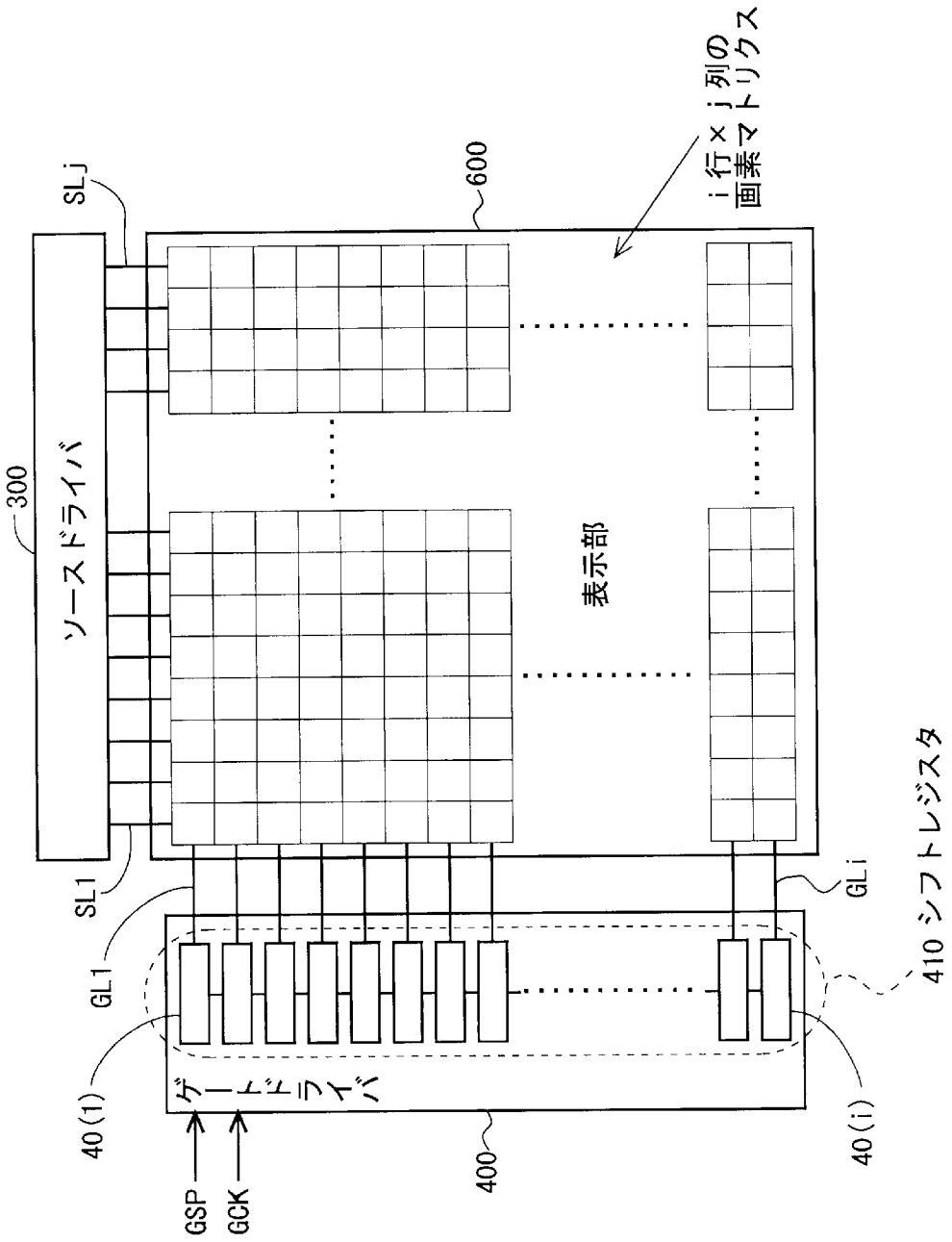
[図1]


ソース
ドレイン
OUT
45
ゲート
MI
ME1
netA
netB
Cap2
MJ
ML
MB
MN
CKA
42
S
41
CKC
44
CKB
43

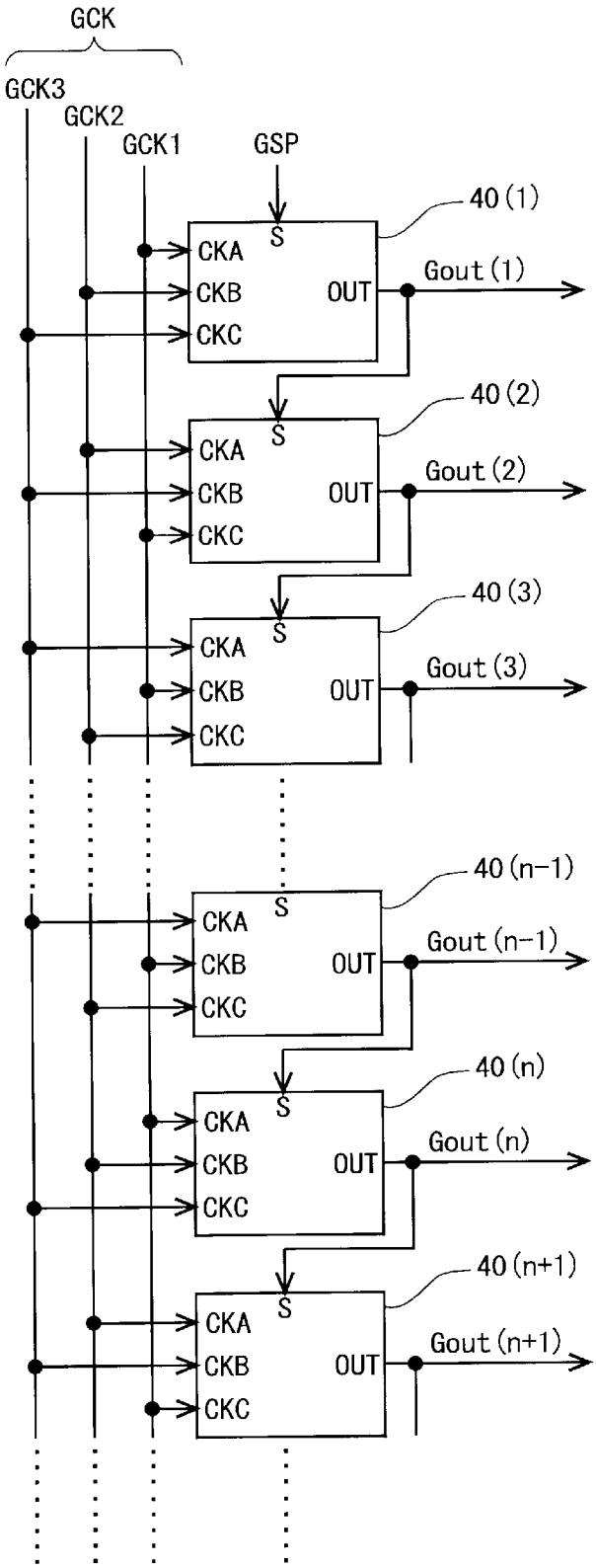
[図2]


600
300
ソースドライバ
S(1) S(2) S(j-1) S(j)
SL1 SL2 SLj-1 SLj
表示部
Cp
Ec
60
Vcom
500
共通電極駆動回路
110
DC／DCコンバータ
GL1 GL2 GLi-1 GLi
Gout(1) Gout(2) Gout(i-1) Gout(i)
ゲートドライバ
400
GSP GCK
DV SSP SCK LS
表示制御回路
200
DAT TG
100
電源

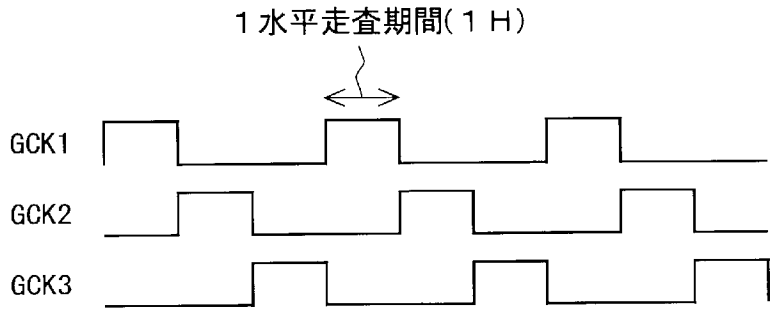
[図3]


i 行 × j 列の
画素マトリクス
600
SLj
300
ソースドライバ
表示部
SL1
GL1
GLi
410 シフトレジスタ
40(1)
40(i)
ゲートドライバ
400
GSP
GCK

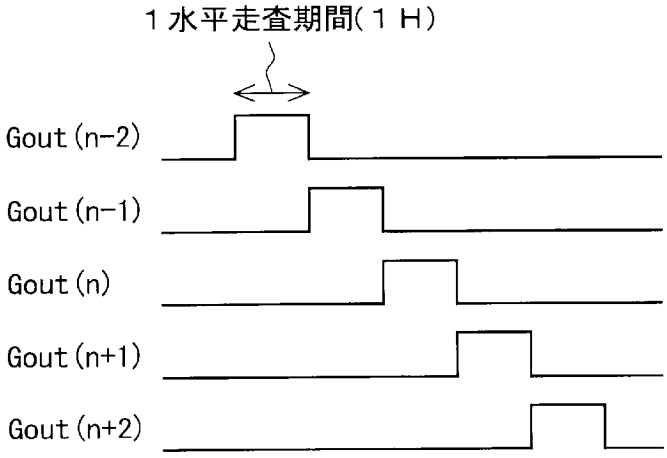
[図4]


GCK
GCK3
GCK2
GCK1
GSP
40 (1)
S
CKA
CKB
CKC
OUT
Gout (1)
40 (2)
S
CKA
CKB
CKC
OUT
Gout (2)
40 (3)
S
CKA
CKB
CKC
OUT
Gout (3)
40 (n-1)
S
CKA
CKB
CKC
OUT
Gout (n-1)
40 (n)
S
CKA
CKB
CKC
OUT
Gout (n)
40 (n+1)
S
CKA
CKB
CKC
OUT
Gout (n+1)

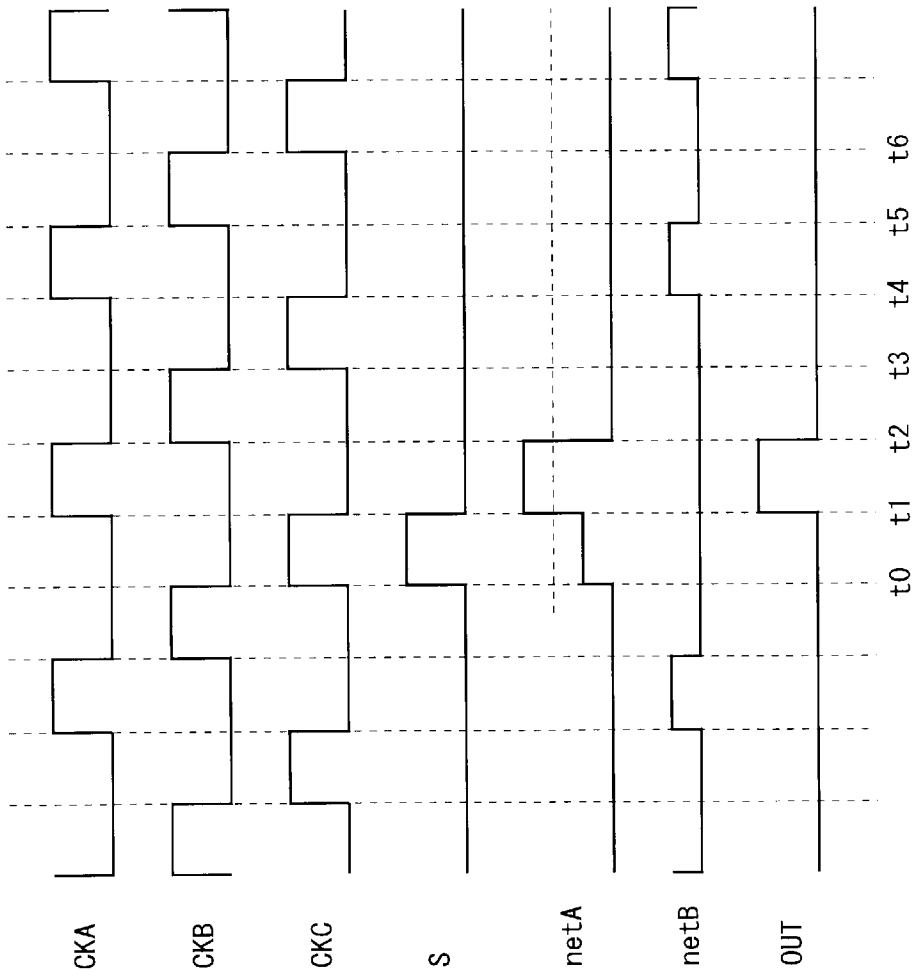
[図5]


１水平走査期間(１Ｈ)
GCK1
GCK2
GCK3

[図6]


１水平走査期間(１Ｈ)
Gout(n-2)
Gout(n-1)
Gout(n)
Gout(n+1)
Gout(n+2)

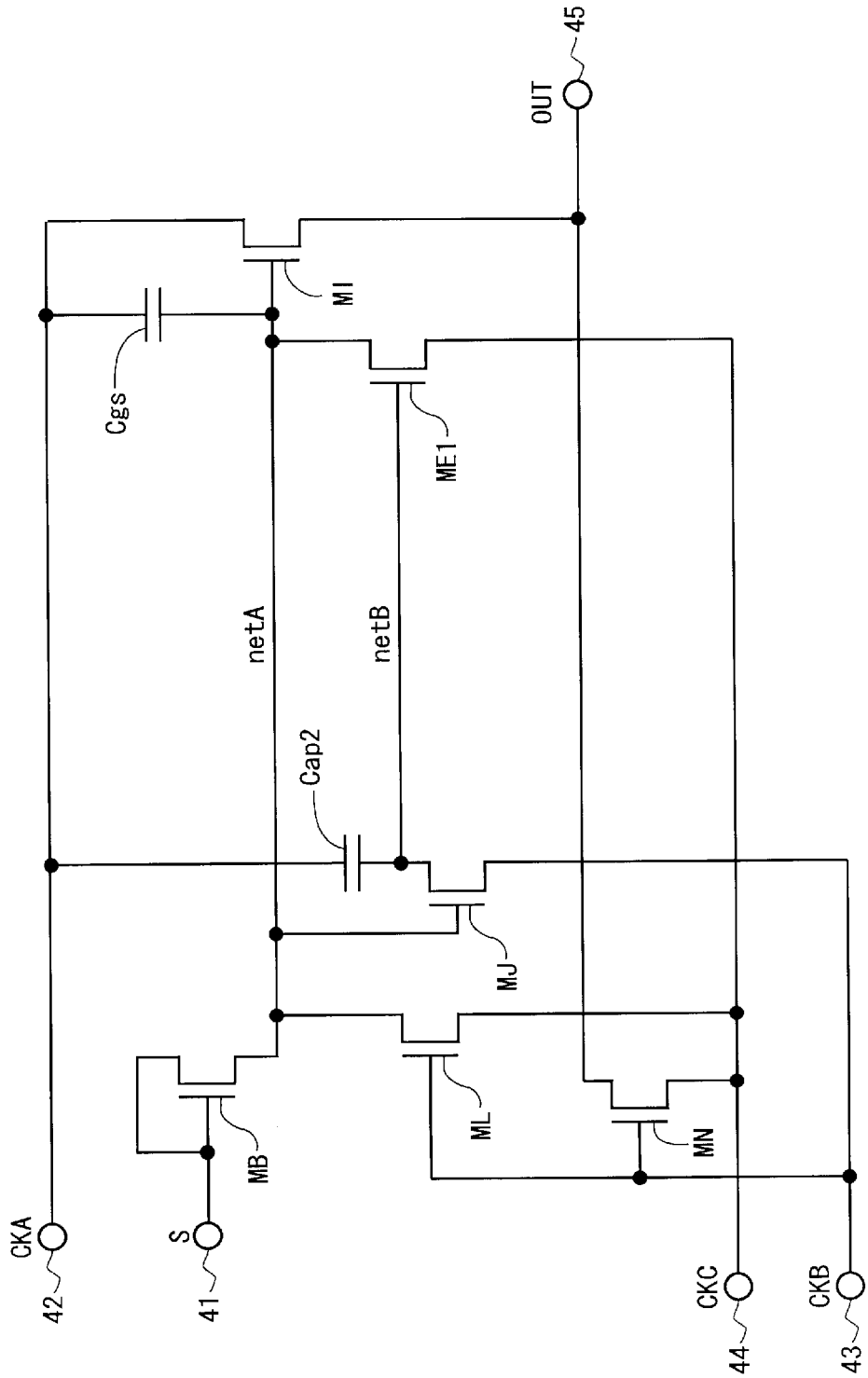
[図7]



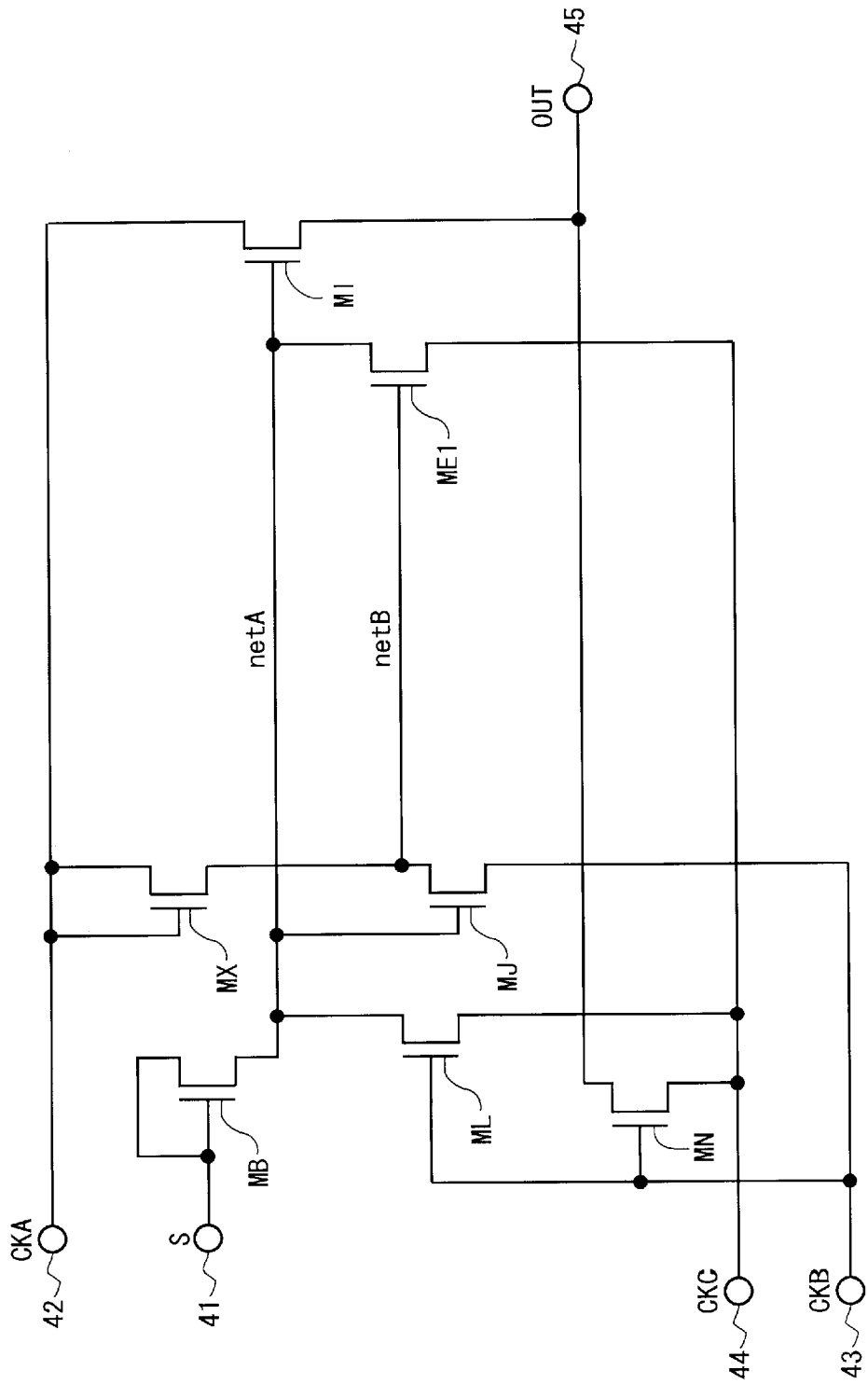
[図8]

	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML		ME1	ML
netB	MJ	MJ			Cap2	
OUT			MN			MN

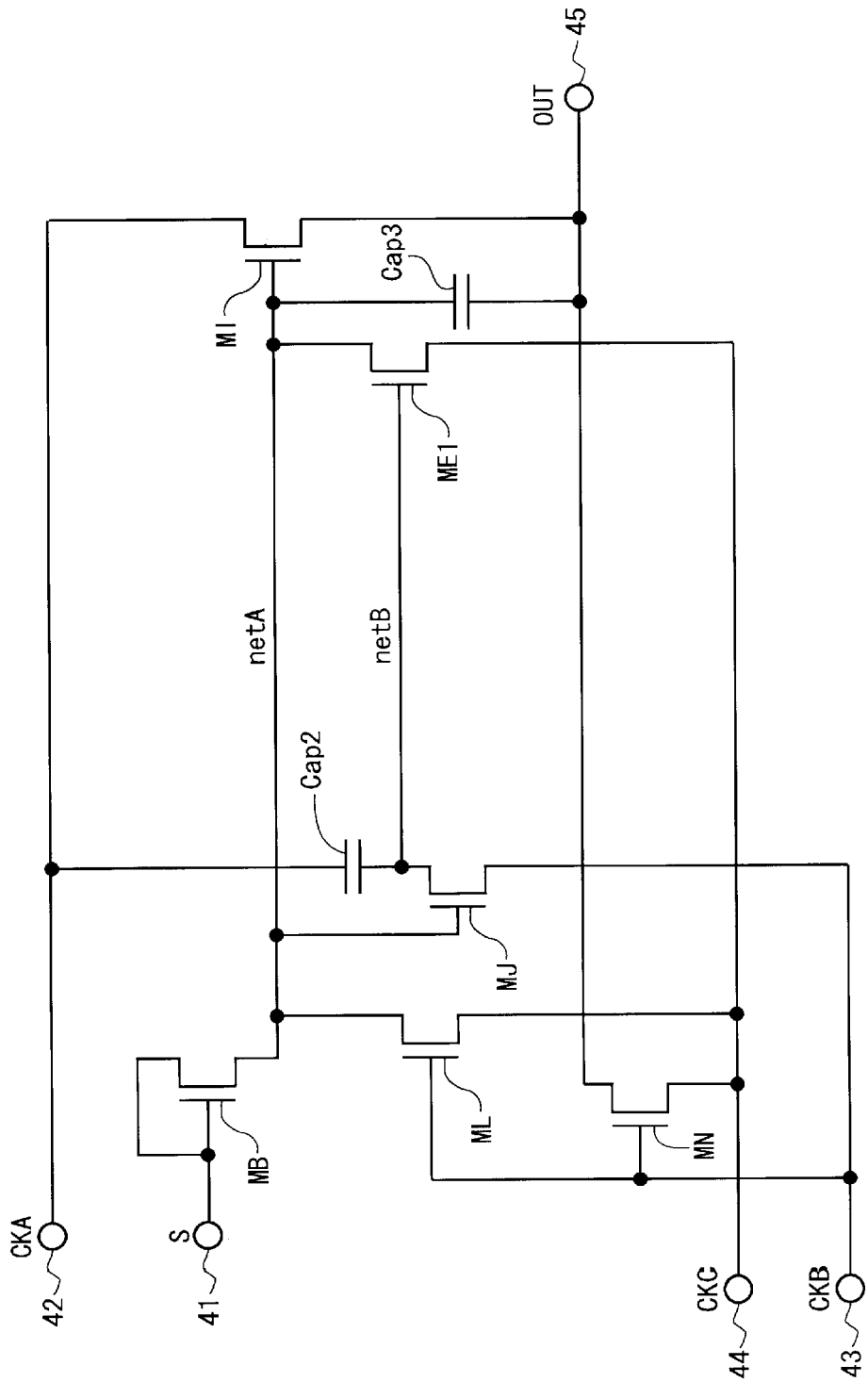
[図9]


OUT
45
MI
Cgs
ME1
netA
netB
Cap2
MJ
ML
MB
MN
CKA
42
S
41
CKC
44
CKB
43

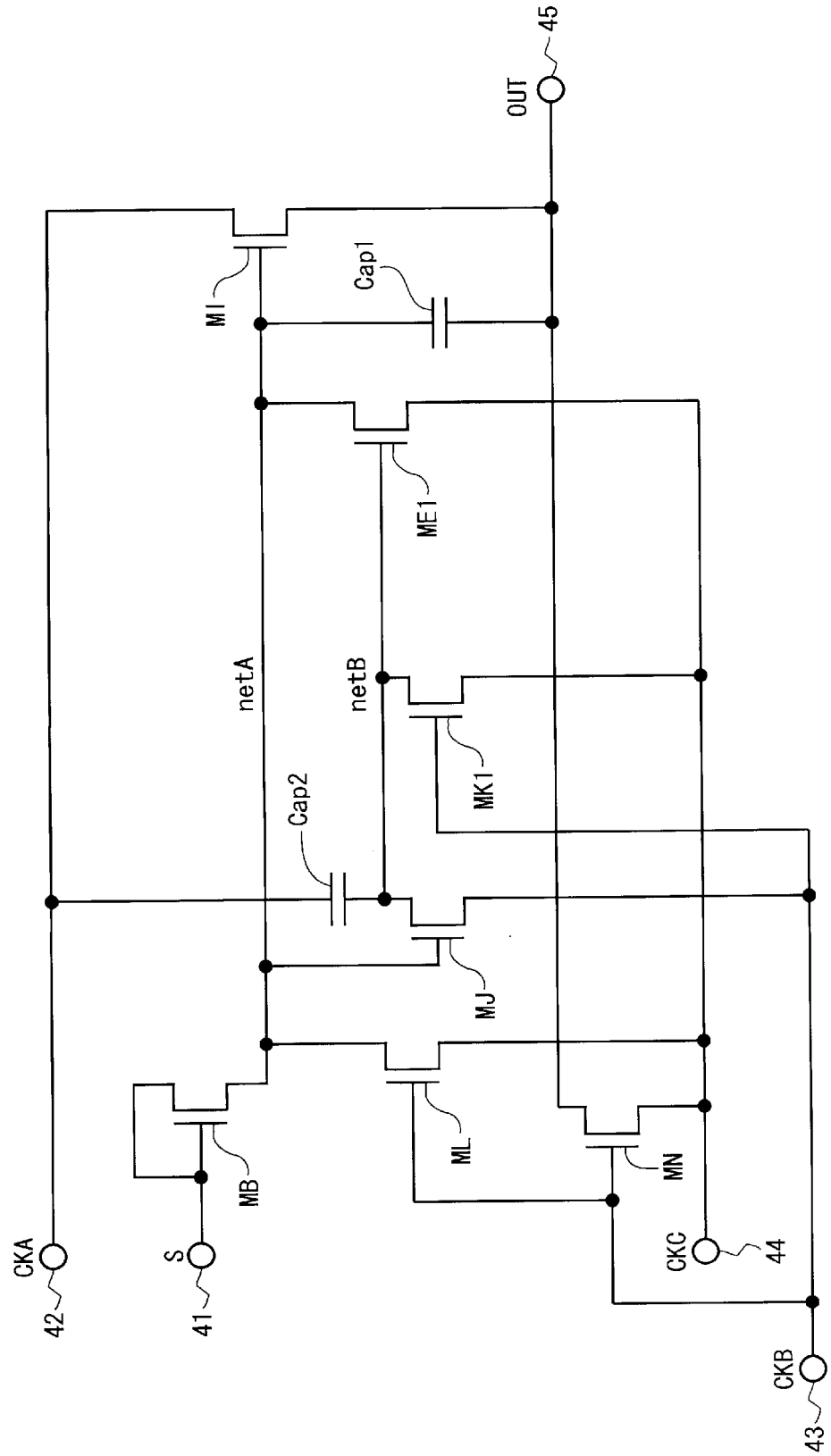
[図10]



[図11]

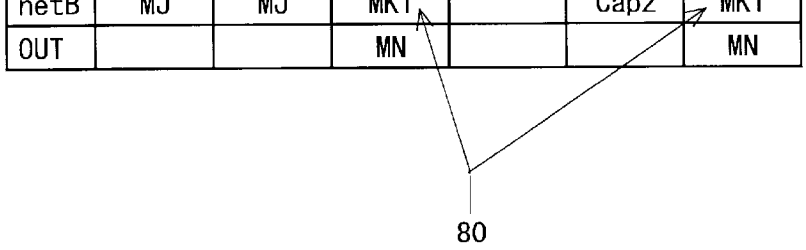

OUT
45
MI
Cap3
ME1
netA
netB
Cap2
MJ
MB
ML
MN
CKA
42
S
41
CKC
44
CKB
43

[図12]

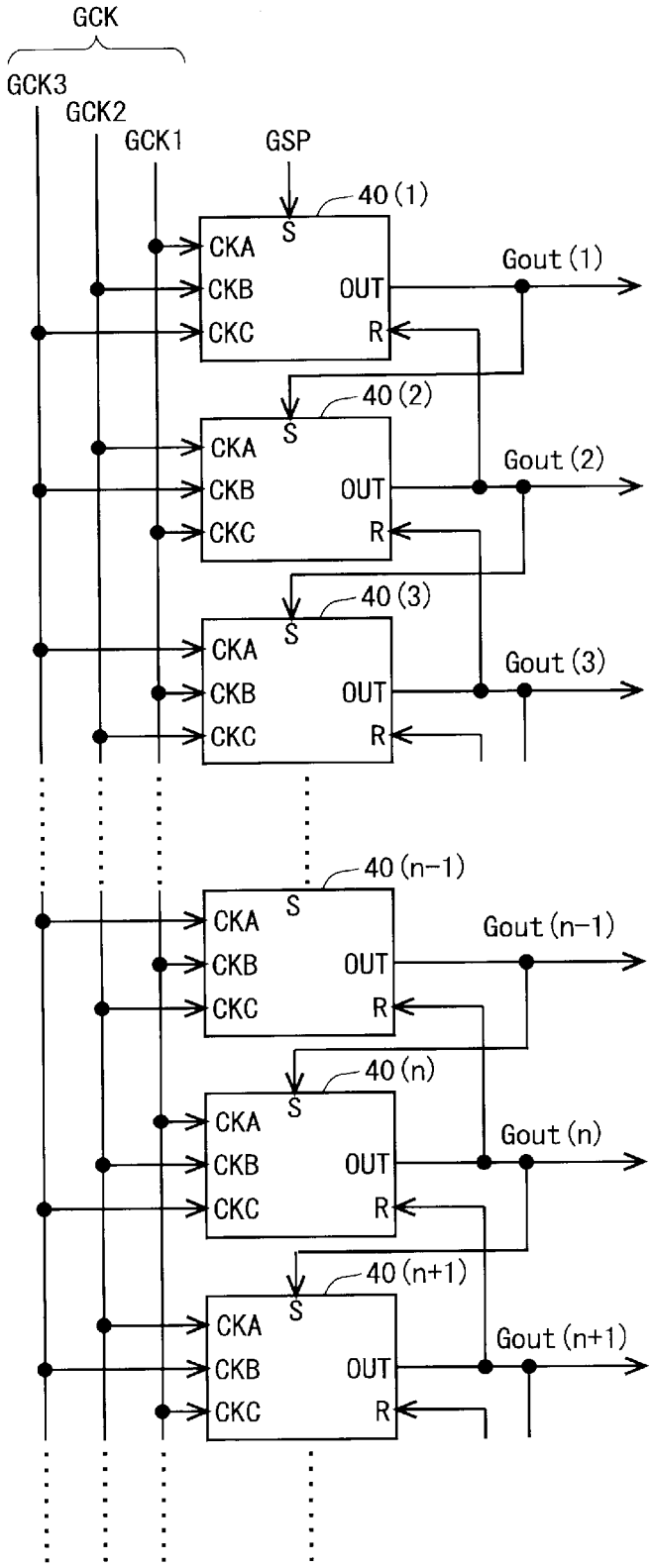

OUT
45
MI
Cap1
ME1
netA
netB
MK1
Cap2
MJ
ML
MN
MB
CKA
42
S
41
CKC
44
CKB
43

[図13]

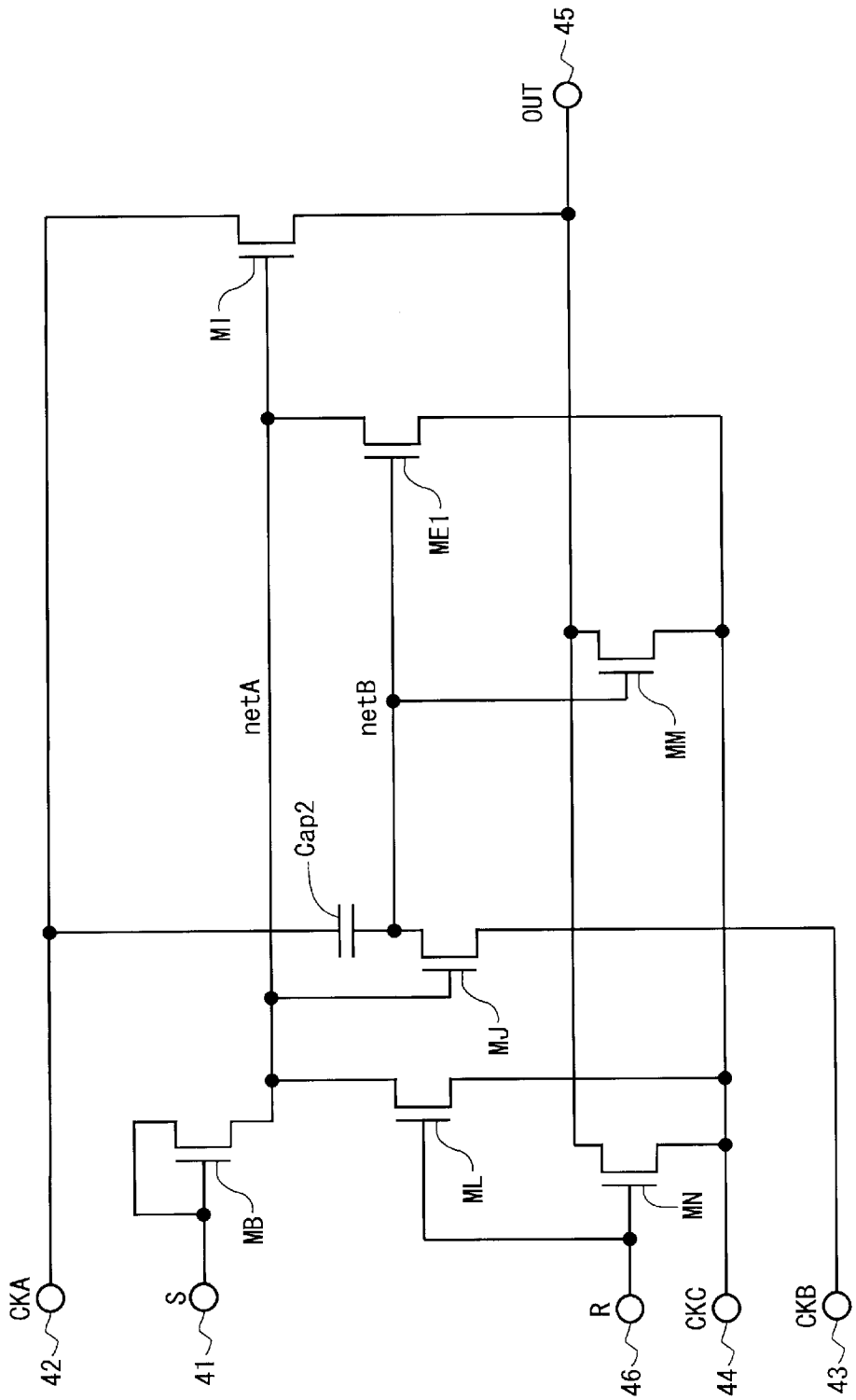
	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML		ME1	ML
netB	MJ	MJ	MK1		Cap2	MK1
OUT			MN			MN



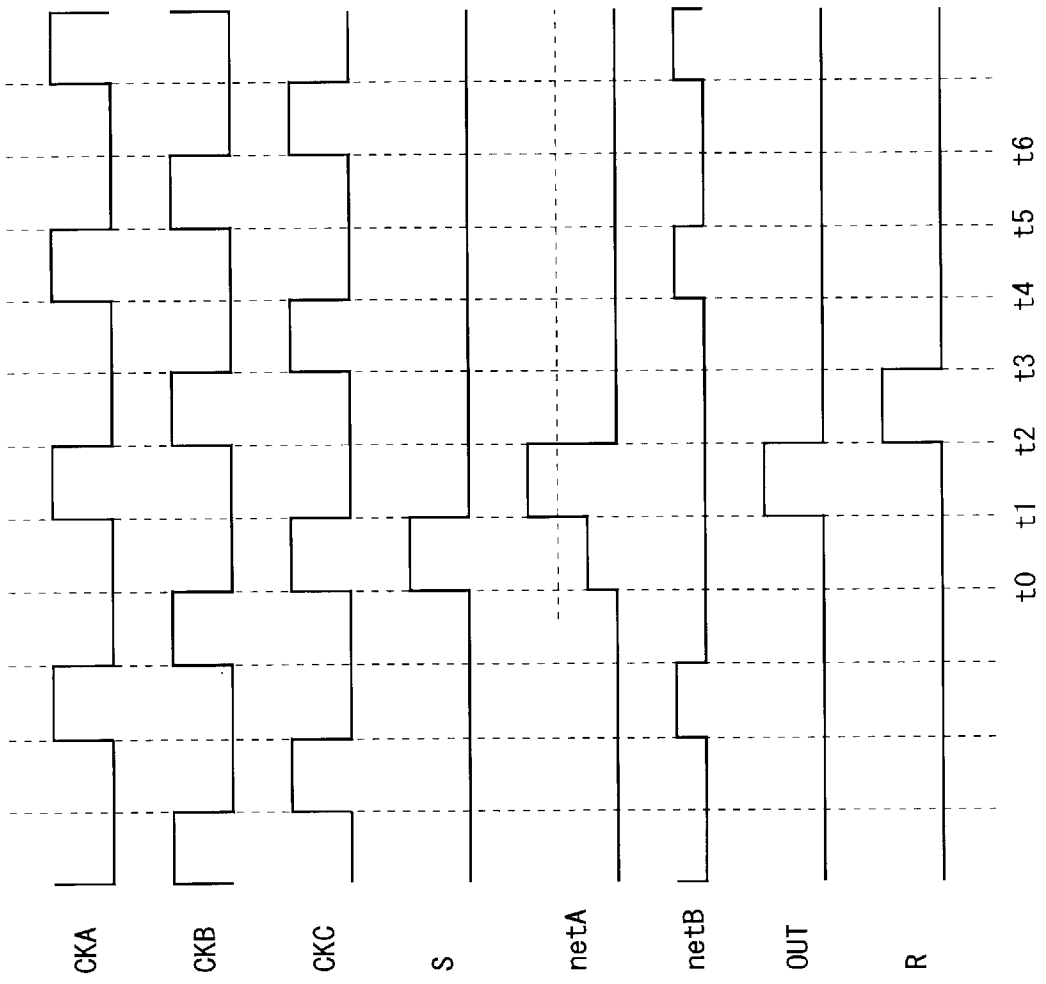
[図14]


GCK
GCK3
GCK2
GCK1
GSP
40 (1)
S
CKA
CKB
CKC
OUT
R
Gout (1)
40 (2)
Gout (2)
40 (3)
Gout (3)
40 (n-1)
Gout (n-1)
40 (n)
Gout (n)
40 (n+1)
Gout (n+1)

[図15]


OUT
45
MI
ME1
netA
netB
MM
Cap2
MJ
ML
MB
MN
CKA
42
S
41
R
46
CKC
44
CKB
43

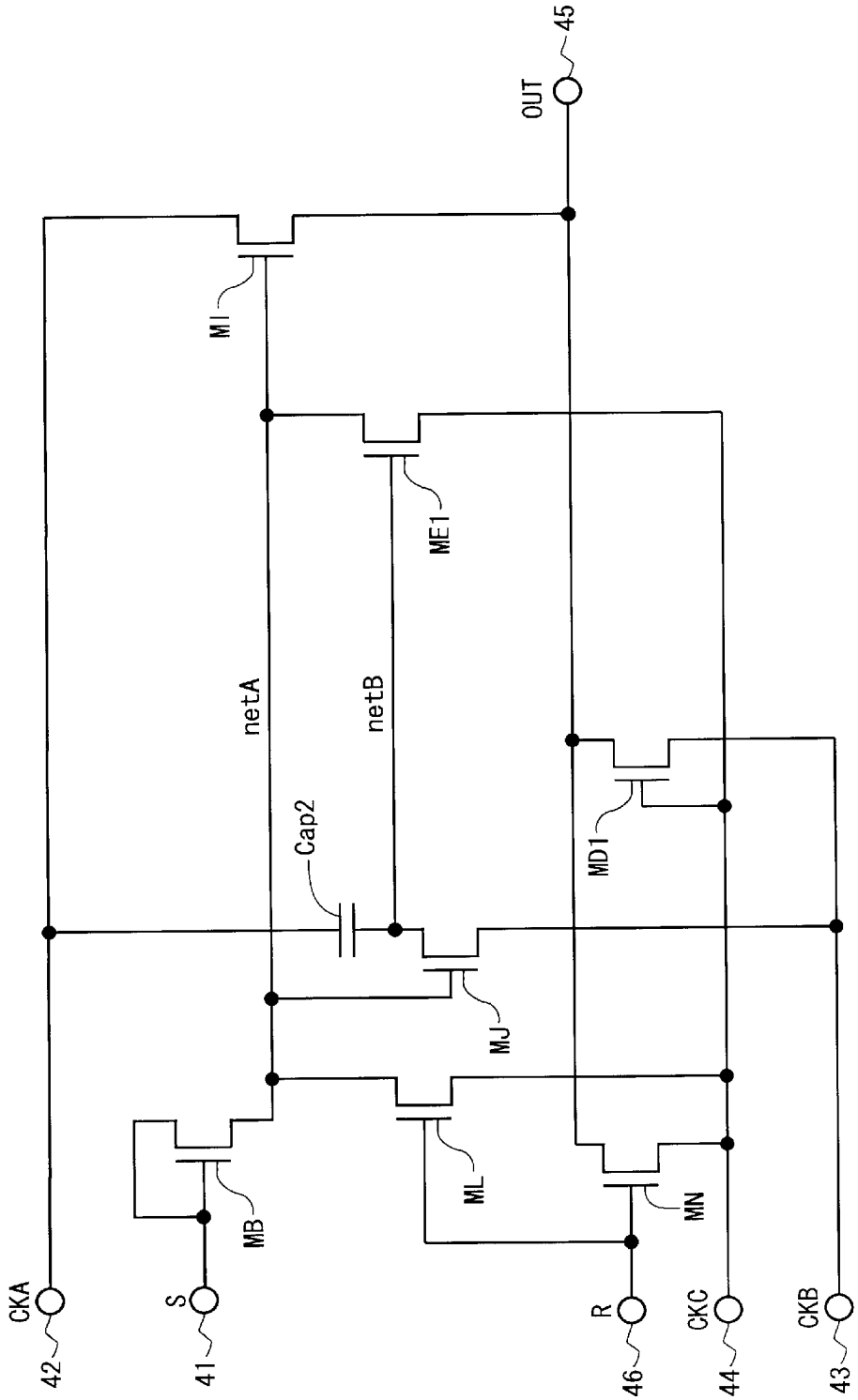
[図16]



[図17]

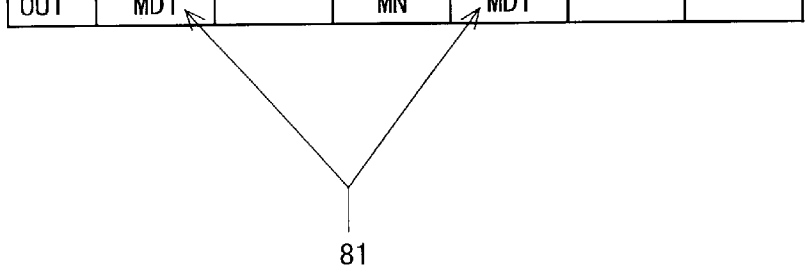
	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML		ME1	
netB	MJ	MJ			Cap2	
OUT			MN		MM	

[図18]

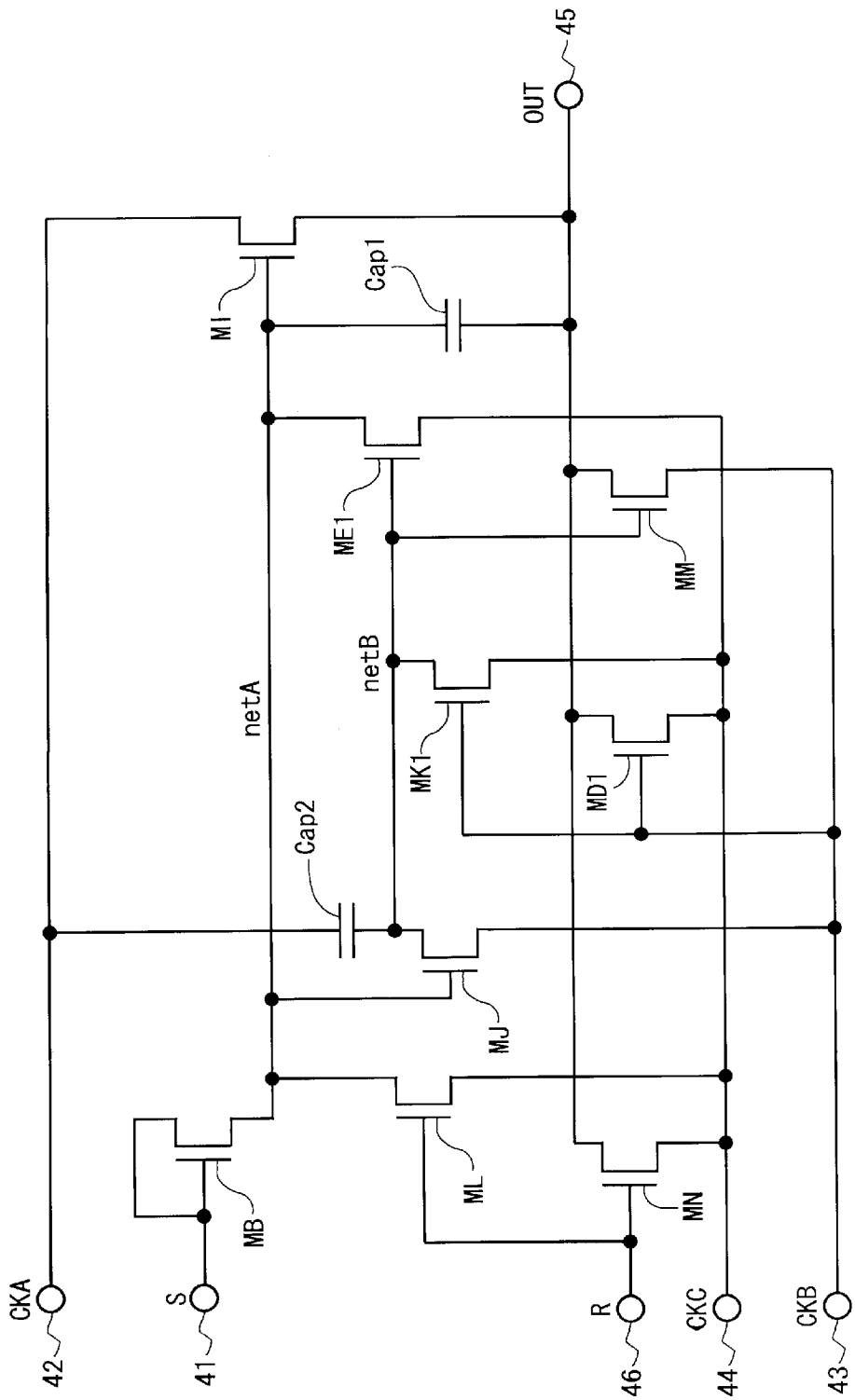

OUT
45
MI
ME1
netA
netB
Cap2
MD1
MJ
ML
MB
MN
CKA
42
S
41
R
46
CKC
44
CKB
43

[図19]

	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML		ME1	
netB	MJ	MJ			Cap2	
OUT	MD1		MN	MD1		

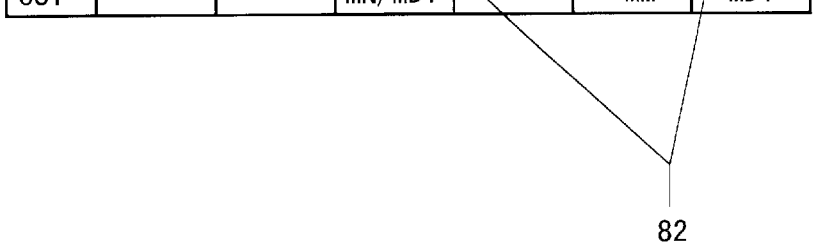


[図20]

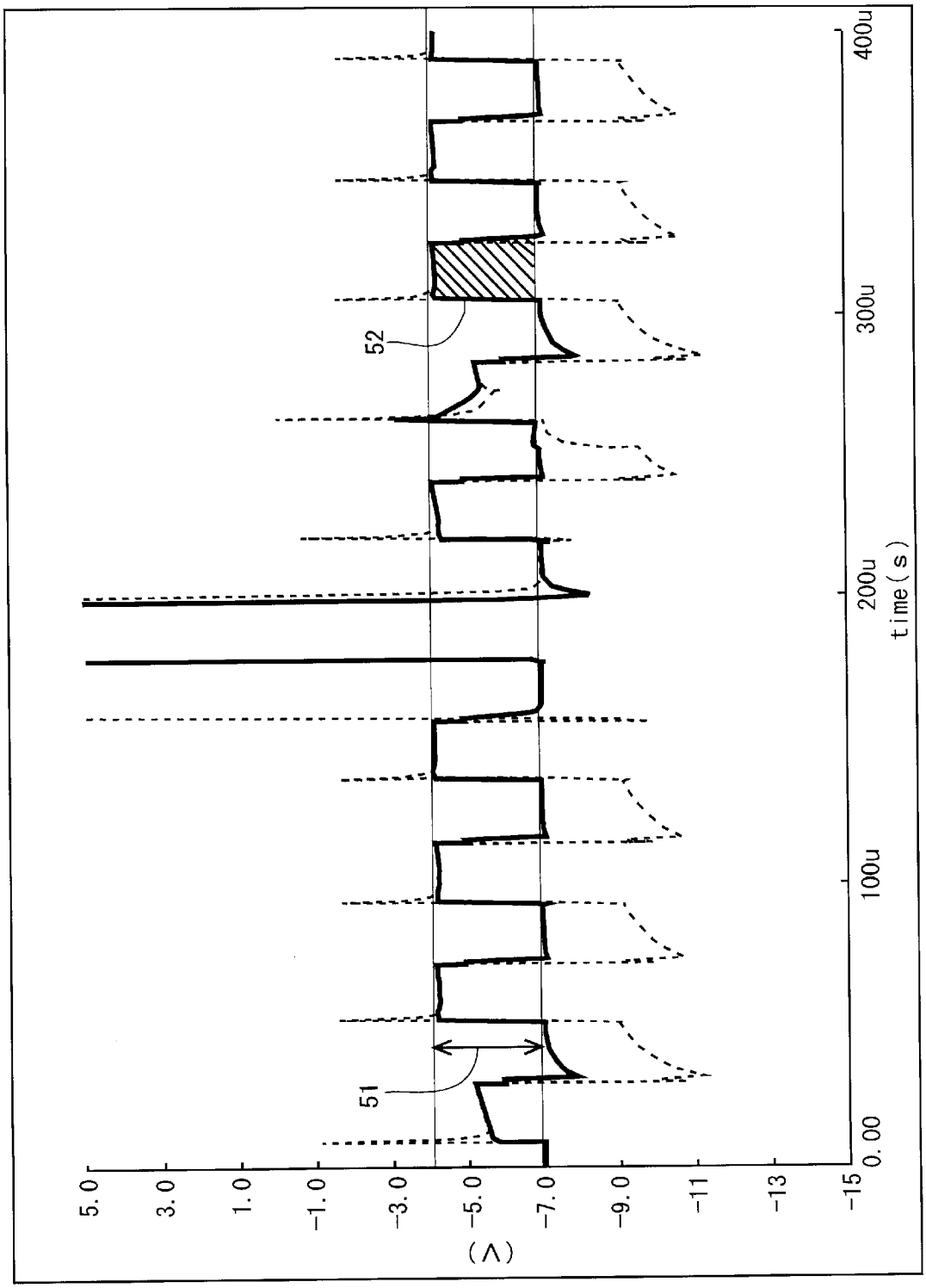

OUT
45
MI
Cap1
ME1
MM
netB
netA
MK1
MD1
Cap2
MJ
ML
MB
MN
CKA
42
S
41
R
46
CKC
44
CKB
43

[図21]

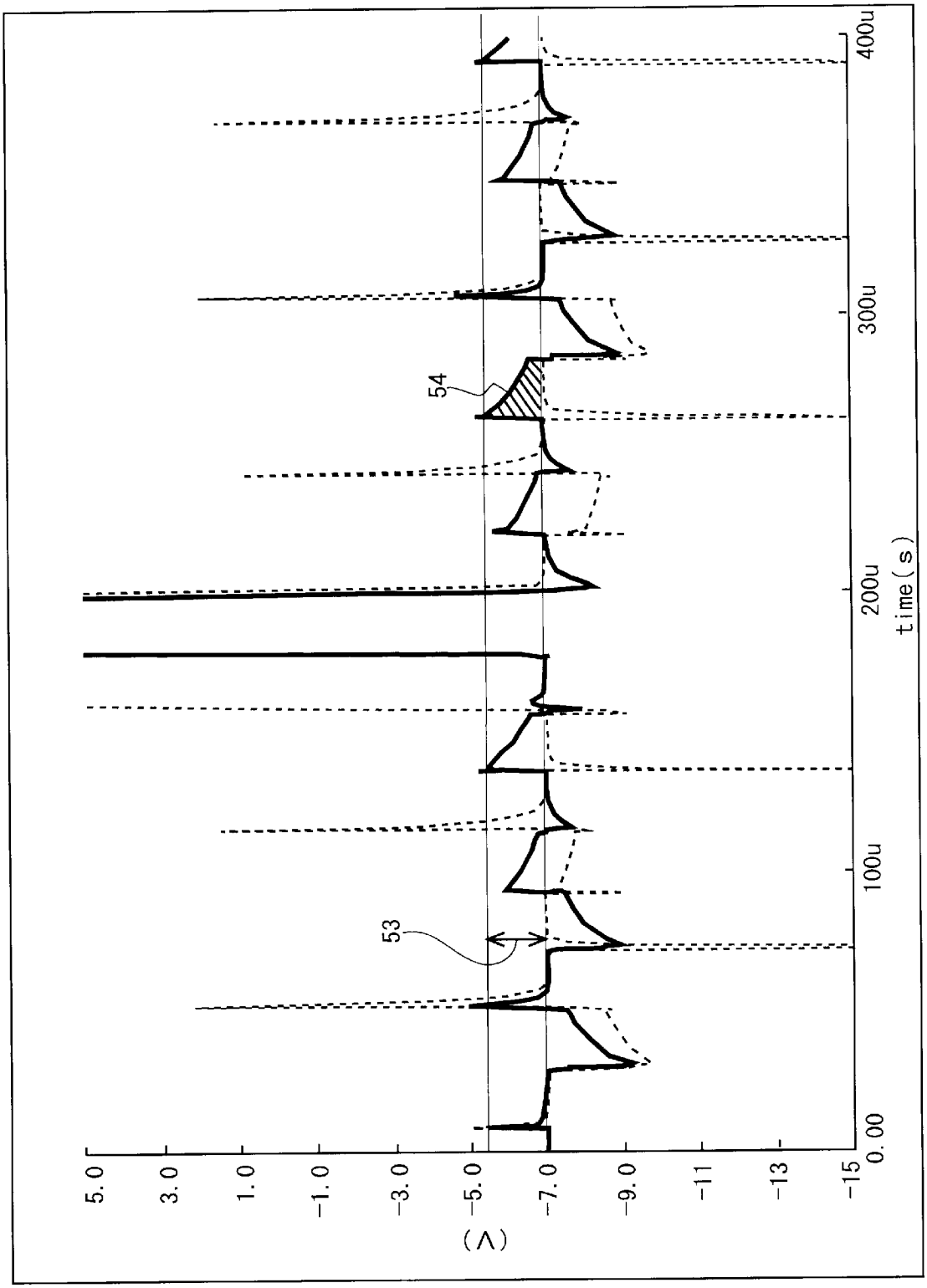
	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML		ME1	
netB	MJ	MJ	MK1		Cap2	MK1
OUT			MN/MD1		MM	MD1



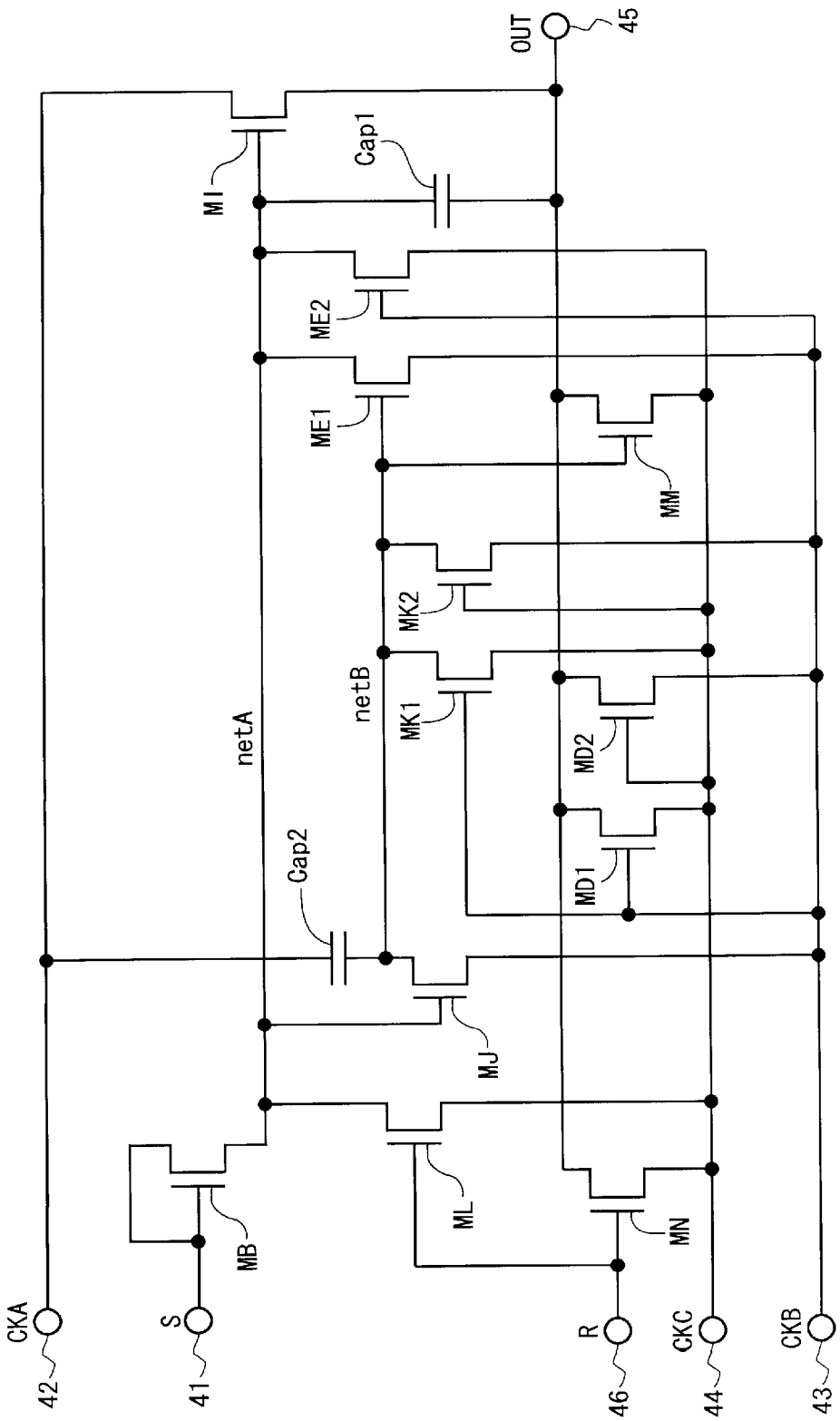
[図22]


5.0
3.0
1.0
−1.0
−3.0
−5.0
−7.0
−9.0
−11
−13
−15
(A)
0.00
100u
200u
300u
400u
time(s)
51
52

[図23]

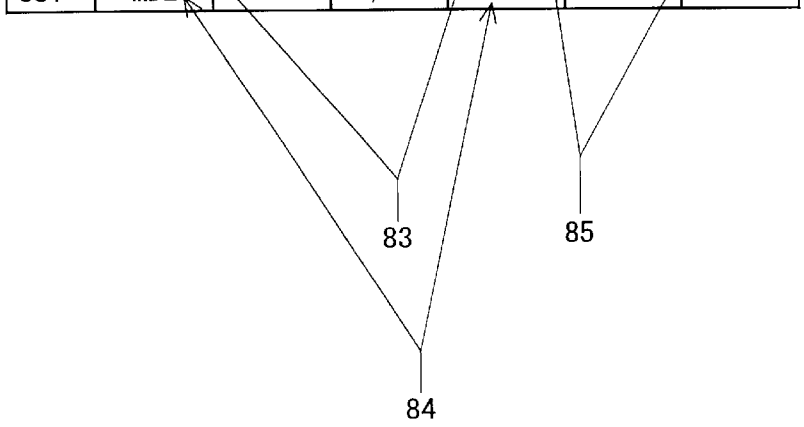

54
53
5.0
3.0
1.0
-1.0
-3.0
-5.0
-7.0
-9.0
-11
-13
-15
(A)
0.00
100u
200u
300u
400u
time(s)

[図24]


OUT
45
MI
Cap1
ME2
ME1
MM
MK2
netB
MK1
netA
MD2
MD1
Cap2
MJ
ML
MN
MB
CKA
42
S
41
R
46
CKC
44
CKB
43

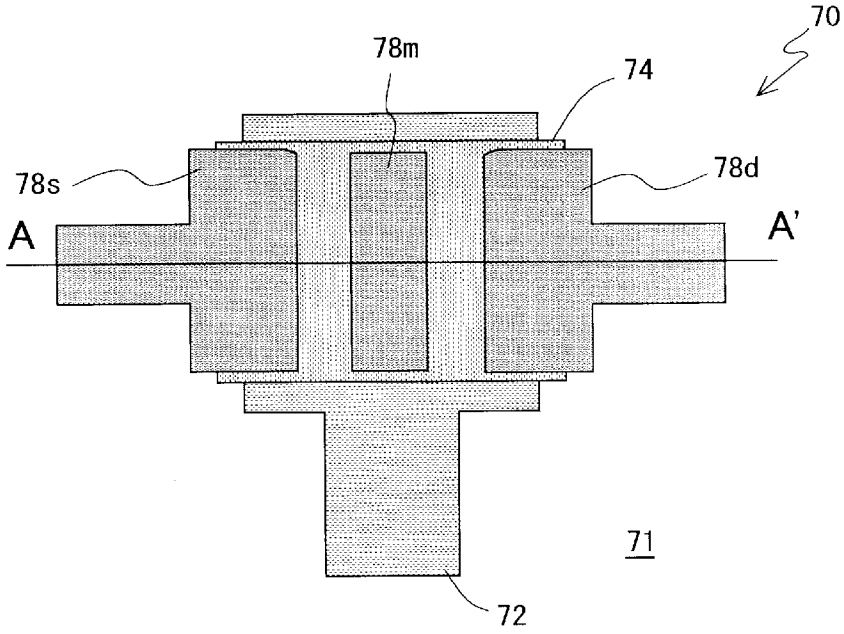
[図25]

	t0～t1	t1～t2	t2～t3	t3～t4	t4～t5	t5～t6
netA	MB		ML/ME2		ME1	ME2
netB	MJ/MK2	MJ	MK1	MK2	Cap2	MK1
OUT	MD2		MN/MD1	MD2	MM	MD1

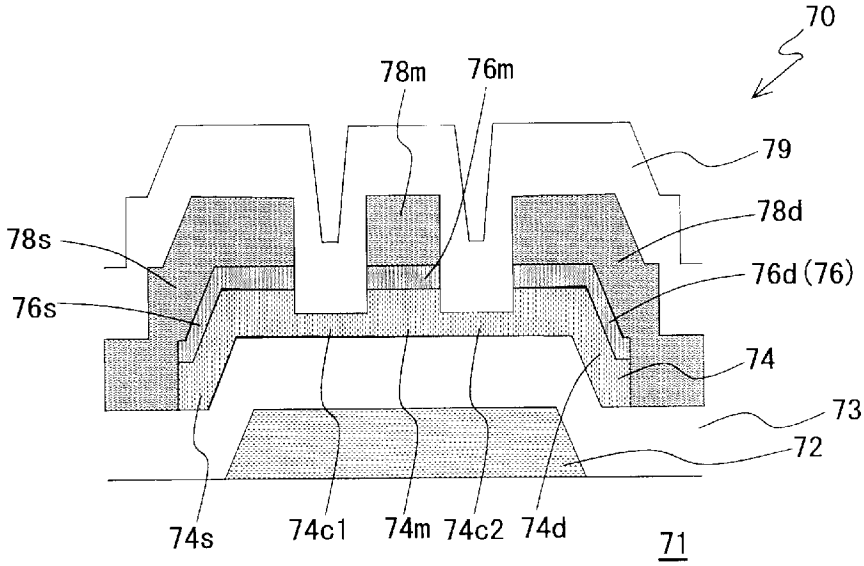


[図26]

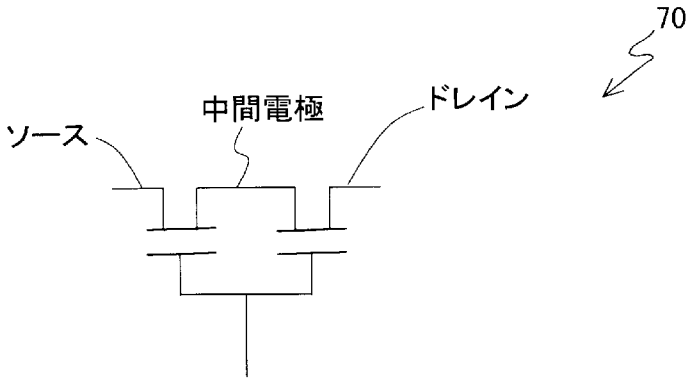
(A)


70
78m
74
78s
78d
A
A'
71
72

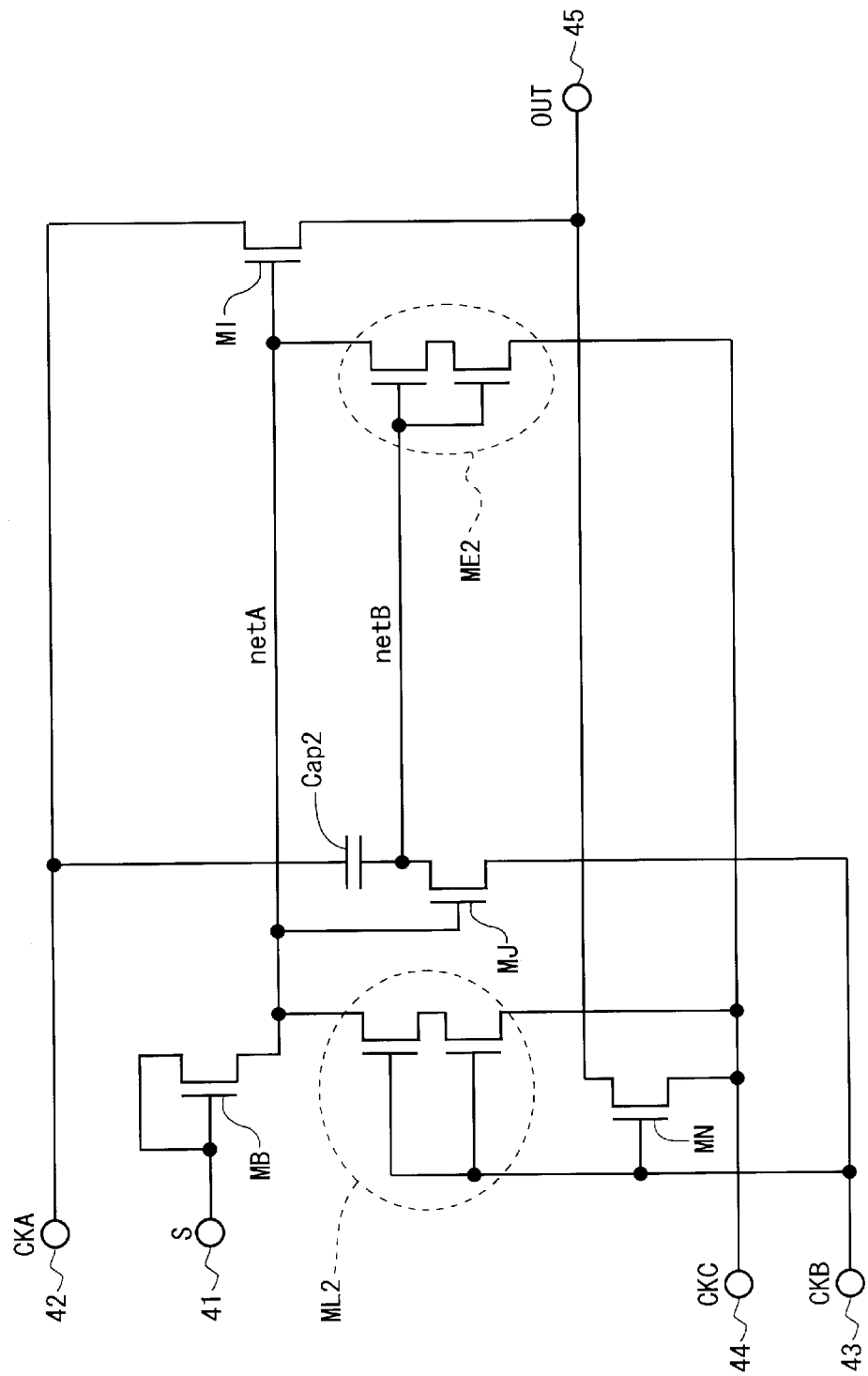
(B)


70
78m
76m
79
78d
78s
76d (76)
76s
74
73
72
74s
74c1
74m
74c2
74d
71

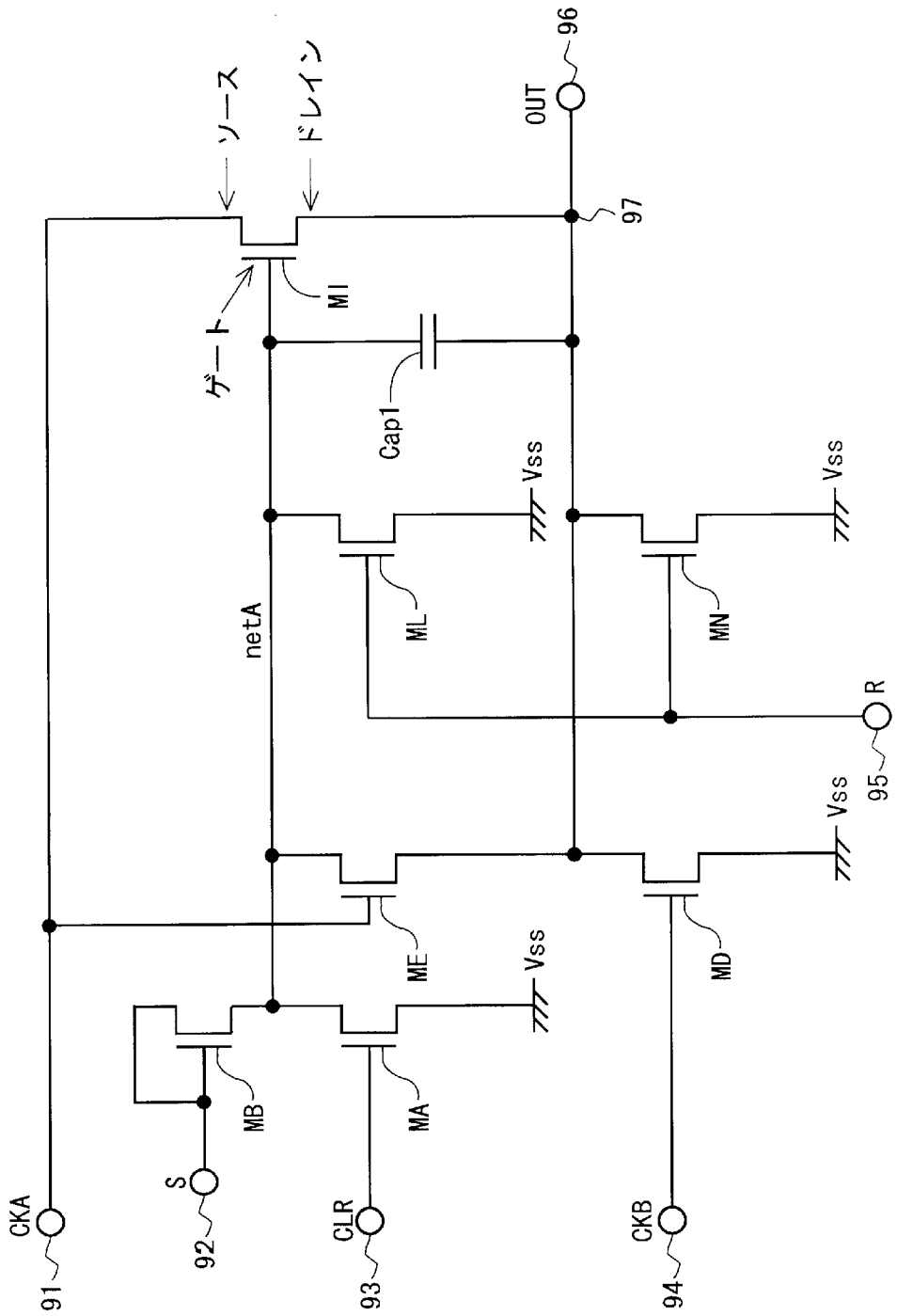
(C)


70
中間電極
ドレイン
ソース

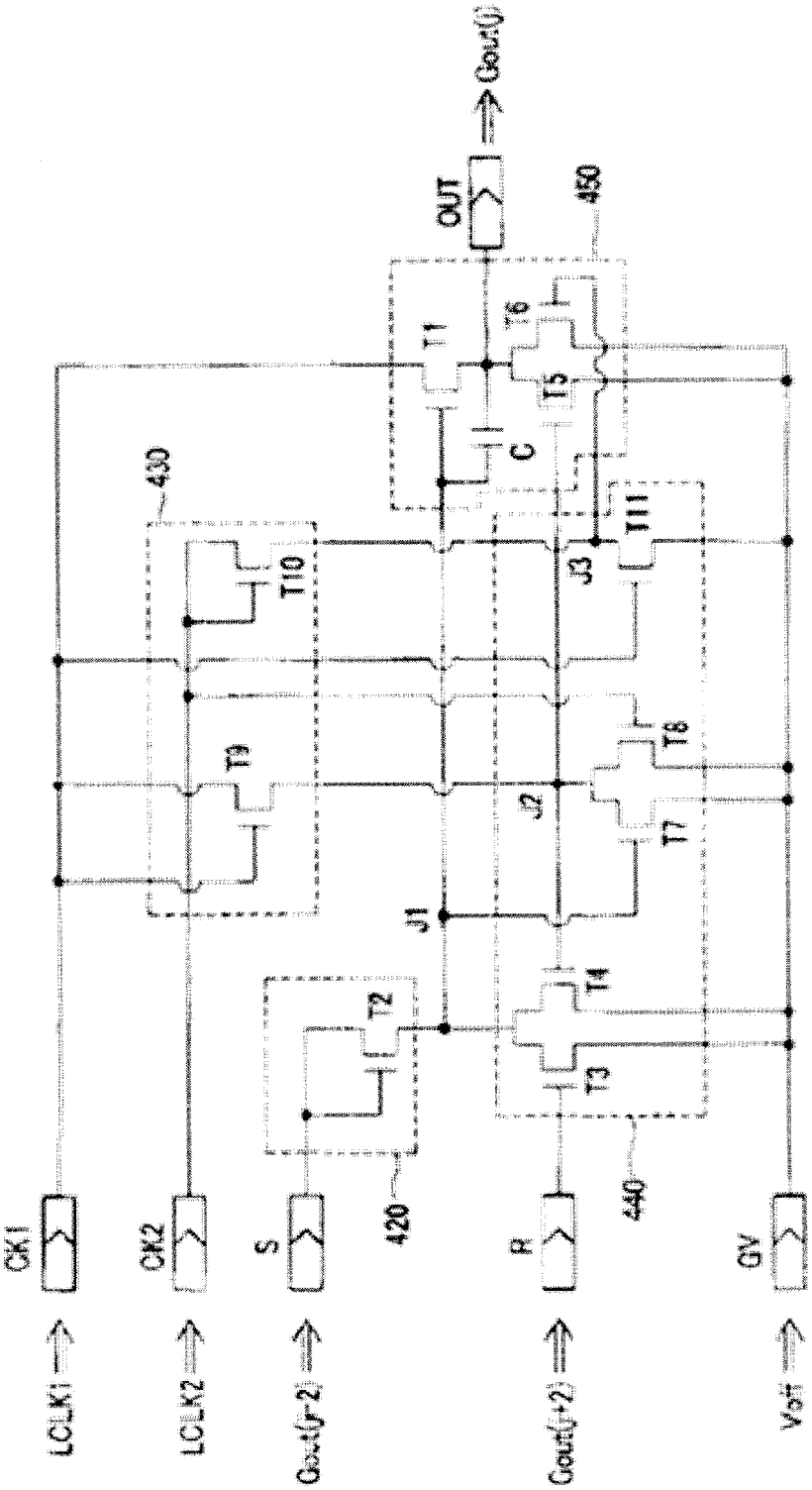
[図27]



[図28]


ソース
ドレイン
OUT
96
97
ゲート
MI
Cap1
Vss
ML
MN
netA
R
95
ME
MD
MB
MA
S
92
CLR
93
CKA
91
CKB
94

[図29]


Gout(j)
OUT
450
T1
T6
T5
C
430
T11
J3
T10
T8
T9
J2
T7
J1
T4
T2
T3
420
440
CK1
CK2
S
R
GV
LCLK1
LCLK2
Gout(j-2)
Gout(j+2)
Voff

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/060956

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/00-3/38, G02F1/133, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-151092 A (Semiconductor Energy Laboratory Co., Ltd.), 14 June, 2007 (14.06.07), Full text; Figs. 1 to 63 & KR 10-2007-0042484 A & CN 1983450 A	1-19
A	JP 2007-95190 A (Hitachi Displays, Ltd.), 12 April, 2007 (12.04.07), Full text; Figs. 1 to 14 & US 2007/0070020 A1 & CN 1941207 A	1-19
A	JP 2006-351165 A (NEC Corp.), 28 December, 2006 (28.12.06), Full text; Figs. 1 to 33 & US 2006/0262074 A1 & CN 1881803 A	1-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 July, 2009 (30.07.09)	11 August, 2009 (11.08.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/060956

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-522734 A (Samsung Electronics Co., Ltd.), 28 July, 2005 (28.07.05), Full text; Figs. 1 to 16 & US 2006/0161693 A1 & US 2008/0284698 A1 & WO 2003/087921 A2 & KR 10-2003-0080979 A & CN 1549997 A & CN 101038384 A	1-19

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６０９５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/00-3/38, G02F1/133, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-151092 A（株式会社半導体エネルギー研究所）2007.06.14, 全文，図１－６３ & KR 10-2007-0042484 A　& CN 1983450 A	1-19
A	JP 2007-95190 A（株式会社日立ディスプレイズ）2007.04.12, 全文，図１－１４ & US 2007/0070020 A1　& CN 1941207 A	1-19

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．０７．２００９	国際調査報告の発送日 １１．０８．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　９２１４ 中村　直行 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2006-351165 A（日本電気株式会社）2006.12.28, 全文，図１－３３ & US 2006/0262074 A1　& CN 1881803 A	1-19
Ａ	JP 2005-522734 A（サムスン　エレクトロニクス　カンパニー　リミテッド）2005.07.28, 全文，図１－１６ & US 2006/0161693 A1　& US 2008/0284698 A1　& WO 2003/087921 A2 & KR 10-2003-0080979 A　& CN 1549997 A　& CN 101038384 A	1-19