



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2011년06월20일
 (11) 등록번호 10-1043115
 (24) 등록일자 2011년06월14일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0016353
 (22) 출원일자 2009년02월26일
 심사청구일자 2009년02월26일
 (65) 공개번호 10-2009-0093849
 (43) 공개일자 2009년09월02일

(30) 우선권주장

JP-P-2008-049885 2008년02월29일 일본(JP)

(56) 선행기술조사문헌

KR1020040061541 A*

JP05063196 A

JP08204032 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 히타치 디스플레이즈

일본국 치바켄 모바라시 하야노 3300

(72) 발명자

미야케 히데카즈

일본 지바켄 모바라시 하야노 3300 가부시키가이
샤 히타치 디스플레이즈 내

오우에 에이지

일본 지바켄 모바라시 하야노 3300 가부시키가이
샤 히타치 디스플레이즈 내

(뒷면에 계속)

(74) 대리인

이중희, 장수길, 박충범

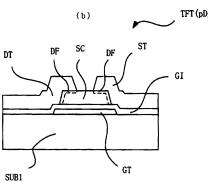
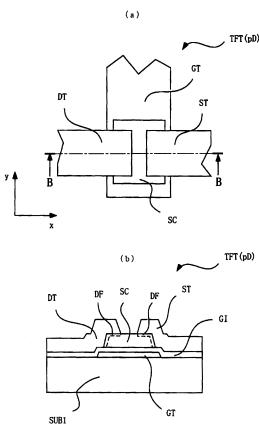
전체 청구항 수 : 총 8 항

심사관 : 이상호

(54) 표시 장치 및 그 제조 방법

(57) 요약

기판 상에 p형 박막 트랜지스터를 구비하는 표시 장치로서, p형 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되고, 드레인 전극과 반도체층의 계면, 및 소스 전극과 반도체층의 계면에, p형 불순물의 확산층이 형성되어 구성되어 있다.

대 표 도 - 도1

(72) 발명자

가이또 다크오

일본 지바켄 모바라시 하야노 3300 가부시키가이샤
히타치 디스플레이즈 내

미야자와 도시오

일본 지바켄 모바라시 하야노 3300 가부시키가이샤
히타치 디스플레이즈 내

특허청구의 범위

청구항 1

기판 상에 p형 박막 트랜지스터를 포함하는 표시 장치로서,

상기 p형 박막 트랜지스터는,

게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고,

상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되고,

상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되어 구성되고,

상기 p형 불순물의 확산층은, 상기 드레인 전극과 소스 전극을 구성하는 주재료가 상기 반도체층에 확산되어 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 2

기판 상에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 포함하는 표시 장치로서,

이들 각 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되며,

상기 p형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되고,

상기 p형 불순물의 확산층은, 상기 드레인 전극과 소스 전극을 구성하는 주재료가 상기 반도체층에 확산되어 형성되고,

상기 n형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, n형 불순물이 도프된 반도체층이 개재되어 있는 것을 특징으로 하는 표시 장치.

청구항 3

기판 상에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 포함하는 표시 장치로서,

이들 각 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되며,

상기 p형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되고,

상기 p형 불순물의 확산층은, 상기 드레인 전극과 소스 전극을 구성하는 주재료가 상기 반도체층에 확산되어 형성되고,

상기 n형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, n형 불순물이 도프된 반도체층 및 상기 드레인 전극과 소스 전극의 재료의 상기 반도체층으로의 확산을 방지하는 확산 배리어층의 순차 적층체가 개재되어 있는 것을 특징으로 하는 표시 장치.

청구항 4

제1항에 있어서,

상기 드레인 전극 및 소스 전극은, 알루미늄, 갈륨, 인듐, 탈륨 중 어느 하나의 재료를 주재료로 하여 구성되어 있는 것을 특징으로 하는 표시 장치.

청구항 5

제1항에 있어서,

상기 반도체층은 다결정 반도체층으로 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 6

제1항에 있어서,

상기 반도체층은 다결정 반도체층과 비정질 반도체층의 순차 적층체로 구성되어 있는 것을 특징으로 하는 표시 장치.

청구항 7

기판 상에 p형 박막 트랜지스터를 포함하고, 그 p형 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되며, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되는 표시 장치의 제조 방법으로서,

어닐링을 실시함으로써, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층을 형성하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 드레인 전극 및 소스 전극을 알루미늄, 갈륨, 인듐, 탈륨 중 어느 하나의 재료를 주재료로 하여 형성한 것을 특징으로 하는 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것으로, 특히, 그 기판에 형성된 박막 트랜지스터를 구비하는 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스형의 표시 장치에서는, 매트릭스 형상으로 복수의 화소가 배열된다. 그리고, 행 방향으로 배열된 화소의 각각에 공통되도록 게이트 신호선이 설치되고, 각 게이트 신호선은 열 방향으로 설치된 순서로 선택되어 주사 신호가 공급된다. 또한, 게이트 신호선이 선택되는 타이밍에 맞추어, 열 방향으로 배열된 화소의 각각에 공통되는 드레인 신호선을 통하여 영상 신호가 공급된다.

[0003] 이 때문에, 각 화소는, 주사 신호가 공급됨으로써, 드레인 신호선으로부터의 영상 신호를 화소에 설치된 화소 전극에 공급하기 위한 박막 트랜지스터를 구비한다.

[0004] 또한, 화소가 형성된 기판과 동일한 기판에, 게이트 신호선에 주사 신호를 공급하고, 또한, 드레인 신호선에 영상 신호를 공급하기 위한 구동 회로를 구비하고, 이 구동 회로는 복수의 박막 트랜지스터를 포함하는 회로에 의해 구성되어 있다.

[0005] 그리고, 구동 회로에서의 박막 트랜지스터는, n형 박막 트랜지스터 및 p형 박막 트랜지스터를 갖고, 그들 트랜지스터에서의 반도체층을, 아몰퍼스 실리콘을 결정화한 다결정 실리콘(Low Temperature Poli Si)으로 구성한 것이 알려져 있다. 반도체층을 이와 같은 다결정 실리콘으로 구성한 박막 트랜지스터는 전계 효과 이동도가 높아, 구동 회로를 고속 구동시킬 수 있다.

[0006] 이와 같은 박막 트랜지스터로서는, 예를 들면, 일본 특개평 5-63196호 공보에 개시가 이루어져 있다.

발명의 내용

해결 하고자하는 과제

[0007] 그러나, n형 박막 트랜지스터 및 p형 박막 트랜지스터를, 각각 다결정 실리콘의 반도체층으로 구성하는 경우, 다결정 실리콘의 반도체층과 드레인 전극 및 소스 전극 사이에, n형 박막 트랜지스터에서는 n형의 불순물이 도프된 아몰퍼스 실리콘을 형성하고, p형 박막 트랜지스터에서는 p형의 불순물이 도프된 아몰퍼스 실리콘을 형성

할 필요가 있었다.

[0008] 이 때문에, n형의 불순물이 도프된 아몰퍼스 실리콘의 형성과, p형의 불순물이 도프된 아몰퍼스 실리콘의 형성을, 별개의 마스크 공정에서 행해야만 하여, 제조의 공정이 증대된다고 하는 과제가 있었다.

[0009] 따라서, 본 발명은, 제조의 공수를 저감한 표시 장치를 제공하는 것을 목적으로 한다.

[0010] 또한, 본 발명은, 제조의 공수를 저감시킨 표시 장치의 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

[0011] 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 이하와 같다.

[0012] (1) 상기의 과제를 해결하기 위해서, 본 발명에 따른 표시 장치는, 기판 상에 p형 박막 트랜지스터를 구비하는 표시 장치로서, 상기 p형 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되며, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되어 구성되어 있는 것을 특징으로 한다.

[0013] (2) 상기의 과제를 해결하기 위해서, 본 발명에 따른 표시 장치는, 기판 상에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 구비하는 표시 장치로서, 이를 각 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되어, 상기 p형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되고, 상기 n형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, n형 불순물이 도프된 반도체층이 개재되어 있는 것을 특징으로 한다.

[0014] (3) 상기의 과제를 해결하기 위해서, 본 발명에 따른 표시 장치는, 기판 상에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 구비하는 표시 장치로서, 이를 각 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되어, 상기 p형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층이 형성되고, 상기 n형 박막 트랜지스터는, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, n형 불순물이 도프된 반도체층 및 상기 드레인 전극과 소스 전극의 재료의 상기 반도체층으로의 확산을 방지하는 확산 배리어층의 순차 적층체가 개재되어 있는 것을 특징으로 한다.

[0015] (4) (1)의 표시 장치에서, 상기 드레인 전극 및 소스 전극은, 알루미늄, 갈륨, 인듐, 탈륨 중 어느 하나의 재료를 주재료로 하여 구성되고, 그들이 상기 반도체층에 확산되어 상기 p형 불순물의 확산층이 형성되어 있는 것을 특징으로 하여도 된다.

[0016] (5) (1)의 표시 장치에서, 상기 반도체층은 다결정 반도체층으로 형성되어 있는 것을 특징으로 하여도 된다.

[0017] (6) (1)의 표시 장치에서, 상기 반도체층은 다결정 반도체층과 비정질 반도체층의 순차 적층체로 구성되어 있는 것을 특징으로 하여도 된다.

[0018] (7) 상기의 과제를 해결하기 위해서, 본 발명에 따른 표시 장치의 제조 방법은, 기판 상에 p형 박막 트랜지스터를 구비하고, 그 p형 박막 트랜지스터는, 게이트 전극의 상면에 절연막을 개재하여 반도체층이 형성되고, 상기 반도체층의 상면에 이격부를 갖고 서로 대향 배치되는 드레인 전극과 소스 전극이 형성되어 구성되는 표시 장치의 제조 방법으로서, 상기 드레인 전극 및 소스 전극을 알루미늄, 갈륨, 인듐, 탈륨 중 어느 하나의 재료를 주재료로 하여 형성하고, 어닐링을 실시함으로써, 상기 드레인 전극과 상기 반도체층의 계면, 및 상기 소스 전극과 상기 반도체층의 계면에, p형 불순물의 확산층을 형성하는 것을 특징으로 한다.

[0019] 또한, 본 발명은 이상의 구성에 한정되지 않고, 본 발명의 기술 사상을 일탈하지 않는 범위에서 다양한 변경이 가능하다.

[0020] 이와 같이 구성된 표시 장치는, 제조의 공수를 저감할 수 있다.

[0021] 이와 같이 구성된 표시 장치의 제조 방법은, 제조의 공수를 저감할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0022] 이하, 도면을 이용하여 본 발명에 따른 표시 장치의 실시 형태를 설명한다.
- [0023] <실시 형태 1>
- [0024] (전체 구성)
- [0025] 도 8의 (a)는 본 발명에 따른 표시 장치의 일 실시 형태를 도시하는 개략 구성도이다. 도 8의 (a)는 액정 표시 장치를 예로 들어 나타내고 있다.
- [0026] 기판 SUB1, 기판 SUB2는 액정을 협지하여 대향 배치되고, 상기 기판 SUB2측의 액정을 협지하는 쪽의 반대측의 면에는 액정 표시 영역 AR이 형성된다.
- [0027] 액정 표시 영역 AR에서, 기판 SUB1, SUB2의 액정을 협지하는 쪽에는, 매트릭스 형상으로 배치된 복수의 화소가 형성되어 있다.
- [0028] 도 8의 (b)는 도 8의 (a)에서의 도면 중 점선틀 B의 확대도를 도시하는 도면이다. 도 8의 (b)에 도시한 바와 같이, 매트릭스 형상으로 배치된 복수의 화소는, 도면 중 y 방향으로 신장되어 x 방향으로 병설되는 드레인 신호선 DL과, 도면 중 x 방향으로 신장되어 y방향으로 병설되는 게이트 신호선 GL로 둘러싸여지는 영역 내에 형성되어 있다.
- [0029] 그리고, 각 화소는, 게이트 신호선 GL로부터의 주사 신호(전압)에 의해 온되는 박막 트랜지스터 TFT(후술하는 다른 박막 트랜지스터 TFT와 구별하기 위해서, 부호 TFT(nP)로 나타냄)와, 이 온된 박막 트랜지스터 TFT(nP)를 통하여 드레인 신호선 DL로부터의 영상 신호(전압)가 공급되는 화소 전극 PX와, 이 화소 전극 PX와의 사이에 전계를 발생시키는 대향 전극 CT를 갖는다.
- [0030] 또한, 대향 전극 CT는 게이트 신호선 GL과 평행하게 배치되는 대향 전압 신호선 CL에 접속되어, 영상 신호에 대하여 기준으로 되는 신호(전압)가, 그 대향 전압 신호선 CL을 통하여 공급되도록 되어 있다.
- [0031] 액정 표시 영역 AR의 외측(도면 중 좌측)에서 기판 SUB1이 기판 SUB2로부터 노출되어 있는 부분에는, 각 게이트 신호선 GL에 순차적으로 주사 신호를 공급하고, 또한, 이 주사 신호의 공급 타이밍에 맞추어 각 드레인 신호선 DL에 영상 신호를 공급하기 위한 구동 회로 DRC가 형성되어 있다. 이 구동 회로 DRC는, n형 박막 트랜지스터 TFT(nD), 및 p형 박막 트랜지스터 TFT(pD)를 구비하여 구성된다.
- [0032] 또한, 액정 표시 영역 AR의 외측(도면 중 하측)에서 기판 SUB1이 기판 SUB2로부터 노출되어 있는 부분에는, 컬러 표시의 단위 화소에서 3원색의 각각을 담당하는 드레인 신호선 DL을 색마다 절환하여 접속시키기 위한 RGB 절환 회로 CSC가 형성된다. 이 RGB 절환 회로 CSC는, 구동 회로 DRC에서의 박막 트랜지스터 TFT(nD), TFT(pD)를 구비한다. 그리고 RGB 절환 회로 CSC는, 구동 회로 DRC와 거의 동일한 구성으로 이루어지고, 구동 회로 DRC에서의 박막 트랜지스터 TFT(nD), TFT(pD)의 형성과 병행하여 RGB 절환 회로 CSC에서의 박막 트랜지스터 TFT(nD), TFT(pD)가 형성되도록 되어 있다. 이 때문에, RGB 절환 회로 CSC에서의 n형 박막 트랜지스터도 부호 TFT(nD)로 나타내고, p형 박막 트랜지스터 TFT(pD)도 부호 TFT(pD)로 나타낸다.
- [0033] (p형 박막 트랜지스터)
- [0034] 도 1의 (a)는 p형 박막 트랜지스터 TFT(pD)의 일례를 도시하는 평면도이다. 또한, 도 1의 (b)는 도 1의 (a)에서의 B-B선에서의 단면도를 도시하고 있다.
- [0035] 도 1의 (b)에 도시한 바와 같이, 기판 SUB1의 표면에는, 게이트 전극 GT가 형성되어 있다. 이 게이트 전극 GT는, 기판 SUB1의 표면에서, 도 1의 (a)에 도시한 바와 같이 도면 중 y 방향으로 신장하여 형성되어 있다.
- [0036] 그리고, 기판 SUB1의 표면에는 게이트 전극 GT를 덮어 절연막 GI가 형성되어 있다. 이 절연막 GI는 p형 박막 트랜지스터 TFT(pD)의 형성 영역에서 그 p형 박막 트랜지스터 TFT(pD)의 게이트 절연막으로서 기능하도록 되어 있다.
- [0037] 절연막 GI의 상면에서 게이트 전극 GT에 중첩하도록 하여 다결정 실리콘(p-Si)으로 이루어지는 반도체층 SC가 섬 형상으로 형성되어 있다. 이 반도체층 SC는 불순물이 도프되어 있지 않은 i형의 반도체층을 구성하고 있다.
- [0038] 또한, 반도체층 SC의 상면에, 게이트 전극 GT의 상방에서 이격부를 갖고 서로 대향 배치되는 한쌍의 전극 DT, ST를 구비한다. 전극 DT와 ST는, 서로 이격하여 대향 배치되고, 전극 DT, ST는 각각 절연막 GI 상을 도면 중 x

방향으로 신장하여 형성된다.

[0039] 반도체층 SC에서 전극 DT, ST의 이격부에서의 영역은, 채널 영역을 구성하고, 전극 DT, ST의 이격 거리는 해당 p형 박막 트랜지스터 TFT(pD)의 채널 길이에 상당하도록 되어 있다.

[0040] 이를 전극 DT, ST는, 예를 들면 알루미늄(Al)으로 구성된다. 전극 DT, ST는, 알루미늄만으로 구성하여도 되고, 알루미늄을 주재료로 하여 다른 금속을 포함하여 구성하여도 된다. 전극 DT, ST의 형성 후에, 예를 들면, 약 400°C의 어닐링이 이루어짐으로써, 알루미늄이 반도체층 SC 내에 확산되어, 전극 DT와 반도체층 SC의 계면, 및 전극 ST와 반도체층 SC의 계면에서, p(+)형의 확산층 DF가 형성된다.

[0041] 이와 같은 p형 박막 트랜지스터 TFT(pD)는, 보텀 게이트형의 MIS(Metal Insulator Semiconductor) 트랜지스터를 구성하고, 그 바이어스의 인가에 의해, 전극 DT, ST는, 그 한쪽이 드레인 전극, 다른 쪽이 소스 전극으로서 기능한다. 편의상, 이 명세서에서는, 도면 중 좌측의 전극을 드레인 전극 DT, 도면 중 우측의 전극을 소스 전극 ST로 칭하기로 한다.

[0042] 상기한 바와 같이 구성된 p형 박막 트랜지스터 TFT(pD)는, 드레인 전극 DT와 반도체층 SC 사이에, 또한, 소스 전극 ST와 반도체층 SC 사이에, 컨택트층을 특별히 형성할 필요가 없어진다. 따라서, 간단한 공정으로 p형 박막 트랜지스터 TFT(pD)를 형성할 수 있다.

[0043] 또한, 본 실시 형태에서는, p형 박막 트랜지스터 TFT(pD)의 드레인 전극 DT, 소스 전극 ST의 재료는 알루미늄을 주재료로 하였지만, 갈륨(Ga), 인듐(In), 혹은 탈륨(TI) 등의 다른 재료를 주재료로 하여도 된다. 이와 같은 재료를 이용함으로써도, 드레인 전극 DT와 반도체층 SC의 계면, 소스 전극 ST와 반도체층 SC의 계면에, 각각, p(+)형의 확산층 DF를 형성할 수 있다.

[0044] (p형 박막 트랜지스터와 n형 박막 트랜지스터)

[0045] 도 2는 본 실시 형태에 따른 표시 장치의 기판 상에, p형 박막 트랜지스터 TFT(pD)와 함께, n형 박막 트랜지스터 TFT(nD)를 형성한, 컴프리멘터리형의 박막 트랜지스터의 구성을 도시하는 단면도이다.

[0046] 도 2에 도시하는 p형 박막 트랜지스터 TFT(pD)는, 도 1의 (a)에 도시한 p형 박막 트랜지스터 TFT(pD)와 마찬가지의 구조으로 되어 있다. 따라서, 이하의 설명에서는, 도면 중 좌측에 배치되어 있는 n형 박막 트랜지스터 TFT(nD)의 구조에 대해서 설명한다.

[0047] 도 2의 도면 중 좌측에서 도시한 바와 같이, 기판 SUB1의 상면에는 게이트 전극 GT'가 형성되어 있다. 이 게이트 전극 GT'는 p형 박막 트랜지스터 TFT(pD)의 게이트 전극 GT와 동층이며 동일 재료로 형성되어 있다.

[0048] 기판 SUB1의 표면에는 게이트 전극 GT'를 덮어 절연막 GI가 형성되어 있다. 이 절연막 GI는, p형 박막 트랜지스터 TFT(pD)로부터 연장되어 형성되어 있고, p형 박막 트랜지스터 TFT(pD)의 형성 영역에서의 절연막 GI의 연장부로서 구성된다.

[0049] 절연막 GI의 상면에는, 게이트 전극 GT'에 중첩하도록 하여 예를 들면 다결정 실리콘(p-Si)으로 이루어지는 반도체층 SC'가 섬 형상으로 형성되어 있다.

[0050] 이 반도체층 SC'는 p형 박막 트랜지스터 TFT(pD)의 반도체층 SC와 동층이며 동일 재료로 형성되어 있다.

[0051] 또한, 반도체층 SC'의 표면, 즉 상기 반도체층 SC'의 상면으로부터 측벽면에 걸친 표면, 또한, 그 반도체층 SC'가 형성되어 있지 않은 절연막 GI의 표면에 이르도록 하여, P(+)형 불순물이 도프된 컨택트층 DO가 형성된다.

[0052] 또한, 이 컨택트층 DO는, 반도체층 SC'에서 후술하는 드레인 전극 DT' 및 소스 전극 ST'로부터 노출된 부분에는 형성되지 않아, 컨택트층 DO의 하층의 반도체층 SC'가 노출되도록 되어 있다.

[0053] 또한, 반도체층 SC'의 상면에, 컨택트층 DO를 개재하여, 드레인 전극 DT' 및 소스 전극 ST'가 형성된다. 이에 의해 컨택트층 DO는, 드레인 전극 DT'와 반도체층 SC'의 계면, 및 소스 전극 ST'와 반도체층 SC의 계면에 형성되게 된다.

[0054] 드레인 전극 DT' 및 소스 전극 ST'는, p형 박막 트랜지스터 TFT(pD)의 드레인 전극 DT 및 소스 전극 ST와 동층이며 동일 재료로 형성된다.

[0055] 또한, n형 박막 트랜지스터 TFT(nD)와 비교하여 명백해지는 바와 같이, p형 박막 트랜지스터 TFT(pD)에서, 게이트 전극 GT의 폭이 반도체층 SC의 폭보다도 커서 반도체층 SC의 형성 영역으로부터 비어져 나와 형성되어 있다.

이것은, 온 전류를 높게 하기 위해서이다.

[0056] 도 3의 (a) 및 도 3의 (b)는, n형 박막 트랜지스터 TFT(nD)와 p형 박막 트랜지스터 TFT(pD)에서의 VgId 특성(게이트 전압과 드레인 전류의 특성)을 도시한 도면이다. 도 3의 (a)는 n형 박막 트랜지스터 TFT(nD)의 VgId 특성을, 도 3의 (b)는 p형 박막 트랜지스터 TFT(pD)의 VgId 특성을 나타내고 있다. 도 3의 (a) 및 도 3의 (b)는, 횡축에 게이트 전압 Vg(V)가, 종축에 드레인 전류 Id(A)이 설치되고, 드레인 전압 Vd가 5V일 때의 게이트 전압과 드레인 전류의 관계가 도시된다.

[0057] 따라서, p형 박막 트랜지스터 TFT(pD)는, 그 온·오프의 전류차가 충분히 커서, 스위칭 소자로서 기능할 수 있는 것을 알 수 있다.

[0058] (제조 방법)

[0059] 도 4의 (a)~(e)는, 도 2에 도시한 n형 박막 트랜지스터 TFT(nD)와 p형 박막 트랜지스터 TFT(pD)의 제조 방법의 일례를 도시한 공정도이다. 이하, 공정순으로 설명한다.

[0060] 도 4의 (a)~(e)는 도 2의 기재에 대응하고 있으며, 도면 중 좌측에 n형 박막 트랜지스터 TFT(nD)의 제조 공정, 도면 중 우측에 p형 박막 트랜지스터 TFT(pD)의 제조 공정이 도시된다.

[0061] 이하, 공정순으로 설명한다.

[0062] 공정1(도 4의 (a))

[0063] 글래스로 이루어지는 기판 SUB1의 표면에서, 게이트 전극 GT' 및 게이트 전극 GT를 형성하고, 또한, 게이트 전극 GT' 및 게이트 전극 GT가 모두 덮여지도록 절연막 GI를 형성한다.

[0064] 게이트 전극 GT' 및 게이트 전극 GT는, 모두, 예를 들면 몰리브덴(Mo) 등의 고용접 금속 또는 그 합금을, 스퍼터링법으로 성막(막 두께 50~150nm)하고, 포토리소그래피 기술에 의해 패터닝한 후에 선택적으로 에칭함으로써 형성한다.

[0065] 절연막 GI는, SiO, SiN, 혹은 이들의 적층막 등으로 구성되고, 막 두께 100~300nm로 되도록 형성된다.

[0066] 그리고, 절연막 GI의 상면의 전역에, 아몰퍼스 실리콘으로 이루어지는 반도체층 AS를 예를 들면 CVD(Chemical Vapor Deposition)법에 의해 막 두께 50~300nm로 형성한다.

[0067] 공정2(도 4의 (b))

[0068] 반도체층 AS에, 탈수소 처리를 행한 후, 펄스 혹은 연속 발진 레이저를 선택적으로 조사하여, n형 박막 트랜지스터 TFT(nD)의 형성 영역 및 p형 박막 트랜지스터 TFT(pD)의 형성 영역에서의 반도체층 AS의 결정화를 행하여, 다결정 실리콘으로 이루어지는 반도체층 PS를 형성한다. 또한, 반도체층 AS의 결정화는 전체면에 실시하도록 하여도 된다.

[0069] 공정3(도 4의 (c))

[0070] 반도체층 AS를 포토리소그래피 기술에 의해 패터닝한 후에, 선택적으로 에칭을 함으로써, n형 박막 트랜지스터 TFT(nD)의 형성 영역 및 p형 박막 트랜지스터 TFT(pD)의 형성 영역에, 각각, 다결정 실리콘으로 이루어지는 반도체층 PS를 잔존시킨다.

[0071] n형 박막 트랜지스터 TFT(nD)의 형성 영역에 형성된 반도체층 PS는 도 2에 도시한 반도체층 SC'에 상당하고, p형 박막 트랜지스터 TFT(pD)의 형성 영역에 형성 반도체층 PS는 도 2에 도시한 반도체층 SC에 상당한다.

[0072] 공정4(도 4의 (d))

[0073] 기판 SUB1의 표면의 전역에, CVD법을 이용하여, 인(P) 등이 도포된 반도체층(n(+))형 반도체층을 두께 10~50nm로 형성한다.

[0074] 그리고, n(+)-형 반도체층을, 포토리소그래피 기술에 의해 패터닝하고 또한 에칭함으로써, n형 박막 트랜지스터 TFT(nD)의 반도체층 SC'의 상면에 잔존시킨다. 여기서, 잔존하고 있는 n(+)-형 반도체층을 컨택트층 D0로 한다. 또한, 컨택트층 D0를 형성하기 위한 n(+)-형 반도체층의 에칭은, n형 박막 트랜지스터 TFT(nD)의 채널 영역으로 되는 부분에서도 이루어진다.

[0075] 공정5(도 4의 (e))

- [0076] 기판 SUB1의 표면의 전역에, 스퍼터링법에 의해, 알루미늄(Al)을 막 두께 300~500nm로 성막한다.
- [0077] 이 때, Al층의 상하의 각각의 면에, 티탄(Ti) 혹은 몰리브덴(Mo) 등의 고용접 금속막을 막 두께 30~100nm로 형성한다. 이 고용접 금속막은, 소위 배리어 메탈층이라고 하며, 컨택트 저항의 저감을 위해서 형성된다. 또한, 이 배리어 메탈층은 전극의 하층측에서 형성하지 않아도 된다.
- [0078] 그 후, Al층을 포토리소그래피 기술에 의해 패터닝하고, 선택적으로 에칭을 함으로써, n형 박막 트랜지스터 TFT(nD)의 형성 영역에서 드레인 전극 DT' 및 소스 전극 ST'를, p형 박막 트랜지스터 TFT(pD)의 형성 영역에서 드레인 전극 DT 및 소스 전극 ST를 형성한다.
- [0079] 또한, 기판 SUB1의 표면의 전역에, CVD법을 이용하여, n형 박막 트랜지스터 TFT(nD), p형 박막 트랜지스터 TFT(pD) SiN막 등으로 덮음으로써 보호막(도시 생략)을 형성한다.
- [0080] 그리고, H₂ 혹은 N₂의 분위기 속, 350~450°C의 온도에서 1~3시간의 어닐링을 행한다. 이 어닐링에 의해, p형 박막 트랜지스터 TFT(pD)의 드레인 전극 DT, 및 소스 전극 ST 내의 알루미늄(Al)이 반도체층 SC 내에 확산(배리어 메탈층이 있는 경우, 이 배리어 메탈층을 통하여 확산)된다. 이에 의해, 드레인 전극 DT와 반도체층 SC의 계면, 및 소스 전극 ST와 반도체층 SC의 계면에, 각각, p(+)형의 확산층 DF가 형성되게 된다. 또한, 이 어닐링은, 보호막의 형성 전에 행하여도 된다.
- [0081] <실시 형태 2>
- [0082] 도 5는 본 발명에 따른 표시 장치의 제2 실시 형태를 도시하는 구성도로, 제1 실시 형태에서의 도 2와 대응하는 도면이다. 도 5에서, 도 2와 동일 부호의 것은 동일 재료이며, 동일 기능을 갖도록 되어 있다.
- [0083] 도 5에서는, n형 박막 트랜지스터 TFT(nD)에서, 드레인 전극 DT'와 컨택트층 DO의 계면에 확산 배리어층 BR이 형성되고, 소스 전극 ST'와 컨택트층 DO의 계면에 확산 배리어층 BR이 형성되어 있는 점에서 도 2의 경우와 상이하다.
- [0084] 이 확산 배리어층 BR은, 어닐링 시에서, 드레인 전극 DT' 및 소스 전극 ST'를 구성하는 알루미늄(Al)이 컨택트 층 DO로 확산되는 것을 방지하기 위한 층이다.
- [0085] 확산 배리어층 BR은, 예를 들면, Mo, Ti, 혹은 그들의 합금으로 구성되며, 알루미늄(Al)이 컨택트층 DO로 확산되는 것을 회피할 수 있을 정도의 두께로 형성되어 있다.
- [0086] 이와 같이 한 경우, 컨택트층 DO의 불순물 농도의 변화를 야기하기 어려워, 컨택트층 DO의 불순물 농도를 소정의 값으로 설정하기 쉽다.
- [0087] 도 6의 (a)~(e)는, 도 5에 도시한 n형 박막 트랜지스터 TFT(nD)와 p형 박막 트랜지스터 TFT(pD)의 제조 방법의 일례를 도시한 공정도로, 제1 실시 형태에서의 도 4의 (a)~(e)에 대응하여 기재되어 있다. 도 6에서, 도 4와 동일 부호의 것은 동일 재료이며, 동일 기능을 갖도록 되어 있다.
- [0088] 도 6에서, 도 4의 경우와 상이한 구성은, 도 6의 (d)에 도시되는 공정이다.
- [0089] 즉 도 6의 (d)에서는, 기판 SUB1의 표면의 전역에, CVD법을 이용하여, 인(P) 등이 도프된 반도체층(n(+)형 반도체층), 또한, 몰리브덴(Mo), 티탄(Ti), 혹은 이들의 합금으로 이루어지는 금속층이 순차적으로 형성된다.
- [0090] 그리고, n(+)형 반도체층과 금속층의 순차 적층체를, 일괄하여 포토리소그래피 기술에 의해 패터닝하여 에칭한다. 이 에칭에 의해, n형 박막 트랜지스터 TFT(nD)의 반도체층 SC'의 상면에 이를 잔존시키고, 잔존된 n(+)형 반도체층을 컨택트층 DO로 하고, 잔존된 금속층을 확산 배리어층 BR로 한다. n(+)형 반도체층과 금속층에 의한 적층체의 에칭은, n형 박막 트랜지스터 TFT(nD)의 채널 영역으로 되는 부분에서도 이루어지도록 되어 있다.
- [0091] 상기한 바와 같은 제조 방법에 의하면, 도 4에 도시한 제조 방법과 비교하여 공정수를 증대시키지 않고, 확산 배리어층 BR을 형성할 수 있다.
- [0092] <실시 형태 3>
- [0093] 도 7의 (a)~(f)는 본 발명에 따른 표시 장치의 제조 방법을 도시하는 제3 실시 형태의 공정도이다.
- [0094] 도 7의 (a)~(f)에 도시되는 표시 장치는, 화소 선택용으로 이용되는 n형 박막 트랜지스터 TFT(nP)의 반도체층을 아몰퍼스 실리콘으로 한 것이고, 도 7의 (a)~(f)의 공정도는, n형 박막 트랜지스터 TFT(nP)와 함께, 구동

회로의 n형 박막 트랜지스터 TFT(nD)와 p형 박막 트랜지스터 TFT(pD)를 형성하는 경우를 나타내고 있다.

[0095] 도면에서, 좌측에 n형 박막 트랜지스터 TFT(nD)를, 한가운데에 p형 박막 트랜지스터 TFT(pD)를, 우측에 n형 박막 트랜지스터 TFT(nP)를 도시하고 있다. 이하, 공정순으로 설명을 한다.

[0096] 공정1(도 7의 (a))

[0097] 클래스로 이루어지는 기판 SUB1의 표면에, 게이트 전극 GT', 게이트 전극 GT, 및 게이트 전극 GT"를 형성하고, 이들 게이트 전극 GT', 게이트 전극 GT, 및 게이트 전극 GT"를 덮어 절연막 GI를 형성한다.

[0098] 게이트 전극 GT', 게이트 전극 GT, 및 게이트 전극 GT"는, 모두, 몰리브덴(Mo) 등의 고용접 금속 또는 그 합금을, 스퍼터링법으로 성막(막 두께 50~150nm)하고, 포토리소그래피 기술에 의해 패터닝하여 선택적으로 에칭함으로써 형성한다.

[0099] 절연막 GI는, 예를 들면 SiO, SiN, 혹은 이들의 적층막으로 구성되며, 막 두께 100~300nm로 형성한다.

[0100] 그리고, 절연막 GI의 상면의 전역에, 아몰퍼스 실리콘으로 이루어지는 반도체층 AS를 CVD법에 의해 막 두께 50~300nm로 형성한다.

[0101] 공정2(도 7의 (b))

[0102] 반도체층 AS에, 탈수소 처리를 행한 후에, 펄스 혹은 연속 발진 레이저를 선택적으로 조사하여, n형 박막 트랜지스터 TFT(nD)의 형성 영역 및 p형 박막 트랜지스터 TFT(pD)의 형성 영역에서의 반도체층 AS의 결정화를 행하여, 다결정 실리콘으로 이루어지는 반도체층 PS를 형성한다. 또한, 반도체층 AS의 결정화는 전체면에 실시하도록 하여도 된다.

[0103] 공정3(도 7의 (c))

[0104] 반도체층 AS를 포토리소그래피 기술에 의해 패터닝하고, 또한 선택적으로 에칭을 함으로써, n형 박막 트랜지스터 TFT(nD)의 형성 영역 및 p형 박막 트랜지스터 TFT(pD)의 형성 영역에, 각각, 다결정 실리콘으로 이루어지는 반도체층 PS를 잔존시킨다.

[0105] 공정4(도 7의 (d))

[0106] 기판 SUB1의 표면에, 예를 들면 CVD법을 이용하여, 아몰퍼스 실리콘으로 이루어지는 반도체층 AS'를 막 두께 50~250nm로 형성하고, 이 반도체층 AS'를 포토리소그래피 기술에 의해 패터닝하여 에칭을 한다. 이에 의해, 반도체층 AS'를, n형 박막 트랜지스터 TFT(nD), p형 박막 트랜지스터 TFT(pD), 및 n형 박막 트랜지스터 TFT(nP)의 각 형성 영역에 잔존시킨다.

[0107] 이 때문에, n형 박막 트랜지스터 TFT(nD)에서의 반도체층 AS'는 반도체층 PS의 상측에 적층되고, p형 박막 트랜지스터 TFT(pD)에서의 반도체층 AS'는 반도체층 PS의 상측에 적층되어 형성된다. 또한, n형 박막 트랜지스터 TFT(nP)에서의 반도체층 AS'는 절연막 GI 상에 직접 형성된다.

[0108] 즉, n형 박막 트랜지스터 TFT(nD), p형 박막 트랜지스터 TFT(pD)의 각각의 반도체층은, 다결정 실리콘의 반도체층 PS와 아몰퍼스 실리콘의 반도체층 AS'가 순차적으로 적층된 순차 적층체로서 구성되게 된다.

[0109] 공정5(도 7의 (e))

[0110] 기판 SUB1의 표면의 전역에, CVD법을 이용하여 인(P) 등이 도프된 반도체층(n(+))형 반도체층)을 두께 10~50nm로 형성한다.

[0111] 그리고, n(+))형 반도체층을, 포토리소그래피 기술에 의해 패터닝하고 또한 에칭함으로써, n형 박막 트랜지스터 TFT(nD)의 반도체층 AS'의 상면, 및 n형 박막 트랜지스터 TFT(nP)의 반도체층 AS'의 상면에 각각 잔존시킨다. 이 잔존된 n(+))형 반도체층을 n형 박막 트랜지스터 TFT(nD)의 컨택트층 DO, n형 박막 트랜지스터 TFT(nP)의 컨택트층 DO로 한다. n(+))형 반도체층의 에칭은, n형 박막 트랜지스터 TFT(nD)의 채널 영역, 및 n형 박막 트랜지스터 TFT(nP)의 채널 영역으로 되는 부분에서도 이루어지도록 되어 있다.

[0112] 공정6(도 7의 (f))

[0113] 기판 SUB1의 표면의 전역에, 스퍼터링법에 의해, 알루미늄(Al)을 막 두께 300~500nm로 성막한다.

[0114] 이 때, Al층의 상하의 각각의 면에, 티탄(Ti) 혹은 몰리브덴(Mo) 등의 고용접 금속막을 막 두께 30~100nm로 형

성한다. 이 고용점 금속막은, 소위 배리어 메탈층이라고 하고, 컨택트 저항의 저감을 위해서 형성된다.

[0115] 그 후, 상기 Al층을 포토리소그래피 기술에 의해 패터닝하고, 선택적으로 에칭을 함으로써, n형 박막 트랜지스터 TFT(nD)의 형성 영역에서 드레인 전극 DT' 및 소스 전극 ST'를, p형 박막 트랜지스터 TFT(pD)의 형성 영역에서 드레인 전극 DT 및 소스 전극 ST를, n형 박막 트랜지스터 TFT(nP)의 형성 영역에서 드레인 전극 DT" 및 소스 전극 ST"를 형성한다.

[0116] 또한, 기판 SUB1의 표면의 전역에, n형 박막 트랜지스터 TFT(nD), p형 박막 트랜지스터 TFT(pD), 및 n형 박막 트랜지스터 TFT(nP)를 덮고, CVD법을 이용하여, SiN막 등으로 이루어지는 보호막(도시 생략)을 형성한다.

[0117] 그리고, H₂ 혹은 N₂의 분위기 속, 350~450°C의 온도에서 1~3시간의 어닐링을 행한다. 이 어닐링에 의해, p형 박막 트랜지스터 TFT(pD)의 드레인 전극 DT, 및 소스 전극 ST 내의 알루미늄(Al)이 반도체층 SC(도 7의 (f)에서 반도체층 AS' 및 반도체층 PS에 상당함) 내에 확산(배리어 메탈층을 통하여 확산)된다. 그리고, 드레인 전극 DT와 반도체층 SC의 계면, 및 소스 전극 ST와 반도체층 SC의 계면에, 각각, p(+)형의 확산층 DF가 형성되게 된다. 또한, 이 어닐링은, 보호막의 형성 전에 행하여도 된다.

[0118] 전술한 각 실시예는 각각 단독으로, 혹은 조합하여 이용하여도 된다. 각각의 실시예에서의 효과를 단독으로 혹은 상승하여 발휘할 수 있기 때문이다.

도면의 간단한 설명

[0119] 도 1의 (a)는 본 실시 형태에 따른 표시 장치의 기판 상에 형성되는 p형 박막 트랜지스터의 일례를 도시하는 평면도.

[0120] 도 1의 (b)는 도 1의 (a)에서의 B-B선에서의 단면도.

[0121] 도 2는 본 실시 형태에 따른 표시 장치의 기판 상에, p형 박막 트랜지스터와 n형 박막 트랜지스터를 형성한 캠프리멘터리형의 박막 트랜지스터의 구성을 도시하는 단면도.

[0122] 도 3의 (a)는 도 2에서의 n형 박막 트랜지스터 TFT(nD)에서의 VgId 특성을 도시한 도면.

[0123] 도 3의 (b)는 도 2에서의 p형 박막 트랜지스터 TFT(pD)에서의 VgId 특성을 도시한 도면.

[0124] 도 4는 도 2에 도시한 n형 박막 트랜지스터와 p형 박막 트랜지스터의 제조 방법의 일례를 도시한 공정도.

[0125] 도 5는 제2 실시 형태에 따른 표시 장치의 기판 상에 형성되는 p형 박막 트랜지스터와 n형 박막 트랜지스터를 도시하는 구성도.

[0126] 도 6은 도 5에 도시한 n형 박막 트랜지스터와 p형 박막 트랜지스터의 제조 방법의 일례를 도시한 공정도.

[0127] 도 7은 제3 실시 형태에 따른 표시 장치의 제조 방법을 도시하는 공정도.

[0128] 도 8의 (a)는 본 발명에 따른 표시 장치의 일 실시 형태를 도시하는 개략 구성도.

[0129] 도 8의 (b)는 도 8의 (a)에서의 도면 중 점선틀 B의 확대도를 도시하는 도면.

[0130] <도면의 주요 부분에 대한 부호의 설명>

[0131] SUB1 : 기판

[0132] GT : 게이트 전극

[0133] GI : 절연막

[0134] TFT(pD) : p형 박막 트랜지스터

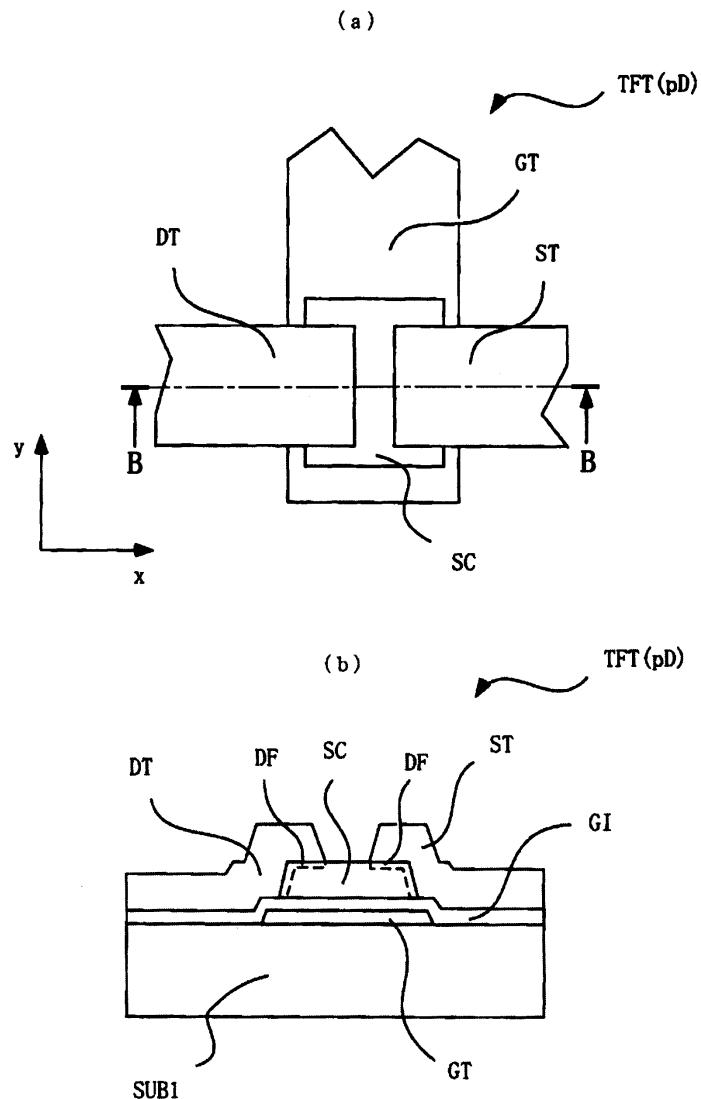
[0135] DT : 드레인 전극

[0136] ST : 소스 전극

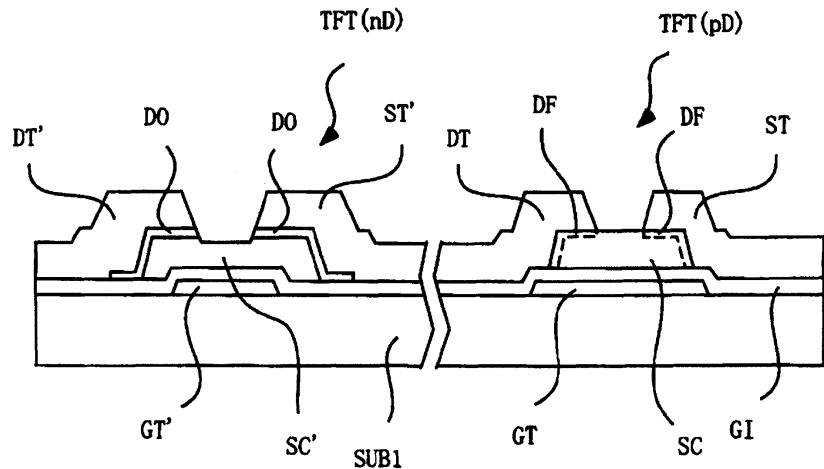
[0137] SC : 반도체층

도면

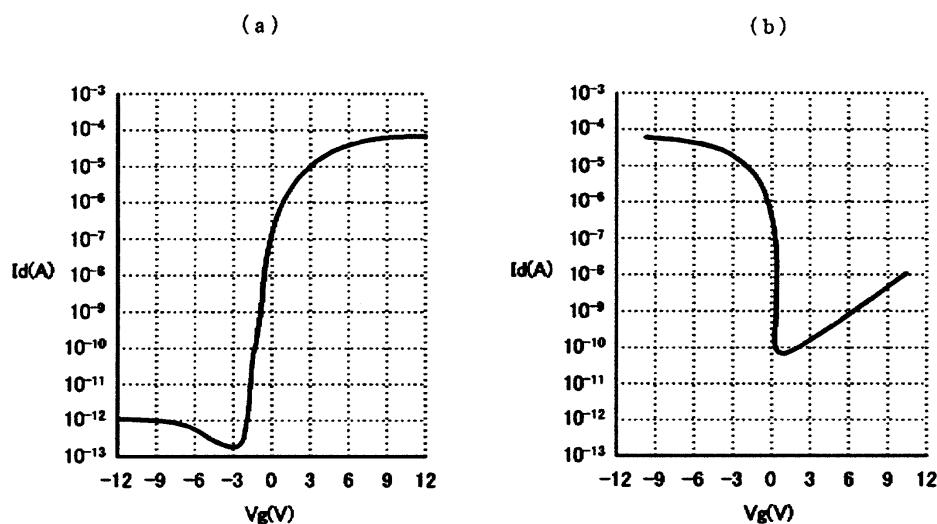
도면1



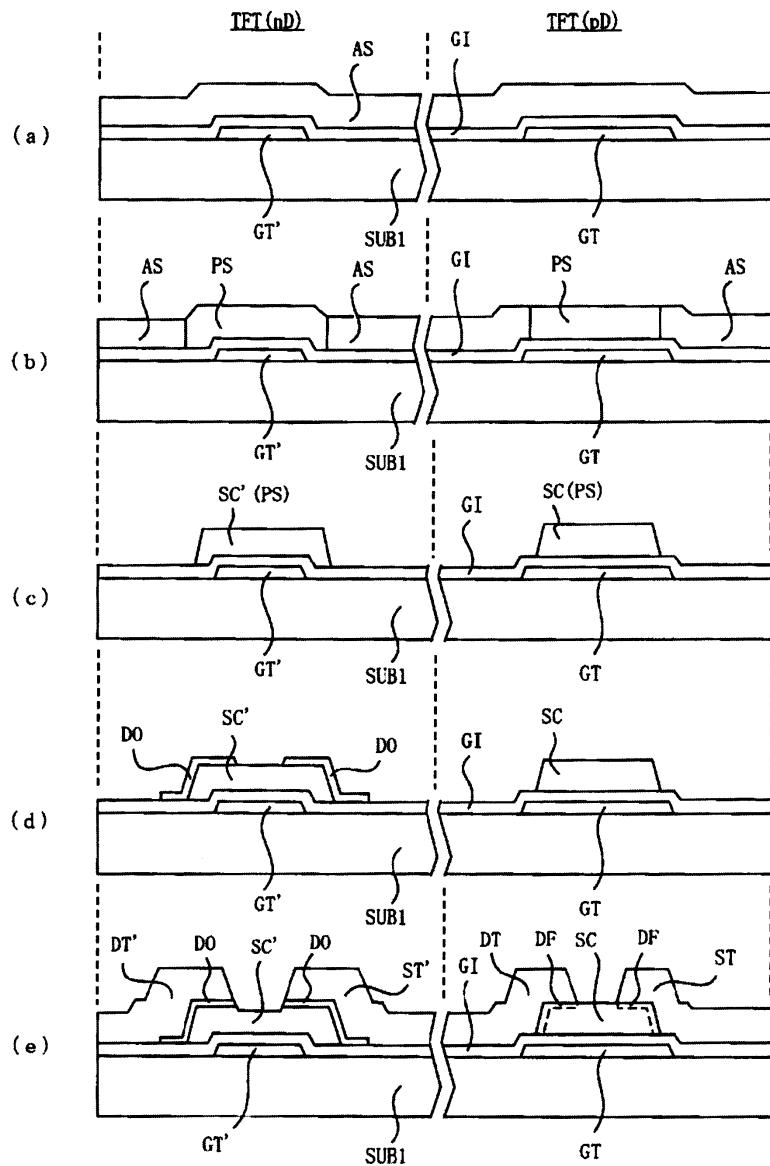
도면2



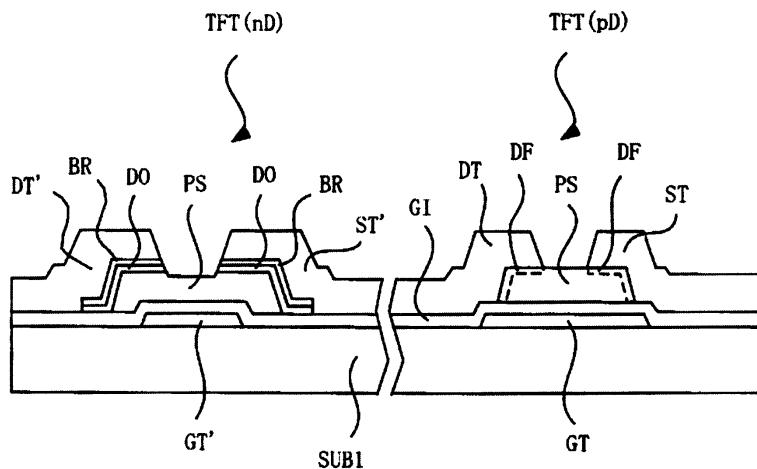
도면3



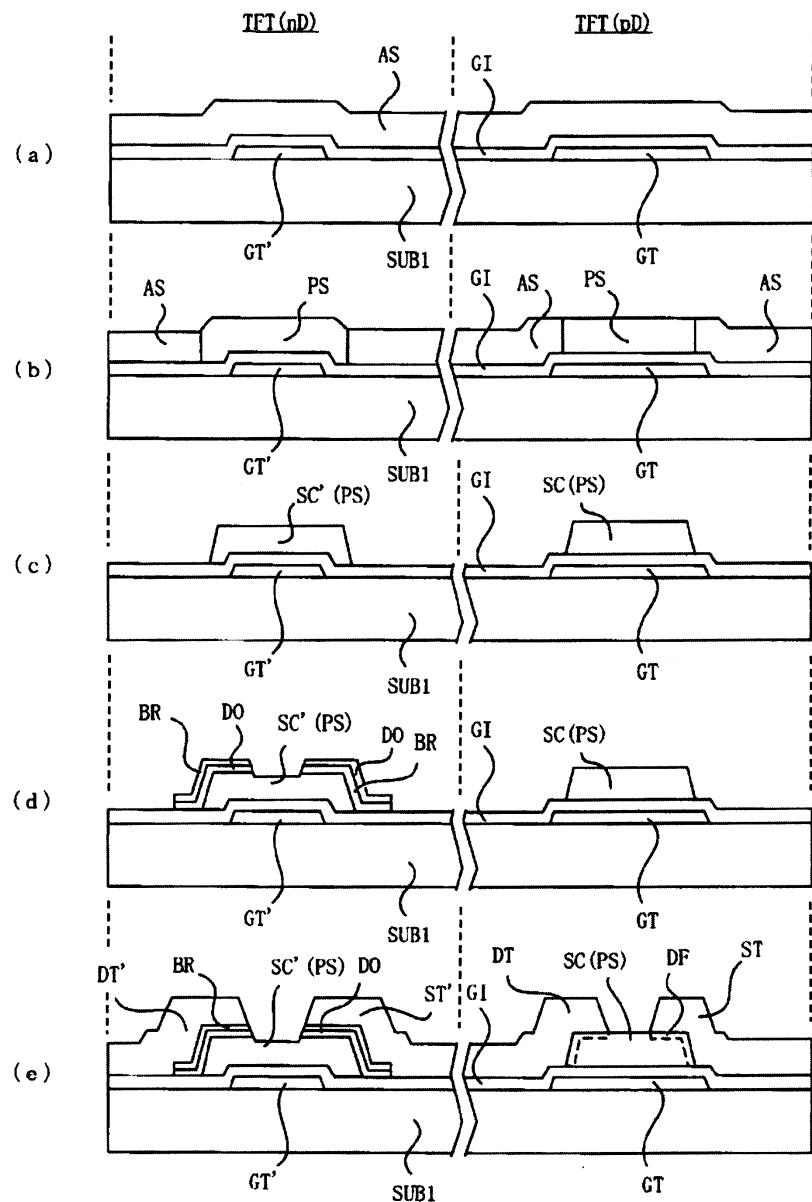
도면4



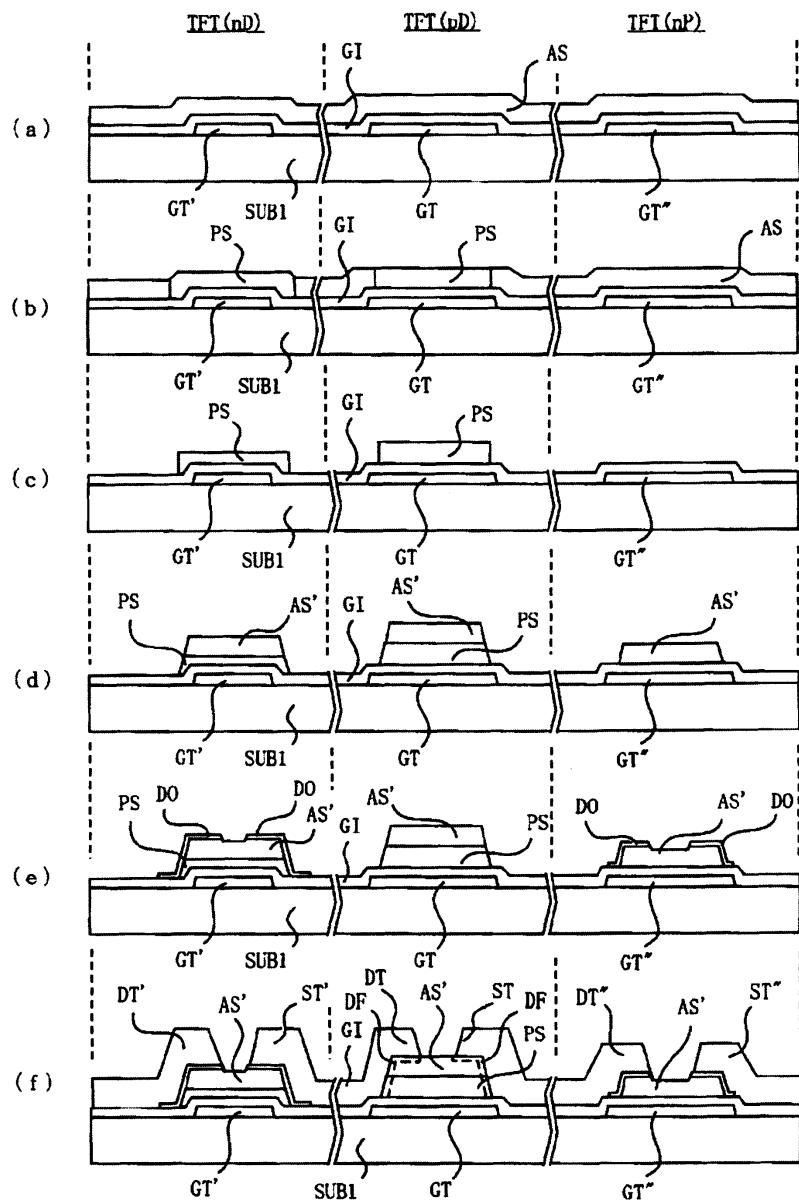
도면5



도면6



도면7



도면8

