

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-89132

(P2015-89132A)

(43) 公開日 平成27年5月7日(2015.5.7)

(51) Int.Cl.

H03M 13/19 (2006.01)
H04L 1/00 (2006.01)

F 1

H03M 13/19
H04L 1/00

テーマコード(参考)

5J065
5KO14

審査請求 未請求 請求項の数 19 O L (全 19 頁)

(21) 出願番号 特願2014-220152 (P2014-220152)
 (22) 出願日 平成26年10月29日 (2014.10.29)
 (31) 優先権主張番号 61/898,415
 (32) 優先日 平成25年10月31日 (2013.10.31)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 14/338,109
 (32) 優先日 平成26年7月22日 (2014.7.22)
 (33) 優先権主張国 米国(US)

(71) 出願人 512187343
 三星ディスプレイ株式会社
 Samsung Display Co., Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 100121382
 (74) 代理人 弁理士 山下 託嗣
 ジャリル カマリ
 (72) 発明者 アメリカ合衆国、カリフォルニア州 95
 112, サン ジョセ、デブコン ドライ
 ブ 217

最終頁に続く

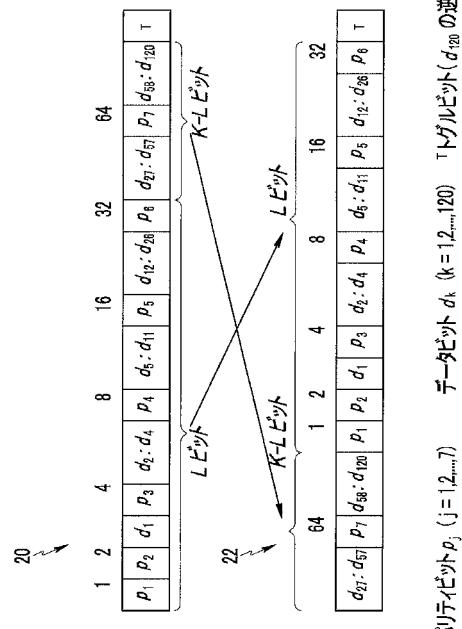
(54) 【発明の名称】最大遷移ハミングコード

(57) 【要約】

【課題】 最大遷移ハミングコードの提供。

【解決手段】 複数のデータを受信するように構成された入力部と、複数の符号化ビットを生成するためにハミングコード符号化演算を用いて前記データを符号化するように構成されたプロセッサと、前記複数の符号化ビットを出力するための出力部と、を備え、前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを標準ハミングコードに対応する符号化ビットと比較して減少させるように構成されることを特徴とするエンコーダ。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第1パリティビットは偶数パリティを用いて計算し、前記パリティビットの第2パリティビットは奇数パリティを用いて計算するステップと、

前記データビットと前記計算されたパリティビットを出力するステップと、
を含むデータ符号化方法。

【請求項 2】

前記第2パリティビットは、前記複数のパリティビットのシーケンスにおける最後のパリティビットであることを特徴とする請求項1に記載のデータ符号化方法。 10

【請求項 3】

前記第1パリティビットは、前記複数のパリティビットのシーケンスにおける最後から2番目のパリティビットであることを特徴とする請求項1に記載のデータ符号化方法。

【請求項 4】

前記ハミングコード符号化演算はHC(127, 120)に対応し、前記第1パリティビットは6番目のパリティビットであり、前記第2パリティビットは7番目のパリティビットであることを特徴とする請求項1に記載のデータ符号化方法。

【請求項 5】

複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算するステップと、 20

前記計算されたパリティビットを前記複数のデータビットとインターリービングして複数の符号化データビットを生成するステップと、

前記複数のデータビットのデータシーケンスの連続した同一値の最大の長さを減少させるために前記複数の符号化データビットを再配置するステップと、

を含むことを特徴とするデータ符号化方法。

【請求項 6】

前記複数の符号化データビットを再配置するステップは、前記符号化データビットの先頭の部分にある多数の前記複数の符号化データビットを前記符号化データビットの最後のビット以降に移動させるステップを含むことを特徴とする請求項5に記載のデータ符号化方法。 30

【請求項 7】

前記ハミングコード符号化演算はHC(127, 120)に対応し、多数の前記先頭の部分の複数の符号化データビットは32ビットを含むことを特徴とする請求項6に記載のデータ符号化方法。

【請求項 8】

前記ハミングコード符号化演算は、奇数パリティを用いることを特徴とする請求項5に記載のデータ符号化方法。

【請求項 9】

複数のデータビットを受信するように構成された入力部と、 40
複数の符号化ビットを生成するためにハミングコード符号化演算を用いて前記データを符号化するように構成されたプロセッサと、

前記複数の符号化ビットを出力するための出力部と、
を備え、

前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを標準ハミングコードに対応する符号化ビットと比較して減少させるように構成されることを特徴とするエンコーダ。

【請求項 10】

前記プロセッサは、前記複数のデータビットに対するハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第1パリティビット

10

20

30

40

50

は偶数パリティを用いて計算し、前記パリティビットの第2パリティビットは奇数パリティを用いて計算し、前記複数の符号化ビットは前記データビットと前記計算されたパリティビットを含むように構成されることを特徴とする請求項9に記載のエンコーダ。

【請求項11】

前記プロセッサは、前記複数の符号化ビットの連續した同一値の最大の長さを減少させるために前記複数の符号化ビットを再配置するように構成されることを特徴とする請求項9に記載のエンコーダ。

【請求項12】

先頭の部分にある多数の前記複数の符号化データビットを前記符号化ビットの最後のビット以降に移動させることにより前記複数の符号化ビットを再配置することを特徴とする請求項11に記載のエンコーダ。

10

【請求項13】

前記ハミングコード符号化演算はHC(127, 120)に対応し、先頭の部分にある多数の前記複数の符号化ビットは32ビットを含むことを特徴とする請求項12に記載のエンコーダ。

20

【請求項14】

複数のデータビットと複数のパリティビットから構成された複数の符号化ビットを受信するように構成された入力部と、

複数のハミングコード符号化ビットを生成するために受信された符号化ビットを修正し、複数の復号化ビットを生成するためにハミングコード復号化演算を用いて前記ハミングコード符号化ビットを復号化するように構成されたプロセッサと、

30

前記複数の復号化ビットを出力するように構成された出力部と、

を備え、

前記受信された複数の符号化ビットは、標準ハミングコードに対応する符号化ビットと比較して減少された長さの連續した同一値を有することを特徴とするデコーダ。

【請求項15】

前記プロセッサは、先頭の部分にある多数の符号化データビットを前記符号化ビットの最後のビット以降に移動させて前記複数の受信された符号化ビットを再配置することにより前記受信された符号化ビットを修正するように構成されることを特徴とする請求項14に記載のデコーダ。

40

【請求項16】

前記プロセッサは、前記パリティビットのパリティビット値をトグルさせることにより前記受信された符号化ビットを修正するように構成されることを特徴とする請求項14に記載のデコーダ。

【請求項17】

データソースと、

直列リンクと、

前記データソースと前記直列リンクとの間に連結され、前記データソースから複数のビットを受信するように構成された入力部と、

複数の符号化ビットを生成するためにハミングコード符号化演算を用いてビットを符号化するように構成されたプロセッサと、

前記複数の符号化ビットを前記直列リンクに出力するように構成された出力部と、
を有するエンコーダを備え、

前記プロセッサは、前記複数の符号化ビットの連續した同一値の最大の長さを標準ハミングコードに対応する符号化ビットと比較して減少させるように構成されることを特徴とする通信システム。

【請求項18】

前記プロセッサは、前記複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第1パリティビットは偶数パリティを用いて計算し、前記パリティビットの第2パリティビットは奇数パリテ

50

イを用いて計算し、前記複数の符号化ビットは前記データビットと前記計算されたパリティビットを含むように構成されることを特徴とする請求項17に記載の通信システム。

【請求項19】

前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを減少させるために先頭の部分にある多数の前記複数の符号化ビットを前記符号化ビットの最後のビット以降に移動させることにより前記複数の符号化ビットを再配置するように構成されることを特徴とする請求項17に記載の通信システム。

10

【発明の詳細な説明】

【背景技術】

【0001】

データ通信において、送信機と受信機との間の伝送は、ハミングコード (Hamming codes: HC) により認証されて訂正される。一般に言えば、ハミングコードは複数のパリティ (parity) ビットを含むことにより複数のデータビットに対するエラーの探知と訂正を提供し、このとき、前記パリティビットはデータビットの間に混ざり込む。

【0002】

また、直列データリンクなどの電子的データ通信においては、送信機と受信機との間の通信をクロック (clock) 修復またはクロックデータ修復 (clock-data recovery: CDR) 過程を用いて同期化する。例えば、受信機は位相ロックループ (phase-locked loop: PLL) を用いて適切な周波数参照 (frequency reference) からクロックを生成することができ、次いで、CDRを用いて、生成された信号をデータ列における遷移に対して位相整列 (phase-alignment) することができる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、遷移の個数が、受信機がデータを探知するには不十分であるため、データにおいて連続した同一値の長さ（例えば、連続した1または0の列）が特定の長さを超える場合、クロック信号の修復が失敗することがある。そこで、本発明は、同一値の長さを抑制することができる技術を提供することを目的とする。

【課題を解決するための手段】

【0004】

本発明の一実施形態に係るデータ符号化方法は、複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第1パリティビットは偶数パリティを用いて計算し、前記パリティビットの第2パリティビットは奇数パリティを用いて計算するステップと、前記データビットと前記計算されたパリティビットを出力するステップと、を含む。

【0005】

前記第2パリティビットは、前記複数のパリティビットのシーケンスにおける最後のパリティビットであってもよい。

【0006】

前記第1パリティビットは、前記複数のパリティビットのシーケンスにおける最後から2番目のパリティビットであってもよい。

【0007】

前記ハミングコード符号化演算はHC(127, 120)に対応してもよく、前記第1パリティビットは6番目のパリティビットであり、前記第2パリティビットは7番目のパリティビットであってもよい。

20

30

40

50

【0008】

本発明の一実施形態に係る方法は、複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算するステップと、前記計算されたパリティビットを前記複数のデータビットとインターリービング (interleaving: 交互配置) して複数の符号化データビットを生成するステップと、前記複数のデータビットのデータシーケンスの連続した同一値の最大の長さを減少させるために前記複数の符号化データビットを再配置するステップと、を含む。

【0009】

前記複数の符号化データビットを再配置するステップは、前記符号化データビットの先頭の部分にある多数の前記複数の符号化データビットを前記符号化データビットの最後のビット以降に移動させるステップを含んでいてもよい。

10

【0010】

前記ハミングコード符号化演算は HC (127, 120) に対応し、多数の前記先頭の部分の複数の符号化データビットは 32 ビットを含んでいてもよい。

【0011】

前記ハミングコード符号化演算は、奇数パリティを用いてもよい。

【0012】

本発明の一実施形態に係るエンコーダは、複数のデータビットを受信するように構成された入力部と、複数の符号化ビットを生成するためにハミングコード符号化演算を用いて前記データを符号化するように構成されたプロセッサと、前記複数の符号化ビットを出力するための出力部と、を備え、前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを標準ハミングコードに対応する符号化ビットと比較して減少させるように構成される。

20

【0013】

前記プロセッサは、前記複数のデータビットに対するハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第 1 パリティビットは偶数パリティを用いて計算し、前記パリティビットの第 2 パリティビットは奇数パリティを用いて計算し、前記複数の符号化ビットは前記データビットと前記計算されたパリティビットを含むように構成されてもよい。

30

【0014】

前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを減少させるために前記複数の符号化ビットを再配置するように構成されてもよい。

【0015】

前記複数の符号化ビットは、先頭の部分にある多数の前記複数の符号化データビットを前記符号化ビットの最後のビット以降に移動させることにより再配置されてもよい。

【0016】

前記ハミングコード符号化演算は HC (127, 120) に対応し、先頭の部分にある多数の前記複数の符号化ビットは 32 ビットを含んでいてもよい。

【0017】

本発明の一実施形態に係るデコーダは、複数のデータビットと複数のパリティビットから構成された複数の符号化ビットを受信するように構成された入力部と、複数のハミングコード符号化ビットを生成するために受信された符号化ビットを修正し、複数の復号化ビットを生成するためにハミングコード復号化演算を用いて前記ハミングコード符号化ビットを復号化するように構成されたプロセッサと、前記複数の復号化ビットを出力するように構成された出力部と、を備え、このとき、前記受信された複数の符号化ビットは、標準ハミングコードに対応する符号化ビットと比較して減少された長さの連続した同一値を有する。

40

【0018】

前記プロセッサは、先頭の部分にある多数の符号化データビットを前記符号化ビットの最後のビット以降に移動させて前記複数の受信された符号化ビットを再配置することによ

50

り前記受信された符号化ビットを修正するように構成されてもよい。

【0019】

前記プロセッサは、前記パリティビットのパリティビット値をトグルさせることにより前記受信された符号化ビットを修正するように構成されてもよい。

【0020】

本発明の一実施形態に係る通信システムは、データソースと、直列リンクと、前記データソースと前記直列リンクとの間に連結され、前記データソースから複数のビットを受信するように構成された入力部と、複数の符号化ビットを生成するためにハミングコード符号化演算を用いてビットを符号化するように構成されたプロセッサと、前記複数の符号化ビットを前記直列リンクに出力するように構成された出力部と、を有する。ここで、前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを標準ハミングコードに対応する符号化ビットと比較して減少させるように構成される。

10

【0021】

前記プロセッサは、前記複数のデータビットに対してハミングコード符号化演算を用いて複数のパリティビットを計算し、このとき、前記パリティビットの第1パリティビットは偶数パリティを用いて計算し、前記パリティビットの第2パリティビットは奇数パリティを用いて計算し、前記複数の符号化ビットは前記データビットと前記計算されたパリティビットを含むように構成されてもよい。

【0022】

前記プロセッサは、前記複数の符号化ビットの連続した同一値の最大の長さを減少させるために、先頭の部分にある多数の前記複数の符号化ビットを前記符号化ビットの最後のビット以降に移動させることにより前記複数の符号化ビットを再配置するように構成されてもよい。

20

【図面の簡単な説明】

【0023】

本明細書と一緒に添付された図面は本発明の実施形態を示し、発明の詳細な説明と共に本発明の原理を説明する役割を果たす。

【図1】入力データを受信し、ハミングコード符号化されたデータを生成するように構成された構成要素を示す概略的プロック図である。

30

【図2】7個のパリティビット（または、H C (1 2 7 , 1 2 0) ）による120個のデータビットのハミングコード符号化を概略的に示す。

【図3】本発明の一実施形態に係る修正されたハミングコードを用いて符号化したデータを概略的に示す。

【図4】本発明の一実施形態に係る、修正されたハミングコードを用いてデータを符号化するように構成されたシステムを示すプロック図である。

40

【図5】本発明の一実施形態に係るデータ符号化方法のフローチャートである。

【図6】本発明の一実施形態に係る、修正されたハミングコードを用いてデータを復号化するように構成されたシステムを示すプロック図である。

【図7】本発明の一実施形態に係るデータ復号化方法のフローチャートである。

【図8A】本発明の追加的な実施形態に係る、修正されたハミングコードを用いて符号化したデータを概略的に示す。

50

【図8B】本発明の追加的な実施形態に係る、修正されたハミングコードを用いて符号化したデータを概略的に示す。

【図9】本発明の追加的な実施形態に係る、修正されたハミングコードを用いてデータを符号化するように構成されたシステムを示すプロック図である。

【図10】本発明の他の実施形態に係るデータ符号化方法のフローチャートである。

【図11】本発明の一実施形態に係る、修正されたハミングコード符号化ビットを出力するように構成された送信機を示す概略的なプロック図である。

【図12】本発明の一実施形態により入力データから修正されたハミングコード符号化ビットを計算する方法を示すフローチャートである。

50

【図13】本発明の一実施形態に係る修正されたハミングコード符号化ビットを受信するように構成された受信機を示す概略的ブロック図である。

【図14】本発明の一実施形態に係る修正されたハミングコードにおいてビットを符号化する方法を示すフローチャートである。

【発明を実施するための形態】

【0024】

関連出願に対する相互参照

本特許出願は2013年10月31日付けて出願され、タイトルが「最大遷移ハミングコード（M a x i m a l T r a n s i t i o n H a m m i n g C o d e s）」である米国仮出願第61/898,415号に対する優先権を主張し、これに伴う利益を受けることを希望し、前記出願の全体的な内容は本明細書に参照として取り込まれている。

10

【0025】

以下の詳細な説明においては、本発明の実施形態の特定の例のみを説明し、これを例示を通じて記述する。当該分野の通常の技術者であれば理解できるように、本発明は種々の他の形態に実現可能であり、本明細書に開示されている実施形態に制限されるものと考えられてはならない。同じ図面符号は、明細書全体に亘って同じ要素を示す。

【0026】

本発明の実施形態の側面は、通信システムにおいてデジタルデータの連続した同一値の長さを減少させて最小化させることのできるシステムおよび方法に関するものである。

20

【0027】

デジタル通信において、送信機と受信機はクロック（c l o c k）修復またはクロックデータ修復（c l o c k - d a t a r e c o v e r y: C D R）過程を用いて同期化することができる。C D R過程を使用する受信機は、一般に、電圧レベル間の遷移時間を探知することにより作動し、受信機のクロックを、探知された遷移に基づいて位相整列（p h a s e - a l i g n）する。

【0028】

しかしながら、受信された信号が過度に長い長さの連続した同一値を含む場合（例えば、同じ電圧レベルを有する長いデータシンボルのシーケンス）、このようなC D R過程は、受信された信号内の遷移の個数が不十分であるため失敗することがあり、これは、クロックの修復において問題を引き起こすことがある。

30

【0029】

また、通常のデータ通信においては、送信機と受信機との間の伝送上のエラーを、ビット列を符号化することにより探知して訂正することができる。このようなコーディング技術の一つはハミングコード（H a m m i n g C o d e: H C）と呼ばれ、通信ストリーム内に複数のパリティビットを含むことにより（または、インタリーブを通じて）、複数のデータビットに対する1ビットのエラー探知および訂正を提供する。標準的なハミングコードシステムにおいては、これらのパリティビットがデータビット内において混じり合う。

【0030】

図1は、ハミングコード符号化されたデータを計算するように構成された装置10を示す概略的なブロック図である。前記装置10は、データソースに接続された入力を通じてデータビットを受信するように構成されたパリティ生成器12およびマルチプレクサ14を備える。前記パリティ生成器12は、データビットに対するハミングコード符号化演算を用いてパリティビットを計算し、前記マルチプレクサ14は、生成されたパリティビットを、受信されたデータビットと結合してハミングコード符号化データを生成する。前記パリティ生成器12は、偶数パリティ生成器または奇数パリティ生成器であってもよい。前記マルチプレクサ14は、例えば、前記ハミングコード符号化データを出力装置（例えば、直列リンクに接続された直列通信装置）に出力する前に、前記生成されたパリティビットとデータビットを保存するように構成されたバッファであってもよい。

40

【0031】

50

パリティビットの個数 (M) は、ビット列内のデータビットの個数 (N) に応じて異なる。特に、N 個のデータビットに対してパリティビットの個数 (M) は、下記を満たす：

【0 0 3 2】

【数 1】

$$2^{M-1} - M + 1 \leq N \leq 2^M - M - 1, \quad \text{for } M = 2, 3, \dots \quad (1)$$

【0 0 3 3】

図 2 は、7 個のパリティビット (HC (127, 120) で表わされる) を用いた 120 個のデータビットの符号化を示す。図 2 に示すように、7 個のパリティビット p_j (ここで、 $j = 1, 2, \dots, 7$) は、120 個のデータビット d_k (ここで、 $k = 1, 2, \dots, 120$) の間に混ざり合う。特に、標準的ハミングコードにおいて、パリティビットは 2 の累乗の位置にある。例えば、図 2 に示すように、標準 (127, 120) ハミングコード 20 においてパリティビットは 1, 2, 4, 8, 16, 32 および 64 の位置にある。トグル (t o g g l e) ビット、T (または、 b_T) もまた最尾に含まれ、このとき、トグルビットは最後のビットの逆となる。例えば、HC (127, 120) において、 $d_{120} = 0$ である場合、 $T = 1$ であり、 $d_{120} = 1$ である場合、 $b_T = 0$ である。

【0 0 3 4】

ハミングコード符号化動作において、それぞれのパリティビットはデータビットの特定の集合に対する XOR 演算に基づいて計算される。例えば、 p_1 は、次のようにビット列内のそれぞれの全てのビットに対する XOR 演算から計算される。

【0 0 3 5】

【数 2】

$$p_1 \oplus d_1 \oplus d_2 \oplus d_4 \oplus d_5 \oplus d_7 \dots = f$$

ここで、 \oplus は XOR 演算であり、 f は偶数パリティに対して 0、奇数パリティに対しては 1 である。

【0 0 3 6】

p_2 を求めるために、2 つのビットを維持し、2 つのビットを除去することにより類似の XOR 演算が行われる。

【0 0 3 7】

【数 3】

$$p_2 \oplus d_1 \oplus d_3 \oplus d_4 \oplus d_6 \oplus d_7 \dots = f$$

【0 0 3 8】

他のパリティビットも類似の方式により求められる。

【0 0 3 9】

一部の場合には、ハミングコードに符号化されたデータの伝送の結果、非常に長い連続した同一値が現れる。例えば、偶数パリティを使用する HC (127, 120) において、 $k = 1, 2, \dots, 120$ に対して $d_k = 0$ である場合、 $j = 1, 2, \dots, 7$ に対して $p_j = 0$ となる。したがって、偶数パリティを使用するこのシーケンスは、127 個の 0 の値が連続して現れる (このとき、トグルビット b_T は、中間介入値 1 を提供する)。また、前フレームのトグルビットが 0 である場合、連続した同一値の長さは 128 になる筈である。奇数パリティを使用する HC (127, 120) の他の例において、 $k = 1, 2, \dots, 119$ に対して $d_k = 0$ であり、 $d_{120} = 1$ であり、このとき、 $j = 1, 2, \dots, 7$ に対して $p_j = 0$ である。このため、奇数パリティを使用するこのシ

10

20

30

40

50

ーケンスは、126個の0の値が連続して現れる（このとき、データビット d_{120} は、中間介入値1を提供する）。なお、前フレームのトグルビットが0である場合、連続した同一値の長さは127になる筈である。

【0040】

本発明の実施形態は、送信機の出力における遷移の個数が増加したり最大化されたりする（例えば、データシンボルの連続した同一値の最大の長さが減少する）修正されたハミングコード（HC）に基づく修正されたエラー訂正システムを使用するシステムおよび方法に関するものである。

【0041】

図3は、本発明の一実施形態に係るHC（127, 120）符号化ビットの修正された出力符号化ビット22の生成を概略的に示す。図3を参照すると、連続した同一値の長さは、元の符号化ビットを再配置することにより減少される。例えば、元の符号化ビット20の最初のLビットは、修正された符号化ビット22が、元の符号化ビット20の最後のK-L（K=M+Nは、フレーム内のビットの総数）ビットから始まるようにシーケンスの最後に移動される。K=127、L=32のハミングコードHC（127, 120）について説明する一般に、Lは、 p_{M-1} の以前の位置（ p_{M-1} の位置を含む）にあるビットの個数である。（HC（127, 120）においてM=7であるため、 $p_{M-1}=p_6$ であり、このときの位置は32であり、このため、L=32である）。

【0042】

例えば、奇数パリティを使用する場合、前記パリティビットは、HC（127, 120）において符号化ビット20を生成する通常の方法を用いて計算することができる。出力の最初の32ビットは、修正された出力符号化ビット22を生成するために最後に移動される（例えば、 $b_1, b_2, \dots, b_{32}, b_{33}, \dots, b_{127} \Rightarrow b_{33}, \dots, b_{127}, b_1, b_2, \dots, b_{32}$ ）。（一部の実施形態において、前記トグルビットは最後の位置にある。）このような技術を用いて、k=1, 2, ..., 120に対して $d_k=0$ である場合、最大95ビットの連続した同一値の長さが達成され（例えば、 $b_{33} \sim b_{127}$ が95個の0であるが、 b_T は b_{127} の逆、すなわち、 $b_T=1$ である）、これは、126ビットである標準HC（127, 120）の最大の連続した同一値の長さから減少したものである。

【0043】

図4は、本発明の一実施形態により送信されるデータの連続した同一値の長さを減らすように構成された符号化システムまたは送信システム（または、送信機）100を示す概略的なブロック図である。前記符号化システム100は、入力からデータビットを受信し、受信されたデータビットに対してハミングコード符号化動作を行い、ハミングコード符号化出力を生成するように構成されたハミングコード10（例えば、当該技術分野における周知の適切なハミングコード）と、前記ハミングコードからの最初のLビットの出力を保存するように（例えば、HC（127, 120）を使用する場合、L=32）構成されたバッファ102と、前記バッファ102へのハミングコード10の最初のLビットの出力を選択的に保存し、最初のLビット後の残りのビットを出力し（例えば、HC（127, 120）を使用する場合、次の96ビット）、残っているビットを出力した後に保存されたLビットを出力するように構成された選別器104と、を備える。例えば、前記選別器104は、前記バッファ102内の出力ビット（例えば、HC（127, 120）における最初の32ビット）をいつ保存するか、ハミングコード10から受信したビット（例えば、HC（127, 120）における次の95ビット）をいつ直接的に出力するか、且つ、保存されたビットをいつ出力するか（例えば、HC（127, 120）内の95ビットを出力した後）を決定するためにハミングコード10から受信されるビットの個数を計数するための（または、クロックサイクルの個数を計数するための）カウンタを備えていてもよい。図4のブロック図における様々な構成要素は、例えば、プロセッサ、特定用途向け集積回路（ASIC）半導体、フィールドプログラマブルゲートアレイ（FPGA）およびこれらの組み合わせ（例えば、ブロック図の他の部分に他の構成要素を用いて）を

10

20

30

40

50

用いて実現することができる。

【0044】

図5は、本発明の一実施形態により符号化ビット20から修正された符号化ビット22を生成する方法200を示すフローチャートであり、このとき、前記修正された符号化ビット22は、減少された長さの連続した同一値を有する。動作202において、長さKを有するハミングコード符号化ビット20は、受信されたデータビットに対してハミングコード符号化動作を行ったハミングコーダ10から受信される。符号化ビット20の最初のLビットは、後続する動作204においてバッファ102にバッファリングされる。後続する動作206において、符号化ビット20の次のK-Lビットは、修正された符号化ビット22の最初の部分として出力され、動作208において、L個のバッファリングされたビットは、修正された符号化ビット22の第2の部分として出力される。前記ビットは直接的に出力されてもよく、送信機100から出力される前に第2バッファに出力されてもよい。

10

【0045】

図6は、本発明の一実施形態に係る受信システム（または、受信機）150を示すブロック図である。前記受信機150は、いかなるビットをバッファ152に保存するかを識別し、ハミングデコーダ40にビットを出力するよう構成された選別器154を備える。このとき、前記ハミングデコーダ40は、復号化されたデータを出力する。

20

【0046】

図7は、本発明の一実施形態により元の符号化ビット20を復元するために、修正された符号化ビット22を受信して復号化する方法250を示すフローチャートである。動作252において、長さKの修正された符号化ビットが受信される。受信された修正された符号化ビットの最初のK-Lビットはバッファ152にバッファリングされる。この後、受信された修正された符号化ビットの次のLビットは動作256において出力され、次いで、バッファリングされたK-Lビットが動作258において出力される。出力ビットは、ハミング復号化演算を行うためにハミングデコーダ40に供給される前にバッファリングされてもよい。

20

【0047】

本発明の他の実施形態によれば、連続した同一値の最大の長さは、最後の二つのパリティビットに対して異なるパリティ類型（例えば、奇数対偶数）を用いて減少されたり最小化されたりする。換言すると、M個のパリティビットのシーケンスを使用するハミングコードにおいて、パリティビットシーケンスの最後（または、最終）のパリティビット p_M は第1パリティを用いて計算し、パリティビットシーケンスの最後から2番目（または、最終から2番目）のパリティビット p_{M-1} は、第1パリティとは異なる第2パリティを用いて計算する。図8Aは、最終パリティビット p_M （この場合には、 p_7 ）は奇数パリティを用いて計算し（例えば、 $p_7 = d_{5,8} \oplus d_{1,2,0}$ までのビットのXOR演算結果に1を加算する、より簡潔には、

30

【0048】

【数4】

$$p_7 \text{ XOR } (d_{5,8} : d_{1,2,0}) \oplus 1$$

40

【0049】

）、最後から2番目のパリティビット p_{M-1} （この場合には、 p_6 ）は、偶数パリティを用いて計算する（例えば、 $p_6 = d_{2,7} \oplus d_{5,7} \oplus d_{8,9} \oplus d_{1,2,0}$ までのビットのXOR演算結果、より簡潔に、 $p_6 = \text{XOR}(d_{2,7} : d_{5,7}, d_{8,9} : d_{1,2,0})$ ））本発明の一実施形態に係るHC（127, 120）符号化ビットの修正された出力符号化ビット24を例示する構成図である。修正された符号化ビットのパリティビットを偶数および奇数パリティを併用して計算することにより、94ビットの連続した同一値の最大の長さが達成される。

50

【0050】

図8(B)は、パリティビットのシーケンスの最終パリティビット p_M (この場合には p_7)は偶数パリティを用いて計算し(例えば、 $p_7 = \text{XOR}(d_{58}:d_{120})$)、パリティビットの最後から2番目のパリティビット p_{M-1} (この場合には、 p_6)は奇数パリティを用いて計算する(例えば、

【0051】

【数5】

$$p_6 = \text{XOR}(d_{27}:d_{57}, d_{89}:d_{120}) \oplus 1$$

10

【0052】

)本発明の他の実施形態に係るHC(127, 120)符号化ビットの修正された出力符号化ビット24を例示する構成図である。偶数および奇数パリティを併用して修正された符号化ビットのパリティビットシーケンスを計算することにより、94ビットの連続した同一値の最大の長さが達成される。

【0053】

本発明の実施形態によれば、パリティビットシーケンスの他のパリティビット $p_1 \sim p_{M-2}$ (例えば、 $p_1 \sim p_5$)は、偶数または奇数のパリティを有する。パリティビット $p_1 \sim p_{M-2}$ の他のパリティビットは、異なる(偶数または奇数)パリティを用いて計算することができる。

20

【0054】

図9は、本発明の一実施形態により修正されたハミングコード符号化ビット24または26を出力するように構成された送信機300を示す概略的なブロック図である。前記システム300は、修正されたハミングコードを計算するように構成された修正されたハミングコーダ310を備え、前記修正されたハミングコーダ310は、パリティ選別器16と、第1パリティ生成器12aと、第2パリティ生成器12bおよびマルチブレクサ14を備える。一実施形態において、前記第1パリティ生成器および第2パリティ生成器は、それぞれ偶数パリティと奇数パリティを計算するように(または、ハミングコード符号化演算を行うように)構成される。前記パリティ選別器16は、特定のパリティビットを計算するために必要なデータビットにより入力データのデータビットを識別してこれを前記第1パリティ生成器および第2パリティ生成器に供給する。

30

【0055】

例えば、パリティビット p_7 は奇数パリティを用いて計算し、パリティビット p_6 は偶数パリティを用いて計算する実施形態において、前記パリティ選別器16は、パリティビット p_7 を計算するためにデータビット $d_{58}:d_{120}$ を第2パリティ生成器12b(奇数パリティを計算するように構成される)に供給し、パリティビット p_6 を計算するためにデータビット $d_{27}:d_{57}$ と $d_{89}:d_{120}$ を第1パリティ生成器12aに供給する。

【0056】

図10は、入力データから修正されたハミングコード符号化ビットを計算するための方法を示すフローチャートである。動作402において、(例えば、直列リンクを介して送信されるデータを出力する装置または構成要素から)データ20が受信される。動作404において、パリティビットを計算するためにビットの群が識別される。例えば、HC(127, 120)において、ビット $d_{58}:d_{120}$ はパリティビット p_7 に関連しているものとして識別され、データビット $d_{27}:d_{57}$ および $d_{89}:d_{120}$ はパリティビット p_6 を計算するために用いられたものとして識別される。動作406において、特定のパリティビットのパリティは偶数または奇数であると識別される。例えば、一実施形態において、 p_6 は偶数パリティを用いて計算し、 p_7 は奇数パリティを用いて計算する。特定のパリティビットに対して用いられる識別されたパリティに基づいて、前記パリティビットに対応するデータビットは動作408において偶数パリティを用い、または、動作

40

50

410において奇数パリティを用いて計算する。例えば、パリティビット p_6 を偶数パリティを用いて計算する場合、データビット $d_{2,7}:d_{5,7}$ および $d_{8,9}:d_{1,2,0}$ が動作408においてパリティビット p_6 を計算するために用いられる。動作412において、計算されたパリティビットは、出力される修正されたハミングコード符号化ビット24または26内においてデータビット20と結合（または、インタリープ）される（例えば、パリティビット p_a は、 2^{a-1} の位置にある）。

【0057】

図11は、本発明の一実施形態に係る修正されたハミングコード符号化ビット24または26を出力するように構成された送信機330を示す概略的なブロック図である。前記システム330は、標準的なハミングコード符号化演算を行うように構成された標準ハミングコーダ10を備え（例えば、入力データビットの集合dが与えられたとき、M個のパリティビットの集合pを計算する）、この演算において、最後の二つのパリティビット p_{M-1} および p_M は同じパリティを用いて計算する（例えば、二つのパリティビットを両方とも偶数パリティを用いて計算したり、奇数パリティを用いて計算する）。前記システム330は、パリティビット修正器332（または、送信パリティビット修正器）をさらに備え、前記修正器は、 p_{M-1} および1のXORを計算することにより（例えば、最後から2番目のパリティビットを

10

【0058】

【数6】

20

$$p_{M-1} \oplus 1$$

【0059】

に設定する）、最後から2番目のパリティビット p_{M-1} を修正するように（例えば、偶数から奇数に、または、奇数から偶数に）構成される。次いで、修正されたビット列は、修正されたハミングコード符号化ビット24または26として出力される。

【0060】

本発明の他の実施形態によれば、前記パリティビット修正器332は、 p_M および1のXORを計算することにより（例えば、最終パリティビットを

30

【0061】

【数7】

$$p_M \oplus 1$$

【0062】

に設定する）、最終パリティビット p_M を修正するように構成される。

【0063】

図12は、本発明の一実施形態により入力データから符号化された修正されたハミングコード符号化ビットを計算する方法430を示すフローチャートである。動作432において、M個のパリティビットpおよびN個のデータビットdを含む長さKのハミングコード符号化ビット列が受信される。動作434において、最後から2番目のパリティビット p_{M-1} が識別され、動作436において、最後から2番目のパリティビット p_{M-1} が逆転されるか、あるいは、

40

【0064】

【数8】

$$p_{M-1} \oplus 1$$

【0065】

に置き換えられる（換言すると、その値がトグルされるか、あるいは、0から1にまた

50

は 1 から 0 に逆転される）。次いで、逆転された最後から 2 番目のパリティビットを有する修正されたハミングコード符号化ビットは、修正された符号化ビット 24 または 26 として出力される。

【0066】

本発明の他の実施形態において、前記最終パリティビット p_M が動作 434 において識別され、動作 436 において、前記最終パリティビット p_M が逆転されるか、あるいは、

【0067】

【数 9】

$$p_M \oplus 1$$

10

【0068】

に置き換えられる。

【0069】

図 13 は、本発明の一実施形態に係る受信機を示すブロック図である。図 13 を参照すると、前記受信機システム 350 は、 p_{M-1} および 1 の XOR を計算することにより（例えば、最後から 2 番目のパリティビットを

【0070】

【数 10】

$$p_{M-1} \oplus 1$$

20

【0071】

に設定する）、最後から 2 番目のパリティビット p_{M-1} を修正するように（例えば、偶数から奇数に、または、奇数から偶数に）構成された受信パリティビット修正器 352 を備える。次いで、前記受信パリティビット修正器 352 は、ビット列を複号化して、復号化されたデータを生成する標準ハミングデコーダ 40 にビット列を供給する。一部の実施形態において、最後から 2 番目のパリティビット p_{M-1} の代わりに最終パリティ p_M が逆転される。

【0072】

図 14 は、本発明の一実施形態により修正されたハミングコード内のビットを復号化する方法 450 を示すフローチャートである。動作 452 において、長さ K の修正されたハミングコード符号化ビット列が受信される。最後から 2 番目のパリティビット p_{M-1} は動作 454 において識別されて逆転されるか、あるいは、作動 456 における p_{M-1} および 1 の XOR 値（例えば、最後から 2 番目のパリティビットを

【0073】

【数 11】

$$p_{M-1} \oplus 1$$

30

【0074】

に設定する）に置き換えられる。このような動作の結果は、標準ハミングデコーダに供給される標準ハミングコード符号化ビット列 24 または 26 を修復することである。一部の実施形態において、最後から 2 番目のパリティビット p_{M-1} の代わりに最終パリティ p_M が修正される。

【0075】

上記本発明によれば、デジタルデータの連續した同一値の長さを減少させたり最少化させたりするためのシステムおよび方法を提供することができる。一部の実施形態において、修正されたハミングコード符号化演算がデジタルデータに適用される。

【0076】

40

50

奇数および偶数のパリティを混合することにより連続した同一値の長さが減少されることに対する証明は、本出願と共に米国特許庁に提出された付録「ハミングコード内における奇数および偶数のパリティの混合による連続した同一値の長さの減少」から見られる。前記付録は、全体的に参照として本明細書に取り込まれる。

【0077】

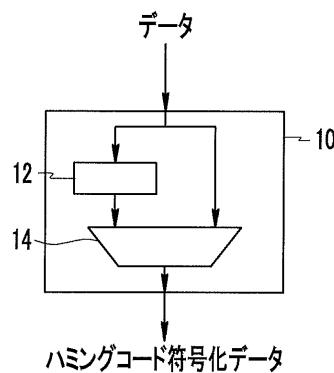
本発明の実施形態は当該分野における通常の技術を有する者が認識できる様々な形態に実現され、この明細書において用いられた用語「プロセッサ」は、命令語がプロセッサに接続されたメモリに保存されるプログラミングされた汎用プロセッサ（例えば、アーム（A R M）プロセッサ）、フィールドプログラマブルゲートアレイ（F P G A）およびA S I C注文型半導体などの記述された動作を行ういかなる演算装置を指し示す。本発明の実施形態は、直列通信コントローラ（例えば、汎用シリアルバスまたはU S Bコントローラ）、グラフィック処理装置（g r a p h i c a l p r o c e s s i n g u n i t : G P U）、パネル内インターフェースおよびハミングコード符号化信号を使用する他のハードウェアまたはソフトウェアシステムに取り込まれる。

【0078】

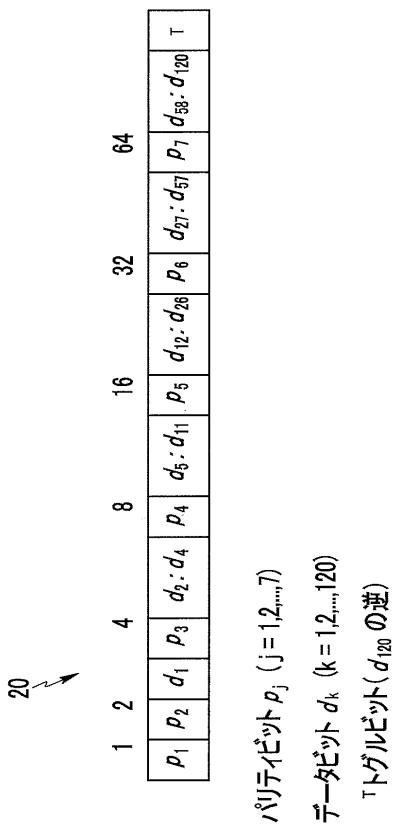
本発明を特定の実施形態と結び付けて記述したが、本発明が開示された実施形態にのみ制限されるわけではなく、逆に、本発明は、添付の請求項の精神と範囲内において含まれる様々な修正と均等な配置を含むように意図されたものと理解するべきである。

10

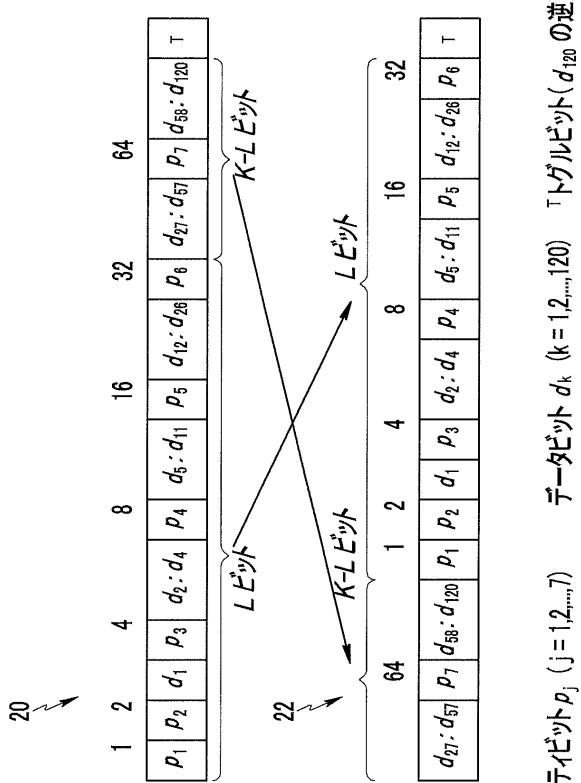
【図1】



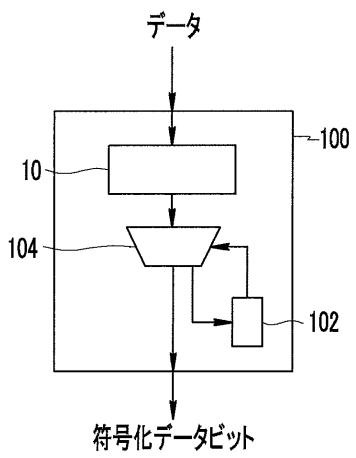
【図2】



【図3】

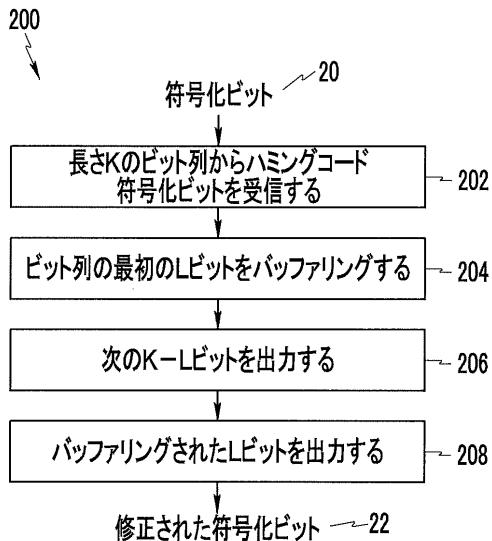


【図4】

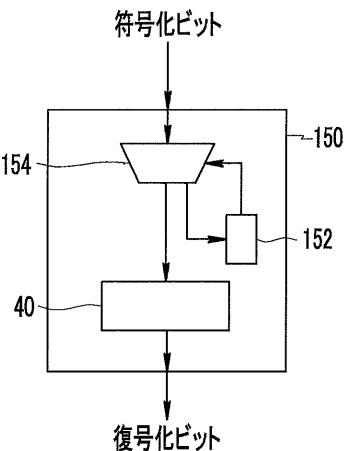


パリティビット p_j ($j=1, 2, \dots, 7$) データビット d_k ($k=1, 2, \dots, 120$) T トグルビット (d_{120} の逆)

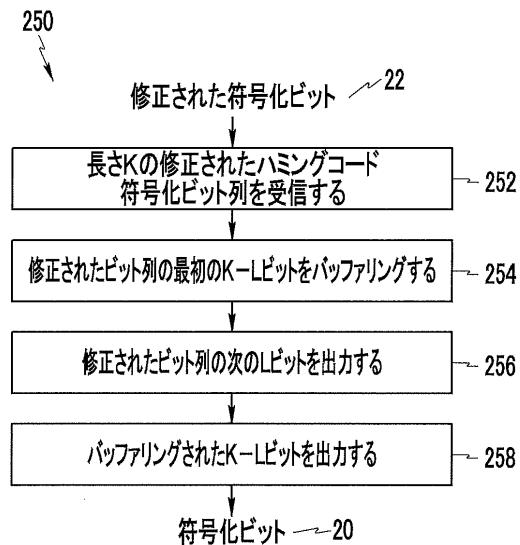
【図5】



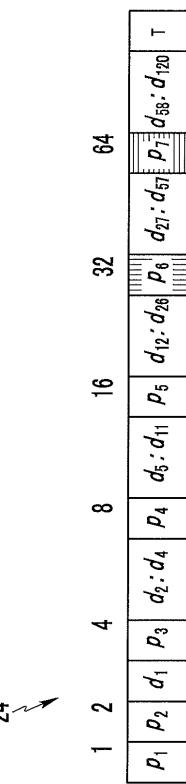
【図6】



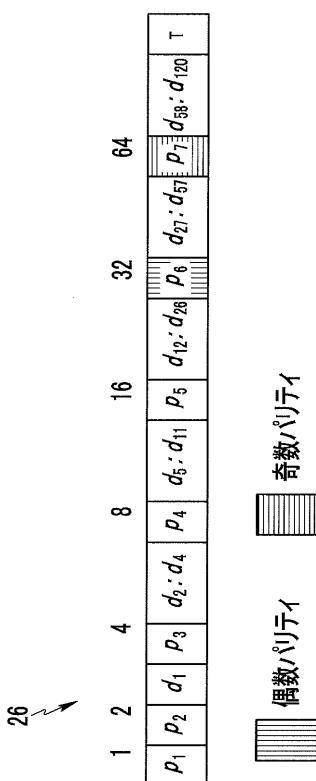
【圖 7】



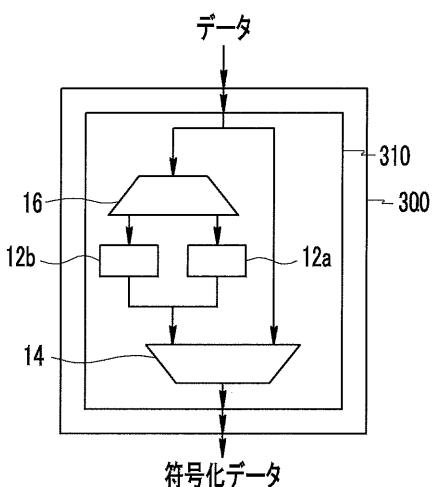
【図 8 A】



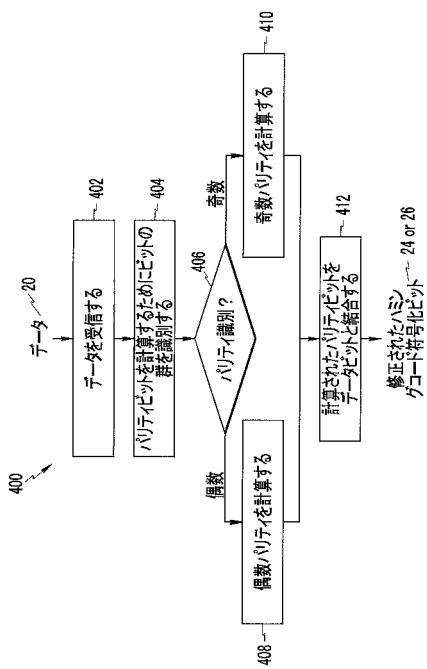
【 図 8 B 】



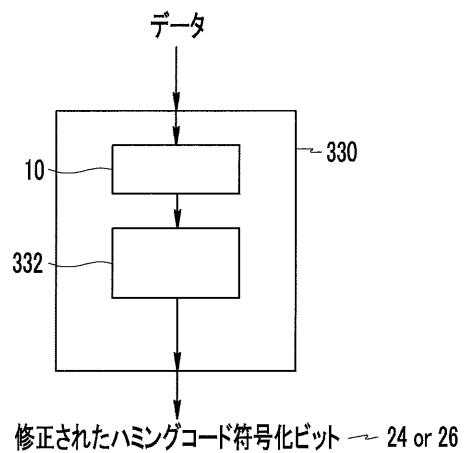
【 义 9 】



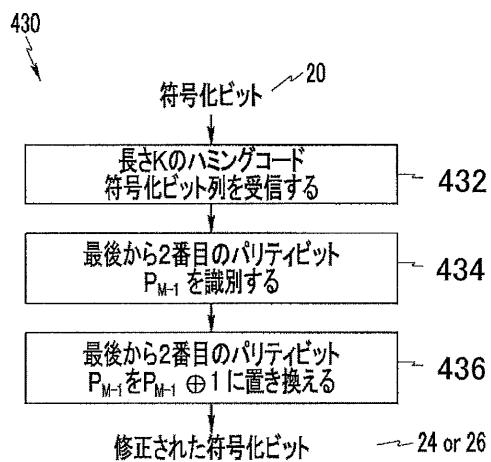
【図 10】



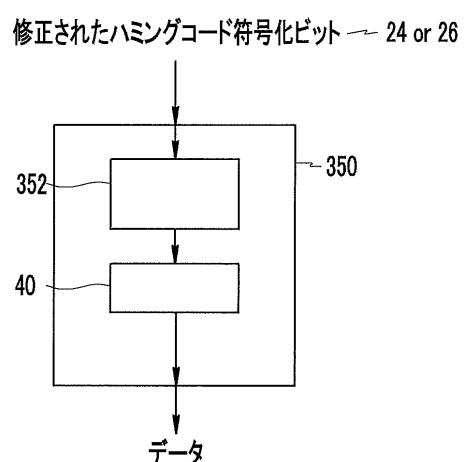
【図 11】



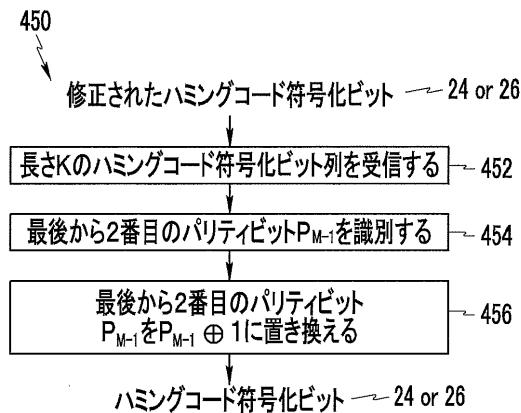
【図 12】



【図 13】



【図 1 4】



フロントページの続き

(72)発明者 ケン フ

アメリカ合衆国, カリフォルニア州 95112, サン ジョセ, デブコン ドライブ 217

F ターム(参考) 5J065 AD05 AH02

5K014 BA09 EA01