



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월25일

(11) 등록번호 10-1496054

(24) 등록일자 2015년02월16일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/1339* (2006.01) *G02F 1/136* (2006.01)

(21) 출원번호 10-2013-0150115  
(22) 출원일자 2013년12월04일  
    심사청구일자 2013년12월04일  
(65) 공개번호 10-2014-0074834  
(43) 공개일자 2014년06월18일  
(30) 우선권주장  
    JP-P-2012-269084 2012년12월10일 일본(JP)  
(56) 선행기술조사문헌  
    US20020047963 A1  
    US0748001 B1  
    JP평성10020324 A  
    KR1020040042652 A

(73) 특허권자  
**가부시키가이샤 재팬 디스프레이**  
일본국 도쿄도 미나토구 니시신바시 3쵸메 7반 1  
고

(72) 발명자  
**모리모또 마사떼루**  
일본 도쿄도 미나또구 니시신바시 3-7-1 가부시키  
가이샤 재팬 디스프레이 내

**사또우 다케시**  
일본 도쿄도 미나또구 니시신바시 3-7-1 가부시키  
가이샤 재팬 디스프레이 내

**오우지이찌 기미또시**  
일본 도쿄도 미나또구 니시신바시 3-7-1 가부시키  
가이샤 재팬 디스프레이 내

(74) 대리인  
**차수길 박충현 이중희**

전체 청구항 수 : 총 20 항

심사관 : 양성지

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

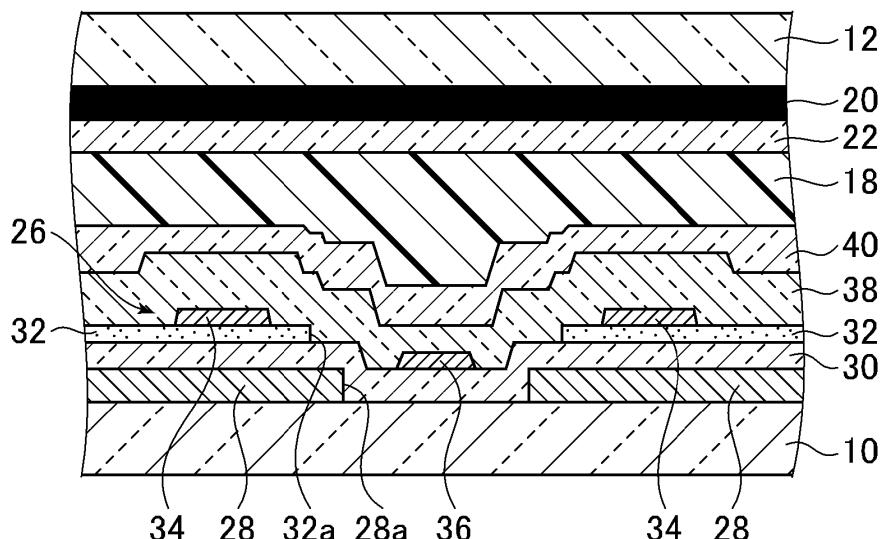
(57) 요약

본 발명의 과제는, 액정 재료를 높은 시일성으로 밀봉하는 것을 목적으로 한다.

박막 트랜지스터(26)는, 금속을 포함하여 이루어지는 게이트 전극(28), 게이트 전극(28)을 덮는 광 투과성의 게이트 절연막(30). 게이트 절연막(30)을 개재하여 게이트 전극(28)과 겹치는 밤도체막(32). 및 게이트 절연막(30)을 덮는 광 투과성의 게이트 전극(28).

(뒷면에 계속)

대표도 - 도2



0)과는 반대측에서 반도체막(32) 상에 간격을 두고 형성된 금속을 포함하여 이루어지는 소스 전극(34) 및 드레인 전극(36)을 포함한다. 게이트 전극(28) 및 반도체막(32)은, 내측에 게이트 절연막(30)이 들어가도록, 서로 연통하는 관통 구멍(28a, 32a)을 갖는다. 게이트 절연막(30)은, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 내측의 영역을 갖는다. 소스 전극(34) 및 드레인 전극(36)은, 게이트 절연막(30)의 관통 구멍(28a, 32a)의 내측의 영역의 일부와 겹치고 나머지 부분을 피하도록, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 내측을 통과한다.

---

## 특허청구의 범위

### 청구항 1

화상을 표시하기 위한 화소 영역 및 상기 화소 영역의 외측에 있는 주변 영역을 포함하는 제1 기판과, 박막 트랜지스터를 포함하고, 또한 상기 제1 기판의 상기 주변 영역에 형성된 구동 회로와, 상기 제1 기판에 대향하여 배치되는 제2 기판과, 상기 제1 기판의 상기 주변 영역에 상기 화소 영역을 둘러싸도록 형성되어, 상기 제1 기판과 상기 제2 기판을 접합하는 광 경화 수지를 포함하는 시일재를 갖고, 상기 시일재의 일부는, 상기 박막 트랜지스터와 겹쳐 있고, 상기 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 게이트 전극과 겹치는 반도체막과, 상기 게이트 절연막과는 반대측에서 상기 반도체막 상에 서로 간격을 두고 형성된 소스 전극 및 드레인 전극을 포함하고, 상기 게이트 전극은, 제1 관통 구멍을 갖고, 상기 제1 관통 구멍의 내측은, 상기 게이트 절연막으로 충전되고, 상기 반도체막은, 상기 제1 관통 구멍과 중첩되는 제2 관통 구멍을 갖는 것을 특징으로 하는 액정 표시 장치.

### 청구항 2

제1항에 있어서, 상기 시일재의 일부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 3

제1항 또는 제2항에 있어서, 상기 소스 전극 및 상기 드레인 전극을 덮는 적어도 1층으로 이루어지는 패시베이션막을 더 갖는 것을 특징으로 하는 액정 표시 장치.

### 청구항 4

제3항에 있어서, 상기 패시베이션막은, 적어도 하나의 오목부를 갖고, 상기 오목부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 5

제3항에 있어서, 상기 패시베이션막은, 적어도 하나의 볼록부를 갖고, 상기 볼록부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 6

제1항 또는 제2항에 있어서, 상기 제2 관통 구멍이 상기 제1 관통 구멍보다도 큰 것을 특징으로 하는 액정 표시 장치.

### 청구항 7

제1항 또는 제2항에 있어서,

상기 소스 전극 및 상기 드레인 전극 중 적어도 한쪽은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 8

제1항 또는 제2항에 있어서,

상기 소스 전극 및 상기 드레인 전극은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있지 않은 것을 특징으로 하는 액정 표시 장치.

### 청구항 9

제1항 또는 제2항에 있어서,

상기 반도체막은, 상기 소스 전극 및 상기 드레인 전극의 사이에, 상기 박막 트랜지스터의 채널 영역을 구성하는 부분을 포함하고,

상기 소스 전극 및 상기 드레인 전극은, 상기 채널 영역이 사행하여 연장되는 형상으로 되도록 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 10

제1항 또는 제2항에 있어서,

상기 소스 전극 및 상기 드레인 전극은, 각각, 복수의 가지부를 포함하는 빗살 무늬 형상으로 형성되고,

상기 소스 전극의 1개의 상기 가지부와 상기 드레인 전극의 1개의 상기 가지부가 교대로 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

### 청구항 11

화상을 표시하기 위한 핵소 영역 및 상기 핵소 영역의 외측에 있는 주변 영역을 포함하고, 상기 주변 영역에 박막 트랜지스터를 포함하는 구동 회로가 형성된 제1 기판과, 제2 기판을, 광 경화 수지를 포함하는 시일재에 의해 접합하는 공정과,

상기 시일재에 자외선을 조사하는 공정을 포함하고,

상기 시일재의 일부는, 상기 박막 트랜지스터와 겹쳐 있고,

상기 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 게이트 전극과 겹치는 반도체막과, 상기 게이트 절연막과는 반대측에서 상기 반도체막 상에 서로 간격을 두고 형성된 소스 전극 및 드레인 전극을 포함하고,

상기 게이트 전극 및 상기 반도체막은, 내측에 상기 게이트 절연막이 들어가도록, 서로 연통하는 관통 구멍을 각각 갖고,

상기 게이트 절연막은, 상기 게이트 전극 및 상기 반도체막의 상기 관통 구멍의 내측의 영역을 갖고,

상기 게이트 전극은, 제1 관통 구멍을 갖고,

상기 제1 관통 구멍의 내측은, 상기 게이트 절연막으로 충전되고,

상기 반도체막은, 상기 제1 관통 구멍과 중첩되는 제2 관통 구멍을 갖고,

상기 자외선은, 상기 제1 관통 구멍과 제2 관통 구멍을 통과하도록 하여,

상기 제1 기판의 외측으로부터 상기 시일재에 조사되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 12

제11항에 있어서,

상기 시일재의 일부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 13

제11항 또는 제12항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 덮는 적어도 1층으로 이루어지는 패시베이션막을 형성하는 공정을 갖는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 14

제13항에 있어서,

상기 패시베이션막에 적어도 하나의 오목부를 형성하는 공정을 갖고,

상기 오목부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 15

제13항에 있어서,

상기 패시베이션막에 적어도 하나의 볼록부를 형성하는 공정을 갖고,

상기 볼록부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 16

제11항 또는 제12항에 있어서,

상기 제2 관통 구멍이 상기 제1 관통 구멍보다도 큰 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 17

제11항 또는 제12항에 있어서,

상기 소스 전극 및 상기 드레인 전극 중 적어도 한쪽은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 18

제11항 또는 제12항에 있어서,

상기 소스 전극 및 상기 드레인 전극은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있지 않은 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 19

제11항 또는 제12항에 있어서,

상기 반도체막은, 상기 소스 전극 및 상기 드레인 전극의 사이에, 상기 박막 트랜지스터의 채널 영역을 구성하는 부분을 포함하고,

상기 소스 전극 및 상기 드레인 전극은, 상기 채널 영역이 사행하여 연장되는 형상으로 되도록 형성되어 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 20

제11항 또는 제12항에 있어서,

상기 소스 전극 및 상기 드레인 전극은, 각각, 복수의 가지부를 포함하는 빗살 무늬 형상으로 형성되고,

상기 소스 전극의 1개의 상기 가지부와 상기 드레인 전극의 1개의 상기 가지부가 교대로 배치되어 있는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은, 액정 표시 장치 및 그 제조 방법에 관한 것이다.

### 배경기술

[0002] 컴퓨터 등의 정보 통신 단말기나 텔레비전 수상기의 표시 디바이스로서, 액정 표시 장치가 널리 이용되고 있다. 액정 표시 장치는, 2개의 클래스 기판의 사이에 봉입된 액정 조성물의 배향을, 전계를 변화시킴으로써 바꾸고, 2개의 클래스 기판과 액정 조성물을 통과하는 광의 투과 정도를 제어함으로써 화상을 표시시키는 장치이다.

[0003] 액정 표시 장치에 있어서는, 소정의 계조값에 대응하는 전압을 화면의 각 화소에 인가하기 위한 구동 회로를 클래스 기판 상 또는 클래스 기판에 접속된 회로 기판에 배치할 필요가 있다. 구동 회로는, IC(Integrated Circuit) 칩에 내장되어, 클래스 기판 상에 제작되는 것이 알려져 있지만, 최근, 클래스 기판에 있어서의 표시 영역의 외측의 영역(이하, 「프레임 영역」이라고 함.)을 좁게 하는 것이 요망되고 있으므로, IC 칩을 적재하는 일 없이, 박막 트랜지스터를 프레임 영역에 형성하고, IC 칩을 이용하는 일 없이, 클래스 기판 상에 직접 구동 회로를 배치하는 경우가 있다.

[0004] 특허문헌 1은, 프레임 영역에 배치되는 비정질 실리콘 박막 트랜지스터에 있어서, 기생 용량을 작게 한 구조에 대해 개시하고 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 일본 특허 출원 공개 제2006-080472호 공보

### 발명의 내용

#### 해결하려는 과제

[0006] 프레임 영역에는, 액정 재료를 밀봉하기 위한 시일재가 형성되지만, 프레임 영역이 좁아지면, 시일재는, 박막 트랜지스터와 겹친다. 시일재는 광 경화 수지를 포함하고 있지만, 대량 기판에 블랙 매트릭스를 구성하는 차광막이 형성되어 있으므로, 광은, 박막 트랜지스터가 형성된 기판의 외측으로부터 조사할 수 밖에 없다. 그로 인해, 박막 트랜지스터를 구성하는 게이트 전극 등에 의해 광이 차단되고, 수지의 경화가 충분하지 않으므로, 시일성이 낮아지는 경우가 있었다.

[0007] 본 발명은, 액정 재료를 높은 시일성으로 밀봉하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0008] (1) 본 발명에 따른 액정 표시 장치는, 화상을 표시하기 위한 화소 영역 및 상기 화소 영역의 외측에 있는 주변 영역을 포함하는 제1 기판과, 박막 트랜지스터를 포함하고, 또한 상기 제1 기판의 상기 주변 영역에 형성된 구동 회로와, 상기 제1 기판에 대향하여 배치되는 제2 기판과, 상기 제1 기판의 상기 주변 영역에 상기 화소 영역을 둘러싸도록 형성되어, 상기 제1 기판과 상기 제2 기판을 접합하는 광 경화 수지를 포함하는 시일재를 갖고, 상기 시일재의 일부는, 상기 박막 트랜지스터와 겹쳐 있고, 상기 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 게이트 전극과 겹치는 반도체막과, 상기 게이트 절연막과는 반대측에서 상기 반도체막 상에 서로 간격을 두고 형성된 소스 전극 및 드레인 전극을 포함하고, 상기 게이트 전극은, 제1 관통 구멍을 갖고, 상기 제1 관통 구멍의 내측은, 상기 게이트 절연막으로 충전되고, 상기 반도체막은, 상기 제1 관통 구멍과 중첩되는 제2 관통 구멍을 갖는 것을 특징으로 한다. 본 발명에 따르면, 시일재는, 박막 트랜지스터와 겹쳐 있지만, 게이트 전극 및 반도체막의 관통 구멍을 통해 제1 기판으로부터 광을 조사할 수 있으므로, 충분히 경화시킬 수 있고, 액정 재료를 높은 시일성으로 밀봉할 수 있다.

[0009] (2) (1)에 기재된 액정 표시 장치에 있어서, 상기 시일재의 일부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹

쳐 있는 것을 특징으로 해도 된다.

[0010] (3) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극을 덮는 적어도 1층으로 이루어지는 패시베이션막을 더 갖는 것을 특징으로 해도 된다.

[0011] (4) (3)에 기재된 액정 표시 장치에 있어서, 상기 패시베이션막은, 적어도 하나의 오목부를 갖고, 상기 오목부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

[0012] (5) (3)에 기재된 액정 표시 장치에 있어서, 상기 패시베이션막은, 적어도 하나의 볼록부를 갖고, 상기 볼록부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

[0013] (6) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 제2 관통 구멍이 상기 제1 관통 구멍보다도 큰 것을 특징으로 해도 된다.

[0014] (7) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극 중 적어도 한쪽은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

[0015] (8) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있지 않은 것을 특징으로 해도 된다.

[0016] (9) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 반도체막은, 상기 소스 전극 및 상기 드레인 전극의 사이에, 상기 박막 트랜지스터의 채널 영역을 구성하는 부분을 포함하고, 상기 소스 전극 및 상기 드레인 전극은, 상기 채널 영역이 사행(蛇行)하여 연장되는 형상으로 되도록 형성되어 있는 것을 특징으로 해도 된다.

[0017] (10) (1) 또는 (2)에 기재된 액정 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극은, 각각, 복수의 가지(枝)부를 포함하는 빗살 무늬 형상으로 형성되고, 상기 소스 전극의 1개의 상기 가지부와 상기 드레인 전극의 1개의 상기 가지부가 교대로 배치되어 있는 것을 특징으로 해도 된다.

[0018] (11) 본 발명에 따른 액정 표시 장치의 제조 방법은, 화상을 표시하기 위한 화소 영역 및 상기 화소 영역의 외측에 있는 주변 영역을 포함하고, 상기 주변 영역에 박막 트랜지스터를 포함하는 구동 회로가 형성된 제1 기판과, 제2 기판을, 광 경화 수지를 포함하는 시일재에 의해 접합하는 공정과, 상기 시일재에 자외선을 조사하는 공정을 포함하고, 상기 시일재의 일부는, 상기 박막 트랜지스터와 겹쳐 있고, 상기 박막 트랜지스터는, 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 게이트 전극과 겹치는 반도체막과, 상기 게이트 절연막과는 반대측에서 상기 반도체막 상에 서로 간격을 두고 형성된 소스 전극 및 드레인 전극을 포함하고, 상기 게이트 전극 및 상기 반도체막은, 내측에 상기 게이트 절연막이 들어가도록, 서로 연통하는 관통 구멍을 각각 갖고, 상기 게이트 절연막은, 상기 게이트 전극 및 상기 반도체막의 상기 관통 구멍의 내측의 영역을 갖고, 상기 게이트 전극은, 제1 관통 구멍을 갖고, 상기 제1 관통 구멍의 내측은, 상기 게이트 절연막으로 충전되고, 상기 반도체막은, 상기 제1 관통 구멍과 중첩되는 제2 관통 구멍을 갖고, 상기 자외선은, 상기 제1 관통 구멍과 제2 관통 구멍을 통과하도록 하여, 상기 제1 기판의 외측으로부터 상기 시일재에 조사되는 것을 특징으로 한다. 본 발명에 따르면, 시일재는, 박막 트랜지스터와 겹쳐 있지만, 게이트 전극 및 반도체막의 관통 구멍을 통해 제1 기판으로부터 광을 조사할 수 있으므로, 충분히 경화시킬 수 있고, 액정 재료를 높은 시일성으로 밀봉할 수 있다. 본 발명에 따르면, 시일재는, 박막 트랜지스터와 겹쳐 있지만, 게이트 전극 및 반도체막의 관통 구멍을 통해 제1 기판으로부터 광을 조사할 수 있으므로, 충분히 경화시킬 수 있고, 액정 재료를 높은 시일성으로 밀봉할 수 있다.

[0019] (12) (11)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 시일재의 일부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

[0020] (13) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 소스 전극 및 상기 드레인 전극을 덮는 적어도 1층으로 이루어지는 패시베이션막을 형성하는 공정을 갖는 것을 특징으로 해도 된다.

[0021] (14) (13)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 패시베이션막에 적어도 하나의 오목부를 형성하는 공정을 갖고, 상기 오목부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

[0022] (15) (13)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 패시베이션막에 적어도 하나의 볼록부를 형성하는 공정을 갖고, 상기 볼록부는, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.

- [0023] (16) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 제2 관통 구멍이 상기 제1 관통 구멍보다도 큰 것을 특징으로 해도 된다.
- [0024] (17) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 소스 전극 및 상기 드레인 전극 중 적어도 한쪽은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있는 것을 특징으로 해도 된다.
- [0025] (18) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 소스 전극 및 상기 드레인 전극은, 상기 제1 관통 구멍 및 제2 관통 구멍과 겹쳐 있지 않은 것을 특징으로 해도 된다.
- [0026] (19) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 반도체막은, 상기 소스 전극 및 상기 드레인 전극의 사이에, 상기 박막 트랜지스터의 채널 영역을 구성하는 부분을 포함하고, 상기 소스 전극 및 상기 드레인 전극은, 상기 채널 영역이 사행하여 연장되는 형상으로 되도록 형성되어 있는 것을 특징으로 해도 된다.
- [0027] (20) (11) 또는 (12)에 기재된 액정 표시 장치의 제조 방법에 있어서, 상기 소스 전극 및 상기 드레인 전극은, 각각, 복수의 가지부를 포함하는 빗살 무늬 형상으로 형성되고, 상기 소스 전극의 1개의 상기 가지부와 상기 드레인 전극의 1개의 상기 가지부가 교대로 배치되어 있는 것을 특징으로 해도 된다.

### 도면의 간단한 설명

- [0028] 도 1은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 평면도.  
 도 2는 도 1에 도시하는 액정 표시 장치의 II-II 선 단면도.  
 도 3은 도 2에 도시하는 박막 트랜지스터의 평면도.  
 도 4는 본 실시 형태에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 도면.  
 도 5는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 1을 나타내는 단면도.  
 도 6은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 2를 나타내는 단면도.  
 도 7은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 3에서 사용되는 제1 기판 상의 구조를 도시하는 도면.  
 도 8은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 4에서 사용되는 제1 기판 상의 구조를 도시하는 도면.  
 도 9는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 5에서 사용되는 제1 기판 상의 구조를 도시하는 도면.  
 도 10은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 6에서 사용되는 제1 기판 상의 구조를 도시하는 도면.  
 도 11은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 7에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 12는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 8에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 13은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 9에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 14는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 10에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 15는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 11에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 16은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 12에서 사용되는 박막 트랜지스터를 도시하는 도면.  
 도 17은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 13에서 사용되는 박막 트랜지스터를 도시하는 도면.

는 도면.

도 18은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 14에서 사용되는 박막 트랜지스터를 도시하는 도면.

도 19는 본 발명의 제2 실시 형태에 따른 액정 표시 장치에서 사용되는 박막 트랜지스터를 도시하는 도면.

도 20은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 1에서 사용되는 박막 트랜지스터를 도시하는 도면.

도 21은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 2에서 사용되는 박막 트랜지스터를 도시하는 도면.

도 22는 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 3에서 사용되는 박막 트랜지스터를 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 발명의 실시 형태에 대해 도면을 참조하여 설명한다.

[제1 실시 형태]

[0031] 도 1은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 평면도이다. 도 2는 도 1에 도시하는 액정 표시 장치의 II-II 선 단면도이다.

[0032] 액정 표시 장치는, 클래스 등의 광 투과성의 재료를 포함하여 이루어지는 제1 기판(10) 및 제2 기판(12)을 갖는다. 제2 기판(12)은, 셀 캡을 두고 제1 기판(10)에 대향하여 배치되어 있다. 제1 기판(10) 및 제2 기판(12)의 사이(상세하게는 도시하지 않은 배향막의 사이)에는, 도시하지 않은 액정 재료가 배치된다. 화소마다 액정 재료를 구동함으로써 화상이 표시된다. 제1 기판(10)은, 화상을 표시하기 위한 복수의 화소 전극(도시하지 않은)이 형성된 화소 영역(14)을 포함한다. 제1 기판(10)은, 화소 영역(14)의 외측에 주변 영역(16)(혹은 프레임 영역)을 포함한다.

[0033] 제1 기판(10)과 제2 기판(12)은, 셀 캡을 두고, 시일재(18)에 의해 접합되어 있다. 시일재(18)는, 자외선 등의 광 에너지의 작용으로 액상으로부터 고체로 변화하는 광 경화 수지를 포함한다. 시일재(18)는, 제1 기판(10)의 주변 영역(16)에 위치하고, 화소 영역(14)을 둘러싸도록 형성되어 있다.

[0034] 제2 기판(12)은, 컬러 필터 기판이며, 도시하지 않은 착색층 및 블랙 매트릭스를 구비하고 있다. 화소 영역(14)에서는 블랙 매트릭스를 구성하는 차광층(20)은, 도 2에 도시하는 바와 같이, 제1 기판(10)의 주변 영역(16)을 덮도록 되어 있다. 도 2에는, 차광층(20)을 덮는 오버코트층(22)이 도시되어 있지만 도시하지 않은 액정 재료에 접하는 배향막이 주변 영역(16)에 이르도록 되어 있어도 된다.

[0035] 제1 기판(10)의 주변 영역(16)에는, 도시하지 않은 액정 재료를 구동하기 위한 구동 회로(24)(예를 들어 주사 회로)가 형성되어 있다. 구동 회로(24)는, 박막 트랜지스터(26)를 포함한다. 박막 트랜지스터(26)가 형성된 제1 기판(10)은, TFT(Thin Film Transistor) 기판이라고 한다. 시일재(18)는, 박막 트랜지스터(26)와 접친다.

[0036] 도 3은 도 2에 도시하는 박막 트랜지스터(26)의 평면도이다. 박막 트랜지스터(26)는, 금속을 포함하여 이루어지는 게이트 전극(28)을 포함한다. 도 2에 도시하는 박막 트랜지스터(26)는, 보통 게이트형이지만 이것에 한정되는 것은 아니다. 게이트 전극(28)은, 알루미늄, 몰리브덴, 크롬, 구리, 텅스텐, 티탄, 지르코늄, 탄탈, 은 및 망간으로부터 선택된 원소, 또는 이를 원소를 조합한 합금 등으로 형성한다. 또한, 티탄 위에 알루미늄을 적층하거나, 혹은 알루미늄의 상층과 하층을 티탄으로 사이에 끼우는 등의 적층 구조를 채용해도 된다. 게이트 전극(28)의 재료는, 차광성을 갖는 재료로서 금속이 선택되어 있고, 도전성을 확보하기 위해 광을 차단하는 정도의 막 두께를 갖고 있다.

[0037] 박막 트랜지스터(26)는, 게이트 전극(28)을 덮는 게이트 절연막(30)을 포함한다. 게이트 절연막(30)은, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 등의 절연막으로 형성할 수 있고, 이를 절연막을 적층한 구조여도 된다. 게이트 절연막(30)은, 광 투과성을 갖는다.

[0038] 박막 트랜지스터(26)는, 게이트 절연막(30)을 개재하여 게이트 전극(28)과 겹치는 반도체막(32)을 포함한다. 게이트 절연막(30) 상에 반도체막(32)이 형성되어 있다. 반도체막(32)은, 아몰퍼스 실리콘 또는 폴리 실리콘

등의 반도체나 산화물 반도체를 포함하여 이루어진다.

[0039] 게이트 전극(28) 및 반도체막(32)은, 서로 연통하는 관통 구멍(28a, 32a)을 각각 갖는다. 관통 구멍(28a, 32a)의 평면 형상은 원형이다. 반도체막(32)이 게이트 전극(28)의 관통 구멍(28a)의 내측에 노출되지 않도록, 반도체막(32)의 관통 구멍(32a)이, 게이트 전극(28)의 관통 구멍(28a)보다도 크다. 도 2에 도시하는 바와 같이, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 내측에 게이트 절연막(30)이 들어가도록 되어 있다. 상세하게는, 게이트 전극(28)에 적재되는 게이트 절연막(30)은, 게이트 전극(28)의 관통 구멍(28a)에 들어감으로써 오목부가 형성되고, 그 오목부의 주위이며 게이트 절연막(30) 상에, 반도체막(32)의 관통 구멍(32a)이 위치한다. 게이트 절연막(30)은, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 내측의 영역[게이트 절연막(30)의 관통 구멍(28a)에 들어간 영역]을 갖는다.

[0040] 박막 트랜지스터(26)는, 소스 전극(34) 및 드레인 전극(36)을 포함한다. 도 3에 도시하는 바와 같이, 소스 전극(34) 및 드레인 전극(36)은, 각각, 복수의 가지부(34a, 36a)를 포함하는 빗살 무늬 형상으로 형성되어 있다. 소스 전극(34)의 1개의 가지부(34a)와 드레인 전극(36)의 1개의 가지부(36a)가 교대로 배치되어 있다.

[0041] 반도체막(32)은, 소스 전극(34) 및 드레인 전극(36)의 사이에, 박막 트랜지스터(26)의 채널 영역을 구성하는 부분을 포함한다. 채널 영역은, 소스 전극(34) 및 드레인 전극(36)의 사이에서, 사행하여 연장되는 형상으로 되어 있다. 채널 영역은, 사행함으로써 한 방향으로 길어지지 않고 채널 길이를 길게 할 수 있다. 즉, 박막 트랜지스터(26)의 고집적화가 가능하다.

[0042] 소스 전극(34) 및 드레인 전극(36)은, 게이트 절연막(30)과는 반대측에서 반도체막(32) 상에 간격을 두고 형성되어 있다. 소스 전극(34) 및 드레인 전극(36)은, 각각, 반도체막(32)의 소스 영역 및 드레인 영역에 접하도록 되어 있다. 소스 전극(34) 및 드레인 전극(36)은, 각각 금속을 포함하여 이루어진다. 소스 전극(34) 및 드레인 전극(36)은, 상술한 게이트 전극(28)으로서 선택 가능한 재료로 형성되어 있고, 게이트 전극(28)과 동일한 재료로 형성해도 된다. 소스 전극(34) 및 드레인 전극(36)의 재료는, 차광성을 갖는 재료로서 금속이 선택되어 있고, 도전성을 확보하기 위해 광을 차단하는 정도의 막 두께를 갖고 있다.

[0043] 소스 전극(34) 및 드레인 전극(36) 중 적어도 한쪽은, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 내측을 통과한다. 도 3의 예에서는, 게이트 전극(28)에 복수의 관통 구멍(28a)이 형성되고, 반도체막(32)에 복수의 관통 구멍(32a)이 형성되고, 게이트 전극(28)의 1개의 관통 구멍(28a)과 반도체막(32)의 1개의 관통 구멍(32a)이 연통되어 있다. 소스 전극(34)의 일부[예를 들어 가지부(34a)]가, 연통하는 1개의 관통 구멍(28a) 및 1개의 관통 구멍(32a)의 내측을 통과한다. 또한, 드레인 전극(36)의 일부[예를 들어 가지부(36a)]가, 연통하는 1개의 관통 구멍(28a) 및 1개의 관통 구멍(32a)의 내측을 통과한다.

[0044] 관통 구멍(28a, 32a)의 내측을 통과하는 소스 전극(34) 및 드레인 전극(36)은, 그 관통 구멍(28a, 32a)을 막지 않도록 되어 있다. 또한, 관통 구멍(28a, 32a)의 내측을 통과하는 소스 전극(34) 및 드레인 전극(36)은, 관통 구멍(28a, 32a)의 내측에서는, 게이트 절연막(30)의 일부와 겹치지만 나머지 부분과의 겹침을 피하도록 되어 있다. 따라서, 게이트 전극(28) 및 반도체막(32)을 관통하는 관통 구멍(28a, 32a)을 광이 통과하도록 되어 있다.

[0045] 소스 전극(34) 및 드레인 전극(36)은, 1층 또는 복수층(도 2에서는 2층)의 패시베이션막(38, 40)에 의해 덮어져 있다. 패시베이션막(38, 40)은, 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막 등의 절연막으로 형성해도 되고, 이들 절연막을 적층하여 형성해도 된다. 패시베이션막(38, 40)은, 광 투과성을 갖는다. 패시베이션막(38, 40) 상에 시일재(18)가 형성되어 있다.

[0046] 도 4는 본 실시 형태에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 도면이다. 본 실시 형태에서는, 제1 기판(10)과, 제2 기판(12)을, 광 경화 수지를 포함하는 시일재(42)에 의해, 셀 겹을 두고 접합한다. 광 경화 수지를 포함하는 시일재(42)는, 시일재(18)(도 2 참조)를 구성하도록, 제1 기판(10)의 주변 영역(16)에 화소 영역(14)을 둘러싸(도 1 참조), 박막 트랜지스터(26)와 겹치도록 형성한다.

[0047] 광 경화 수지를 포함하는 시일재(42)에 자외선을 조사하여 시일재(18)(도 2 참조)를 형성한다. 본 실시 형태에서는, 제2 기판(12)측에, 블랙 매트릭스로부터 연장하여 형성된 차광층(20)이 있으므로, 제2 기판(12)의 외측으로부터 자외선을 조사할 수 없다. 따라서, 자외선은, 제1 기판(10)의 외측으로부터 조사한다. 이때, 상술한 바와 같이, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)이 형성되어 있고, 관통 구멍(28a, 32a)을 통과하도록 자외선을 조사할 수 있다.

[0048] 본 실시 형태에 따르면, 시일재(18)는, 박막 트랜지스터(26)와 겹쳐 있지만, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)을 통해 제1 기판(10)으로부터 광을 조사할 수 있으므로, 충분히 경화시킬 수 있고, 액

정 재료를 높은 시일성으로 밀봉할 수 있다.

[0049] 도 5는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 1을 나타내는 단면도이다. 이 예에서는, 소스 전극(34) 및 드레인 전극(36)을 덮도록 1층의 패시베이션막(44)이 형성되고, 그 위에 시일재(45)가 형성되는 점에서, 상기 실시 형태와 다르다.

[0050] 도 6은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 2를 나타내는 단면도이다. 이 예에서는, 소스 전극(34) 및 드레인 전극(36)을 덮는 무기 재료를 포함하여 이루어지는 패시베이션막(46) 상에, 유기 재료를 포함하여 이루어지는 적어도 1층의 패시베이션막(48)이 형성되어 있다. 또한, 유기 재료를 포함하여 이루어지는 패시베이션막(48) 상에 무기 재료를 포함하여 이루어지는 패시베이션막(50)이 형성되어 있다. 패시베이션막(50) 상에 시일재(51)가 형성되어 있다.

[0051] 도 7은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 3에서 사용되는 제1 기판 상의 구조를 도시하는 도면이다. 이 예에서는, 소스 전극(34) 및 드레인 전극(36)을 덮는 무기 재료를 포함하여 이루어지는 패시베이션막(52) 상에, 유기 재료를 포함하여 이루어지는 적어도 1층의 패시베이션막(54)이 형성되어 있다. 유기 재료를 포함하여 이루어지는 패시베이션(54)의 표면에는, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 상방에, 오목부(54a)가 형성되어 있다. 또한, 1개의 관통 구멍(28a, 32a)의 상방에 복수의 오목부(54a)가 형성되어 있다.

[0052] 또한, 유기 재료를 포함하여 이루어지는 패시베이션막(54) 상에 무기 재료를 포함하여 이루어지는 패시베이션막(56)이 형성되어 있다. 무기 재료를 포함하여 이루어지는 패시베이션막(56)의 표면에도, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(28a, 32a)의 상방에, 오목부(56a)가 형성되어 있다. 또한, 1개의 관통 구멍(28a, 32a)의 상방에 복수의 오목부(56a)가 형성되어 있다.

[0053] 이에 의하면, 관통 구멍(28a, 32a)의 내측을 통과한 광을 오목부(54a, 56a)에서 굴절시킴으로써, 광 경화 수지에의 광의 조사 효율을 향상시킬 수 있다.

[0054] 도 8은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 4에서 사용되는 제1 기판 상의 구조를 도시하는 도면이다. 이 예에서는, 유기 재료를 포함하여 이루어지는 패시베이션(58)의 표면에는, 1개의 관통 구멍(28a, 32a)의 상방에, 1개의 오목부(58a)가 형성된다. 또한, 유기 재료를 포함하여 이루어지는 패시베이션막(58) 상에 형성된 무기 재료를 포함하여 이루어지는 패시베이션막(60)의 표면에도, 1개의 관통 구멍(28a, 32a)의 상방에, 1개의 오목부(60a)가 형성된다.

[0055] 도 9는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 5에서 사용되는 제1 기판 상의 구조를 도시하는 도면이다. 이 예에서는, 유기 재료를 포함하여 이루어지는 패시베이션(62)의 표면에는, 1개의 관통 구멍(28a, 32a)의 상방에, 복수의 불록부(62a)가 형성되어 있다. 또한, 유기 재료를 포함하여 이루어지는 패시베이션막(62) 상에 형성된 무기 재료를 포함하여 이루어지는 패시베이션막(64)의 표면에도, 1개의 관통 구멍(28a, 32a)의 상방에, 복수의 불록부(64a)가 형성되어 있다.

[0056] 도 10은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 6에서 사용되는 제1 기판 상의 구조를 도시하는 도면이다. 이 예에서는, 유기 재료를 포함하여 이루어지는 패시베이션(66)의 표면에는, 1개의 관통 구멍(28a, 32a)의 상방에, 1개의 불록부(66a)가 형성되어 있다. 또한, 유기 재료를 포함하여 이루어지는 패시베이션막(66) 상에 형성된 무기 재료를 포함하여 이루어지는 패시베이션막(68)의 표면에도, 1개의 관통 구멍(28a, 32a)의 상방에, 1개의 불록부(68a)가 형성되어 있다.

[0057] 도 11은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 7에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(70, 72)의 평면 형상은 타원형이다. 연통하는 1개의 관통 구멍(70) 및 1개의 관통 구멍(72)의 내측을, 관통 구멍(70, 72)의 장축을 따른 방향으로, 소스 전극(34)의 일부[가지부(34a)] 및 드레인 전극(36)의 일부[가지부(36a)]의 양쪽이 통과한다.

[0058] 도 12는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 8에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(74, 76)의 평면 형상은 타원형이다. 연통하는 1개의 관통 구멍(74) 및 1개의 관통 구멍(76)의 내측을, 관통 구멍(74, 76)의 단축을 따른 방향으로, 소스 전극(34)의 일부[가지부(34a)] 및 드레인 전극(36)의 일부[가지부(36a)]의 양쪽이 통과한다.

[0059] 도 13은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 9에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(78, 80)의 평면 형상은 타원

형이다. 연통하는 1개의 관통 구멍(78) 및 1개의 관통 구멍(80)의 내측을, 비스듬한 방향[관통 구멍(78, 80)의 장축 및 단축의 어느 쪽에도 교차하는 방향]으로, 소스 전극(34)의 일부[가지부(34a)] 및 드레인 전극(36)의 일부[가지부(36a)]의 양쪽이 통과한다.

[0060] 도 14는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 10에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(82, 84)의 평면 형상은 직사각형(장방형)이다. 연통하는 1개의 관통 구멍(82) 및 1개의 관통 구멍(84)의 내측을, 관통 구멍(82, 84)의 장방형의 단변을 따른 방향으로, 소스 전극(34)의 일부[가지부(34a)] 및 드레인 전극(36)의 일부[가지부(36a)]의 양쪽이 통과한다.

[0061] 도 15는 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 11에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(86, 88)의 평면 형상은 직사각형(정방형)이다. 연통하는 1개의 관통 구멍(86a) 및 1개의 관통 구멍(88a)의 내측을, 관통 구멍(86a, 88a)의 정방형의 변을 따른 방향으로 소스 전극(34)의 일부[가지부(34a)]가 통과하지만, 드레인 전극(36)은 통과하지 않는다. 단, 연통하는 다른 1개의 관통 구멍(86b, 88b)의 내측을, 관통 구멍(86b, 88b)의 정방형의 변을 따른 방향으로 드레인 전극(36)의 일부[가지부(36a)]가 통과하지만, 소스 전극(34)은 통과하지 않는다.

[0062] 도 16은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 12에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(90, 92)의 평면 형상은 사각형(정방형 또는 마름모꼴)이다. 연통하는 1개의 관통 구멍(90a) 및 1개의 관통 구멍(92a)의 내측을, 관통 구멍(90a, 92a)의 사각형의 대각선을 따른 방향으로 소스 전극(34)의 일부[가지부(34a)]가 통과하지만, 드레인 전극(36)은 통과하지 않는다. 단, 연통하는 다른 1개의 관통 구멍(90b, 92b)의 내측을, 관통 구멍(90b, 92b)의 사각형의 대각선을 따른 방향으로 드레인 전극(36)의 일부[가지부(36a)]가 통과하지만, 소스 전극(34)은 통과하지 않는다.

[0063] 도 17은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 13에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(94, 96)의 평면 형상은 다각형(예를 들어 육각형)이다. 연통하는 1개의 관통 구멍(94) 및 1개의 관통 구멍(96)의 내측을, 관통 구멍(94, 96) 중 어느 하나의 변을 따른 방향으로, 소스 전극(34)의 일부[가지부(34a)] 및 드레인 전극(36)의 일부[가지부(36a)]의 양쪽이 통과한다.

[0064] 도 18은 본 발명의 제1 실시 형태에 따른 액정 표시 장치의 변형예 14에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28) 및 반도체막(32)에 연통되는 관통 구멍(98, 100)의 평면 형상은 삼자 형상이다. 연통하는 1개의 관통 구멍(98) 및 1개의 관통 구멍(100)의 내측을, 관통 구멍(98, 100)의 삼자를 그리는 종선 및 횡선의 한쪽을 따른 방향으로, 소스 전극(34)의 일부[복수의 가지부(34a)] 및 드레인 전극(36)의 일부[복수의 가지부(36a)]의 양쪽이 통과한다.

#### [제2 실시 형태]

[0065] 도 19는 본 발명의 제2 실시 형태에 따른 액정 표시 장치에서 사용되는 박막 트랜지스터를 도시하는 도면이다.

[0066] 본 실시 형태는, 소스 전극(34) 및 드레인 전극(36)이, 게이트 전극(28) 및 반도체막(32)의 관통 구멍(102, 104)과의 겹침을 피해 형성되어 있는 점에서, 제1 실시 형태와 다르고, 그 이외의 구조 및 제조 방법은, 제1 실시 형태에서 설명한 내용이 해당된다. 본 실시 형태에서도, 관통 구멍(102, 104)을 통해 제1 기판(10)으로부터 광을 조사할 수 있으므로, 제1 실시 형태와 마찬가지의 효과를 달성할 수 있다.

[0067] 도 20은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 1에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 도 19에 도시하는 관통 구멍(102, 104)의 평면 형상은 원형이지만, 도 20에 도시하는 관통 구멍(106, 108)의 평면 형상은 직사각형(예를 들어 장방형)이다.

[0068] 도 21은 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 2에서 사용되는 박막 트랜지스터를 도시하는 도면이다. 이 예에서는, 게이트 전극(28)에는, 평면 형상이 원형인 관통 구멍(102)과, 평면 형상이 직사각형(예를 들어 장방형)인 관통 구멍(106)이 형성되어 있다. 반도체막(32)에는, 평면 형상이 원형인 관통 구멍(104)과, 평면 형상이 직사각형(예를 들어 장방형)인 관통 구멍(108)이 형성되어 있다. 원형의 관통 구멍(102, 104)이 연통되고, 직사각형의 관통 구멍(106, 108)이 연통되어 있다.

[0069] 도 22는 본 발명의 제2 실시 형태에 따른 액정 표시 장치의 변형예 3에서 사용되는 박막 트랜지스터를 도시하는

도면이다. 이 예에서는, 소스 전극(134) 및 드레인 전극(136)이, 각각, 나선 형상으로 연장되어 있다. 따라서, 소스 전극(134) 및 드레인 전극(136)의 사이에 있는 채널 영역도, 나선 형상으로 연장되어 있고, 나선 형상으로 채널 길이가 길어져 있다. 게이트 전극(28) 및 반도체막(32)의 관통 구멍(102, 104)에 대해서는 상술한 바와 같다.

[0071]

본 발명은, 상술한 실시 형태에 한정되는 것이 아니라 다양한 변형이 가능하다. 또한, 실시 형태에서 설명한 구성은, 실질적으로 동일한 구성, 동일한 작용 효과를 발휘하는 구성 또는 동일한 목적을 달성할 수 있는 구성으로 치환할 수 있다.

### 부호의 설명

[0072]

10 : 제1 기판

12 : 제2 기판

14 : 화소 영역

16 : 주변 영역

18 : 시일재

20 : 차광층

22 : 오버코트층

24 : 구동 회로

26 : 박막 트랜지스터

28 : 게이트 전극

28a : 관통 구멍

30 : 게이트 절연막

32 : 반도체막

32a : 관통 구멍

34 : 소스 전극

34a : 가지부

36 : 드레인 전극

36a : 가지부

38 : 패시베이션막

40 : 패시베이션막

42 : 광 경화 수지를 포함하는 시일재

44 : 패시베이션막

45 : 시일재

46 : 패시베이션막

48 : 패시베이션막

50 : 패시베이션막

51 : 시일재

52 : 패시베이션막

54 : 패시베이션

54a : 오목부

56 : 패시베이션막

56a : 오목부

58 : 패시베이션막

58a : 오목부

60 : 패시베이션막

60a : 오목부

62 : 패시베이션

62a : 볼록부

64 : 패시베이션막

64a : 볼록부

66 : 패시베이션

66a : 볼록부

68 : 패시베이션막

68a : 볼록부

70 : 관통 구멍

72 : 관통 구멍

74 : 관통 구멍

76 : 관통 구멍

78 : 관통 구멍

80 : 관통 구멍

82 : 관통 구멍

84 : 관통 구멍

86 : 관통 구멍

88 : 관통 구멍

90 : 관통 구멍

92 : 관통 구멍

94 : 관통 구멍

96 : 관통 구멍

98 : 관통 구멍

100 : 관통 구멍

102 : 관통 구멍

104 : 관통 구멍

106 : 관통 구멍

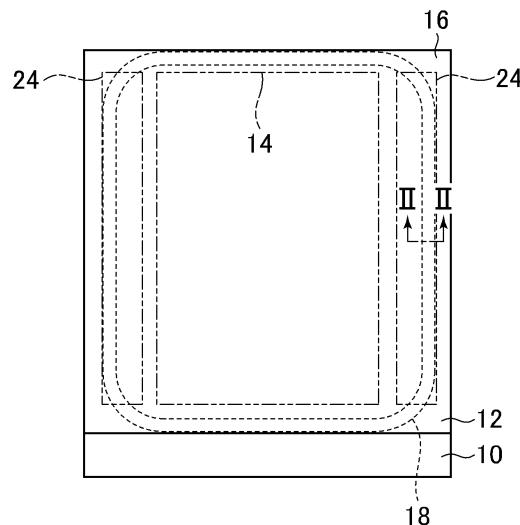
108 : 관통 구멍

134 : 소스 전극

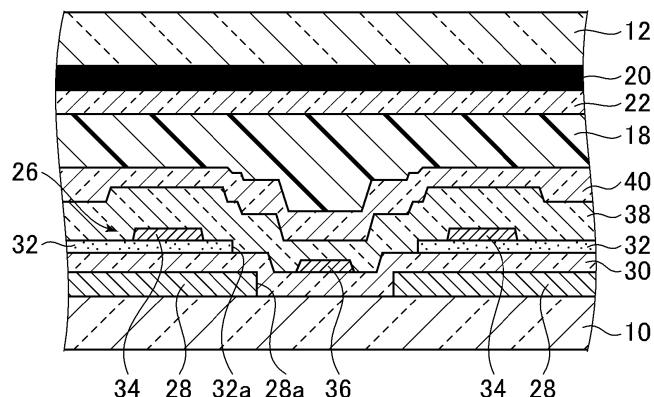
136 : 드레인 전극

도면

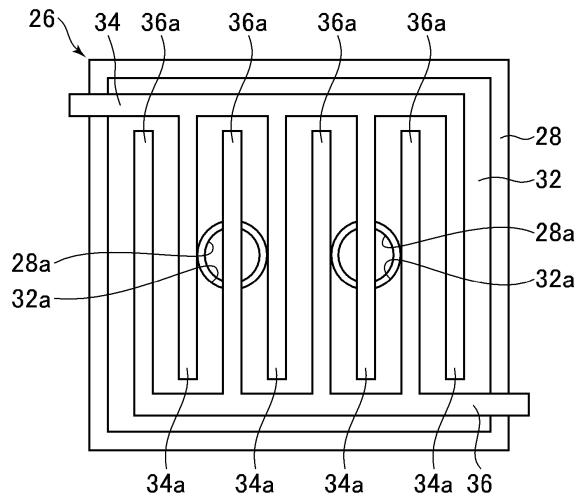
도면1



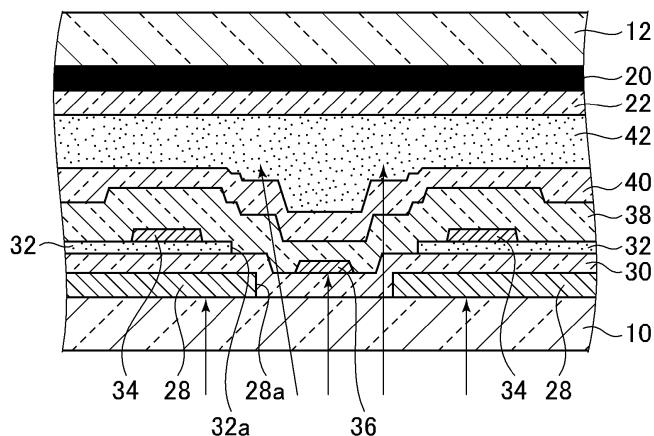
도면2



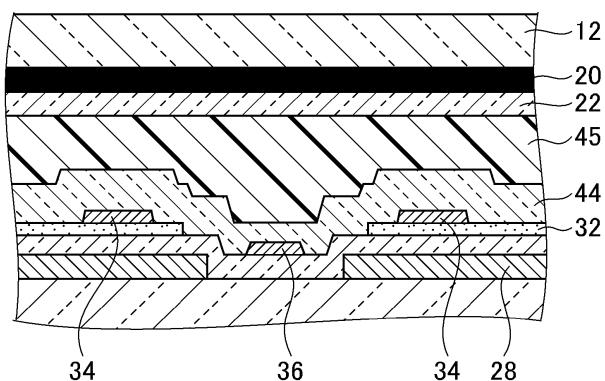
도면3



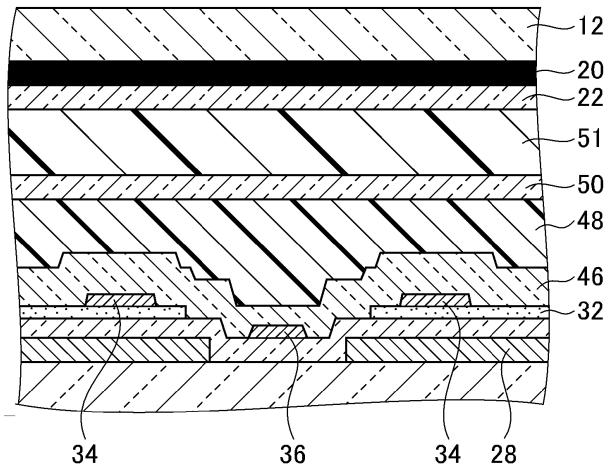
도면4



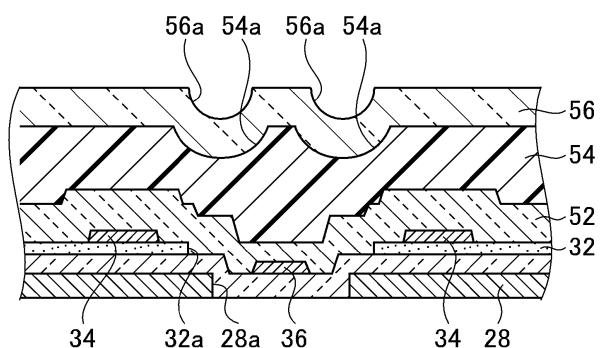
도면5



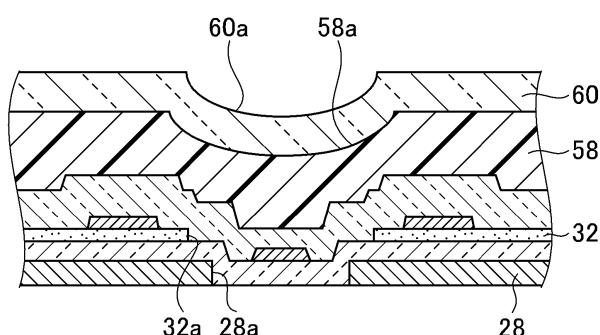
도면6



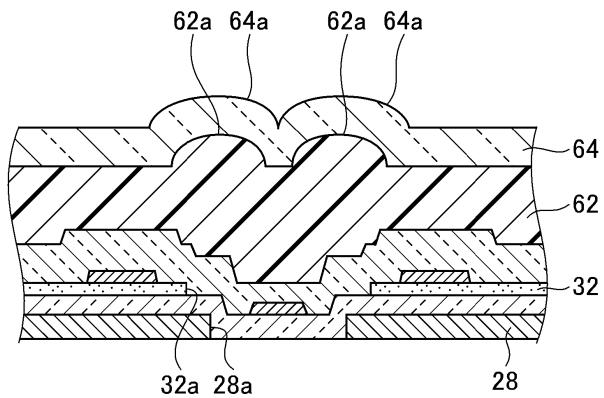
도면7



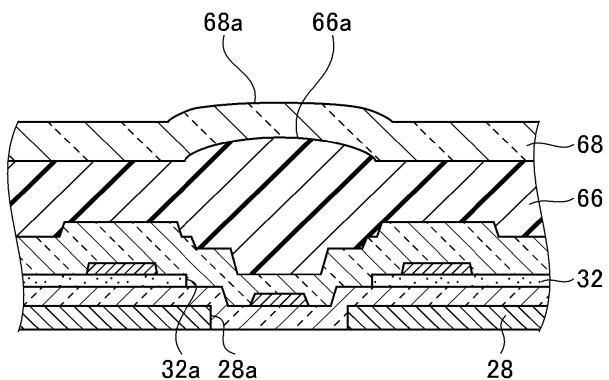
도면8



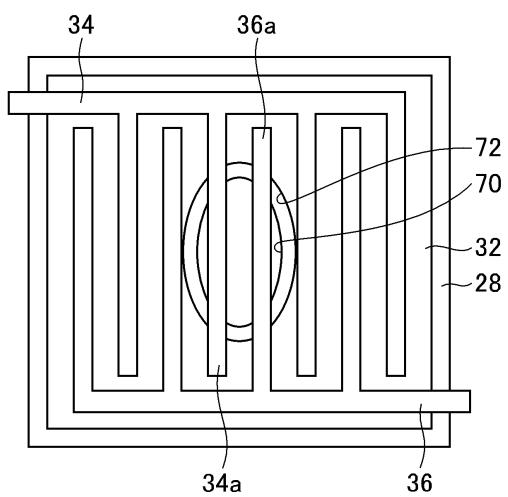
도면9



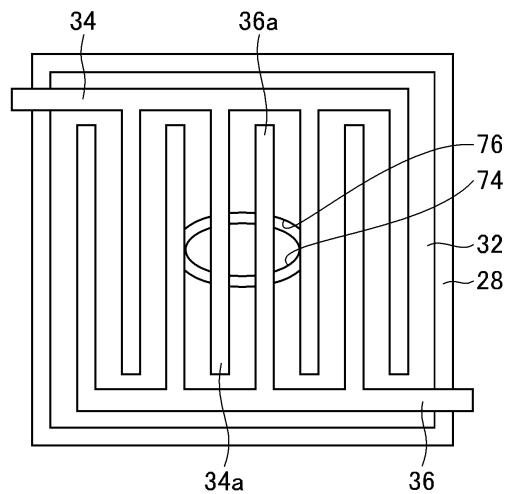
도면10



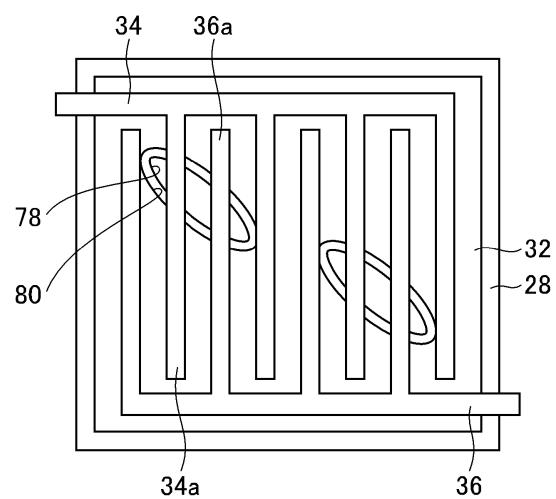
도면11



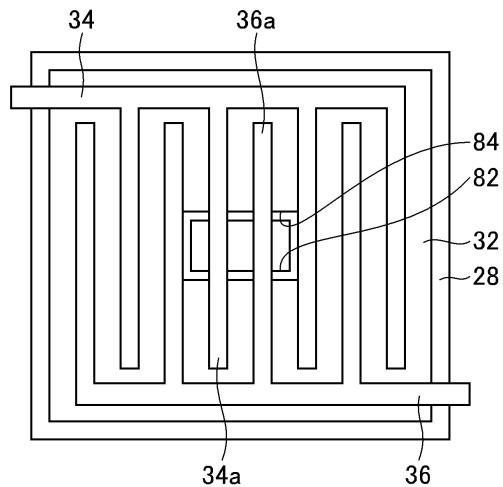
도면12



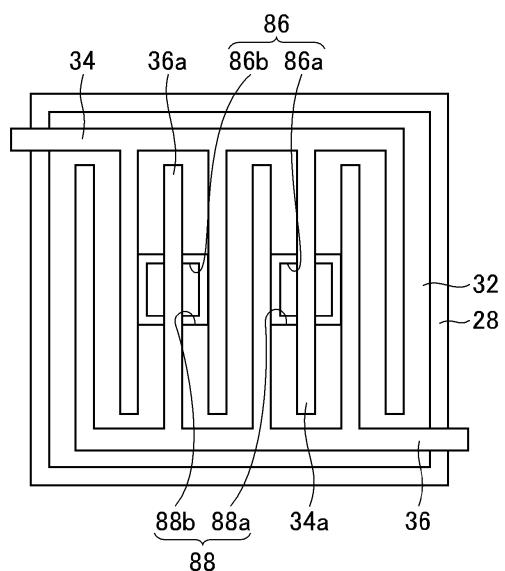
도면13



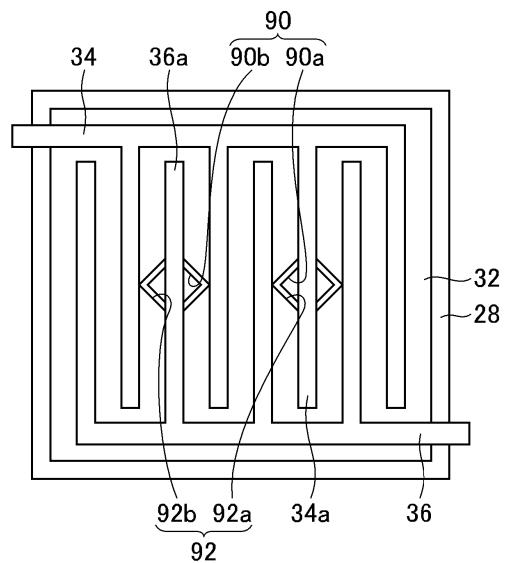
도면14



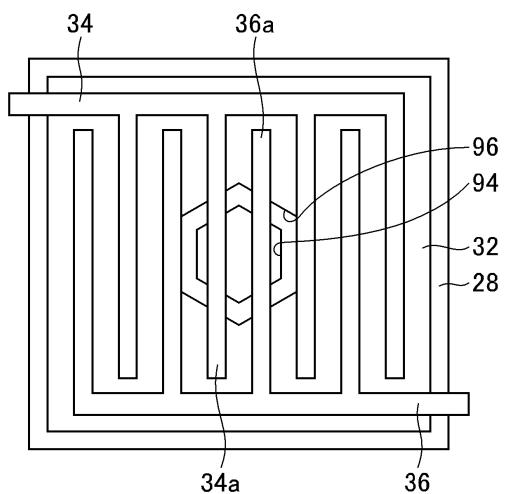
도면15



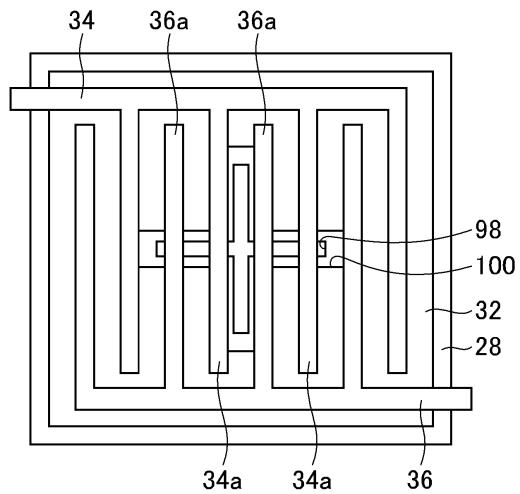
도면16



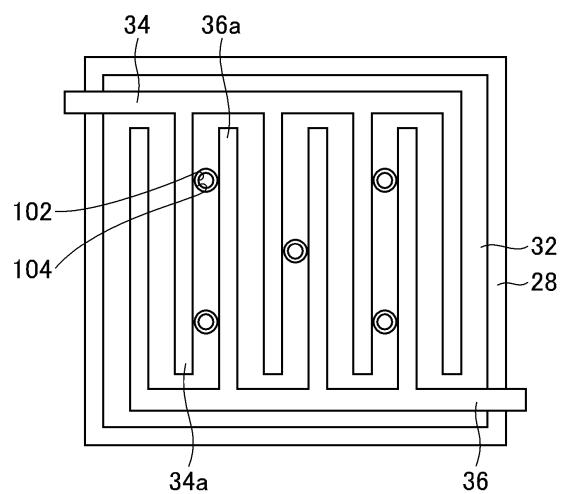
도면17



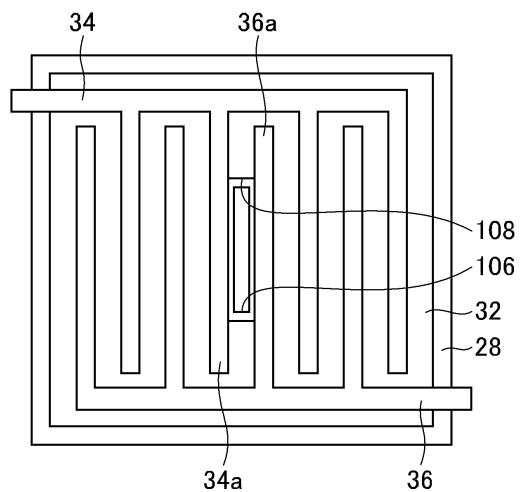
도면18



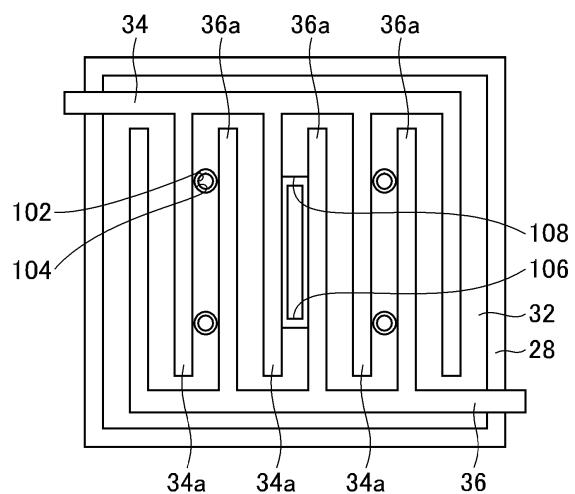
도면19



도면20



도면21



도면22

