

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2009/148006 A1

(43) 国際公開日

2009年12月10日(10.12.2009)

PCT

- (51) 国際特許分類:  
G02F 1/133 (2006.01) G09G 3/20 (2006.01)  
G09F 9/30 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2009/059945
- (22) 国際出願日: 2009年6月1日(01.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-148126 2008年6月5日(05.06.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 植村 秀次  
(UEMURA, Shuji).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒  
6340078 奈良県橿原市八木町1丁目10番3号  
萬盛庵ビル 島田特許事務所 Nara (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

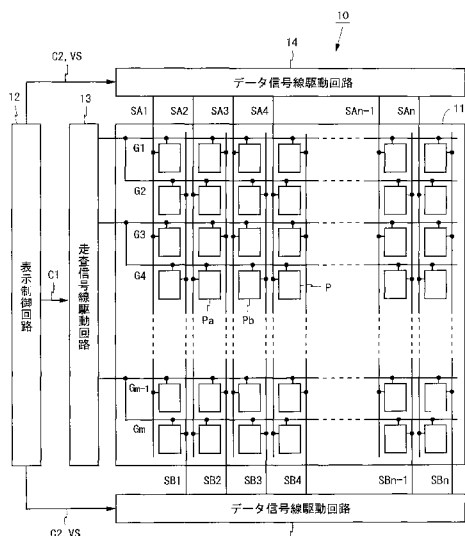
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

【図1】



14... DATA SIGNAL LINE DRIVE CIRCUIT  
12... DISPLAY CONTROL CIRCUIT  
13... SCAN SIGNAL LINE DRIVE CIRCUIT  
15... DATA SIGNAL LINE DRIVE CIRCUIT

(57) Abstract: Two data signal lines are arranged between respective adjacent pixels (P) in the row direction of a liquid crystal panel (11). An A type pixel (Pa) connected to a data signal line (SAj) arranged at the left side and a B type pixel (Pb) connected to a data signal line (SBj) arranged at the right side are alternately arranged in each column and each row of the pixel (P). A scan signal line drive circuit (13) successively selects two scan signal lines (G1 to Gm). A data signal line drive circuit (14) is arranged on the upper portion of the liquid crystal panel (11) for applying a data voltage to the data signal lines (SA1 to SA<sub>n</sub>). A data signal line drive circuit (15) is arranged on the lower portion of the liquid crystal panel (11) for applying a data voltage to the data signal lines (SB1 to SB<sub>n</sub>). This prevents generation of a luminance difference caused by division of the data signal line while assuring a long pixel charge time.

(57) 要約: 液晶パネル(11)の行方向に隣接する画素(P)間に、データ信号線を2本ずつ配置する。画素(P)の各列と各行には、左側に配置されたデータ信号線(SA<sub>j</sub>)に接続されたA型画素(Pa)と、右側に配置されたデータ信号線(SB<sub>j</sub>)に接続されたB型画素(Pb)を交互に配置する。走査信号線駆動回路(13)は、走査信号線(G1~G<sub>m</sub>)を2本ずつ順に選択する。データ信号線(SA1~SA<sub>n</sub>)にデータ電圧を印加するデータ信号線駆動回路(14)を液晶パネル(11)の上側に配置し、データ信号線(SB1~SB<sub>n</sub>)にデータ電圧を印加するデータ信号線駆動回路(15)を液晶パネル(11)の下側に配置する。これにより、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防

止する。

WO 2009/148006 A1

## 明 細 書

**発明の名称**：表示装置

**技術分野**

[0001] 本発明は、液晶表示装置などのマトリクス型の表示装置、および、その駆動方法に関する。

**背景技術**

[0002] マトリクス型の表示装置は、一般に、走査信号線を1本ずつ順に選択し、データ信号線に対して映像信号に応じた電圧（以下、データ電圧という）を印加することにより、1フレーム時間内に各画素にデータ電圧を書き込み、画面表示を行う。

[0003] 表示装置では、大画面化のために走査信号線の本数を増やしたり、動画性能改善のためにフレーム時間を短くしたりすることがある。例えば、大型の液晶テレビでは、応答速度が遅い液晶を用いてボケのない動画を表示するために、フレーム時間を通常の半分（例えば、1/120秒）にした倍速駆動が行われる。ところが、走査信号線の本数を増やした表示装置や、フレーム時間を短くした表示装置では、走査信号線を選択期間が短くなるために、画素にデータ電圧を書き込むときに十分な充電時間を確保することが困難になる。

[0004] この問題を解決する方法の1つとして、複数の走査信号線を同時に選択する方法がある。図11は、複数の走査信号線を同時に選択する従来の液晶表示装置の構成を示すブロック図である。図11に示す液晶表示装置90は、液晶パネル91、表示制御回路92、走査信号線駆動回路93、および、データ信号線駆動回路94、95を備えている。液晶パネル91は、 $(m \times n)$ 個の画素P、 $m$ 本の走査信号線G1～G $m$ 、および、 $n$ 本のデータ信号線を含んでいる。図12は、液晶パネル91の上下方向中央部分のレイアウト図である。

[0005] 図11および図12に示すように、 $n$ 本のデータ信号線は、液晶パネル9

1の中央で上半分SU1～SUnと下半分SL1～SLnに分割される。データ信号線駆動回路94は、液晶パネル91の上側に配置され、データ信号線の上半分SU1～SUnにデータ電圧を印加する。データ信号線駆動回路95は、液晶パネル91の下側に配置され、データ信号線駆動回路94と並列に、データ信号線の下半分SL1～SLnにデータ電圧を印加する。走査信号線駆動回路93は、走査信号線G1～Gm/2と走査信号線Gm/2+1～Gmの中から走査信号線を1本ずつ選択することにより、2本の走査信号線を同時に選択する。このようにデータ信号線を2つに分割した上で、2本の走査信号線を同時に選択すると共に、2分割したデータ信号線に並列にデータ電圧を印加することにより、従来と同じ能力の駆動回路を用いて倍速駆動を行うことができる。

- [0006] なお、本願発明に関連して、従来から以下のような技術が知られている。特許文献1には、画素欠陥対策のために、少なくとも部分的に複線化された構造を有するデータ信号線を備えたアクティブマトリクス基板が記載されている。特許文献2には、各行の画素に含まれる薄膜トランジスタのゲート電極を第N番目のゲートラインと第(N+1)番目のゲートラインに交互に接続した液晶表示装置が記載されている。

### 先行技術文献

#### 特許文献

- [0007] 特許文献1：国際特許第2005/116745号パンフレット  
特許文献2：日本国特開2005-18077号公報

#### 発明の概要

#### 発明が解決しようとする課題

- [0008] 上述したように、図11に示す液晶表示装置90によれば、従来と同じ能力の駆動回路を用いて倍速駆動を行うことができる。しかしながら、液晶表示装置90では、データ信号線の上半分SU1～SUnはデータ信号線駆動回路94によって駆動され、データ信号線の下半分SL1～SLnはデータ

信号線駆動回路 95 によって駆動される。このため、データ信号線の上半分  $SU1 \sim SU_n$  と下半分  $SL1 \sim SL_n$  の間で、駆動条件（例えば、駆動回路の特性、駆動回路に供給される電源電圧、電源から駆動回路までの配線長など）に差異が生じる。この差異が大きいと、表示画面内の中央（データ信号線の分割位置）で輝度差が生じ（図 13 を参照）、表示品位が低下することがある。

[0009] それ故に、本発明は、画素への充電時間を長く確保でき、データ信号線の分割に伴う輝度差が生じない表示装置を提供することを目的とする。

### 課題を解決するための手段

[0010] 本発明の第 1 の局面は、複数の走査信号線を同時に選択するマトリクス型の表示装置であって、

行方向および列方向に並べて配置された複数の画素と、

同じ行に配置された画素に接続される複数の走査信号線と、

同じ列に配置された画素に接続される複数のデータ信号線と、

前記走査信号線を 2 本ずつ順に選択する走査信号線駆動回路と、

前記データ信号線に対して、選択された走査信号線に接続された画素に書き込むべき電圧を印加するデータ信号線駆動回路とを備え、

行方向に隣接する画素間には前記データ信号線が 2 本ずつ配置されており、

前記データ信号線のそれぞれには、前記画素の列の中から所定の規則に従い間隔を空けて選択された略半数の画素が接続されていることを特徴とする。

[0011] 本発明の第 2 の局面は、本発明の第 1 の局面において、

前記画素の各列には、画素の一方の側に配置されたデータ信号線に接続された第 1 画素と、画素の他方の側に配置されたデータ信号線に接続された第 2 画素とが交互に配置されていることを特徴とする。

[0012] 本発明の第 3 の局面は、本発明の第 2 の局面において、

前記画素の各行にも、前記第 1 画素と前記第 2 画素とが交互に配置されて

いることを特徴とする。

- [0013] 本発明の第4の局面は、本発明の第2の局面において、  
前記画素の配置領域には、前記第1画素を配置した行と前記第2画素を配置した行とが、列方向に交互に配置されていることを特徴とする。
- [0014] 本発明の第5の局面は、本発明の第1の局面において、  
前記データ信号線駆動回路は、行方向に隣接する画素間に配置された2本のデータ信号線の一方を駆動する第1の回路と、他方を駆動する第2の回路とを含み、  
前記第1の回路と前記第2の回路とは、前記画素の配置領域の対向する2辺のそれぞれに沿って配置されていることを特徴とする。
- [0015] 本発明の第6の局面は、本発明の第1の局面において、  
前記画素の各列には、画素の一方の側に近接して配置されたデータ信号線に接続された第1画素と、画素の同じ側に離間して配置されたデータ信号線に接続された第2画素とが交互に配置されていることを特徴とする。
- [0016] 本発明の第7の局面は、本発明の第6の局面において、  
前記画素の各行にも、前記第1画素と前記第2画素とが交互に配置されていることを特徴とする。
- [0017] 本発明の第8の局面は、本発明の第6の局面において、  
前記画素の配置領域には、前記第1画素を配置した行と前記第2画素を配置した行とが、列方向に交互に配置されていることを特徴とする。
- [0018] 本発明の第9の局面は、行方向および列方向に並べて配置された複数の画素と、同じ行に配置された画素に接続される複数の走査信号線と、同じ列に配置された画素に接続される複数のデータ信号線とを有し、行方向に隣接する画素間には前記データ信号線が2本ずつ配置されており、前記データ信号線のそれぞれには、前記画素の列の中から所定の規則に従い間隔を空けて選択された略半数の画素が接続されているマトリクス型の表示装置の駆動方法であって、  
前記走査信号線を2本ずつ順に選択するステップと、

前記データ信号線に対して、選択された走査信号線に接続された画素に書き込むべき電圧を印加するステップとを備える。

### 発明の効果

- [0019] 本発明の第1または第9の局面によれば、行方向の画素数の2倍のデータ信号線を設け、列方向の画素数の略半数の画素を各データ信号線に接続した上で、走査信号線を2本ずつ順に選択すると共に、データ信号線に2行分の画素に対応したデータ電圧を印加することにより、走査信号線の選択期間を長くして、画素への充電時間を長く確保することができる。また、各データ信号線には画素の列の中から間隔を空けて選択した略半数の画素が接続されるので、画素間に配置された2本のデータ信号線の一方に接続された画素と、他方に接続された画素とは混在して配置される。このため、データ信号線を分割して駆動する場合とは異なり、画素間に配置された2本のデータ信号線の間で駆動条件に差異があっても、この差異に起因する輝度差は表示画面では目立たない。したがって、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。
- [0020] 本発明の第2の局面によれば、画素の各列に第1画素（画素の一方の側に配置されたデータ信号線に接続された画素）と第2画素（画素の他方の側に配置されたデータ信号線に接続された画素）を交互に配置することにより、第1画素と第2画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。また、ドット反転駆動やライン反転駆動のように、画素に書き込む電圧の極性を行ごとに切り替える駆動を行う場合には、データ信号線の電圧の極性はフレーム時間内で一定になる。したがって、データ信号線の電圧変動を抑制し、表示装置の消費電力を削減することができる。
- [0021] 本発明の第3の局面によれば、第1画素と第2画素を市松模様状に配置することにより、第1画素と第2画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。
- [0022] 本発明の第4の局面によれば、第1画素と第2画素を行ごとに切り替えて配置することにより、第1画素と第2画素を混在して配置し、データ信号線

の分割に伴う輝度差を防止することができる。

[0023] 本発明の第5の局面によれば、データ信号線駆動回路を2つの部分に分け、一方を画素の配置領域の一辺に沿って配置し、他方を画素の配置領域の対向する辺に沿って配置することにより、多数のデータ信号線を駆動するデータ信号線駆動回路を容易に実装することができる。

[0024] 本発明の第6の局面によれば、画素の各列に第1画素（画素の一方の側に近接して配置されたデータ信号線に接続された画素）と第2画素（画素の同じ側に離間して配置されたデータ信号線に接続された画素）を交互に配置することにより、第1画素と第2画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。また、ドット反転駆動やライン反転駆動のように、画素に書き込む電圧の極性を行ごとに切り替える駆動を行う場合には、データ信号線の電圧の極性はフレーム時間内で一定になる。したがって、データ信号線の電圧変動を抑制し、表示装置の消費電力を削減することができる。

[0025] 本発明の第7の局面によれば、第1画素と第2画素を市松模様状に配置することにより、第1画素と第2画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。

[0026] 本発明の第8の局面によれば、第1画素と第2画素を行ごとに切り替えて配置することにより、第1画素と第2画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。

### 図面の簡単な説明

[0027] [図1]本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]図1に示す液晶表示装置の液晶パネルのレイアウト図である。

[図3]図1に示す液晶表示装置のタイミングチャートである。

[図4]図1に示す液晶表示装置でドット反転駆動を行う場合のデータ信号線の電圧の極性の変化を示す図である。

[図5]図1に示す液晶表示装置でライン反転駆動を行う場合のデータ信号線の

電圧の極性の変化を示す図である。

[図6]本発明の第2の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図7]本発明の第3の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図8]図7に示す液晶表示装置の液晶パネルのレイアウト図である。

[図9]本発明の第4の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図10]本発明の第5の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図11]従来の液晶表示装置の構成を示すブロック図である。

[図12]図11に示す液晶表示装置の液晶パネルの上下方向中央部分のレイアウト図である。

[図13]図11に示す液晶表示装置による表示画面を示す図である。

### 発明を実施するための形態

[0028] (第1の実施形態)

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置10は、マトリクス型の表示装置の一種であり、液晶パネル11、表示制御回路12、走査信号線駆動回路13、および、データ信号線駆動回路14、15を備えている。以下、 $m$ および $n$ は2以上の整数、 $i$ は1以上 $m$ 以下の整数、 $j$ は1以上 $n$ 以下の整数であるとする。

[0029] 液晶パネル11は、 $(m \times n)$ 個の画素 $P$ 、 $m$ 本の走査信号線 $G_1 \sim G_m$ 、および、 $2n$ 本のデータ信号線 $SA_1 \sim SA_n$ 、 $SB_1 \sim SB_n$ を含んでいる。画素 $P$ は、行方向(図1では横方向)に $n$ 個ずつ、列方向(図1では縦方向)に $m$ 個ずつ並べて配置される。走査信号線 $G_1 \sim G_m$ は、行方向に伸延し、列方向に並べて互いに平行に配置される。データ信号線 $SA_1 \sim SA_n$ 、 $SB_1 \sim SB_n$ は、列方向に伸延し、走査信号線 $G_1 \sim G_m$ と直交す

るように、行方向に並べて互いに平行に配置される。液晶パネル 11 の一辺（図 1 では上側の辺）にはデータ信号線 SA1 ~ SA<sub>n</sub> への接続端子が設けられ、液晶パネル 11 の対向する辺（図 1 では下側の辺）にはデータ信号線 SB1 ~ SB<sub>n</sub> への接続端子が設けられる。

[0030]  $i$  行目に配置された  $n$  個の画素 P は、いずれも走査信号線 G <sub>$i$</sub>  に接続される。一方、 $j$  列目に配置された  $m$  個の画素 P は 2 つのグループに分けられ、一方のグループに属する画素はデータ信号線 SA <sub>$j$</sub>  に接続され、他方のグループに属する画素はデータ信号線 SB <sub>$j$</sub>  に接続される（詳細は後述）。

[0031] 表示制御回路 12 は、液晶表示装置 10 の動作を制御する。より詳細には、表示制御回路 12 は、外部から供給された制御信号と映像信号（いずれも図示せず）に基づき、走査信号線駆動回路 13 に対してタイミング制御信号 C1 を出力すると共に、データ信号線駆動回路 14、15 に対してタイミング制御信号 C2 と映像信号 VS を出力する。タイミング制御信号 C1 にはゲートスタートパルスやゲートクロックなどが含まれ、タイミング制御信号 C2 にはソーススタートパルスやソースクロックなどが含まれる。

[0032] 走査信号線駆動回路 13 は、タイミング制御信号 C1 に基づき、走査信号線 G1 ~ G <sub>$m$</sub>  を 2 本ずつ順に選択する。より詳細には、液晶表示装置 10 では、隣接して配置された 2 本の走査信号線（例えば、走査信号線 G1、G2）は、液晶パネル 11 の内部または外部で電氣的に接続され、1 フレーム時間は  $m/2$  個以上のライン時間に分割される。走査信号線駆動回路 13 は、タイミング制御信号 C1 に基づき 1 ライン時間ごとに、電氣的に接続された 2 本の走査信号線を順次選択し、選択した 2 本の走査信号線に選択電圧（例えば、ハイレベル電圧）を印加する。これにより、1 ライン時間ごとに 2 本の走査信号線が選択され、2 行分の画素（2 <sub>$n$</sub>  個の画素）が電圧書き込み可能な状態になる。

[0033] データ信号線駆動回路 14 は液晶パネル 11 の一辺（図 1 では上側の辺）に沿って配置され、データ信号線駆動回路 15 は液晶パネル 11 の対向する辺（図 1 では下側の辺）に沿って配置される。データ信号線駆動回路 14、

15は、並列に動作し、それぞれ $n$ 個のデータ電圧を出力する。データ信号線駆動回路14は、タイミング制御信号C2と映像信号VSに基づき、1ライン時間内にデータ信号線SA1～SANに対してデータ電圧を印加する。データ信号線駆動回路15は、タイミング制御信号C2と映像信号VSに基づき、1ライン時間内にデータ信号線SB1～SBnに対してデータ電圧を印加する。これにより、1ライン時間ごとに $2n$ 本のデータ信号線にデータ電圧が印加され、走査信号線駆動回路13によって選択された2行分の画素にデータ電圧が書き込まれる。

[0034] 図2は、液晶パネル11のレイアウト図である。図2では、 $i$ および $j$ は奇数であるとした。図2には、走査信号線Gi～Gi+3とデータ信号線SAj～SAj+3の交点付近に配置された16個の画素が記載されている。液晶パネル11の他の部分の構成は、図2と同じである。

[0035] 図2に示すように、走査信号線Giは、 $i$ 行目に配置された画素の上側（レイアウト平面内での上側）に配置される。データ信号線SAjは、 $j$ 列目に配置された画素の左側に配置される。データ信号線SBjは、 $j$ 列目に配置された画素の右側に配置される。これにより、行方向に隣接する2個の画素の間には、データ信号線が2本ずつ配置される。例えば、図2で左上の画素とその右隣の画素の間には、2本のデータ信号線SBj、SAj+1が配置されている。

[0036] 液晶パネル11内の画素Pは、左側に配置されたデータ信号線SAjに接続される画素Pa（以下、A型画素という）と、右側に配置されたデータ信号線SBjに接続される画素Pb（以下、B型画素という）とに分類される。A型画素PaとB型画素Pbは、いずれも薄膜トランジスタ（Thin Film Transistor：以下、TFTと略称する）1と画素電極2を含んでいる（図2を参照）。A型画素Paに含まれるTFT1は、データ信号線SAjに接近させて画素の左上部分に配置される。B型画素Pbに含まれるTFT1は、データ信号線SBjに接近させて画素の右上部分に配置される。

- [0037] 画素Pの各列には、A型画素P<sub>a</sub>とB型画素P<sub>b</sub>が交互に配置される。これに加えて、画素Pの各行にも、A型画素P<sub>a</sub>とB型画素P<sub>b</sub>が交互に配置される。このようにA型画素P<sub>a</sub>とB型画素P<sub>b</sub>は、液晶パネル11内に市松模様状に配置される。具体的には、図1および図2に示すように、奇数行目かつ奇数列目と偶数行目かつ偶数列目にはA型画素P<sub>a</sub>が配置され、奇数行目かつ偶数列目と偶数行目かつ奇数列目にはB型画素P<sub>b</sub>が配置される。この結果、データ信号線S<sub>Aj</sub>、S<sub>Bj</sub>には、画素の列の中から1つ飛ばしに選択された半数の画素（ $m/2$ 個の画素）が接続される。
- [0038] 図3は、液晶表示装置10のタイミングチャートである。図3に示すように、垂直同期信号VSYNCは1フレーム時間ごとにハイレベルになり、水平同期信号HSYNCは1ライン時間ごとにハイレベルになる。上述したように、1フレーム時間は $m/2$ 個以上のライン時間に分割される。
- [0039] 各ライン時間では、走査信号線G<sub>1</sub>～G<sub>m</sub>の中から2本の走査信号線が選択され、選択された走査信号線には選択電圧（ここでは、ハイレベル電圧）が印加される。例えば、垂直同期信号VSYNCがローレベルに変化した後の最初のライン時間（以下、第1ライン時間という）では、走査信号線G<sub>1</sub>、G<sub>2</sub>にハイレベル電圧が印加され、次のライン時間（以下、第2ライン時間という）では走査信号線G<sub>3</sub>、G<sub>4</sub>にハイレベル電圧が印加され、その次のライン時間（以下、第3ライン時間という）では走査信号線G<sub>5</sub>、G<sub>6</sub>にハイレベル電圧が印加される。
- [0040] また、各ライン時間では、データ信号線S<sub>A1</sub>～S<sub>An</sub>、S<sub>B1</sub>～S<sub>Bn</sub>には、選択された走査信号線に接続された2n個の画素に書き込むべきデータ電圧が印加される。例えば、第1ライン時間ではデータ信号線S<sub>A1</sub>～S<sub>An</sub>、S<sub>B1</sub>～S<sub>Bn</sub>には、走査信号線G<sub>1</sub>、G<sub>2</sub>に接続された2n個の画素に書き込むべきデータ電圧（図3では「1/2」と記載。以下、同じ）が印加される。第2ライン時間ではデータ信号線S<sub>A1</sub>～S<sub>An</sub>、S<sub>B1</sub>～S<sub>Bn</sub>には、走査信号線G<sub>3</sub>、G<sub>4</sub>に接続された2n個の画素に書き込むべきデータ電圧が印加される。第3ライン時間ではデータ信号線S<sub>A1</sub>～S<sub>An</sub>

、SB1～SBnには、走査信号線G5、G6に接続された2n個の画素に書き込むべきデータ電圧が印加される。

[0041] これにより、第1ライン時間では、走査信号線G1、G2に接続された2n個の画素にデータ電圧が書き込まれる。第2ライン時間では、走査信号線G3、G4に接続された2n個の画素にデータ電圧が書き込まれる。第3ライン時間では、走査信号線G5、G6に接続された2n個の画素にデータ電圧が書き込まれる。このように2行分の画素にデータ電圧を書き込む動作を1フレーム時間内にm/2回行うことにより、1フレーム時間内に液晶パネル11内のすべての画素Pにデータ電圧を書き込むことができる。

[0042] 上記の動作を行うために、表示制御回路12は、液晶パネル11における画素とデータ信号線の接続形態に合わせて映像信号VSを出力する。i行目かつj列目に配置された画素を画素P(i, j)としたとき、データ信号線駆動回路14、15は、例えば第1ライン時間では、データ信号線SA1、SB1、SA2、SB2に対して、それぞれ、画素P(1, 1)、P(2, 1)、P(2, 2)、P(1, 2)に書き込むべきデータ電圧を印加する。これに対応して、表示制御回路12は、第1ライン時間が始まる前に、画素P(1, 1)、P(2, 2)などの画素値を含む映像信号VSをデータ信号線駆動回路14に対して出力すると共に、画素P(2, 1)、P(1, 2)などの画素値を含む映像信号VSをデータ信号線駆動回路15に対して出力する。

[0043] また、液晶表示装置10は、フレーム反転駆動とドット反転駆動を行う。このため、奇数番目のフレーム時間では、データ信号線駆動回路14はデータ信号線SA1～SANに対して正極性電圧（共通電極電圧よりも高い電圧）を印加し、データ信号線駆動回路15はデータ信号線SB1～SBnに対して負極性電圧（共通電極電圧よりも低い電圧）を印加する。偶数番目のフレーム時間では、データ信号線駆動回路14、15は、データ信号線SA1～SAN、SB1～SBnに対して奇数番目のフレーム時間とは逆極性の電圧を印加する。図4は、データ信号線SA1～SAN、SB1～SBnの電

圧の極性の変化を示す図である。図4に示すように、データ信号線SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>の電圧の極性は、フレーム時間内で一定になる。

[0044] なお、液晶表示装置10は、ドット反転駆動に代えて、ライン反転駆動を行ってもよい。この場合、奇数番目のフレーム時間では、データ信号線駆動回路14は、データ信号線SA1～SA<sub>n</sub>のうち奇数番目の信号線に対して正極性電圧を印加し、偶数番目の信号線に対して負極性電圧を印加する。データ信号線駆動回路15は、データ信号線SB1～SB<sub>n</sub>のうち奇数番目の信号線に対して負極性電圧を印加し、偶数番目の信号線に対して正極性電圧を印加する。偶数番目のフレーム時間では、データ信号線駆動回路14、15は、データ信号線SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>に奇数番目のフレーム時間とは逆極性の電圧を印加する。図5は、ライン反転駆動を行う場合のデータ信号線SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>の電圧の極性の変化を示す図である。図5に示すように、ライン反転駆動を行う場合でも、データ信号線SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>の電圧の極性は、フレーム時間内で一定になる。

[0045] 以上に示すように、本実施形態に係る液晶表示装置10は、(m×n)個の画素P、m本の走査信号線G1～G<sub>m</sub>、2n本のデータ信号線SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>、走査信号線駆動回路13、および、データ信号線駆動回路14、15を備えている。また、行方向に隣接する画素P間にはデータ信号線が2本ずつ配置されており、2n本のデータ信号線のそれぞれには、画素Pの列の中から1つ飛ばしに選択された半数の画素(m/2個の画素)が接続されており、走査信号線駆動回路13は走査信号線G1～G<sub>m</sub>を2本ずつ順に選択する。

[0046] このように行方向の画素数の2倍のデータ信号線を設け、列方向の画素数の半数の画素を各データ信号線に接続した上で、走査信号線を2本ずつ順に選択すると共に、データ信号線に2行分の画素に対応したデータ電圧を印加することにより、走査信号線の選択期間を長くして、画素への充電時間を長く確保することができる。また、各データ信号線には画素の列の中から間隔

を空けて選択した半数の画素が接続されるので、画素間に配置された2本のデータ信号線の一方に接続された画素と、他方に接続された画素とは混在して配置される。このため、データ信号線を分割して駆動する場合とは異なり、画素間に配置された2本のデータ信号線の間で駆動条件に差異があっても、この差異に起因する輝度差は表示画面では目立たない。したがって、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。

[0047] また、液晶表示装置10では、画素Pの各列には、A型画素（画素の一方の側に配置されたデータ信号線に接続された画素）とB型画素（画素の他方の側に配置されたデータ信号線に接続された画素）が交互に配置され、画素Pの各行にもA型画素とB型画素が交互に配置されている。このようにA型画素とB型画素を市松模様状に配置することにより、A型画素とB型画素を混在して配置し、データ信号線の分割に伴う輝度差を防止することができる。

[0048] また、画素Pの各列にA型画素とB型画素が交互に配置されているので、ドット反転駆動やライン反転駆動のように、画素に書き込む電圧の極性を行ごとに切り替える駆動を行う場合に、データ信号線の電圧の極性はフレーム時間内で一定になる（図4および図5を参照）。したがって、データ信号線の電圧変動を抑制し、液晶表示装置の消費電力を削減することができる。

[0049] また、液晶表示装置10は、データ信号線SA1～SANを駆動するデータ信号線駆動回路14と、データ信号線SB1～SBNを駆動するデータ信号線駆動回路15とを備え、これら2つの回路は液晶パネル11の対向する2辺のそれぞれに沿って配置される。このようにデータ信号線駆動回路を2つの部分に分け、一方を画素の配置領域の一辺に沿って配置し、他方を画素の配置領域の対向する辺に沿って配置することにより、多数のデータ信号線を駆動するデータ信号線駆動回路を容易に実装することができる。

[0050] （第2の実施形態）

図6は、本発明の第2の実施形態に係る液晶表示装置の構成を示すブロッ

ク図である。図6に示す液晶表示装置20は、第1の実施形態に係る液晶表示装置10において、液晶パネル11と表示制御回路12を液晶パネル21と表示制御回路22に置換したものである。以下に示す実施形態の構成要素のうち、先に述べた実施形態と同一のものについては、同一の参照符号を付して説明を省略する。

[0051] 液晶パネル21は、第1の実施形態に係る液晶パネル11と同様に、 $(m \times n)$ 個の画素P、 $m$ 本の走査信号線G1~G $m$ 、 $2n$ 本のデータ信号線SA1~SA $n$ 、SB1~SB $n$ を含んでいる。液晶パネル21内の画素Pは、A型画素P $a$ とB型画素P $b$ に分類される。液晶パネル21では、液晶パネル11とは異なり、奇数行目にはA型画素P $a$ のみが配置され、偶数行目にはB型画素P $b$ のみが配置される。このように液晶パネル21では、A型画素P $a$ を配置した行とB型画素P $b$ を配置した行とが、列方向に交互に配置されている。

[0052] 表示制御回路22は、第1の実施形態に係る表示制御回路12と同様に、タイミング制御信号C1、C2、および、映像信号VSを出力する。表示制御回路22は、液晶パネル21における画素とデータ信号線の接続形態に合わせて映像信号VSを出力する。データ信号線駆動回路14、15は、例えば第1ライン時間では、データ信号線SA1、SB1、SA2、SB2に対して、それぞれ、画素P(1, 1)、P(2, 1)、P(1, 2)、P(2, 2)に書き込むべきデータ電圧を印加する。これに対応して、表示制御回路22は、第1ライン時間が始まる前に、画素P(1, 1)、P(1, 2)などの画素値を含む映像信号VSをデータ信号線駆動回路14に対して出力すると共に、画素P(2, 1)、P(2, 2)などの画素値を含む映像信号VSをデータ信号線駆動回路15に対して出力する。

[0053] 以上に示すように、本実施形態に係る液晶表示装置20では、A型画素(画素の一方の側に配置されたデータ信号線に接続された画素)を配置した行とB型画素(画素の他方の側に配置されたデータ信号線に接続された画素)を配置した行とが、列方向に交互に配置されている。このようにA型画素と

B型画素を行ごとに切り替えて配置することにより、A型画素とB型画素を混在して配置することができる。したがって、第1の実施形態と同様に、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。また、ドット反転駆動やライン反転駆動を行う場合に、データ信号線の電圧変動を抑制し、液晶表示装置の消費電力を削減することができる。

[0054] (第3の実施形態)

図7は、本発明の第3の実施形態に係る液晶表示装置の構成を示すブロック図である。図7に示す液晶表示装置30は、第1の実施形態に係る液晶表示装置10において、液晶パネル11を液晶パネル31に置換したものである。

[0055] 液晶パネル31は、第1の実施形態に係る液晶パネル11と同様に、 $(m \times n)$  個の画素P、 $m$ 本の走査信号線 $G_1 \sim G_m$ 、 $2n$ 本のデータ信号線 $SA_1 \sim SA_n$ 、 $SB_1 \sim SB_n$ を含んでいる。図8は、液晶パネル31のレイアウト図である。図8に示すように、走査信号線 $G_i$ は、 $i$ 行目に配置された画素の上側に配置される。データ信号線 $SA_j$ は $j$ 列目に配置された画素の左側に配置され、データ信号線 $SB_j$ はデータ信号線 $SA_j$ の左側に配置される。言い換えると、データ信号線 $SA_j$ は $j$ 列目に配置された画素の左側に隣接して配置され、データ信号線 $SB_j$ は $j$ 列目に配置された画素の左側に離間して配置される。これにより、行方向に隣接する2個の画素の間には、データ信号線が2本ずつ配置される。例えば、図8で左上の画素とその右隣の画素の間には、2本のデータ信号線 $SA_{j+1}$ 、 $SB_{j+1}$ が配置されている。

[0056] 液晶パネル31内の画素Pは、左側に隣接して配置されたデータ信号線 $SA_j$ に接続されるA型画素 $P_a$ と、左側に離間して配置されたデータ信号線 $SB_j$ に接続される画素 $P_c$ （以下、C型画素という）とに分類される。A型画素 $P_a$ とC型画素 $P_c$ は、いずれもTFT1と画素電極2を含み、レイアウト形態も同じである（図8を参照）。A型画素 $P_a$ に含まれるTFT1

のソース端子は、データ信号線  $S A_j$  に接続される。C型画素  $P_c$  に含まれる  $T F T_1$  のソース端子は、データ信号線  $S A_j$  と電氣的に短絡せずに交差する配線を用いて、データ信号線  $S B_j$  に接続される。

[0057] 以上に示すように、本実施形態に係る液晶表示装置 30 では、画素  $P$  の各列には、A型画素（画素の一方の側に近接して配置されたデータ信号線に接続された画素）とC型画素（画素の同じ側に離間して配置されたデータ信号線に接続された画素）が交互に配置され、画素  $P$  の各行にもA型画素とC型画素が交互に配置されている。このようにA型画素とC型画素を市松模様状に配置することにより、A型画素とC型画素を混在して配置することができる。したがって、第1の実施形態と同様に、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。また、ドット反転駆動やライン反転駆動を行う場合に、データ信号線の電圧変動を抑制し、液晶表示装置の消費電力を削減することができる。

[0058] （第4の実施形態）

図9は、本発明の第4の実施形態に係る液晶表示装置の構成を示すブロック図である。図9に示す液晶表示装置 40 は、第3の実施形態に係る液晶表示装置 30 において、液晶パネル 31 と表示制御回路 12 を液晶パネル 41 と表示制御回路 22 に置換したものである。

[0059] 液晶パネル 41 は、第3の実施形態に係る液晶パネル 31 と同様に、 $(m \times n)$  個の画素  $P$ 、 $m$  本の走査信号線  $G_1 \sim G_m$ 、 $2n$  本のデータ信号線  $S A_1 \sim S A_n$ 、 $S B_1 \sim S B_n$  を含んでいる。液晶パネル 41 内の画素  $P$  は、A型画素  $P_a$  とC型画素  $P_c$  に分類される。液晶パネル 41 では、液晶パネル 31 とは異なり、奇数行目にはA型画素  $P_a$  のみが配置され、偶数行目にはC型画素  $P_c$  のみが配置される。このように液晶パネル 41 では、A型画素  $P_a$  を配置した行とC型画素  $P_c$  を配置した行とが、列方向に交互に配置されている。

[0060] 以上に示すように、本実施形態に係る液晶表示装置 40 では、A型画素（画素の一方の側に近接して配置されたデータ信号線に接続された画素）を配

置した行とC型画素（画素の同じ側に離間して配置されたデータ信号線に接続された画素）を配置した行とが、列方向に交互に配置されている。このようにA型画素とC型画素を行ごとに切り替えて配置することにより、A型画素とC型画素を混在して配置することができる。したがって、第3の実施形態と同様に、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。また、ドット反転駆動やライン反転駆動を行う場合に、データ信号線の電圧変動を抑制し、液晶表示装置の消費電力を削減することができる。

[0061] （第5の実施形態）

図10は、本発明の第5の実施形態に係る液晶表示装置の構成を示すブロック図である。図10に示す液晶表示装置50は、液晶パネル51、表示制御回路52、走査信号線駆動回路13、および、データ信号線駆動回路54を備えている。液晶表示装置50は、第1の実施形態に係る液晶表示装置10に対して、データ信号線駆動回路の実装形態を変更したものである。

[0062] 液晶パネル51は、第1の実施形態に係る液晶パネル11と同様に、 $(m \times n)$  個の画素P、 $m$ 本の走査信号線G1～G $m$ 、 $2n$ 本のデータ信号線SA1～SA $n$ 、SB1～SB $n$ を含んでいる。液晶パネル51における画素の配置、および、画素とデータ信号線の接続形態は、液晶パネル11と同じである。液晶パネル51では、液晶パネル11とは異なり、データ信号線SA1～SA $n$ への接続端子とデータ信号線SB1～SB $n$ への接続端子は、液晶パネル51の同じ辺（図10では上側の辺）に設けられている。

[0063] データ信号線駆動回路54は、液晶パネル51の一边（図10では上側の辺）に沿って配置される。データ信号線駆動回路54は、タイミング制御信号C2と映像信号VSに基づき、1ライン時間内にデータ信号線SA1～SA $n$ 、SB1～SB $n$ に対してデータ電圧（ $2n$ 個のデータ電圧）を印加する。

[0064] 表示制御回路52は、第1の実施形態に係る表示制御回路12と同様に、タイミング制御信号C1、C2、および、映像信号VSを出力する。表示制

御回路52は、データ信号線駆動回路54の実装形態に合わせて映像信号VSを出力する。データ信号線駆動回路54は、例えば第1ライン時間では、データ信号線SA1、SB1、SA2、SB2に対して、それぞれ、画素P(1, 1)、P(2, 1)、P(1, 2)、P(2, 2)に書き込むべきデータ電圧を印加する。これに対応して、表示制御回路52は、第1ライン時間が始まる前に、画素P(1, 1)、P(1, 2)、P(2, 1)、P(2, 2)の画素値などを含む映像信号VSをデータ信号線駆動回路54に対して出力する。

[0065] 以上に示すように、本実施形態に係る液晶表示装置50は、液晶パネル51の一辺に沿って配置されたデータ信号線駆動回路54を備えている。このようなデータ信号線駆動回路を用いても、第1の実施形態と同様に、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。また、第2～第4の実施形態に係る液晶表示装置について同様の変更を施すことにより、同様の効果を奏する液晶表示装置を構成することができる。

[0066] なお、上記各実施形態に係る液晶表示装置では、画素Pの各列に2種類の画素を交互に配置することとしたが、2種類の画素をs個（sは2以上の整数）ずつ交互に配置してもよい。あるいは、液晶パネルの大部分では画素の各列に2種類の画素をt個（tは1以上の整数）ずつ交互に配置し、それ以外の部分では任意の種類画素を配置してもよい。これらの変形例に係る液晶表示装置でも、データ信号線のそれぞれには、同じ列に配置された画素の中から所定の規則に従い間隔を空けて選択された略半数の画素が接続される。したがって、第1～第5の実施形態と同様に、画素への充電時間を長く確保しながら、データ信号線の分割に伴う輝度差を防止することができる。

[0067] また、上記各実施形態に係る液晶表示装置では、駆動回路を液晶パネルの外部に設けることとしたが、駆動回路の全部または一部を液晶パネルと一体に形成してもよい。また、以上に述べた方法を用いて、液晶表示装置以外の表示装置を構成することもできる。

## 産業上の利用可能性

[0068] 本発明の表示装置は、画素への充電時間を長く確保でき、データ信号線の分割に伴う輝度差が生じないという特徴を有するので、液晶表示装置など、各種のマトリクス型の表示装置に利用することができる。

## 符号の説明

[0069] 1…TFT  
2…画素電極  
10、20、30、40、50…液晶表示装置  
11、21、31、41、51…液晶パネル  
12、22、52…表示制御回路  
13…走査信号線駆動回路  
14、15、54…データ信号線駆動回路  
P…画素  
G1～Gm…走査信号線  
SA1～SA<sub>n</sub>、SB1～SB<sub>n</sub>…データ信号線

## 請求の範囲

- [請求項1] 複数の走査信号線を同時に選択するマトリクス型の表示装置であつて、
- 行方向および列方向に並べて配置された複数の画素と、
- 同じ行に配置された画素に接続される複数の走査信号線と、
- 同じ列に配置された画素に接続される複数のデータ信号線と、
- 前記走査信号線を2本ずつ順に選択する走査信号線駆動回路と、
- 前記データ信号線に対して、選択された走査信号線に接続された画素に書き込むべき電圧を印加するデータ信号線駆動回路とを備え、
- 行方向に隣接する画素間には前記データ信号線が2本ずつ配置されており、
- 前記データ信号線のそれぞれには、前記画素の列の中から所定の規則に従い間隔を空けて選択された略半数の画素が接続されていることを特徴とする、表示装置。
- [請求項2] 前記画素の各列には、画素の一方の側に配置されたデータ信号線に接続された第1画素と、画素の他方の側に配置されたデータ信号線に接続された第2画素とが交互に配置されていることを特徴とする、請求項1に記載の表示装置。
- [請求項3] 前記画素の各行にも、前記第1画素と前記第2画素とが交互に配置されていることを特徴とする、請求項2に記載の表示装置。
- [請求項4] 前記画素の配置領域には、前記第1画素を配置した行と前記第2画素を配置した行とが、列方向に交互に配置されていることを特徴とする、請求項2に記載の表示装置。
- [請求項5] 前記データ信号線駆動回路は、行方向に隣接する画素間に配置された2本のデータ信号線の一方を駆動する第1の回路と、他方を駆動する第2の回路とを含み、
- 前記第1の回路と前記第2の回路とは、前記画素の配置領域の対向する2辺のそれぞれに沿って配置されていることを特徴とする、請求

項 1 に記載の表示装置。

[請求項6] 前記画素の各列には、画素の一方の側に近接して配置されたデータ信号線に接続された第 1 画素と、画素の同じ側に離間して配置されたデータ信号線に接続された第 2 画素とが交互に配置されていることを特徴とする、請求項 1 に記載の表示装置。

[請求項7] 前記画素の各行にも、前記第 1 画素と前記第 2 画素とが交互に配置されていることを特徴とする、請求項 6 に記載の表示装置。

[請求項8] 前記画素の配置領域には、前記第 1 画素を配置した行と前記第 2 画素を配置した行とが、列方向に交互に配置されていることを特徴とする、請求項 6 に記載の表示装置。

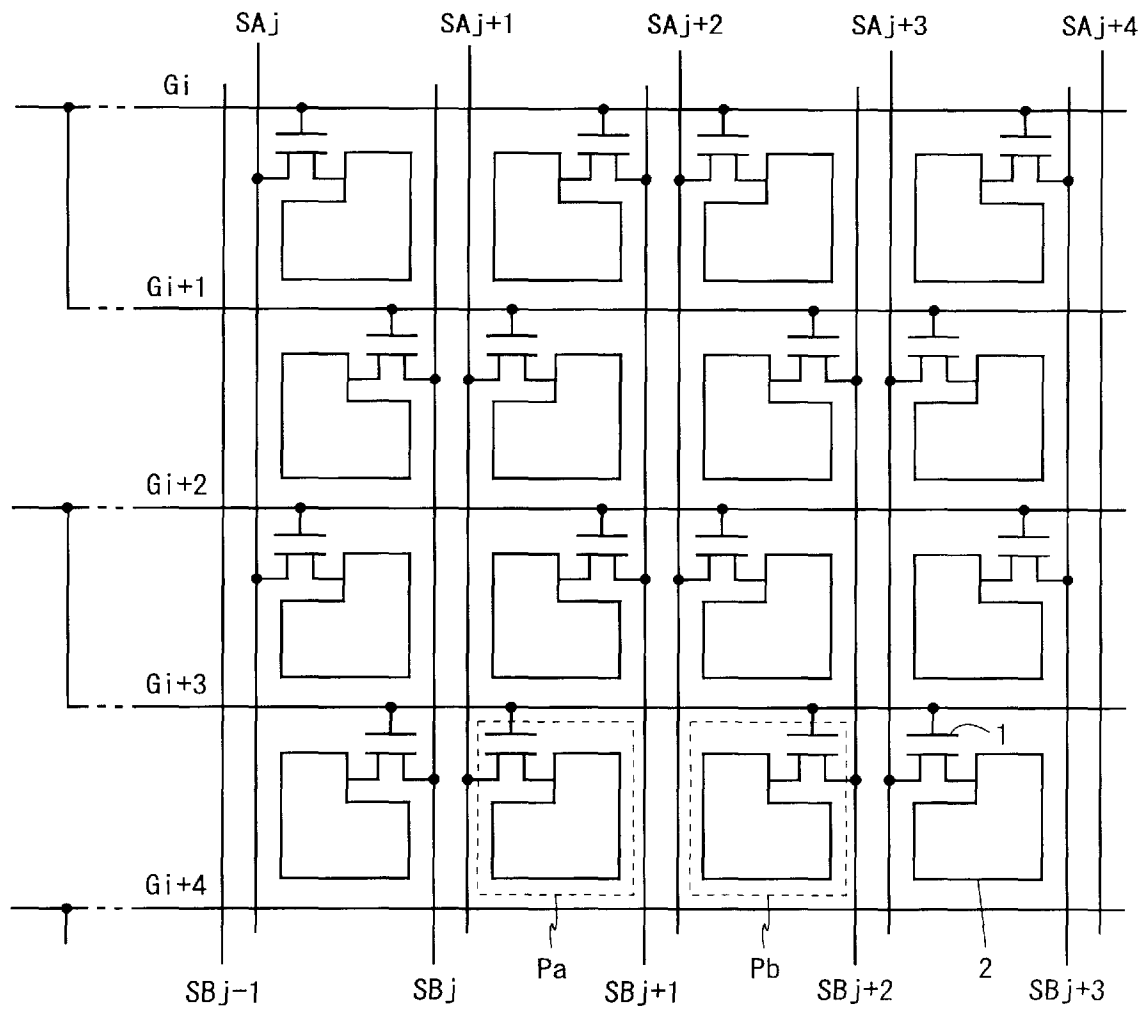
[請求項9] 行方向および列方向に並べて配置された複数の画素と、同じ行に配置された画素に接続される複数の走査信号線と、同じ列に配置された画素に接続される複数のデータ信号線とを有し、行方向に隣接する画素間には前記データ信号線が 2 本ずつ配置されており、前記データ信号線のそれぞれには、前記画素の列の中から所定の規則に従い間隔を空けて選択された略半数の画素が接続されているマトリクス型の表示装置の駆動方法であって、

前記走査信号線を 2 本ずつ順に選択するステップと、

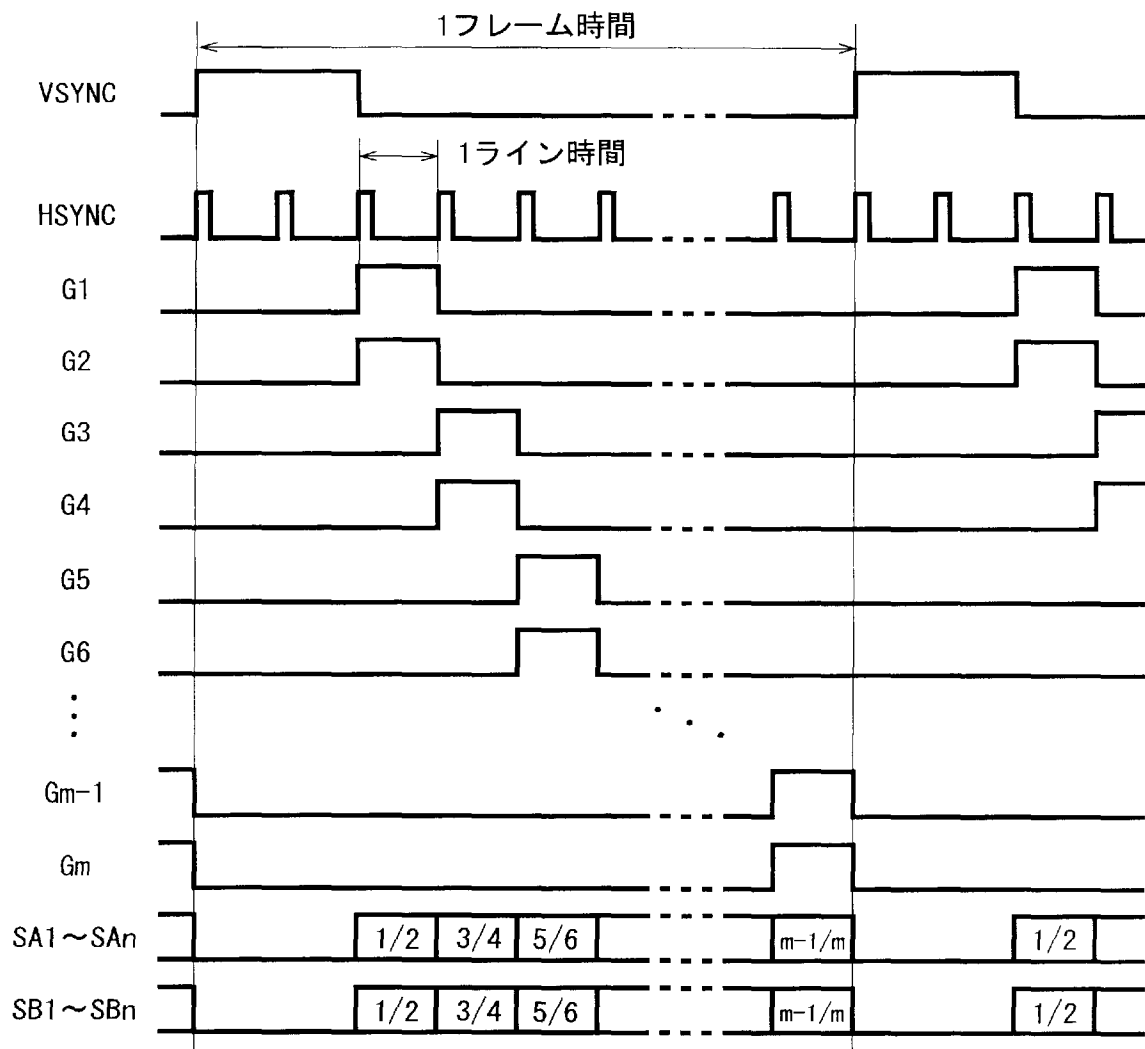
前記データ信号線に対して、選択された走査信号線に接続された画素に書き込むべき電圧を印加するステップとを備えた、表示装置の駆動方法。



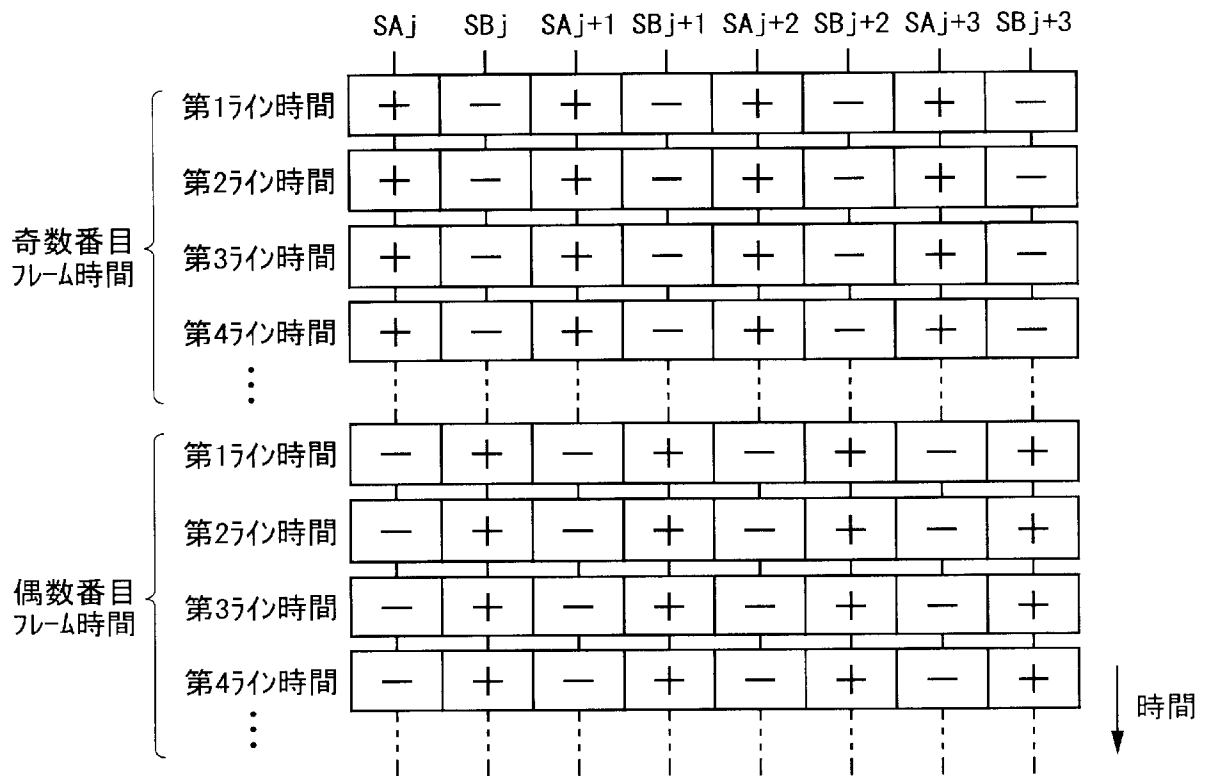
[図2]



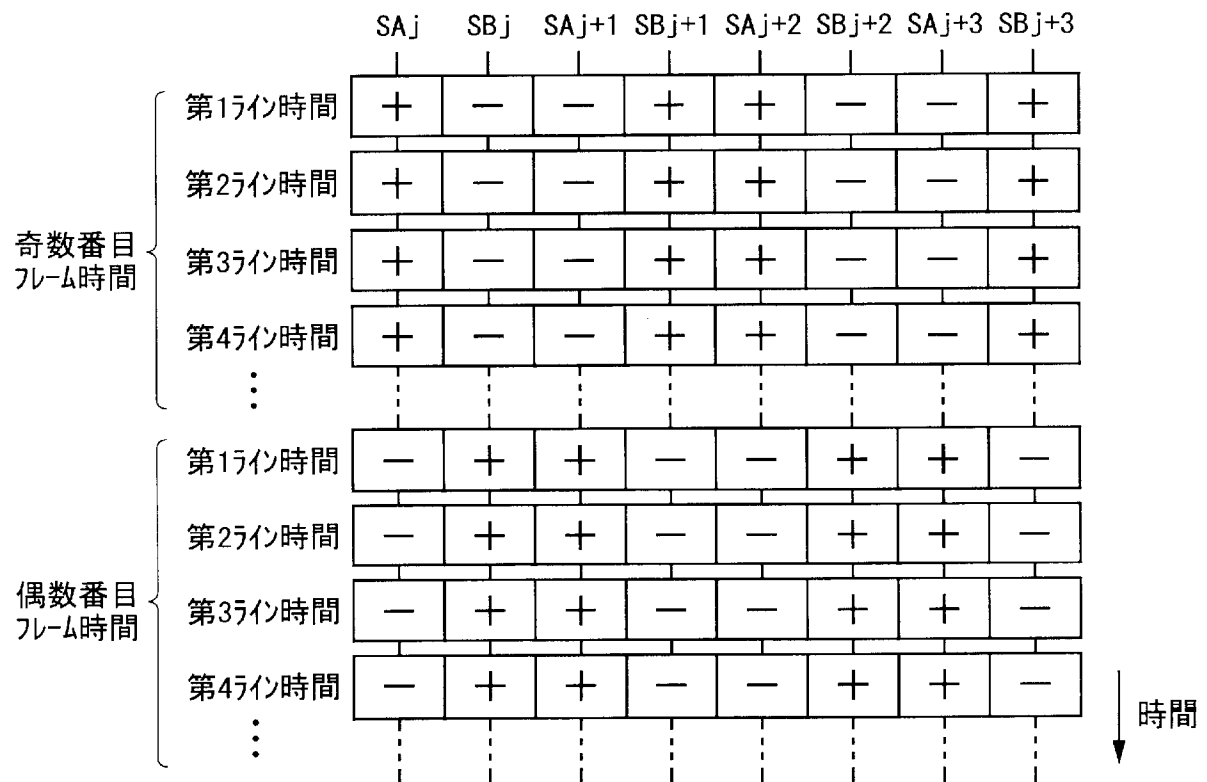
[図3]



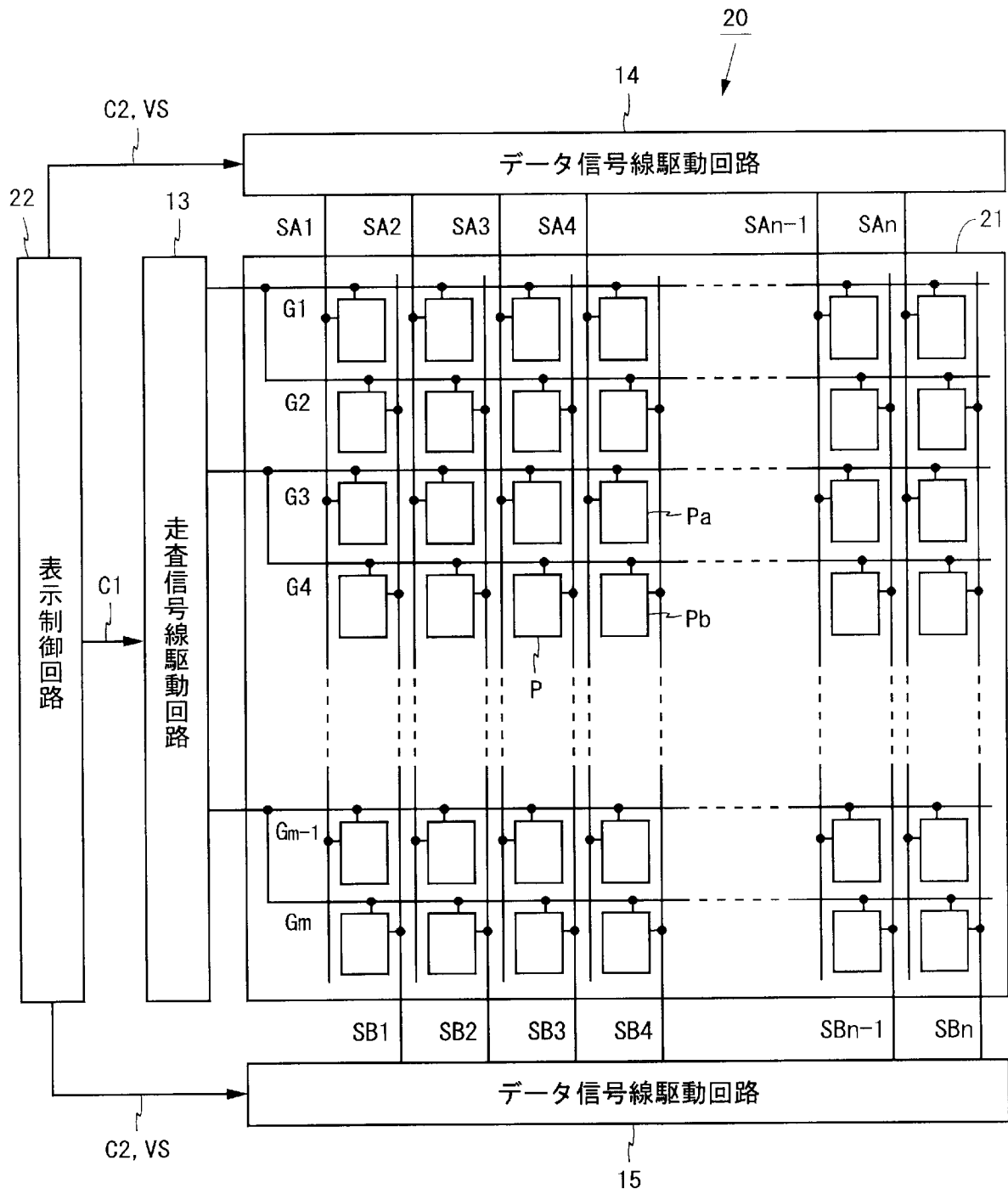
[図4]



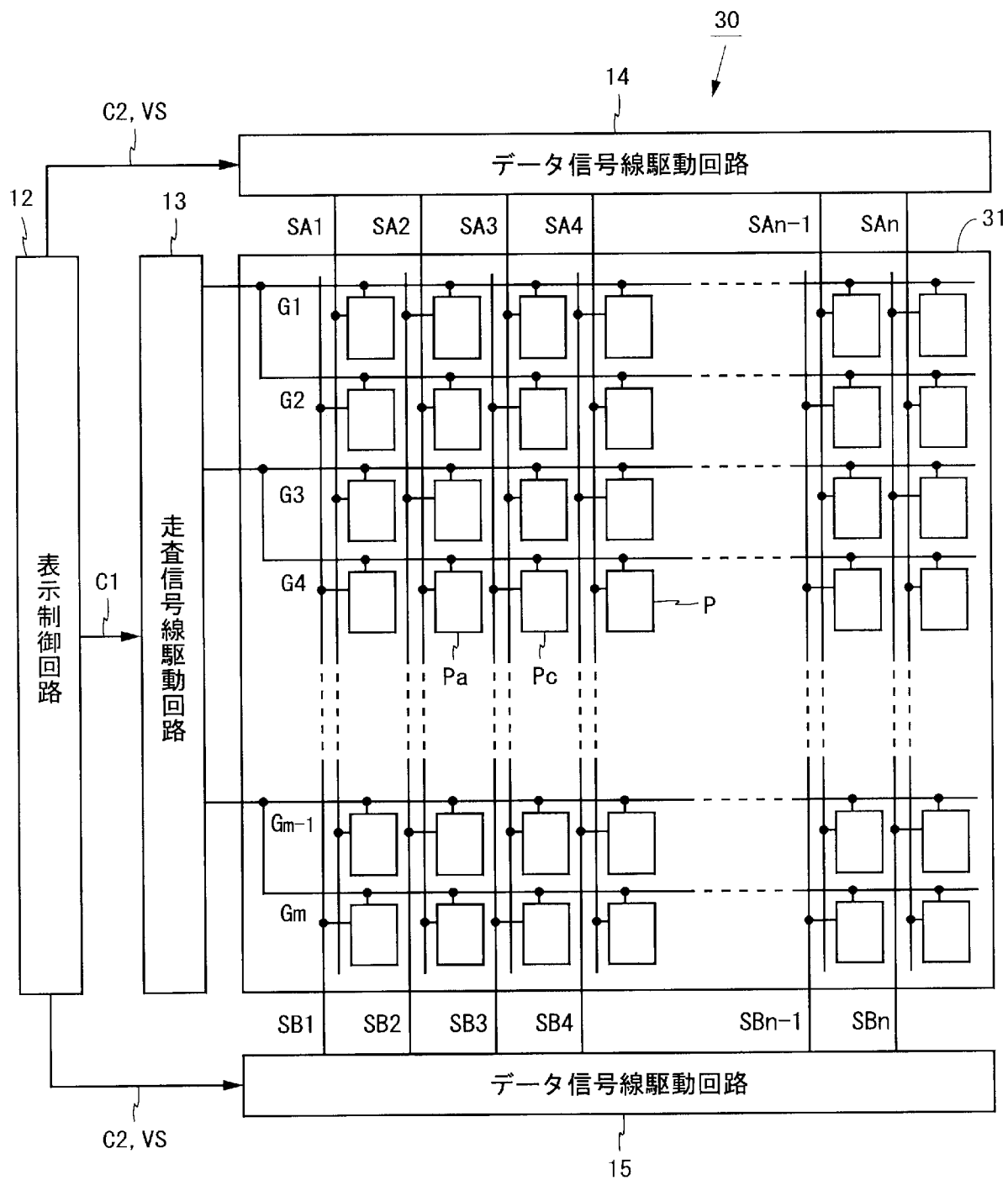
[図5]



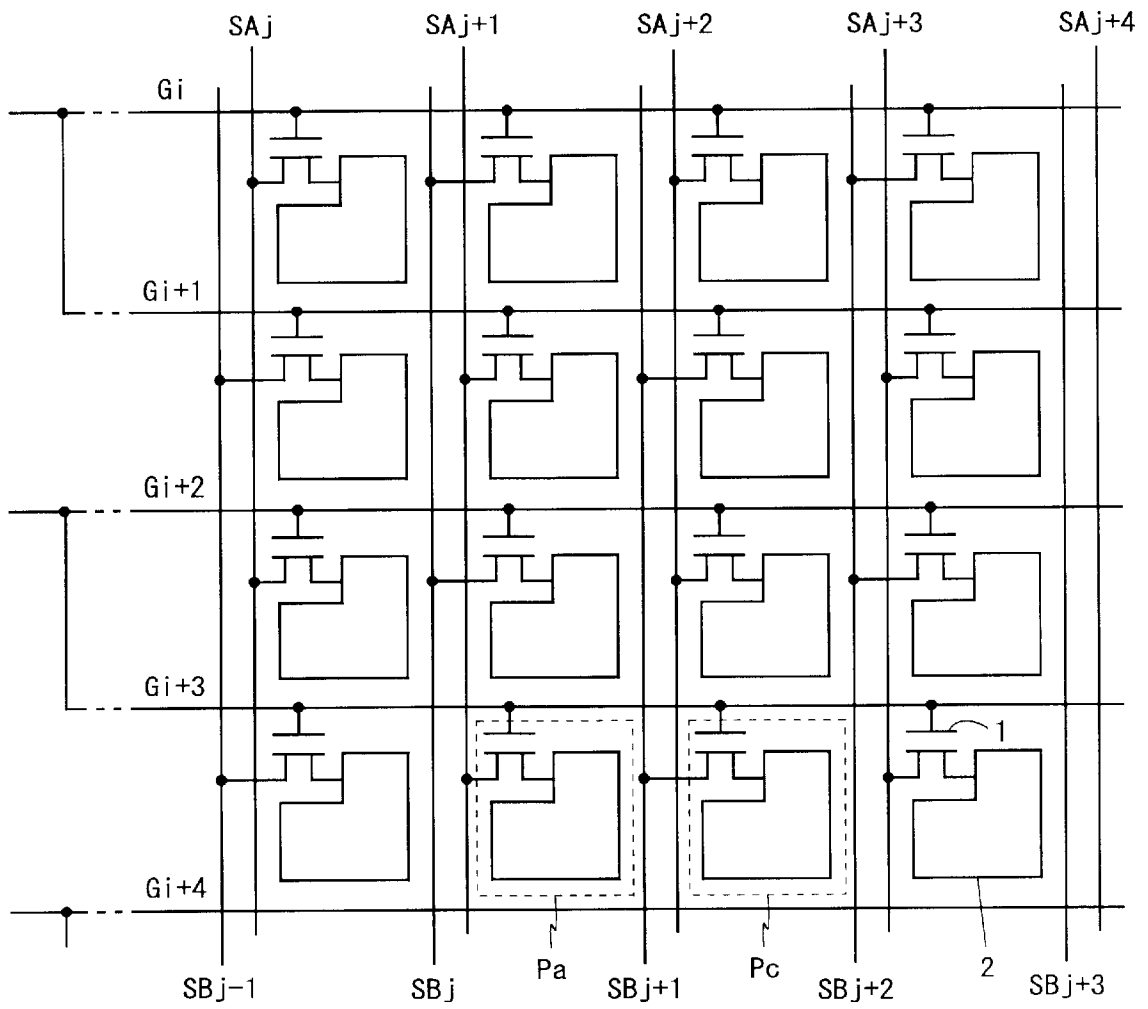
[図6]



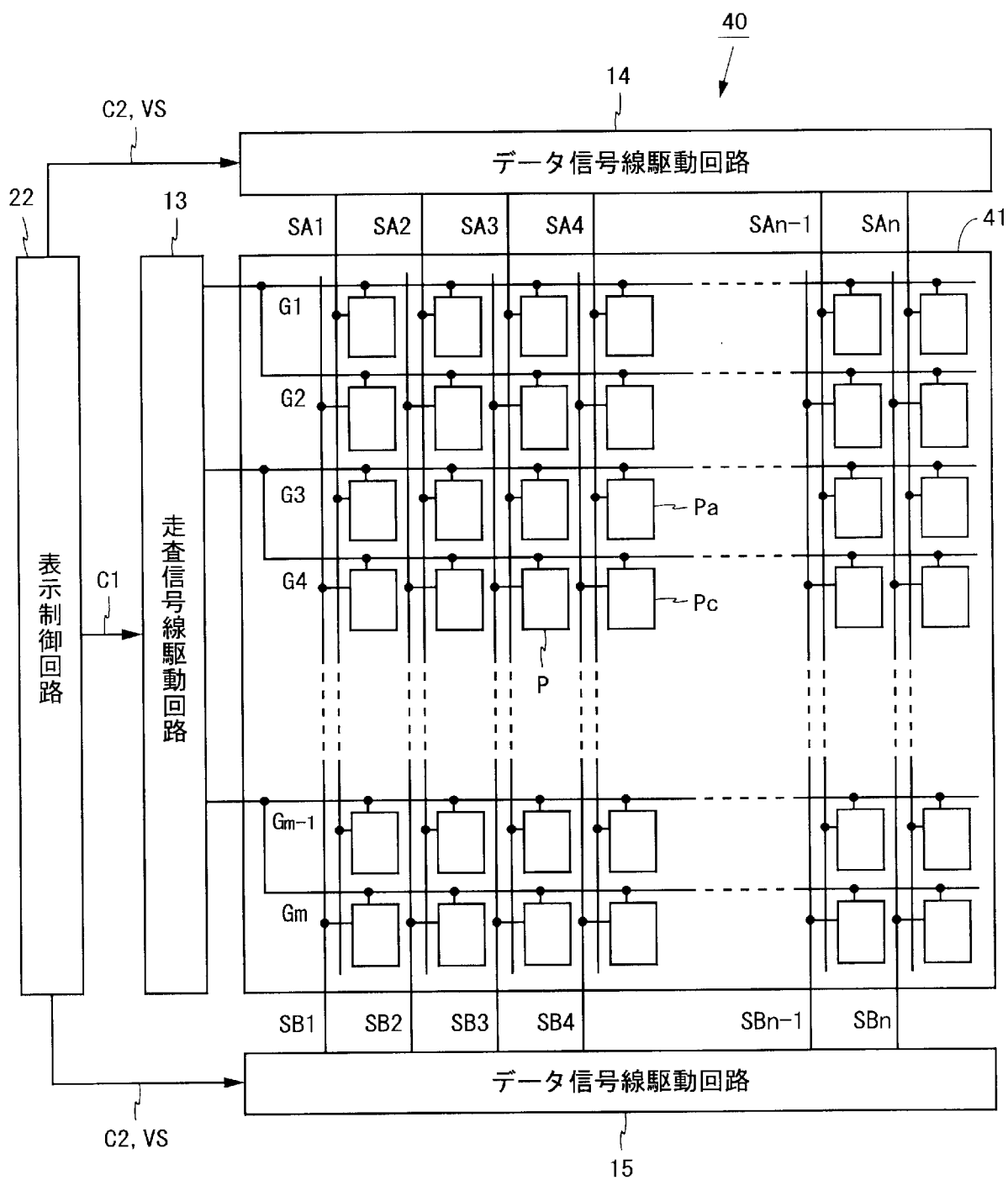
[図7]



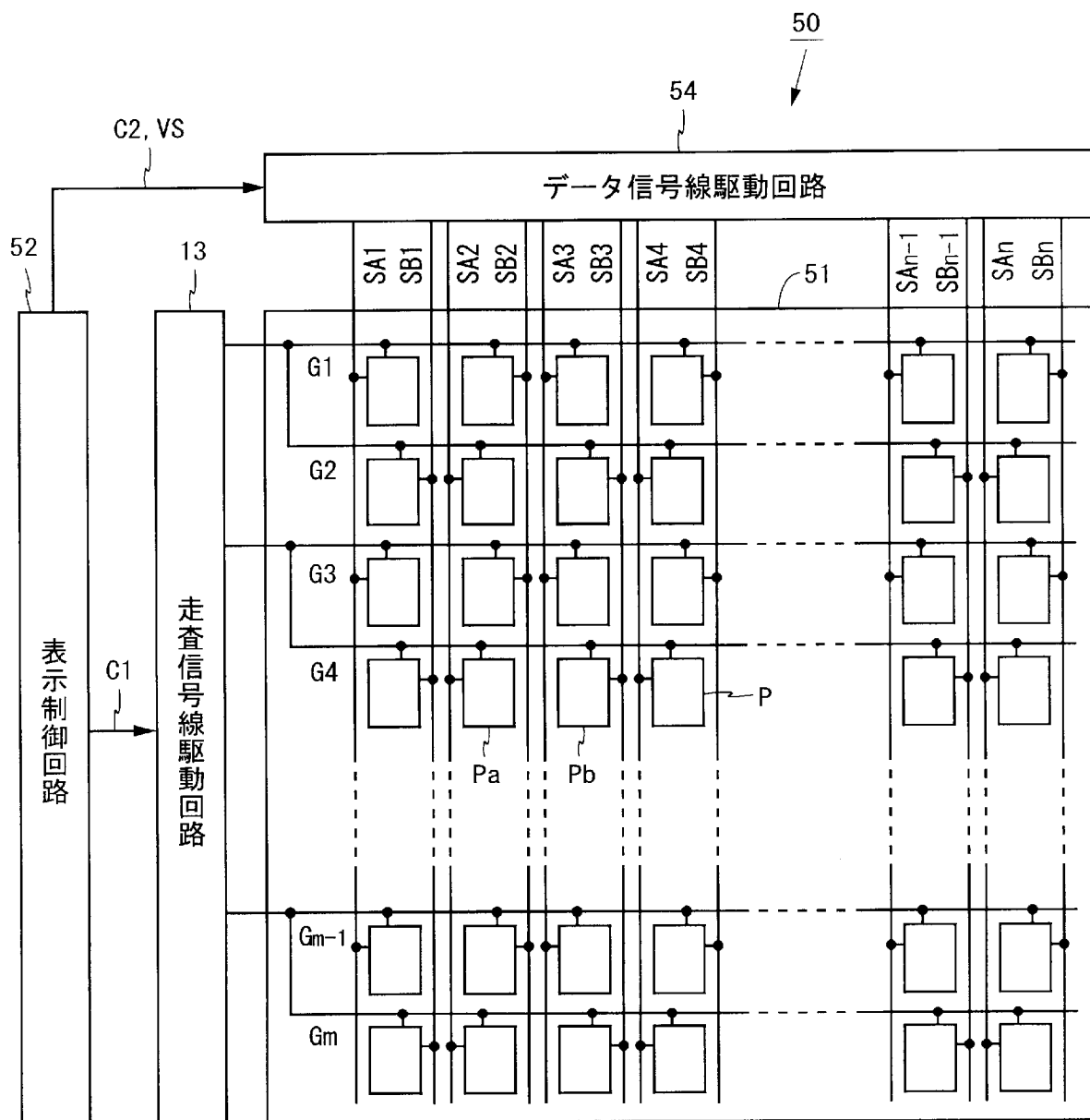
[図8]



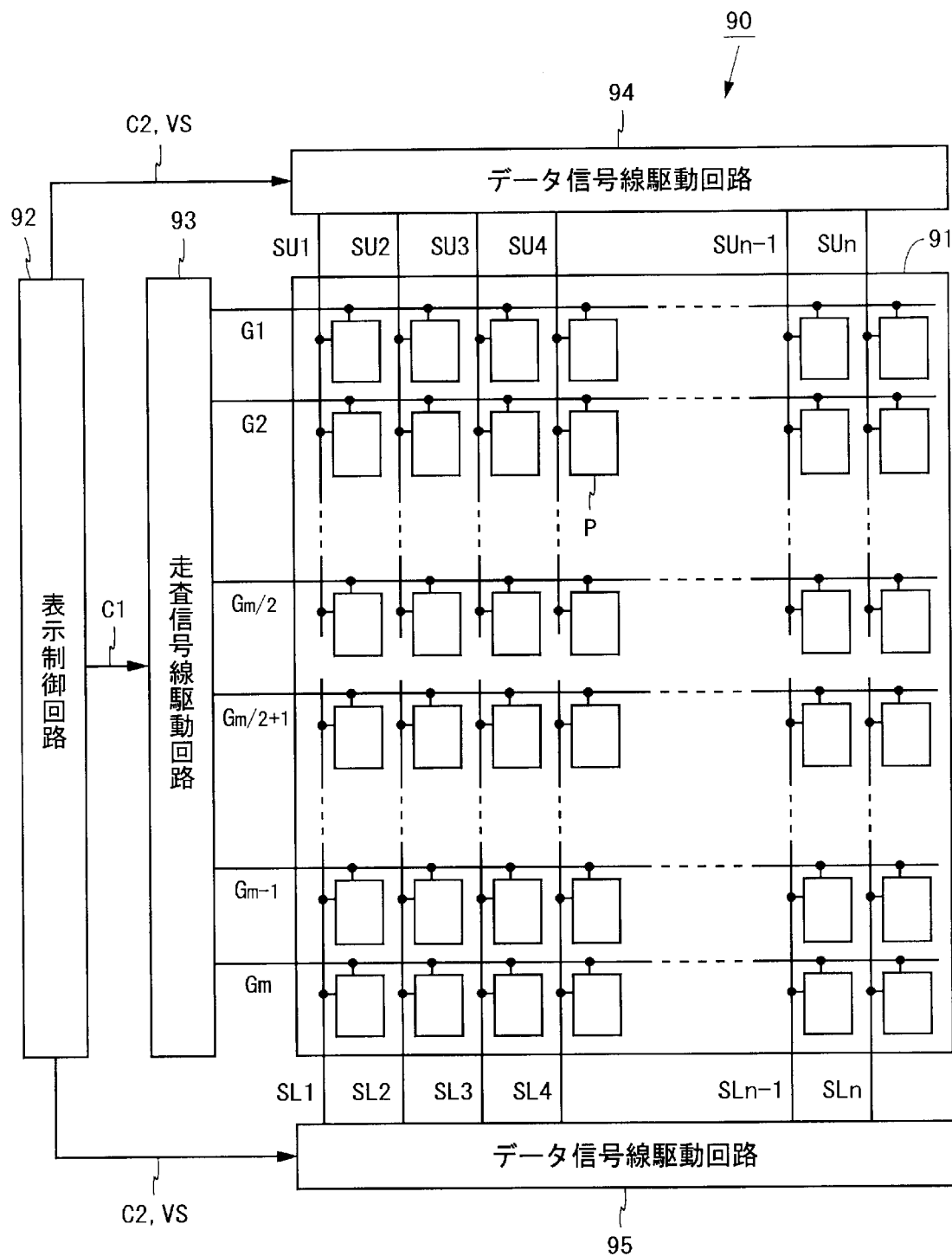
[図9]



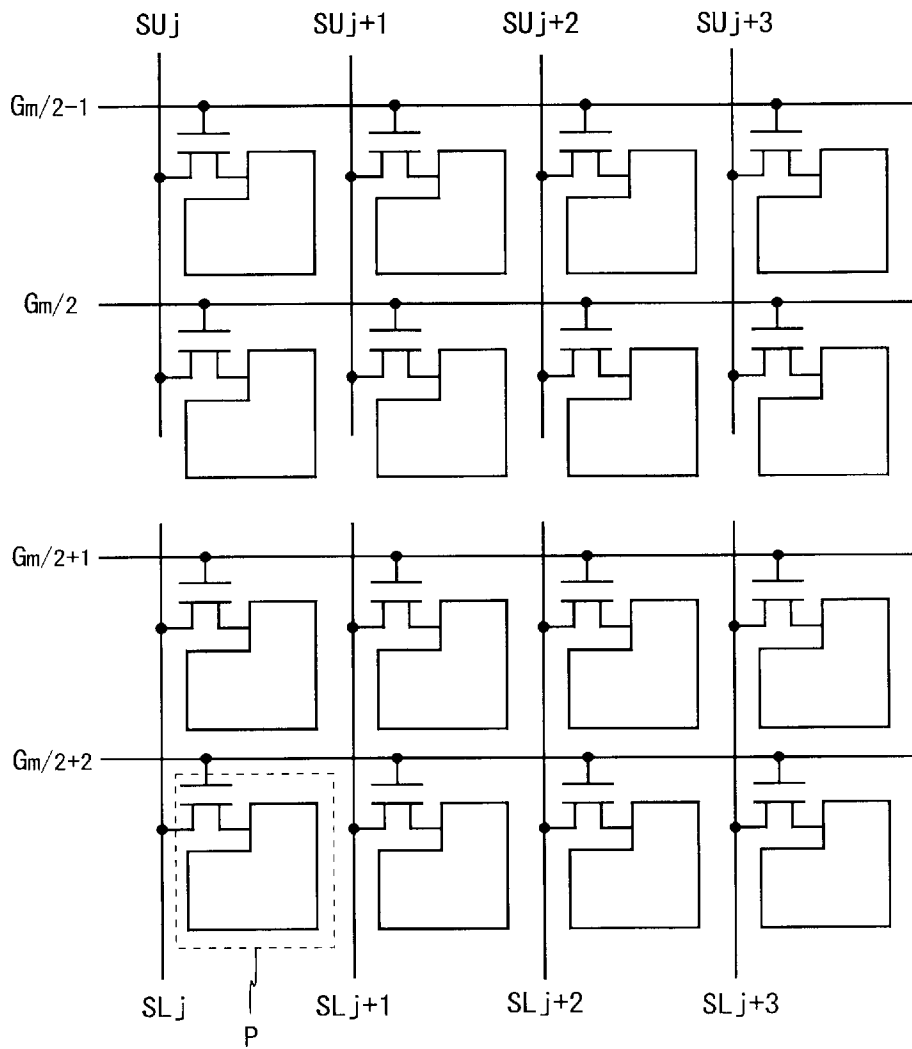
[図10]



[図11]

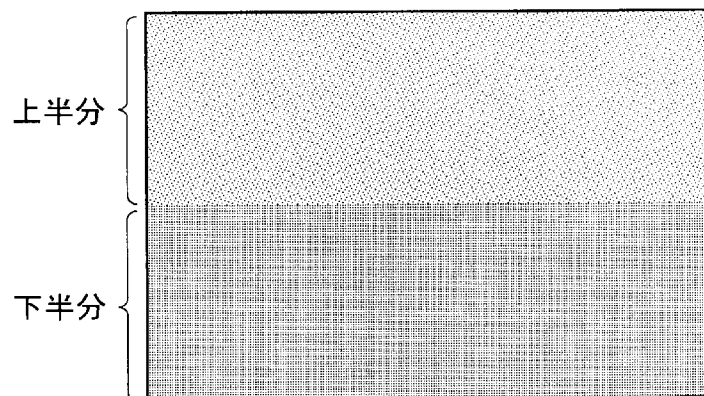


[図12]



[図13]

表示画面



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2009/059945

**A. CLASSIFICATION OF SUBJECT MATTER**  
G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G02F1/133, G09F9/30, G09G3/00-3/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2-214818 A (Hitachi, Ltd.), 27 August, 1990 (27.08.90), Full text; Figs. 1 to 14 (Family: none)	1-4, 6-9 5
X A	JP 8-320496 A (Victor Company Of Japan, Ltd.), 03 December, 1996 (03.12.96), Full text; Figs. 1 to 12 (Family: none)	1-4, 9 5-8
X A	JP 2006-106062 A (Sharp Corp.), 20 April, 2006 (20.04.06), Full text; Figs. 1 to 7 (Family: none)	1-4, 9 5-8

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 June, 2009 (22.06.09)	Date of mailing of the international search report 30 June, 2009 (30.06.09)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/059945

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 63-85598 A (Casio Computer Co., Ltd.), 16 April, 1988 (16.04.88), Full text; Figs. 1 to 10 (Family: none)	5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, G09F9/30, G09G3/00-3/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2-214818 A (株式会社日立製作所) 1990.08.27, 全文, 第1-14図 (ファミリーなし)	1-4, 6-9 5
X A	JP 8-320496 A (日本ビクター株式会社) 1996.12.03, 全文, 図1-12 (ファミリーなし)	1-4, 9 5-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

22.06.2009

国際調査報告の発送日

30.06.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行

電話番号 03-3581-1101 内線 3226

2G

9214

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2006-106062 A (シャープ株式会社) 2006.04.20, 全文, 図1-7 (ファミリーなし)	1-4, 9 5-8
Y	JP 63-85598 A (カシオ計算機株式会社) 1988.04.16, 全文, 第1-10図 (ファミリーなし)	5