

I270207
750792

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92133079

※申請日期：92 年 11 月 25 日

※IPC 分類：H01L 29/06, 31/0328

壹、發明名稱：

(中) 半導體裝置及其製造方法

(外) Semiconductor device and method of manufacturing the same

貳、申請人：(共 2 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英)

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英)

國籍：(中英) 日本 JAPAN

2. 姓 名：(中) 夏普股份有限公司

(英) SHARP KABUSHIKI KAISHA

代表人：(中) 1. 町田勝彥

(英)

地 址：(中) 日本國大阪府大阪市阿倍野區長池町二二-二二

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 2 人)

1. 姓 名：(中) 石川明

(英) ISHIKAWA, AKIRA

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股
份有限公司內

(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体
エネルギー研究所内

2. 姓 名：(中) 福島康守

(英) FUKUSHIMA, YASUMORI

地 址：(中) 日本國大阪府大阪市阿倍野區長池町二二番二二號 夏普股份有限

公司内
(英) 日本国大阪府大阪市阿倍野区长池町22番22号 シャープ株式会社内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/11/29 ; 2002-347320 ☒ 有主張優先權

公司内
(英) 日本国大阪府大阪市阿倍野区长池町22番22号 シャープ株式会社
社内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/11/29 ; 2002-347320 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係有關一種半導體裝置及一種製造半導體裝置之方法，而更明確地係有關一種減少相對於一具有一或更多像素之像素區的周邊電路區之面積的技術。本發明亦有關一種增進像素區之孔徑比的技術，藉由透過一多層佈線以提供周邊電路區（“邊界框”）一較小的寬度。

【先前技術】

圖 6 係一平面圖，其概略地顯示一種習知液晶顯示裝置中之晶片。

液晶顯示裝置中之此晶片具有一像素區 101，其具有平面上之正方形。像素區 101 包含一或更多像素。像素區 101 之周邊配置有周邊電路 102a 至 102c。晶片被配置於一基底上（或者此晶片及類似晶片被配置於相同基底上）。周邊電路 102a 至 102c 各具有平面上之薄矩形形狀，且各矩形之短邊長度為 2 至 3 mm。每一周邊電路需要 2 至 3 mm 之寬度的原因係因為周邊電路中所形成之電源供應線、時脈線、及其他佈線的寬度係於數十至數百 μ m 之等級，因而佔據大面積。

周邊電路 102a 至 102c 具有 TFTs（薄膜電晶體）。那些 TFTs 具有形成自一耐火金屬（諸如聚矽或 W）之閘極電極。閘極電極係用以供應一閘極電壓至特定的 TFT 活性層，而多數 TFTs 之閘極電極係彼此電連接。閘極電

極被電連接至交叉的佈線。佈線係將多數 TFTs 彼此電連接，且被置於閘極電極上方之層。佈線亦將 TFTs 連接至像素電極。佈線具有一疊層結構，包含（例如）一 Al 膜及一障蔽金屬膜。障蔽金屬膜係 Ti、TiN、Ta、TaN、W 等之單一層或多層結構。

佈線層上方之層中形成以一黑色遮罩，其為 Al 膜等。黑色遮罩具有光遮蔽功能及電位阻擋能力。一像素電極被形成自黑色遮罩上方之層中的 ITO。

[參考 1：JP 09-43630 A]

如上所述，周邊電路區（構成像素區周圍之一“邊界框”的周邊電路）具有 2 至 3 mm 之寬度。周邊電路區希望具有一較窄的寬度，因為周邊電路區（邊界框）之寬度減少導致像素區之孔徑比的增進。為了執行，周邊電路區之寬度減少提供像素區較大的面積（當晶片尺寸係相等且因而各像素之面積增加時），因而增加的各像素中之孔徑的面積並增進亮度。另一方面，當像素區具有相同面積時，周邊電路區之寬度減少使其得以減少晶片尺寸且晶片變得更適於大量生產。

於上述習知液晶顯示裝置中，佈線層係單一層且提升佈線層中之整合程度是困難的，由於光微影術系統等之限制。當佈線被形成於相同層中時，佈線佔據了大面積且驅動器電路及其他周邊電路之面積與整個晶片面積的比例因而是很大的，其導致周邊電路區之寬度減少的障礙。

(3)

當周邊電路區具有大寬度時，將多數像素彼此電連接之佈線亦傾向於具有延伸的長度，因為佈線係橫越像素區。如此可能導致佈線之高於理想的電阻值及供應至 TFTs 之電流的短缺。

此外，佈線底下之層中所形成的閘極電極常被製成較厚以降低閘極電極之電阻。較厚的閘極電極增加了佈線層之基極中的位準差異以利減少佈線形成時之圖案化邊際。如此可能導致已圖案化之佈線中的位準中斷。

【發明內容】

本發明係有鑑於上述情況而產生，且本發明之一目的因而係提供一種用以減少相對於一像素區之周邊電路區的面積之技術。特別地，本發明之一目的係藉由透過一多層佈線以提供周邊電路區（“邊界框”）一較小的寬度而增進像素區之孔徑比。

為了解決上述問題，依據本發明，提供一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；及

一佈線，其係形成自周邊電路區中之一低電阻材料。

依據上述半導體裝置，周邊電路區中之佈線被形成自一低電阻材料，藉此賦予佈線一較小的寬度。因此，相對於像素區面積之周邊電路區面積可被減少。

(4)

依據本發明，提供一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；及

一佈線，其係形成於周邊電路區中，

其中佈線係一具有兩或更多層之多層佈線。

依據上述半導體裝置，周邊電路區中所形成之佈線係一多層佈線且因而周邊電路區（邊界框）被賦予一較小寬度。以此方式，像素區可具有增進的孔徑比。

依據本發明，提供一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's 之閘極電極，其係形成於周邊電路區中；及

一佈線，其係形成於閘極電極上方或下方之一層中且連接至閘極電極，

其中不同 TFTs 中之閘極電極係彼此隔離。

此外，於依據本發明之半導體裝置中，佈線最好是一具有兩或更多層之多層佈線。

依據本發明，提供一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's 之閘極電極，其係形成於周邊電路區中；及

(5)

一短距離佈線，其係形成於閘極電極上方或下方之一層中且連接至閘極電極，

其中不同 TFTs 中之閘極電極係彼此隔離。

此外，於依據本發明之半導體裝置中，短距離佈線可為一像素中之佈線引線或者一用以導引一功能區塊之佈線。

此外，於依據本發明之半導體裝置中，短距離佈線最好是 $2\ \mu\text{m}$ 或更長且短於 $2\ \text{cm}$ 。

此外，於依據本發明之半導體裝置中，短距離佈線可為一具有兩或更多層之多層佈線。

此外，依據本發明之半導體裝置可進一步包含一長距離佈線，其係形成於短距離佈線上方之一層中。

依據本發明，提供一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's 之閘極電極，其係形成於周邊電路區中；及

一長距離佈線，其係形成於閘極電極上方或下方之一層中，

其中不同 TFTs 中之閘極電極係彼此隔離。

此外，於依據本發明之半導體裝置中，長距離佈線可為較像素節距更長百倍或更多倍。

此外，於依據本發明之半導體裝置中，長距離佈線最好是 $2\ \text{cm}$ 或更長且短於 $10\ \text{cm}$ 。

(6)

此外，於依據本發明之半導體裝置中，長距離佈線可爲一具有兩或更多層之多層佈線。

此外，於依據本發明之半導體裝置中，最好是其多層佈線之至少一層被形成自一低電阻材料。

此外，於依據本發明之半導體裝置中，低電阻材料可爲選自包括銅、銅合金、金、金合金、銀、及銀合金的族群之一或更多材料。

此外，於依據本發明之半導體裝置中，一電晶體可被形成於周邊電路區中，而一具有兩或更多層之多層佈線可被形成於電晶體之上。

依據本發明，提供一種製造半導體裝置之方法，包含：

形成一驅動器電路 TFT 於一基底上之一驅動器電路區中及一像素 TFT 於基底上之一像素區中；及

形成一第一佈線於驅動器電路 TFT 上、一第二佈線於第一佈線上、及一第三佈線於第二佈線上，並形成一第一電容元件於像素 TFT 之一汲極區上及一第二電容元件於第一電容元件上。

依據以上製造半導體裝置之方法，第一至第三佈線被形成於驅動器電路 TFT 之上且第一及第二電容元件被形成於像素 TFT 之汲極區上。因此，像素區可具有增進的孔徑比。

依據本發明，提供一種半導體裝置，包含：

一驅動器電路 TFT，其係形成於一基底上之一驅動器

(7)

電路中；

一像素 TFT，其係形成於基底上之一像素區中；

一第一佈線，其係形成於驅動器電路 TFT 之上；

一第二佈線，其係形成於第一佈線之上；

一第三佈線，其係形成於第二佈線之上；

一第一電容元件，其係形成於像素 TFT 之一汲極區上；及

一第二電容元件，其係形成於第一電容元件上。

依據本發明，提供一種製造半導體裝置之方法，包含：

形成一驅動器電路 TFT 於一基底上之一驅動器電路區中及一像素 TFT 於基底上之一像素區中；

形成一第一層間絕緣膜於驅動器電路 TFT 及像素 TFT 上；

形成一第一接觸孔於其位於像素區中之第一層間絕緣膜的一部分中，該第一接觸孔被置於像素 TFT 之一汲極區上；

從一第一導電膜形成一第一佈線於其位於驅動器電路區中之第一層間絕緣膜的一部分上，並從第一導電膜形成一汲極電極於第一接觸孔中；

形成一第二層間絕緣膜於第一佈線、汲極電極、及第一層間絕緣膜上；

形成一第二接觸孔於其位於像素區中之第二層間絕緣膜的一部分中，該第二接觸孔被置於第一接觸孔及汲極電

極上；

形成一第三層間絕緣膜於第二層間絕緣膜上且於第二接觸孔中；

從一第二導電膜形成一第二佈線於其位於驅動器電路區中之第三層間絕緣膜的一部分上，並從第二導電膜形成一第一電容電極於第二接觸孔中；

藉由蝕刻第一電容電極以部分地暴露第三層間絕緣膜於第二接觸孔之底部上；

形成一第四層間絕緣膜於第二佈線、第一電容電極、及第三層間絕緣膜上；

形成一第三接觸孔於其位於像素區中之第四層間絕緣膜的一部分中，該第三接觸孔被置於第二接觸孔及第一電容電極上；

形成一第五層間絕緣膜於第四層間絕緣膜上且於第三接觸孔中；

藉由蝕刻其位於第三接觸孔之底部上的第三及第五層間絕緣膜的部分以部分地暴露其置於第三接觸孔之底部下方的汲極電極；及

從一第三導電膜形成一第三佈線於其位於驅動器電路區中之第五層間絕緣膜的一部分上，以及從第三導電膜形成一第二電容電極於第三接觸孔中且將第二電容電極電連接至汲極電極；

其中一第一電容元件及一第二電容元件被形成於第一至第三接觸孔中，該第一電容元件包括汲極電極、當作介

(9)

電質之第三層間絕緣膜、及第一電容電極；該第二電容元件包括第一電容電極、當作介電質之第五層間絕緣膜、及第二電容電極。

此外，於依據本發明之製造半導體裝置的方法中，將第二電容電極電連接至汲極電極可被接續以形成一第六層間絕緣膜於第三佈線、第二電容電極、及第五層間絕緣膜上；並於其位於像素區中之第五層間絕緣膜的一部分上形成一電連接至第二電容電極的像素電極。

依據本發明，提供一種半導體裝置，包含：

一驅動器電路 TFT，其係形成於一基底上之一驅動器電路區中、及一像素 TFT，其係形成於基底上之一像素區中；

一第一層間絕緣膜，其係形成於驅動器電路 TFT 及像素 TFT 上；

一第一接觸孔，其係形成於一位於像素區中之第一層間絕緣膜的部分中，該第一接觸孔被置於像素 TFT 之一汲極區上；

一第一佈線，其係從一第一導電膜被形成於一位於驅動器電路區中之第一層間絕緣膜的部分上；

一汲極電極，其係從第一導電膜被形成於第一接觸孔中；

一第二層間絕緣膜，其係形成於第一佈線、汲極電極、及第一層間絕緣膜上；

一第二接觸孔，其係形成於一位於像素區中之第二層

間絕緣膜的部分中，該第二接觸孔被置於第一接觸孔及汲極電極上；

一第三層間絕緣膜，其係形成於第二層間絕緣膜上且於第二接觸孔中；

一第二佈線，其係從一第二導電膜被形成於一位於驅動器電路區中之第三層間絕緣膜的部分上；

一第一電容電極，其係從第二導電膜被形成於第二接觸孔中；

一孔，用以部分地暴露第三層間絕緣膜於第二接觸孔之底部上，該孔係形成於第一電容電極中；

一第四層間絕緣膜，其係形成於第二佈線、第一電容電極、及第三層間絕緣膜上；

一第三接觸孔，其係形成於一位於像素區中之第四層間絕緣膜的部分中，該第三接觸孔被置於第二接觸孔及第一電容電極上；

一第五層間絕緣膜，其係形成於第四層間絕緣膜上且於第三接觸孔中；

一孔，用以部分地暴露其置於第三接觸孔之底部下方的汲極電極，該孔係形成於第三接觸孔之底部上的第三及第五層間絕緣膜的部分中；及

一第三佈線，其係從一第三導電膜被形成於一位於驅動器電路區中之第五層間絕緣膜的部分上；

一第二電容電極，其係從電連接至汲極電極之第三導電膜被形成於第三接觸孔中，

(11)

其中一第一電容元件及一第二電容元件被形成於第一至第三接觸孔中，該第一電容元件包括汲極電極、當作介電質之第三層間絕緣膜、及第一電容電極；該第二電容元件包括第一電容電極、當作介電質之第五層間絕緣膜、及第二電容電極。

此外，依據本發明之半導體裝置可進一步包含：一第六層間絕緣膜，其係形成於第三佈線、第二電容電極、及第五層間絕緣膜上；及一像素電極，其係形成於一位於像素區中且被電連接至第二電容電極之第五層間絕緣膜的部分上。

【實施方式】

本發明之實施例模式及實施例係參考後附圖形而被描述於下。

實施例模式 1

圖 1 係一平面圖，其概略地顯示依據本發明之實施例模式 1 之液晶顯示裝置中的晶片。

液晶顯示裝置中之此晶片具有一像素區 1，其具有平面圖上之實質上方形的形狀。像素區 1 包括一或更多像素。於像素區 1 之周邊（上、左、及右）設有周邊電路 2a 至 2c。此等晶片被配置於一基底上。周邊電路 2a 至 2c 各具有平面圖上之一實質上薄的矩形形狀，且各矩形之較短邊長度為 1 至 1.5 mm。周邊電路 2a 至 2c 因而具有較

習知液晶顯示裝置更小的寬度。

爲了賦予周邊電路較小的寬度並減少相對於像素區面積之周邊電路區（邊界框）面積以利增進孔徑比，則可利用下述方法。

第一方法係減少一佈線之線寬度，藉由形成佈線自一具有較習知佈線材料更低電阻的佈線材料（例如，Al 或含有 Al 之合金的單一層或多層）。以一形成自低電阻材料之佈線，則可抑制佈線電阻之增加，當佈線之線寬度被減少時。低電阻材料之範例包含：銅、銅合金、金、金合金、銀、及銀合金。

第二方法係一種多層佈線，以用提供一佈線兩或更多層。於此情況下，可使用一種 Al 爲基礎的佈線材料。Al 爲基礎的佈線材料之範例包含 Al 及 Al 合金。在一具有兩或更多層之多層佈線中，至少一層可被形成自一低電阻佈線材料。一具有兩或更多層之多層佈線可被置於一電晶體之上。

周邊電路中之佈線的面積可藉由上述第一或第二方法而被減少。如此使其得以增加像素尺寸而不改變液晶面板之晶片尺寸且因而增進亮度。另一方面，當像素區之面積保持相同時，晶片尺寸可被減少而形成於一基底上之晶片數目增加，且晶片變得適於大量生產。

於習知技術中，其形成於周邊電路中之電源供應線、時脈線、及其他佈線係二維地配置於單一層中，以致其佈線變得較長且佈線之突出區域因而變得較大。反之，此實

施例模式係使用具有兩或更多層之多層佈線，以致其佈線可被置於一驅動器電路上且佈線之突出區域可被因而減少。此外，此實施例模式利用一低電阻材料於佈線中以使佈線之寬度更窄。

習知技術係使用一具有大的線寬度之單一佈線於各電源供應線、時脈線、等等，且此亦使得佈線之突出區域變大。因此，於此實施例模式中，電源供應線、時脈線、或其他佈線被形成自一具有小的線寬度之佈線組合，且窄的佈線被三維地配置於一多層佈線。佈線之突出區域因而被減少。此外，藉由使用低電阻材料於佈線，則佈線之寬度可變得更窄。

習知技術具有一種佈線結構，其中大量佈線被彼此平行地配置，且此佈線結構使得佈線之突出區域變大。因此，於此實施例模式中，每層之佈線數目可藉由多層佈線而被減少且因而佈線之突出區域可被減少。此外，藉由使用低電阻材料於佈線，則佈線之寬度可變得更窄。

如圖 1 中所示，周邊電路 2a 至 2c 之寬度係藉由上述方法而被減至習知技術之寬度的一半。例如，假如習知技術中之周邊電路寬度為 2 mm，則此實施例模式中之寬度可被減至 1 mm。於是，得以達成每像素之約 2 μm 的增加，且假如習知技術中之像素節距為 18 μm ，則此實施例模式中之節距可被升高至 20 μm 。

實施例模式 2

接下來描述依據本發明之實施例模式 2 的液晶顯示裝置。

於此實施例模式中，TFTs 之閘極電極被彼此隔離地形成。換言之，TFT 中之一閘極電極及另一 TFT 中之一閘極電極被分別地形成。這表示，取代導引一位於與一閘極電極相同層中且被連接至閘極電極之佈線，一形成於閘極電極之上或下層中的佈線被連接至閘極電極及引線。此免除了降低閘極電極之電阻的需求且使其得以減薄閘極電極。下層佈線之一範例係一插入於一基底與一 Si 活性層之間的佈線。可利用於閘極電極之材料為 N^+ 多晶矽及耐火金屬，如同習知技術中所使用者。藉由因而減薄了閘極電極，則由閘極電極之厚度所造成的位準差異可被減少。如此使其易於撫平閘極電極上之一絕緣膜並協助閘極電極上之一層中的佈線形成。

實施例模式 3

接下來描述依據本發明之實施例模式 2 的液晶顯示裝置。

於此實施例模式中，一閘極電極僅被賦予一閘極電極之功能且被形成為不具有佈線之功能，藉由將一 TFT 中之閘極電極隔離自另一 TFT 中之閘極電極。一佈線被形成於一閘極電極之上或下層中且被電連接至閘極電極以賦予佈線有習知技術中之閘極電極的佈線功能以及短距離佈線的功能，習知技術的佈線之一係具有一短的佈線長度。

類似於實施例模式 2，下層佈線之一範例係一插入於一基底與一 Si 活性層之間的佈線。

如上所述，藉由去除習知技術之閘極電極的佈線功能並將此功能賦予給閘極電極上之一層中的佈線，則此實施例模式使其得以於閘極電極上之層中的佈線使用一種無法抵抗熱啟動的材料，不同於習知技術中閘極電極需被形成自一種能抵抗熱啟動之材料。因此，佈線材料之選擇範圍變寬了。例如，鋁、含鋁合金、銅、含銅合金、金、含金合金、銀、或含銀合金均可被選取為佈線材料。

短距離佈線（於，例如，一液晶顯示裝置中）為一種佈線，其係等於或長於一被導出於一像素之佈線且等於或短於一用以導引一功能區塊之佈線。通常，短距離佈線之長度係 $2\ \mu\text{m}$ 或更長並短於 $2\ \text{cm}$ 。短距離佈線之範例包含用以彼此電連接數至數十 TFTs 之佈線、用以將那些 TFTs 電連接至佈線之佈線、用以彼此電連接佈線（其係電連接至 TFTs）之佈線、導出於一驅動器電路之功能區塊中的佈線、及用以電連接活性層至源極電極或至汲極電極之導電膜。

短距離佈線之另一範例係一種佈線，其僅用於導引一閘極電極、一源極區、及一汲極區之佈線於一相當窄的範圍內。“相當窄的範圍”是指一功能區塊之內部（通常為：一偏移暫存器電路、一位準偏移器電路、一緩衝器電路、或者一取樣電路之內部）。短距離佈線之電阻無須被降低，當用以導引此等佈線時，且如此容許短距離佈線變

薄。藉由利用減薄的短距離佈線，則介於相同層中的短距離佈線間之寄生電容可被減少，而因此可抑制寄生電容之增加，當佈線整合之程度被提升時。因而去除了較高程度之佈線整合的障礙。

最好是，短距離佈線被疊層於多層佈線。考慮到一佈線型態之突出區域，短距離佈線之一多層佈線推使佈線整合之程度超過其由光微影術系統等所加諸的限制，而因此佈線所佔據之面積被明顯地減少。此外，多層佈線使得佈線程度變短，且因而得以抑制不同層中的短距離佈線間之寄生電容的增加。

假如短距離佈線具有一堆疊結構（其包括一 Al 層及一障蔽金屬層）、或者單獨具有一障蔽金屬層，則短距離佈線可被減薄。以此實施例模式之佈線結構，則閘極電極之導出佈線可利用一種材料，其具有於某些情況下較習知材料更低電阻的材料。

最好是設置一長距離佈線於短距離上方之一層中。長距離佈線係一獨立的佈線，其需具有長的佈線距離且其被疊層以供多層佈線佈線。例如，於一液晶顯示裝置中，一長距離佈線具有較像素節距更長 100 倍或更多的長度。通常，穿越（或下）整個像素區之閘極電極、閘極佈線、源極佈線、及汲極佈線為長距離佈線。明確地，長距離佈線係等於或長於 2 cm 且等於或短於 10 cm。長距離佈線之範例包含用以彼此電連接數百至數千 TFTs 之佈線、用以將那些 TFTs 電連接至佈線之佈線、用以彼此電連接佈線

(其係電連接至 TFTs) 之佈線、及連接至閘極電極和源極區且導出於像素區中之佈線。

長距離佈線最好是佔據相鄰佈線間之一大空間，以避免佈線間之寄生電容的增加。諸如銅之低電阻材料最好是被使用於長距離佈線之材料。

藉由設置一多層長距離佈線於一短距離佈線上，則佈線所佔據之區域可考量突出區域而被減少。

實施例

圖 2 至 5 顯示一種製造依據本發明之實施例的液晶顯示裝置之方法。

首先，如圖 2 中之一驅動器電路區及一像素區的橫斷面圖所示，一石英基底 11 被提供為一基底，而一具有 20nm 厚度之氧化矽膜 12 被形成於其上。接下來，一非晶矽膜被形成於氧化矽膜 12 之上。

注意，於此實施例中，使用一非晶矽膜；然而，亦可替代地使用其他的半導體膜。例如，可使用微晶矽膜或非晶矽鍺膜。此外，該膜被形成以具有從 25 nm 至 40 nm 之厚度以考量後續的熱氧化。

接著，非晶矽膜被結晶化。於此實施例中，日本未審查專利公告編號 9-312260 中所述之一種技術被應用為一種結晶化方法。於該專利公告案中，一非晶矽膜被結晶化以固體相磊晶，其係使用一種選自下列元素之一元素以當作觸媒元素：鎳 (Ni)、鈷 (Co)、鈀 (Pd)、鍺

(Ge) 、 鉑 (Pt) 、 鐵 (Fe) 、 及 銅 (Cu) 。

於此實施例中，Ni 被選擇為一觸媒元素。一含有 Ni (未顯示) 之層被形成於一非晶矽膜上，並於 550℃ 執行熱處理 4 小時以利結晶化。因此，一結晶矽 (多晶矽) 膜被形成於氧化矽膜 12 之上。

接下來，在吸氣於結晶矽膜中之後，藉由圖案化以形成一結晶半導體膜 13，其包括一僅包含吸氣區之活性層。因此，獲得具有一描繪於圖 2A (其顯示一頂視圖) 中之圖案的結晶半導體膜 13。

之後，如圖 2B 中所示，一閘極絕緣膜 14 被形成於結晶半導體膜 13 及氧化矽膜 12 之上，藉由電漿 CVD 或濺射。閘極絕緣膜個別作用為一驅動器電路之像素 TFT、及 N 型 TFT 與 P 型 TFT 的閘極絕緣膜。此外，閘極絕緣膜具有 50 nm 至 200 nm 之厚度。於此實施例中，一具有厚度 75 nm 之氧化矽膜被使用。此外，其他含有矽之絕緣膜可被使用以單層或多層之形式。

在閘極絕緣膜 14 被形成如上以後，具有厚度從 5 nm 至 50 nm (最好是，從 10 nm 至 30 nm) 之氧化矽 (熱氧化物) 膜 (未顯示) 係藉由熱氧化而被形成於結晶半導體膜 13 與閘極絕緣膜 14 之間的介面上。

之後，包括一第一導電膜之閘極電極 28 至 30 被形成於閘極絕緣膜 14 之上。閘極電極 28 至 30 被個別地形成於個別 TFTs 之上。換言之，其被分別形成於個別 s 之上。於此實施例中，此底部起依序之一矽膜 (植入導電

性) / 一氮化鉬膜 / 一鎢膜的疊層膜 (或者從底部起依序之一矽膜 / 一矽化鎢膜的疊層) 被使用於閘極電極。無須贅述，可替代地使用其他的導電膜，例如，一包含選自 Ta, Ti, Mo, Cu 等之元素的膜、及包括上述元素為主成分的金屬合金或化合物。注意其個別閘極電極之厚度應為 250 nm。

此外，於本實施例中，最好是其底部上之矽膜係使用低壓 CVD 而被形成。因為 CMOS 電路之一閘極絕緣膜 (例如) 具有薄如從 5 nm 至 30 nm 之膜厚度，所以一半導體膜 (一活性層) 可能根據當執行濺射或電漿 CVD 時之條件而受損。因此，最好是施加熱 CVD，其容許藉由氣體-相化學反應之膜形成。

接下來，具有厚度從 25 nm 至 50 nm 之 SiN_xO_y (通常， $x = 0.5$ ， $y = 0.1$ 至 0.8) 膜被形成為一保護膜 (未顯示) 以覆蓋閘極電極 28 至 30。此保護膜被形成以保護閘極電極 28 至 30 免於氧化。注意，以兩次形成一膜係有效且有利的方式以使其無針孔。

於此，亦有利的是使用含有氣體 (於此實施例中為氫氣) 之氫以執行電漿處理而成為一種用以形成保護膜之預處理。此預處理達成有效的氫終止，因為由電漿所啟動 (激發) 之氫被侷限於結晶半導體膜之內部。

接下來，對結晶半導體膜 13 執行一雜質摻雜程序。源極區 16 至 18 及汲極區 19 至 21 被以此形成於結晶半導體膜 13 中。此步驟可被執行以任一具質量分離之離子植

入或不具質量分離之電漿摻雜。此外，加速電壓、劑量等之條件可由一操作者適當地設定。

接著，對結晶半導體膜 13 執行另一雜質摻雜程序。於此步驟中，雜質被摻雜以較前述步驟更低的劑量。因此，輕摻雜區 22 至 24 被形成於結晶半導體膜 13 中。此步驟可被執行以任一具質量分離之離子植入或不具質量分離之電漿摻雜。此外，加速電壓、劑量等之條件可由一操作者適當地設定。

此步驟決定一 TFT 中之源極區 16 至 18、汲極區 19 至 21、LDD 區 22 至 24、及通道形成區 25 至 27 的配置。

接下來，於一氮氣氛中執行熱處理以 300℃ 至 550℃ 之溫度範圍 1 至 12 小時。於此實施例中，係於一氮氣氛中執行熱處理以 410℃ 一小時。

注意，一依據本實施例而形成於閘極電極上之保護膜被提供以保護閘極電極免於此熱啟動程序中之氧化。然而，此保護膜不一定被提供緊接於閘極電極之形成後。因此，相同效果可被達成，藉由在一第一層間絕緣膜上形成一保護膜後之雜質元素的熱啟動，該第一層間絕緣膜被形成於閘極電極被形成之後。

因此，在獲得圖 2B 中所示之狀況後，一第一層間絕緣膜 31 被形成於保護膜之上，如圖 2C 中所示。於此實施例中，由電漿 CVD 所形成之氧化矽膜被用於層間絕緣膜。

接下來，接觸孔被形成至第一層間絕緣膜 31、一保護膜、及一閘極絕緣膜 12，其接觸孔係個別位於源極區及汲極區之上。接著，一第二導電膜被沈積於接觸孔中且於第一層間絕緣膜 31 之上；之後，第二導電膜被圖案化於接觸孔中且於第一層間絕緣膜 31 之上。因此，源極電極 32 至 34、及汲極電極 35 與 36 被形成。於其上，源極電極 32 至 34 被電連接至源極區 16 至 18，而汲極電極 35 及 36 被電連接至汲極區 19 至 21，個別地。因此，獲得圖 C 中所示之狀況。注意，驅動器電路區之源極電極 32 及 33 被連接至佈線（未顯示）。驅動器電路之汲極電極 35 被連接至佈線（未顯示）。

之後，如圖 3A 中所示，一第二層間絕緣膜 37 被整個形成於其包含源極電極及汲極電極之表面上。由電漿 CVD 所形成之一氧化矽膜被使用於第二層間絕緣膜 37。

接著，藉由蝕刻第二層間絕緣膜 37，一汲極接觸孔 37a 被形成於第二層間絕緣膜 37 中的汲極電極 36 之上。注意，以下可被提供為蝕刻方法之一範例：首先，第二層間絕緣膜 37 被塗敷以一抗蝕劑膜；之後一抗蝕劑圖案（未顯示）係藉由暴露及顯影抗蝕劑膜而被形成於第二層間絕緣膜之上；及第二層間絕緣膜係藉由使用抗蝕劑圖案以當作一遮罩而被蝕刻。此係應用於下述之蝕刻程序。

之後，一第三層間絕緣膜 38 被形成於汲極接觸孔 37a 中及第二層間絕緣膜 37 之上。對於第三層間絕緣膜 38，可應用一由電漿 CVD 所形成之氧化矽。亦可替代地

應用藉由其他膜形成方法所形成之一包含其他材料的膜。注意，第三層間絕緣膜 38 係作用為汲極接觸孔 37a 中之電容元件的介電質。

之後，如圖 3B 中所示，藉由蝕刻第二及第三層間絕緣膜 37 及 38；於層間絕緣膜中，則一接觸孔被形成於驅動器電路區中之一 TFT 的汲極電極 35 之上。

接著，一第三導電膜被沈積於接觸孔中且於第三層間絕緣膜 38 之上；之後第三導電膜被圖案化。因此，由第三導電膜所形成之一第一佈線 39 被形成於接觸孔中且於第三層間絕緣膜 38 之上；第一佈線 39 被電連接至閘極電極 35。同時，由第三導電膜所形成之一第一電容電極 40 被形成於汲極接觸孔 37a 中且於第三層間絕緣膜 38 之上，於像素區中。第一電容電極 40 被連接至電容佈線 40a，如圖 3B 中之像素區的頂視圖中所示。電容佈線 40a 係由第三導電膜所形成。

接下來，如圖 4A 中所示，藉由蝕刻第一電容電極 40，則汲極接觸孔 37a 之底部的一部分被暴露。因此，一第一電容元件被形成於汲極接觸孔 37a 中。因此，第一電容元件包含汲極電極 36（其亦作用為一電容電極）、第三層間絕緣膜 38（其亦作用為一介電質）、及第一電容電極 40。

因此，第一電容元件被形成於汲極接觸孔 37a 中。於是，相較於現存的電容佈線（其中電容元件並未被形成於汲極接觸孔中且佈線並非多層的），本實施例中之電容佈

線 40a 可被變薄且一像素區之孔徑比可被提升。

之後，如圖 4B 中所示，一第四層間絕緣膜 41 被形成於第一電容電極 40、第一佈線 39 及第三層間絕緣膜 38 之上。對於第四層間絕緣膜 41，可應用由電漿 CVD 所形成之氧化矽膜。亦可替代地應用藉由其他膜形成方法所形成之一包含其他材料的膜。

接著，藉由蝕刻第四層間絕緣膜 41，一接觸孔 41a 被形成於層間絕緣膜 41 中的汲極接觸孔 37a 及第一電容電極 40 之上。

接下來，一第五層間絕緣膜 42 被形成於接觸孔 41a 中且於第四層間絕緣膜 41 之上。對於第五層間絕緣膜 42，可應用由電漿 CVD 所形成之氧化矽膜。亦可替代地應用藉由其他膜形成方法所形成之一包含其他材料的膜。此外，第五層間絕緣膜 42 作用為接觸孔 41a 中之介電質。

之後，如圖 5A 中所示，藉由蝕刻第三及第五層間絕緣膜 38 及 42 於接觸孔 41a 之底部上，則汲極電極 36 之一部分被暴露於接觸孔 41a 之底部上。然後，藉由蝕刻第四及第五層間絕緣膜 41 及 42，一接觸孔被形成於層間絕緣膜之驅動器電路區中的第一佈線 39 之上。於此實施例中，用以暴露汲極電極 36 之一部分的蝕刻及用以形成一接觸孔於驅動器電路中的蝕刻被分別執行於個別步驟中；然而，兩個蝕刻亦可被執行於一蝕刻步驟。

接著，一第四導電膜被沈積於接觸孔中且於第五層間

絕緣膜 42 之上，而之後第四導電膜被圖案化。因此，由第四導電膜所形成之一第二佈線 43 被形成於接觸孔中且於驅動器電路區中之第五層間絕緣膜 42 上，且第二佈線 43 被電連接至第一佈線 39。同時，由第四導電膜所形成之一第二電容電極 44 被形成於接觸孔 41a 中且於第五層間絕緣膜 42 之上，於像素區中；第二電容電極 44 被電連接至汲極電極 36；及由第四導電膜所形成之一黑色遮罩 45 被形成於像素區中之一像素 TFT 之上的第五層間絕緣膜 42 之上。

因此，一第二電容元件被形成於接觸孔 41a 中。因此，第二電容元件包含第一電容電極 40、第五層間絕緣膜 42（其亦作用為介電質）、及第二電容電極 44。

之後，如圖 5B 中所示，一第六層間絕緣膜 46 被形成於其包含第二佈線 43、黑色遮罩 45、及第二電容電極 44 的整個表面之上。對於第六層間絕緣膜 46，可應用一種有機樹脂膜，諸如丙烯酸樹脂膜及聚醯亞胺膜，等等。

接著，第六層間絕緣膜 46 被蝕刻。於此，蝕刻係由乾式蝕刻所執行。一接觸孔係藉此而被形成於第六層間絕緣膜 46 中的第二電容電極 44 之上。

之後，藉由濺射以形成一導電膜於接觸孔中且於第六層間絕緣膜 46 之上。然後，藉由圖案化導電膜，則由導電膜所形成之一像素電極 47 被形成於像素區中的第六層間絕緣膜之上。當製造一種傳輸液晶顯示裝置時，使用透明或半透明膜，典型地為氧化銦錫（ITO）被使用於導電

膜。另一方面，當製造一種反射液晶顯示裝置時，係使用一反射膜，通常為包括 Al 或 Ag 之膜。像素電極 47 係透過第二電容電極 44 而被電連接至汲極電極 36。

依據上述實施例，藉由透過驅動器電路區中之多層佈線以賦予驅動器電路區之面積一較小的寬度，則周邊電路區之面積可被減少而不降低像素區之孔徑比。因此，像素尺寸可被增加而不改變液晶面板之晶片尺寸，且可增進發光性。反之，當像素尺寸未改變時，液晶顯示面板之晶片尺寸可被變小，藉此增進生產率。

再者，除了周邊電路之寬度被減少以外，第一及第二電容元件被形成於像素區中之像素 TFT 的汲極接觸孔 37a 中。此減少像素區中之無效空間，並增進像素區之孔徑比。

換言之，當多層佈線被應用於驅動器電路區中時；因此，像素區中之佈線亦需為多層的。此外，於該情況下，當電容元件未被形成於汲極接觸孔 37a 中時，則無效空間被形成於利用多層佈線在像素區中之情況下。亦即，難以形成一接觸孔於另一接觸孔之上，以致其接觸孔被水平地偏移並形成。結果形成一無效空間。然而，藉由形成第一及第二電容元件於一像素 TFT 之汲極接觸孔 37a 中，則像素區中之無效空間可被減少且像素區之孔徑比亦可被增進。

此外，於此實施例中，閘極電極 35、第一及第二佈線 39 及 43 整個可為一多層佈線，其具有如實施例模式 3

中所述之短長度佈線的短距離佈線之功能。因此，短距離佈線之膜厚度可被變薄。藉由使短距離佈線成為薄膜形式，則可減少於一層中的短距離佈線間之寄生電容，以致其寄生電容不會增加，雖然佈線整合之程度增加。因此，可減少阻礙高程度佈線整合之原因。

再者，於此實施例中，實施例模式 3 中所述之長距離佈線可被形成於個別如第一及第二佈線 39 及 43 的相同層上。

再者，於此實施例中，佈線被多層化以具有兩或更多層且多層佈線被配置於 TFT 之上側上，以致其佈線部分之面積可被減少。因此，像素區之面積可被擴大而不改變液晶面板之晶片尺寸，藉此增進發光性。再者，當像素尺寸係相反地未改變時，則液晶顯示面板之晶片尺寸可被變小且形成於一基底之上的晶片數可被增加，藉此增進生產率。

再者，於此實施例中，第二至第四導電膜可由實施例模式 1 中所述之低電阻佈線材料來形成。因此，佈線之線寬度可被變小。

再者，於此實施例中，因為電容元件被形成於汲極接觸孔 37a 中，所以電容佈線 40a 之寬度可被變小且像素區之孔徑比可被增進。

注意到，本發明並不限定於上述實施例模式及實施例，而可被改變於其實施中。

上述實施例中所述之液晶顯示裝置可並應用於電子器

具之各種顯示。注意，電子器具被界定為設有液晶顯示裝置之產品。電子器具之範例包含：視頻相機、靜態相機、投影機、投影電視、頭戴式顯示器、汽車導航系統、個人電腦（包含筆記型）、個人數位助理（行動電腦、行動電話等等）。

如上所述，依據本發明，可減少周邊電路區相對於像素區之面積。此外，像素區之孔徑比可藉由利用多層佈線並窄化周邊電路區之寬度而被增進，藉此將電路聚集沿著一像素之側邊。

【圖式簡單說明】

圖 1 顯示依據實施例模式 1 之液晶顯示裝置中的晶片之框格式。

圖 2A 至 2C 顯示一驅動電路及一像素區之橫斷面圖、以及一液晶顯示裝置之像素區的頂視圖，依據本發明。

圖 3A 及 3B 顯示接在圖 2C 後之一步驟，且其顯示一驅動電路區及一像素區之橫斷面圖、以及一液晶顯示裝置之像素區的頂視圖。

圖 4A 及 4B 顯示接在圖 3B 後之一步驟，且其顯示一驅動電路區及一像素區之橫斷面圖、以及一液晶顯示裝置之像素區的頂視圖。

圖 5A 及 5B 顯示接在圖 4B 後之一步驟，且其顯示一驅動電路區及一像素區之橫斷面圖、以及一液晶顯示裝置

之像素區的頂視圖。

圖 6 顯示一種習知液晶顯示裝置中之晶片的框格式。

【符號說明】

- 1 像素區
- 2a-2c 周邊電路
- 11 石英基底
- 12 氧化矽膜
- 13 結晶半導體膜
- 14 閘極絕緣膜
- 16-18 源極區
- 19-21 汲極區
- 22-24 輕摻雜區
- 25-27 通道形成區
- 28-30 閘極電極
- 31 第一層間絕緣膜
- 32-34 源極電極
- 35, 36 汲極電極
- 37 第二層間絕緣膜
- 37a 汲極接觸孔
- 38 第三層間絕緣膜
- 39 第一佈線
- 40 第一電容電極
- 40a 電容佈線

41 第四層間絕緣膜

41a 接觸孔

42 第五層間絕緣膜

43 第二佈線

44 第二電容電極

45 黑色遮罩

46 第六層間絕緣膜

47 像素電極

101 像素區

102a-102c 周邊電路

伍、中文發明摘要

發明之名稱：半導體裝置以及其製造方法

本發明提供一種半導體裝置，其中係減少一周邊電路區相對於一像素區之面積，並提供一種半導體裝置之製造方法。依據本發明之一種半導體裝置的特徵為具有：一像素區 1、一周邊電路區 2a 至 2c，其係配至於像素區的周邊之至少一部分中、及一佈線，其係形成於周邊電路區中，且特徵為具有一以兩或更多層形成多層之佈線。多層佈線之至少一層係形成自一低電阻材料。電晶體被形成於周邊電路區中，而具有兩或更多層之多層佈線被形成於電晶體之上側上。

陸、英文發明摘要

發明之名稱：**SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME**

The present invention provides a semiconductor device wherein the area of a peripheral circuit region with respect to a pixel region is reduced, and provides a manufacturing method of the semiconductor device. A semiconductor device according to the present invention is characterized by having a pixel region 1, peripheral circuit regions 2a to 2c arranged in at least a part of the periphery of the pixel region, and a wiring formed in the peripheral circuit region, and by having a wiring multilayered with two or more layers. At least one layer of the multilayered wiring is formed from a low resistance material. Transistors are formed in the peripheral circuit region, and the multilayer wiring with two or more layers is formed on the upper side of the transistors.

(1)

拾、申請專利範圍

1. 一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's 之閘極電極，其係形成於周邊電路區中；及

一佈線，其係連接至閘極電極且形成於閘極電極上方或下方之一層中，

其中不同 TFTs 中之閘極電極係彼此隔離。

2. 如申請專利範圍第 1 項之半導體裝置，其中佈線係一具有兩或更多層之多層佈線。

3. 一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's 之閘極電極，其係形成於周邊電路區中；及

一短距離佈線，其係連接至閘極電極且形成於閘極電極上方或下方之一層中，

其中不同 TFTs 中之閘極電極係彼此隔離。

4. 如申請專利範圍第 3 項之半導體裝置，其中短距離佈線為一導出於一像素之佈線或者一用以導引一功能區塊之佈線。

5. 如申請專利範圍第 3 項之半導體裝置，其中，短距離佈線為 2 μm 或更長且短於 2 cm。

(2)

6. 如申請專利範圍第3項之半導體裝置，其中短距離佈線為一具有兩或更多層之多層佈線。

7. 如申請專利範圍第3項之半導體裝置，進一步包含一長距離佈線，其係形成於短距離佈線上方之一層中。

8. 一種半導體裝置，包含：

一像素區；

一周邊電路區，其係置於一圍繞像素區之區域的至少一部分；

TFT's之閘極電極，其係形成於周邊電路區中；及
一長距離佈線，其係形成於閘極電極上方或下方之一層中，

其中不同TFTs中之閘極電極係彼此隔離。

9. 如申請專利範圍第8項之半導體裝置，其中長距離佈線係較像素節距更長百倍或更多倍。

10. 如申請專利範圍第8項之半導體裝置，其中長距離佈線為2 cm或更長且短於10 cm。

11. 如申請專利範圍第8項之半導體裝置，其中長距離佈線為一具有兩或更多層之多層佈線。

12. 如申請專利範圍第2項之半導體裝置，其中多層佈線之至少一層被形成自一低電阻材料。

13. 如申請專利範圍第6項之半導體裝置，其中多層佈線之至少一層被形成自一低電阻材料。

14. 如申請專利範圍第11項之半導體裝置，其中多層佈線之至少一層被形成自一低電阻材料。

(3)

15. 如申請專利範圍第 12 項之半導體裝置，其中低電阻材料為選自包括銅、銅合金、金、金合金、銀、及銀合金的族群之一或更多材料。

16. 如申請專利範圍第 13 項之半導體裝置，其中低電阻材料為選自包括銅、銅合金、金、金合金、銀、及銀合金的族群之一或更多材料。

17. 如申請專利範圍第 14 項之半導體裝置，其中低電阻材料為選自包括銅、銅合金、金、金合金、銀、及銀合金的族群之一或更多材料。

18. 如申請專利範圍第 1 項之半導體裝置，
其中一電晶體被形成於周邊電路區中，及
其中一具有兩或更多層之多層佈線被形成於電晶體之上。

19. 如申請專利範圍第 3 項之半導體裝置，
其中一電晶體被形成於周邊電路區中，及
其中一具有兩或更多層之多層佈線被形成於電晶體之上。

20. 如申請專利範圍第 3 項之半導體裝置，
其中一電晶體被形成於周邊電路區中，及
其中一具有兩或更多層之多層佈線被形成於電晶體之上。

21. 一種製造半導體裝置之方法，包含：
形成一驅動器電路 TFT 於一基底上之一驅動器電路區中及一像素 TFT 於基底上之一像素區中；及

(4)

形成一第一佈線於驅動器電路 TFT 上、一第二佈線於第一佈線上、及一第三佈線於第二佈線上，並形成一第一電容元件於像素 TFT 之一汲極區上及一第二電容元件於第一電容元件上。

22. 一種半導體裝置，包含：

一驅動器電路 TFT，其係形成於一基底上之一驅動器電路中；

一像素 TFT，其係形成於基底上之一像素區中；

一第一佈線，其係形成於驅動器電路 TFT 之上；

一第二佈線，其係形成於第一佈線之上；

一第三佈線，其係形成於第二佈線之上；

一第一電容元件，其係形成於像素 TFT 之一汲極區上；及

一第二電容元件，其係形成於第一電容元件上。

23. 一種製造半導體裝置之方法，包含：

形成一驅動器電路 TFT 於一基底上之一驅動器電路區中及一像素 TFT 於基底上之一像素區中；

形成一第一層間絕緣膜於驅動器電路 TFT 及像素 TFT 上；

形成一第一接觸孔於其位於像素區中之第一層間絕緣膜的一部分中，該第一接觸孔被置於像素 TFT 之一汲極區上；

從一第一導電膜形成一第一佈線於其位於驅動器電路區中之第一層間絕緣膜的一部分上，並從第一導電膜形成

(5)

一 汲極電極於第一接觸孔中；

形成一第二層間絕緣膜於第一佈線、汲極電極、及第一層間絕緣膜上；

形成一第二接觸孔於其位於像素區中之第二層間絕緣膜的一部分中，該第二接觸孔被置於第一接觸孔及汲極電極上；

形成一第三層間絕緣膜於第二層間絕緣膜上且於第二接觸孔中；

從一第二導電膜形成一第二佈線於其位於驅動器電路區中之第三層間絕緣膜的一部分上，並從第二導電膜形成一第一電容電極於第二接觸孔中；

藉由蝕刻第一電容電極以部分地暴露第三層間絕緣膜於第二接觸孔之底部上；

形成一第四層間絕緣膜於第二佈線、第一電容電極、及第三層間絕緣膜上；

形成一第三接觸孔於其位於像素區中之第四層間絕緣膜的一部分中，該第三接觸孔被置於第二接觸孔及第一電容電極上；

形成一第五層間絕緣膜於第四層間絕緣膜上且於第三接觸孔中；

藉由蝕刻其位於第三接觸孔之底部上的第三及第五層間絕緣膜的部分以部分地暴露其置於第三接觸孔之底部下方的汲極電極；及

從一第三導電膜形成一第三佈線於其位於驅動器電路

(6)

區中之第五層間絕緣膜的一部分上，以及從第三導電膜形成一第二電容電極於第三接觸孔中且將第二電容電極電連接至汲極電極；

其中一第一電容元件及一第二電容元件被形成於第一至第三接觸孔中，該第一電容元件包括汲極電極、當作介電質之第三層間絕緣膜、及第一電容電極；該第二電容元件包括第一電容電極、當作介電質之第五層間絕緣膜、及第二電容電極。

24. 如申請專利範圍第 23 項之製造半導體裝置的方法，其中將第二電容電極電連接至汲極電極被接續以形成一第六層間絕緣膜於第三佈線、第二電容電極、及第五層間絕緣膜上；並於其位於像素區中之第五層間絕緣膜的一部分上形成一電連接至第二電容電極的像素電極。

25. 一種半導體裝置，包含：

一驅動器電路 TFT，其係形成於一基底上之一驅動器電路區中、及一像素 TFT，其係形成於基底上之一像素區中；

一第一層間絕緣膜，其係形成於驅動器電路 TFT 及像素 TFT 上；

一第一接觸孔，其係形成於一位於像素區中之第一層間絕緣膜的部分中，該第一接觸孔被置於像素 TFT 之一汲極區上；

一第一佈線，其係從一第一導電膜被形成於一位於驅動器電路區中之第一層間絕緣膜的部分上；

(7)

一 汲極電極，其係從第一導電膜被形成於第一接觸孔中；

一 第二層間絕緣膜，其係形成於第一佈線、汲極電極、及第一層間絕緣膜上；

一 第二接觸孔，其係形成於一位於像素區中之第二層間絕緣膜的部分中，該第二接觸孔被置於第一接觸孔及汲極電極上；

一 第三層間絕緣膜，其係形成於第二層間絕緣膜上且於第二接觸孔中；

一 第二佈線，其係從一第二導電膜被形成於一位於驅動器電路區中之第三層間絕緣膜的部分上；

一 第一電容電極，其係從第二導電膜被形成於第二接觸孔中；

一 孔，用以部分地暴露第三層間絕緣膜於第二接觸孔之底部上，該孔係形成於第一電容電極中；

一 第四層間絕緣膜，其係形成於第二佈線、第一電容電極、及第三層間絕緣膜上；

一 第三接觸孔，其係形成於一位於像素區中之第四層間絕緣膜的部分中，該第三接觸孔被置於第二接觸孔及第一電容電極上；

一 第五層間絕緣膜，其係形成於第四層間絕緣膜上且於第三接觸孔中；

一 孔，用以部分地暴露其置於第三接觸孔之底部下方的汲極電極，該孔係形成於第三接觸孔之底部上的第三及

(8)

第五層間絕緣膜的部分中；及

一第三佈線，其係從一第三導電膜被形成於一位於驅動器電路區中之第五層間絕緣膜的部分上；

一第二電容電極，其係從電連接至汲極電極之第三導電膜被形成於第三接觸孔中，

其中一第一電容元件及一第二電容元件被形成於第一至第三接觸孔中，該第一電容元件包括汲極電極、當作介電質之第三層間絕緣膜、及第一電容電極；該第二電容元件包括第一電容電極、當作介電質之第五層間絕緣膜、及第二電容電極。

26. 如申請專利範圍第 25 項之半導體裝置，進一步包含：一第六層間絕緣膜，其係形成於第三佈線、第二電容電極、及第五層間絕緣膜上；及一像素電極，其係形成於一位於像素區中且被電連接至第二電容電極之第五層間絕緣膜的部分上。

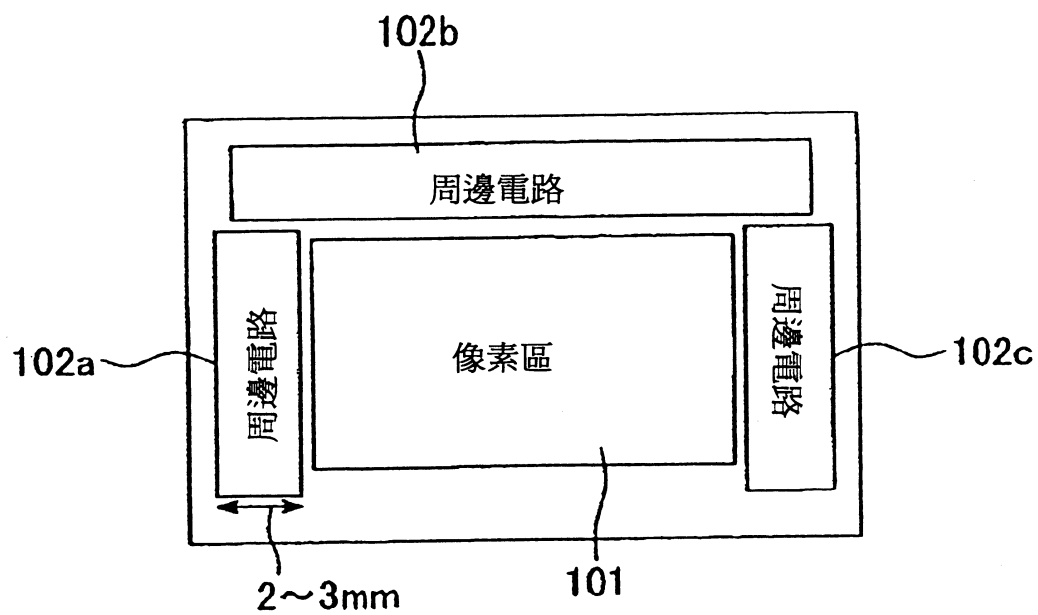


圖 1

圖 2A

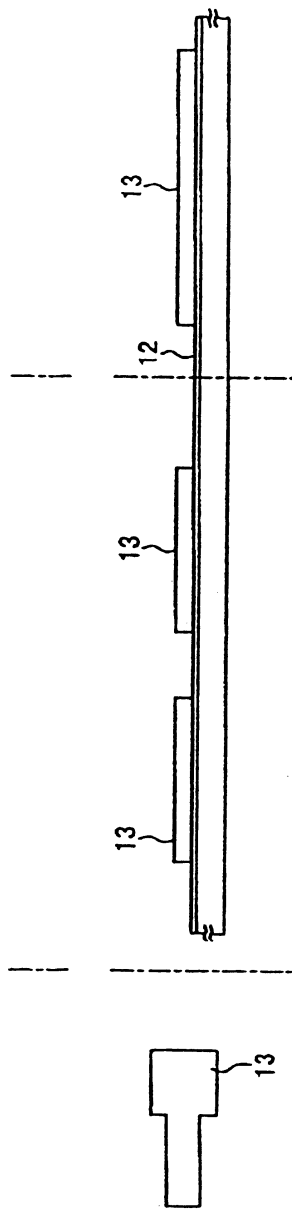


圖 2B

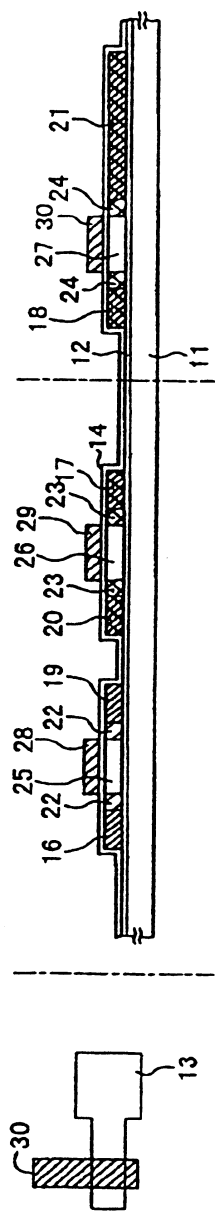


圖 2C

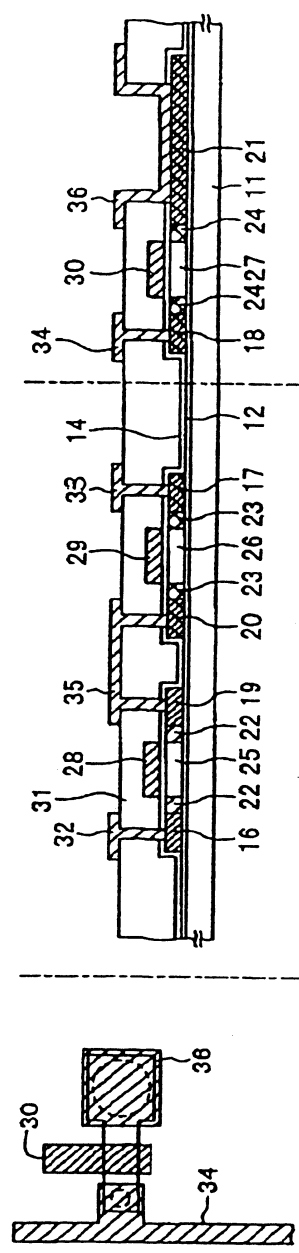


圖 3A

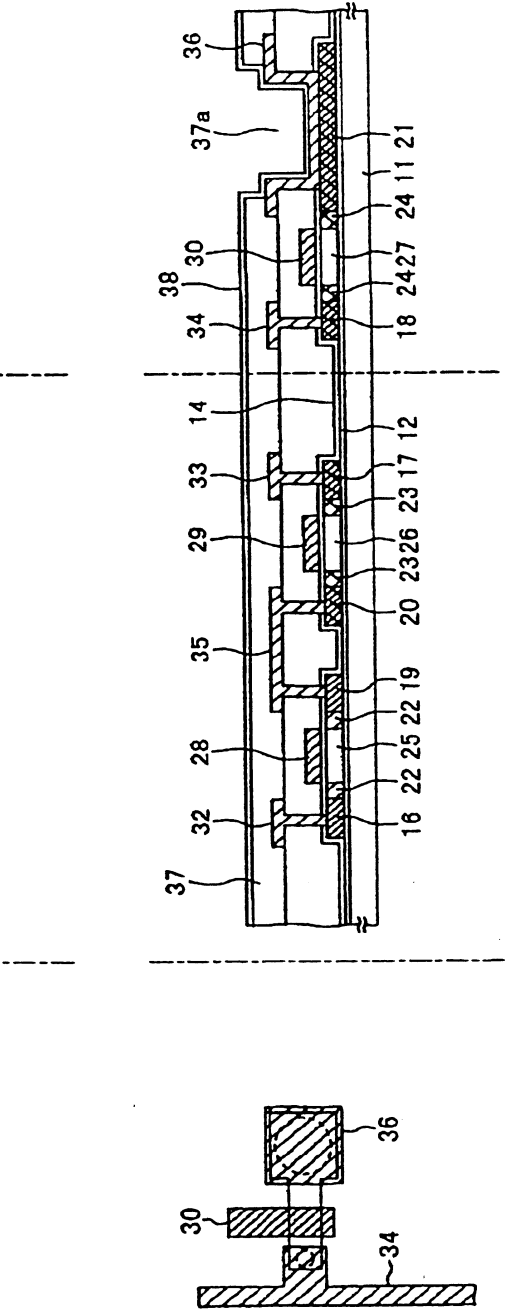


圖 3B

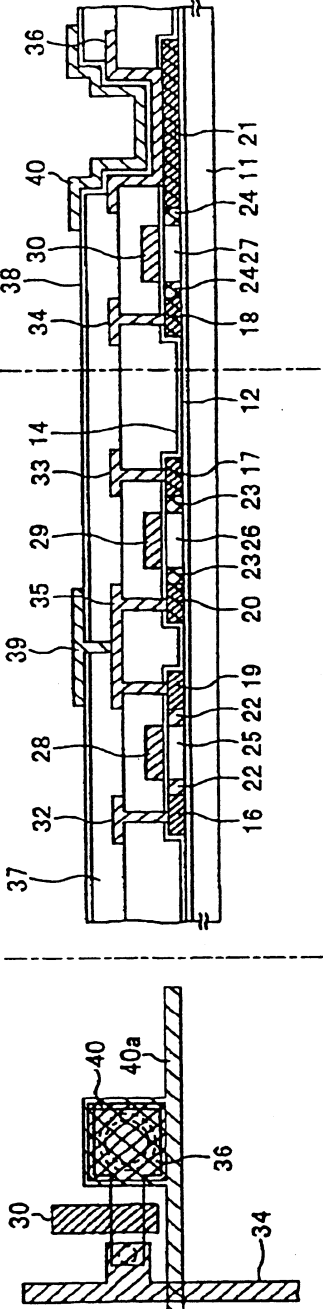


圖5A

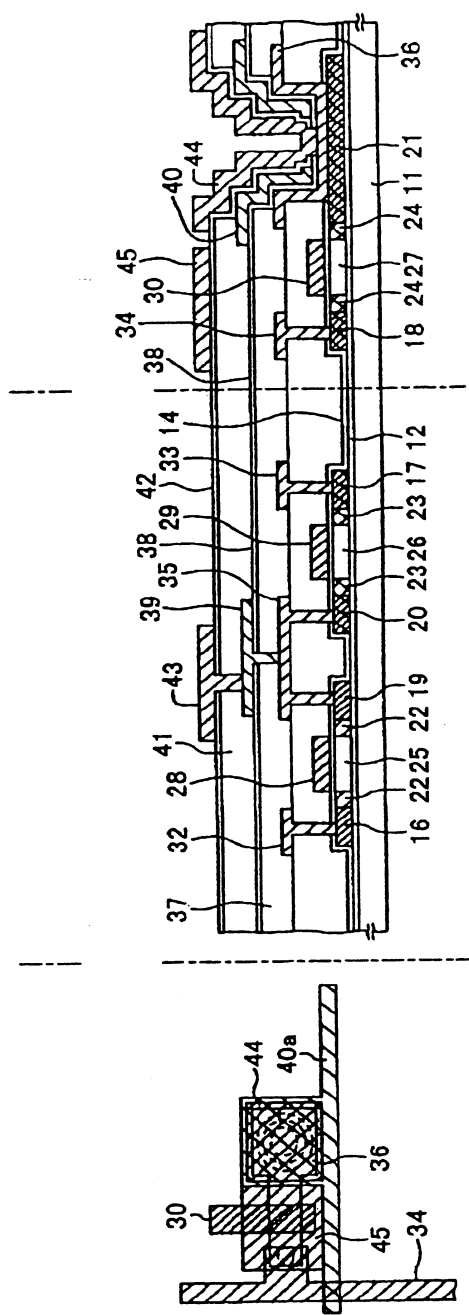
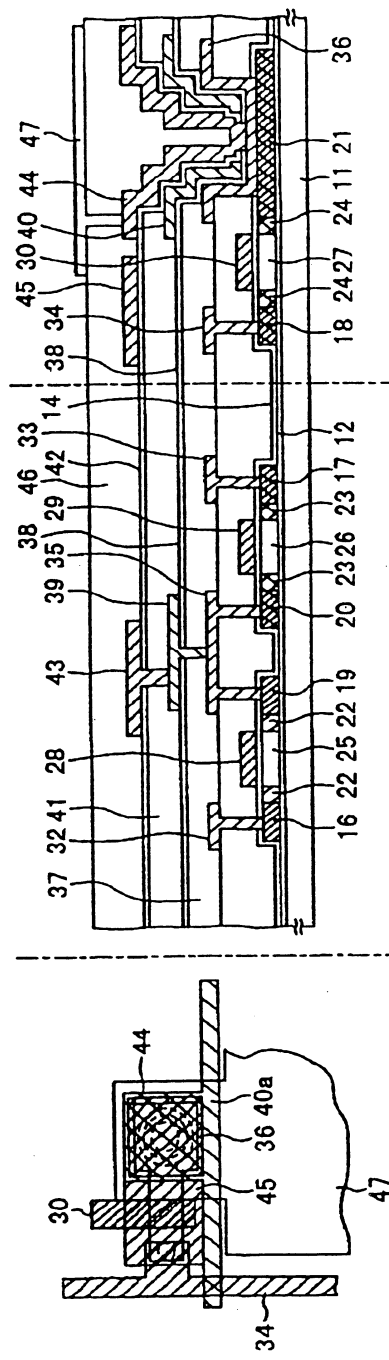


圖5B



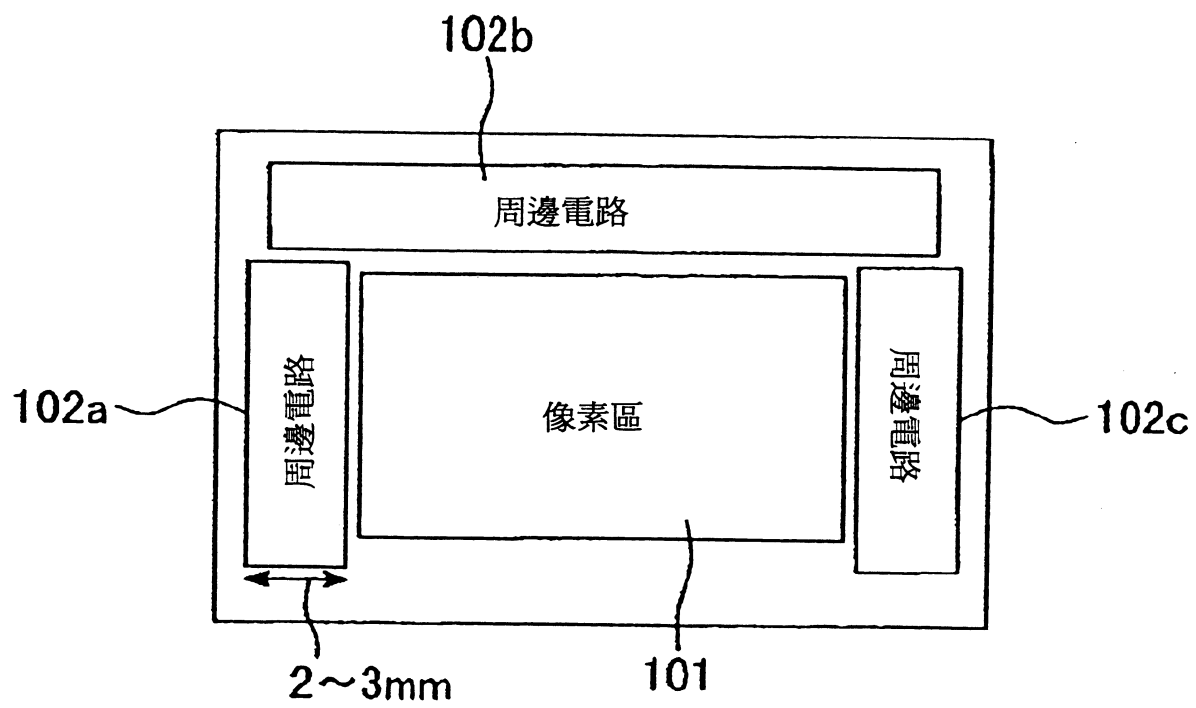


圖6

柒、指定代表圖：

(一)、本案指定代表圖為：第 5B 圖

(二)、本代表圖之元件代表符號簡單說明：

11 石英基底	12 氧化矽膜
14 閘極絕緣膜	16-18 源極區
19-21 汲極區	22-24 輕摻雜區
25-27 通道形成區	28-30 閘極電極
32-34 源極電極	35,36 汲極電極
37 第二層間絕緣膜	38 第三層間絕緣膜
39 第一佈線	40 第一電容電極
40a 電容佈線	41 第四層間絕緣膜
42 第五層間絕緣膜	43 第二佈線
44 第二電容電極	45 黑色遮罩
46 第六層間絕緣膜	47 像素電極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：