



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월18일
(11) 등록번호 10-1256321
(24) 등록일자 2013년04월12일

(51) 국제특허분류(Int. Cl.)
H01L 23/485 (2006.01) H05K 3/46 (2006.01)
(21) 출원번호 10-2011-0093198
(22) 출원일자 2011년09월16일
심사청구일자 2011년09월16일
(65) 공개번호 10-2012-0033977
(43) 공개일자 2012년04월09일
(30) 우선권주장
JP-P-2010-220481 2010년09월30일 일본(JP)
(56) 선행기술조사문헌
JP2006310419 A
JP2006120948 A
JP2008227266 A

(73) 특허권자
가부시키가이샤 테라미크로스
일본국 도쿄도 오우메시 이마이 3초메 10반치노 6
(72) 발명자
아라이 가즈요시
일본국 도쿄도 하무라시 사카에초 3초메 2반 1고
가시오케산키 가부시키가이샤 하무라기쥬츠센터내
(74) 대리인
김문종, 손은진

전체 청구항 수 : 총 8 항

심사관 : 장지혜

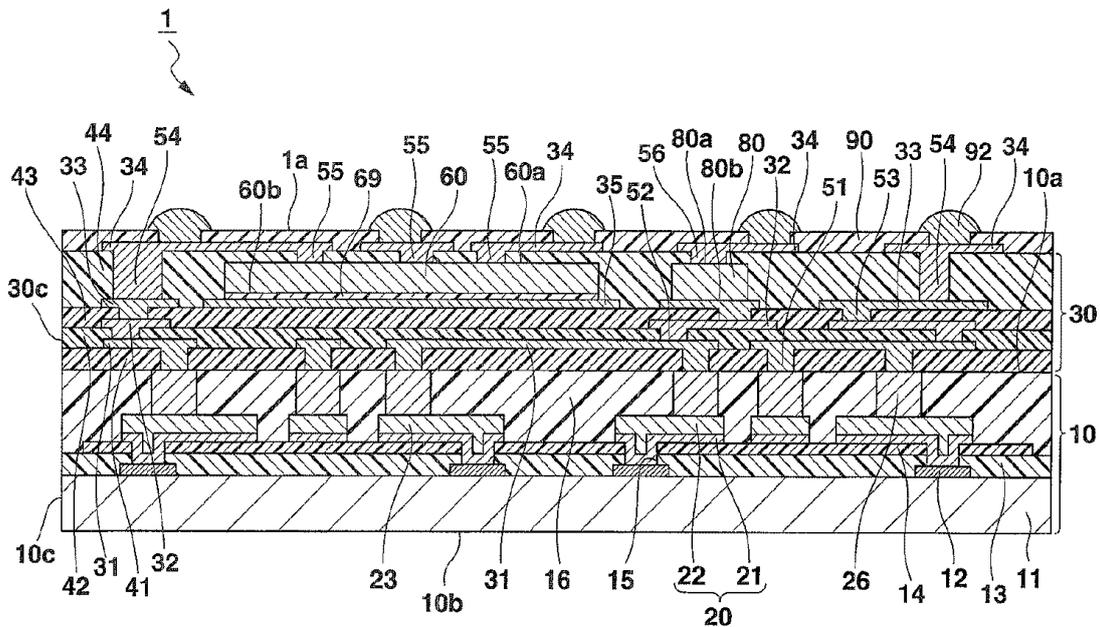
(54) 발명의 명칭 다층 배선 구조를 갖는 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치(1)는 반도체 칩(10)과, 반도체 칩(10)의 위에 적층된 다층 배선 구조(30)와, 다층 배선 구조(30)에 매설된 전자 부품(60, 80)을 구비하는 것을 특징으로 하는 다층 배선 구조를 갖는 반도체 장치 및 그 제조 방법을 제공한다.

본 발명에 의하면, 반도체 패키지 등의 반도체 장치를 박형화 및 소형화할 수 있다.

대표도



특허청구의 범위

청구항 1

반도체 칩과,
상기 반도체 칩의 위에 적층된 다층 배선 구조와,
상기 다층 배선 구조에 매설된 전자 부품을 포함하고,
상기 반도체 칩은 패키징된 것이고,
상기 반도체 칩은,
반도체 기판과,
상기 반도체 기판의 위에 형성된 내부 배선과,
상기 내부 배선을 피복하도록 해서 상기 반도체 기판의 위에 형성된 밀봉층과,
상기 내부 배선의 일부의 위에 형성되고 상기 내부 배선에 접속된 돌기형상의 아우터 단자를 갖고,
상기 다층 배선 구조가 상기 밀봉층상에 적층되어 있는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 다층 배선 구조의 둘레면이 반도체 칩의 둘레면에 맞추어져 있는 것을 특징으로 하는 반도체 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,
상기 다층 배선 구조는 상기 반도체 칩의 위에 교대로 적층된 복수의 절연층 및 배선 패턴을 갖고,
최하층의 상기 배선 패턴이 상기 내부 배선에 도통하고 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제 6 항에 있어서,
상기 전자 부품은 상기 복수의 절연층 중 최하층 이외의 것에 매설되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제 6 항에 있어서,
상기 전자 부품은 단자를 갖고, 상기 단자가 상기 배선 패턴에 도통하고 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 다층 배선 구조의 위에 형성된 범프를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10

반도체 웨이퍼의 위쪽에 다층 배선 구조를 적층하는 동시에, 상기 다층 배선 구조에 전자 부품을 내장하고, 상기 반도체 웨이퍼를 개편(납개로 자름)화해서 반도체 칩화(化)하는 것을 포함하고, 반도체 칩은 패키징되고,

상기 반도체 칩은 상기 반도체 웨이퍼의 위에 내부 배선을 형성하고, 밀봉층에 의해서 상기 내부 배선을 피복하도록 해서 상기 밀봉층을 상기 반도체 웨이퍼의 위에 형성하고, 상기 내부 배선에 접속되는 돌기형상의 아우터 단자를 상기 내부 배선의 일부의 위에 형성하고,

상기 다층 배선 구조의 적층 시에는, 상기 밀봉층의 위에 상기 다층 배선 구조를 적층하고,

상기 반도체 웨이퍼와 함께 상기 다층 배선 구조도 절단해서 베어내는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

삭제

청구항 12

제 10 항에 있어서,

상기 다층 배선 구조의 위에 범프를 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 다층 배선 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 일본국 특개 2008-047734호 공보에는, 복수의 반도체 칩이 매설된 SIP(System In Package)형의 반도체 패키지(반도체 장치)가 기재되어 있다. 특허문헌 1에 기재되어 있는 바와 같이, 회로가 형성되어 있지 않은 기판(1)의 위에 2층의 절연층(6, 7)이 적층되고, 각각의 절연층(6, 7)의 위에 배선(9, 13)이 패터닝되고, 베어 칩(bare chip)(5)이 하층의 절연층(6)에 매설되고, 또한 상층의 절연층(6, 7)의 위에 두꺼운 버퍼층(17)이 적층되고, 산화 실리콘막(16d)만으로 보호된 다른 베어 칩(16)이 버퍼층(17)에 매설되어 있다.

발명의 내용

해결하려는 과제

[0003] 일본국 특개 2008-047734호 공보에 기재된 기술에서는, 기판(1)의 위에 적층된 절연층(6)이나 버퍼층(17)에 칩(5, 13)이 매설되어 있기 때문에, 반도체 패키지가 두껍게 되어 버린다.

[0004] 또, 기판(1)은 웨이퍼를 베어낸 것이다. 칩(5)을 웨이퍼의 위에 탑재한 후, 마지막으로 웨이퍼를 절단하기 때문에, 베어내어진 기판(1)의 크기는 칩(5)의 크기보다 커진다. 그 때문에, 반도체 패키지의 크기도 대형화되어 버린다.

과제의 해결 수단

[0005] 그래서, 본 발명이 해결하고자 하는 과제는 반도체 패키지 등의 반도체 장치의 박형화 및 소형화를 도모하는 것이다.

[0006] 본 발명의 1개의 양태에 의하면, 반도체 칩과, 상기 반도체 칩의 위에 적층된 다층 배선 구조와, 상기 다층 배선 구조에 매설된 전자 부품을 구비하는 것을 특징으로 하는 것이다.

[0007] 또, 본 발명의 다른 양태에 의하면, 반도체 웨이퍼의 위쪽에 다층 배선 구조를 적층하는 동시에, 상기 다층 배선 구조에 전자 부품을 내장하고, 상기 반도체 웨이퍼 및 상기 다층 배선 구조를 칩 크기로 베어내는 방법을 특징으로 하는 것이다.

발명의 효과

[0008] 본 발명에 의하면, 반도체 패키지 등의 반도체 장치를 박형화 및 소형화할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시형태에 관한 반도체 장치의 사시도이다.

도 2는 동(同) 실시형태에 관한 반도체 장치의 단면도이다.

도 3은 동 실시형태에 관한 반도체 칩을 일부 과단한 상태로 나타낸 사시도이다.

도 4는 동 실시형태에 관한 전자 부품을 일부 과단한 상태로 나타낸 사시도이다.

도 5는 동 실시형태에 관한 반도체 장치를 제조하는 방법의 1공정에 있어서의 단면도이다.

도 6은 도 5의 공정의 후의 공정에 있어서의 단면도이다.

도 7은 도 6의 공정의 후의 공정에 있어서의 단면도이다.

도 8은 도 7의 공정의 후의 공정에 있어서의 단면도이다.

도 9는 도 8의 공정의 후의 공정에 있어서의 단면도이다.

도 10은 도 9의 공정의 후의 공정에 있어서의 단면도이다.

도 11은 도 10의 공정의 후의 공정에 있어서의 단면도이다.

도 12는 도 11의 공정의 후의 공정에 있어서의 단면도이다.

도 13은 도 12의 공정의 후의 공정에 있어서의 단면도이다.

도 14는 도 13의 공정의 후의 공정에 있어서의 단면도이다.

도 15는 도 14의 공정의 후의 공정에 있어서의 단면도이다.

도 16은 도 15의 공정의 후의 공정에 있어서의 단면도이다.

도 17은 도 16의 공정의 후의 공정에 있어서의 단면도이다.

도 18은 도 17의 공정의 후의 공정에 있어서의 단면도이다.

도 19는 도 18의 공정의 후의 공정에 있어서의 단면도이다.

도 20은 변형예에 관한 반도체 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하에, 본 발명을 실시하기 위한 형태에 대해, 도면을 이용해서 설명한다. 단, 이하에 기재하는 실시형태에는, 본 발명을 실시하기 위해 기술적으로 바람직한 여러 가지의 한정(限)이 붙여져 있지만, 본 발명의 범위를 이하의 실시형태 및 도시에 한정하는 것이 아니다.

[0011] 도 1은 반도체 장치(1)의 사시도이다. 도 2는 반도체 장치(1)의 단면도이다.

[0012] 도 1, 도 2에 나타내는 바와 같이, 반도체 장치(1)는 SIP(System In Package)로서, 반도체 칩(10), 다층 배선 구조(30) 및 전자 부품(60, 80) 등을 구비한 것이다. 다층 배선 구조(30)가 반도체 칩(10)의 겉쪽의 면(10a)의 위에 적층되고, 전자 부품(60, 80)이 다층 배선 구조(30)에 매설되어 있다.

[0013] 우선, 도 2, 도 3을 참조해서, 반도체 칩(10)에 대해 상세하게 설명한다. 도 3은 반도체 칩(10)의 일부를 과단한 상태로 나타낸 사시도이다. 도 3에서는 반도체 칩(10)의 위에 다층 배선 구조(30)가 적층되어 있지 않은 상태를 나타낸다.

- [0014] 반도체 칩(10)은 칩 크기로 패키징한 것으로서, 이른바 CSP(Chip Size Package)이다. 특히, 이 반도체 칩(10)은 개편(날개로 자름)화하기 전의 반도체 웨이퍼의 표면을 수지에 의해서 밀봉한 후에, 그것을 칩 크기로 개편화(날개로 자름)한 것이다. 즉, 반도체 칩(10)은 CSP 중에서도 특히 WLP(Wafer Level Package)이다.
- [0015] 반도체 칩(10)은 반도체 기판(11), 패시베이션막(passivation film)(13), 절연막(14), 밀봉층(16), 내부 배선(20) 및 아우터(outer) 단자(26) 등을 구비한다.
- [0016] 반도체 기판(11)은 실리콘이라고 하는 반도체 재료 등으로 이루어진다. 반도체 기판(11)의 겉쪽의 표층에는 집적 회로가 형성되어 있다. 반도체 기판(11)의 겉쪽의 면의 위에는 복수의 이너 단자(12)가 형성되어 있다. 이너(inner) 단자(12)는 반도체 기판(11)의 표층에 형성된 집적 회로의 배선의 일부이거나, 각종 전기 소자(예를 들면, 다이오드, 트랜지스터, 저항, 콘덴서 등)의 전극이거나 한다.
- [0017] 반도체 기판(11)의 겉쪽의 면이 패시베이션막(13)에 의해서 피복되어 있다. 패시베이션막(13)은 산화 실리콘 또는 질화 실리콘을 함유한다. 패시베이션막(13)이 절연막(14)에 의해서 피복되어 있다. 절연막(14)은 에폭시계 수지, 폴리이미드계 수지 기타의 수지를 함유한다. 예를 들면, 절연막(14)에는 폴리이미드(PI), 폴리벤조옥사졸(PBO), 에폭시계, 페놀계, 실리콘계 등의 플라스틱 재료 또는 이들의 복합 재료 등을 이용할 수 있다.
- [0018] 패시베이션막(13) 및 절연막(14) 중 이너 단자(12)에 접치는 위치에는 개구(15)가 형성되어 있다. 이너 단자(12)의 일부 또는 전체가 개구(15)내에 위치되어 있고, 이너 단자(12)의 일부 또는 전체가 패시베이션막(13) 및 절연막(14)에 의해서 덮여 있지 않다. 또한, 절연막(14)이 형성되어 있지 않아도 좋다.
- [0019] 내부 배선(20)이 절연막(14)상(절연막(14)이 없을 경우에는, 패시베이션막(13)상)에 형성되어 있다. 내부 배선(20)은 밀바탕(21)과 도체층(22)의 적층체이고, 밀바탕(21)은 절연막(14)상(절연막(14)이 없을 경우에는, 패시베이션막(13)상)에 형성되고, 도체층(22)은 밀바탕(21)상에 형성되어 있다. 밀바탕(21)은 도체로 이루어진다. 예를 들면, 밀바탕(21)은 구리(Cu)의 박막, 티탄(Ti)의 박막, 티탄에 구리를 적층한 박막 기타의 금속 박막이다. 도체층(22)은 시드층(seed layer)상에 성장한 도금을 패터닝한 것이다. 도체층(22)은 구리 기타의 금속으로 이루어진다. 평면시(視)한 경우의 도체층(22)의 형상과 밀바탕(21)의 형상이 대략 동일하다. 도체층(22)은 밀바탕(21)보다 두껍다. 또한, 내부 배선(20)이 도체의 적층체가 아니라도 좋다. 예를 들면, 내부 배선(20)은 도체의 단층이라도 좋고, 또한 여러 도체층을 적층한 것이라도 좋다.
- [0020] 내부 배선(20)이 이너 단자(12)에 접속되어 있다. 구체적으로는, 내부 배선(20)이 개구(15)의 위를 가로 지르고, 내부 배선(20)의 밀바탕(21)의 일부가 이너 단자(12)상에 적층되어 있다. 내부 배선(20)의 수가 이너 단자(12)의 수보다 많아도 좋고, 적어도 좋고, 동등해도 좋다. 1개의 내부 배선(20)에 접속되는 이너 단자(12)의 수는 1 또는 2 이상이다. 1개의 내부 배선(20)에 대해 1개의 이너 단자(12)가 접속되는 것이 바람직하다.
- [0021] 내부 배선(20)의 일부가 랜드(land)(23)로 되어 있다. 랜드(23)상에는 아우터 단자(26)가 형성되고, 내부 배선(20)이 아우터 단자(26)에 접속되어 있다. 그 때문에, 아우터 단자(26)는 내부 배선(20)에 의해서 이너 단자(12)에 도통(導通)하고 있다. 1개의 내부 배선(20)에 접속되는 아우터 단자(26)의 수는 1 또는 2 이상이다. 1개의 내부 배선(20)에 대해 1개의 아우터 단자(26)가 접속되는 것이 바람직하다. 또, 1개의 아우터 단자(26)에 대해 1개의 이너 단자(12)가 내부 배선(20)에 의해서 도통하는 것이 더욱 바람직하다.
- [0022] 아우터 단자(26)는 돌기형상으로 설치된 주상(柱狀)전극이다. 아우터 단자(26)는 구리 기타의 금속으로 이루어진다. 아우터 단자(26)의 높이(두께)는 도체층(22)의 두께보다 크다. 또한, 도 3에서는 아우터 단자(26)가 세로 6열×가로 6열의 격자형상으로 배열되어 있지만, 아우터 단자(26)의 배열 및 수는 이것에 한정하는 것이 아니다.
- [0023] 차광성의 밀봉층(16)이 절연막(14)상에 형성되고, 내부 배선(20)이 밀봉층(16)에 의해서 덮여져 있다. 아우터 단자(26)의 헤드 꼭대기면이 밀봉층(16)에 의해서 덮여 있지 않지만, 아우터 단자(26)의 돌레면이 밀봉층(16)에 의해서 덮여 보호되어 있다. 밀봉층(16)의 표면이 아우터 단자(26)의 헤드 꼭대기면과 면일(面一)로 설치되어 있거나, 또는 아우터 단자(26)의 헤드 꼭대기면보다 근소하게 높은 위치에 있다.
- [0024] 밀봉층(16)은 에폭시계 수지, 폴리이미드계 수지 기타의 절연성 수지를 함유하고, 바람직하게는, 절연성 수지(에폭시계 수지, 폴리이미드계 수지 등)에 충전물(예를 들면, 유리 충전물)을 배합한 섬유 강화 수지로 이루어진다.
- [0025] 또한, 반도체 칩(10)은 LGA 방식의 패키지라도 좋다. 즉, 단자로 되는 랜드가 반도체 칩(10)의 겉쪽의 면(10a)에 격자형상으로 배열되어 있어도 좋다.

- [0026] 도 1, 도 2를 참조해서 다층 배선 구조(30)에 대해 설명한다.
- [0027] 다층 배선 구조(30)는 배선 패턴(31~34) 및 절연층(41~44)을 갖는다. 절연층(41), 절연층(42), 절연층(43) 및 절연층(44)이 반도체 칩(10)으로부터 절연층(41), 절연층(42), 절연층(43), 절연층(44)의 순서대로 반도체 칩(10)의 겉쪽의 면(10a)상에 적층되어 있다. 배선 패턴(31)이 절연층(41)과 절연층(42)의 사이에, 배선 패턴(32)이 절연층(42)과 절연층(43)의 사이에, 배선 패턴(33)이 절연층(43)과 절연층(44)의 사이에 각각 위치하고, 배선 패턴(34)이 절연층(44)상에 형성되어 있다. 배선 패턴(31)과 배선 패턴(32)이 절연층(42)에 의해서, 배선 패턴(32)과 배선 패턴(33)이 절연층(43)에 의해서, 배선 패턴(33)과 배선 패턴(34)이 절연층(44)에 의해서 각각 사이에 두어져 있다.
- [0028] 절연층(41~44)의 가장자리와 반도체 칩(10)의 측면(둘레면)(10c)이 맞추어져 있고, 다층 배선 구조(30)의 측면(둘레면)(30c)이 반도체 칩(10)의 측면(10c)에 맞추어져 있다.
- [0029] 절연층(44)에는 복수의 비어(via)가 열려져 있고, 비어내에 층간 접속 도체(54)가 내장되고, 층간 접속 도체(54)가 절연층(44)을 관통하고, 층간 접속 도체(54)에 의해 배선 패턴(34)과 배선 패턴(33)이 도통하고 있다. 마찬가지로, 절연층(43)을 관통한 층간 접속 도체(53)에 의해 배선 패턴(33)과 배선 패턴(32)이 절연층(42)을 관통한 층간 접속 도체(52)에 의해 배선 패턴(32)과 배선 패턴(31)이 각각 도통하고 있다.
- [0030] 층간 접속 도체(54)와 배선 패턴(34)이 일체로 형성되고, 층간 접속 도체(53)와 배선 패턴(33)이 일체로 형성되고, 층간 접속 도체(54)와 배선 패턴(32)이 일체로 형성되어 있다. 이들은 별체로 형성되고, 서로 접촉하고 있어도 좋다.
- [0031] 또, 절연층(41)에는 아우터 단자(26)에 도달하는 복수의 비어가 열려져 있고, 비어내에 층간 접속 도체(51)가 내장되고, 층간 접속 도체(51)가 절연층(41)을 관통하고, 층간 접속 도체(51)에 의해 배선 패턴(31)과 아우터 단자(26)가 도통하고 있다.
- [0032] 배선 패턴(31, 32, 33, 34) 및 층간 접속 도체(51, 52, 53, 54)는 구리 기타의 금속으로 이루어진다. 절연층(41, 42, 43, 44)은 에폭시계 수지, 폴리이미드계 수지 기타의 절연성 수지를 함유하고, 바람직하게는 유리섬유 강화 에폭시 수지, 유리포(glass-cloth) 기재(基材) 에폭시 수지, 카본섬유 강화 에폭시 수지, 카본포(carbon-cloth) 기재 에폭시 수지를, 유리섬유 강화 폴리이미드 수지, 유리포 기재 폴리이미드 수지, 카본섬유 강화 폴리이미드 수지, 카본포 기재 폴리이미드 수지 기타의 섬유 강화 수지로 이루어진다. 또한, 도 2에서는 다층 배선 구조(30)가 4층의 절연층(41, 42, 43, 44) 및 4층의 배선 패턴(31, 32, 33, 34)을 갖는 것이었지만, 다층 배선 구조(30)의 절연층 및 배선 패턴의 층 수는 2 이상이면 좋다.
- [0033] 이상과 같은 다층 배선 구조(30)에는 전자 부품(60, 80)이 매설되어 있다. 더욱 구체적으로는 전자 부품(60, 80)은 절연층(44)에 매설되어 있다. 전자 부품(60)은 반도체 칩이다. 전자 부품(60)은 베어 칩(bare chip)이라도 좋고, 패키지화한 것이어도 좋다. 전자 부품(60)이 패키지화한 반도체 칩일 경우, 전자 부품(60)의 패키지 방식은 불문한다.
- [0034] 전자 부품(60)이 CSP 중에서도 특히 WLP일 경우, 전자 부품(60)은 도 4에 나타내는 바와 같이 구성되어 있다. 도 4는 전자 부품(60)의 일부를 과단한 상태로 나타낸 사시도이다. 도 4에 나타내는 바와 같이, 전자 부품(60)은 반도체 기관(61), 패시베이션막(63), 절연막(64), 밀봉층(66), 내부 배선(70) 및 아우터 단자(76) 등을 구비한다. 전자 부품(60)과 반도체 칩(10)은 아우터 단자(76)의 수, 내부 배선(70)의 형상 및 위치, 반도체 기관(61)에 형성된 집적 회로 등이 상이한 것뿐으로, 전자 부품(60)이 반도체 칩(10)과 동등하게 WLP이므로, 전자 부품(60)이 상세한 설명에 대해서는 생략한다. 전자 부품(60)의 크기는 반도체 칩(10)의 크기보다 작다. 또한, 도 4에서는 아우터 단자(76)가 세로 3열×가로 3열의 격자형상으로 배열되어 있지만, 아우터 단자(76)의 배열 및 수는 이것에 한정하는 것이 아니다.
- [0035] 도 2에 나타내는 바와 같이, 전자 부품(60)은 절연층(43)의 위에 다이 본딩(die-bonded)되어 있다. 구체적으로는, 도체로 이루어지는 밀바탕(35)이 절연층(43)상에 형성되어 있고, 전자 부품(60)의 안쪽의 면(60b)과 밀바탕(35)의 사이에 접착제(69)가 끼워지고, 접착제(69)가 전자 부품(60)의 안쪽의 면(60b)과 밀바탕(35)에 고착되어 있다. 밀바탕(35)은 배선 패턴(33)과 함께 패터닝된 것이다. 밀바탕(35)과 배선 패턴(33)이 서로 이간하고, 밀바탕(35)과 배선 패턴(33)이 도통하고 있지 않다. 또한, 밀바탕(35)이 없고, 접착제(69)가 절연층(43)에 직접 고착되어 있어도 좋다.
- [0036] 절연층(44)은 전자 부품(60) 전체를 피복하도록 해서 절연층(43)상에 성막되어 있고, 전자 부품(60)은 절연층

(44)에 매설되어 있다.

- [0037] 도 4에 나타내는 바와 같이, 전자 부품(60)의 안쪽의 면(60b)에는 단자가 형성되어 있지 않고, 겉쪽의 면(60a)에서는 아우터 단자(76)의 헤드 꼭대기면이 노출되어 있다. 그 때문에, 아우터 단자(76)는 배선 패턴(33)에 접속되어 있지 않다. 한편, 도 2에 나타내는 바와 같이, 절연층(44)에는 복수의 비어가 열려져 있고, 비어내에 층간 접속 도체(55)가 내장되고, 층간 접속 도체(55)가 절연층(44)을 관통하고, 층간 접속 도체(55)에 의해 배선 패턴(34)과 아우터 단자(76)가 도통하고 있다.
- [0038] 또한, 전자 부품(60)의 겉쪽의 면(60a)이 절연층(43)으로 향한 상태에서, 전자 부품(60)이 플립 칩(flip chip) 방식 등에 의해서 절연층(43)의 위에 표면 실장되어 있어도 좋다. 이 경우, 밑바탕(35)이 없고, 배선 패턴(33)이 전자 부품(60)의 아래에까지 도달하도록 패터닝되고, 아우터 단자(76)가 예를 들면 뿔납, 도전성 페이스트, 도전성 시트, 이방도전성 페이스트 또는 이방도전성 페이스에 의해서 배선 패턴(33)에 도통하고 있다. 아우터 단자(76)가 배선 패턴(33)에 도통하고 있으므로, 층간 접속 도체(55)가 없고, 층간 접속 도체(55)가 내장되는 비어(via)도 절연층(44)에 열려져 있지 않다.
- [0039] 전자 부품(80)은 능동 부품(예를 들면, 다이오드, 트랜지스터) 또는 수동 부품(예를 들면, 저항기, 콘덴서)이다. 또, 전자 부품(80)은 칩 저항기, 칩 콘덴서, 칩 다이오드, 칩 트랜지스터 기타의 표면 실장형 칩 부품이다. 전자 부품(80)의 겉쪽의 면(80a)과 안쪽의 면(80b)에는 각각 단자가 설치되어 있다. 전자 부품(80)의 안쪽의 면(80b)이 절연층(43)으로 향한 상태에서, 전자 부품(80)이 배선 패턴(33)상에 다이 본딩되고, 안쪽의 면(80b)에 설치된 단자가 배선 패턴(33)에 도통하고 있다.
- [0040] 절연층(44)은 전자 부품(80) 전체를 피복하도록 해서 절연층(43)상에 성막되어 있고, 전자 부품(80)은 절연층(44)에 매설되어 있다. 절연층(44)에는 비어가 열려져 있고, 비어내에 층간 접속 도체(56)가 내장되고, 층간 접속 도체(56)가 절연층(44)을 관통하고, 전자 부품(80)의 겉쪽의 면(80a)에 설치된 단자와 배선 패턴(34)이 층간 접속 도체(56)에 의해 도통하고 있다.
- [0041] 절연층(44) 및 배선 패턴(34)이 오버코트층(90)에 의해서 피복되어 있다. 오버코트층(90)에 복수의 개구가 형성되고, 개구내에 뿔납 범프(92)가 형성되고, 뿔납 범프(92)가 배선 패턴(34)에 고착되어 있다. 도 1에 나타내는 바와 같이, 뿔납 범프(92)가 세로 5열×가로 5열의 격자형상으로 배열되어 있지만, 뿔납 범프(92)의 배열 및 수는 이것에 한정하는 것이 아니다. 또한, 뿔납 범프(92)가 없어도 좋다.
- [0042] 도 2에 나타내는 바와 같이, 전자 부품(60)과 전자 부품(80)이 동일한 절연층(44)에 매설되어 있으므로, 절연층(44)을 두껍게 하는 것만으로 완료되고, 절연층(41, 42, 43)을 두껍게 하지 않아도 완료된다. 그 때문에, 반도체 장치(1)의 박형화를 도모할 수 있다. 또한, 전자 부품(60)이 매설되는 절연층과, 전자 부품(80)이 매설되는 절연층이 달라도 좋다. 또, 전자 부품(60, 80)이 절연층(44)이 아니고, 절연층(42) 또는 절연층(43)에 매설되어 있어도 좋다. 다층 배선 구조(30)의 절연층 및 배선 패턴의 층수가 4층 이외의 경우라도, 전자 부품(60, 80)은 최하층의 절연층 이외의 절연층에 매설되어 있으면 좋다.
- [0043] 다층 배선 구조(30)에 매설된 전자 부품의 수가 2이지만, 1이라도 좋고, 3 이상이라도 좋다. 전자 부품의 수가 2 이상일 경우, 모든 전자 부품이 동일한 절연층에 매설되어 있는 것이 바람직하다. 이것은 상술한 바와 같이 반도체 장치(1)의 박형화를 도모하기 위해서이다.
- [0044] 이 반도체 장치(1)는 프린트 기판상에 표면 실장해서 이용한다. 구체적으로는, 반도체 장치(1)의 겉쪽의 면(1a), 즉, 오버코트층(90)의 표면을 프린트 기판을 향해, 뿔납 범프(92)를 프린트 기판의 단자에 접촉시켜 반도체 장치(1)를 프린트 기판의 위에 탑재하고, 뿔납 범프(92)를 리플로(re-flown)하면, 반도체 장치(1)가 프린트 기판상에 표면 실장된다.
- [0045] 반도체 장치(1)를 회로 기판으로서 이용해도 좋다. 반도체 장치(1)를 회로 기판으로서 이용할 경우, 전자 부품을 오버코트층(90)의 위에 표면 실장하고, 그 전자 부품의 단자를 뿔납 범프(92)에 의해서 배선 패턴(34)에 결합한다.
- [0046] 또한, 반도체 장치(1)의 용도는 프린트 기판에 표면 실장되는 전자 부품이나, 전자 부품이 표면 실장되는 회로 기판에 한정하는 것이 아니다.
- [0047] 이상에서 설명한 바와 같이, 반도체 칩(10)이 그것보다 크기가 큰 기판의 위에 탑재된 것이 아니고, 또한 그 반도체 칩(10)상에 적층된 다층 배선 구조(30)에 전자 부품(60, 80)이 매설되어 있기 때문에, 반도체 장치(1)를 칩 크기(반도체 칩(10)의 크기)로 할 수 있다. 그 때문에, 반도체 장치(1)를 소형화할 수 있다. 또, 다층 배

선 구조(30)가 베이스로 되는 기관의 위에 적층되어 있는 것이 아니고, 반도체 칩(10)의 위에 적층된 것이기 때문에, 그 베이스로 되는 기관의 분만큼 반도체 장치(1)를 박형화할 수 있다.

- [0048] 계속해서, 반도체 장치(1)의 제조 방법에 대해 설명한다.
- [0049] 반도체 장치(1)를 제조할 때에는, 개편화하기 전의 반도체 웨이퍼(11A)(도 5에 도시)를 이용한다. 도 5에 나타내는 바와 같이, 반도체 웨이퍼(11A)는 분할 예정선으로서의 격자형상의 다이싱 스트리트(dicing street)(경계선)(11B)에 의해서 복수의 칩 영역(11C)에 구획되어 있다. 이들 칩 영역(11C)이 매트릭스형상으로 배열되어 있다. 반도체 웨이퍼(11A)의 겉쪽의 표층에는 집적 회로가 칩 영역(11C)마다 형성되어 있다. 반도체 웨이퍼(11A)의 겉쪽의 면에는 복수의 이너 단자(12)가 형성되어 있다. 반도체 웨이퍼(11A)의 겉쪽의 면 위에 패시베이션막(13)이 성막되어 있다. 패시베이션막(13)에 개구(15)가 형성되고, 이너 단자(12)가 개구(15)내에서 노출되어 있다. 반도체 웨이퍼(11A)의 안쪽의 면에서는 반도체(예를 들면 실리콘)가 노출되어 있다.
- [0050] 도 6에 나타내는 바와 같이, 절연막(14)을 패시베이션막(13)의 위에 패터닝한 후, 무(無)전해 도금법 또는 기상(氣相) 성장법(예를 들면, 스퍼터링법) 또는 이들의 조합에 의해서, 절연막(14)의 위쪽 전체에 시드층(21A)을 성막한다. 시드층(21A)은 개구(15)의 내벽면이나 이너 단자(12)의 위에도 성장한다. 절연막(14)의 패터닝 시에는, 절연막(14)을 칩 영역(11C)마다에 구분하는 동시에, 이너 단자(12)에까지 통하는 개구(15)를 절연막(14)에 형성한다. 시드층(21A)은 구리(Cu)의 박막, 티탄(Ti)의 박막, 티탄에 구리를 적층한 박막 기타의 금속 박막이다. 또한, 절연막(14)을 형성하지 않고, 패시베이션막(13)의 위에 시드층(21A)을 형성해도 좋다.
- [0051] 다음에, 도 7에 나타내는 바와 같이, 도체층(22)을 패터닝한다. 구체적으로는, 레지스트 등의 마스크(20B)를 시드층(21A)의 위에 설치하고, 시드층(21A)을 그 마스크(20B)에 의해서 부분적으로 덮은 상태에서, 시드층(21A)을 전극으로 해서 전해 도금을 실행한다. 마스크(20B)에는 형성하고자 하는 도체층(22)의 위치/형상에 맞는 슬릿이 형성되어 있고, 전해 도금에 의해서 도체층(22)을 시드층(21A)의 위이며 마스크(20B)의 슬릿내에 성장시킨다. 도체층(22)은 시드층(21A)보다 두껍게 성장시킨다. 또한, 마스크(20B)가 레지스트(예를 들면, 드라이 필름 레지스트, 습식 레지스트)일 경우에는, 노광/현상에 의해서 마스크(20B)에 슬릿을 형성한다.
- [0052] 도체층(22)의 형성 후, 마스크(20B)를 제거한다.
- [0053] 다음에, 도 8에 나타내는 바와 같이, 아우터 단자(26)를 패터닝한다. 구체적으로는, 두꺼운 막의 마스크(예를 들면, 드라이 필름 레지스트)(30B)를 시드층(21A) 및 도체층(22)의 위에 설치하고, 시드층(21A) 및 도체층(22)을 마스크(30B)로 부분적으로 덮은 상태에서, 시드층(21A) 및 도체층(22)을 전극으로 해서 전해 도금을 실행한다. 마스크(30B)에는 형성하고자 하는 아우터 단자(26)의 위치/형상에 맞는 개구가 형성되어 있다. 아우터 단자(26)를 개구내이며 도체층(22)의 위에 전해 도금에 의해 성장시킨다. 또한, 마스크(30B)가 드라이 필름 레지스트 또는 습식 레지스트일 경우에는, 노광/현상에 의해서 마스크(30B)에 개구를 형성한다.
- [0054] 아우터 단자(26)의 형성 후, 마스크(30B)를 제거한다.
- [0055] 다음에, 시드층(21A) 중 도체층(22)에 겹쳐지고 있지 않은 부분을 에칭에 의해 제거하는 것에 의해, 시드층(21A)을 밀바탕(21)에 형상 가공한다. 이때, 도체층(22) 및 아우터 단자(26)의 표면이 일부 에칭되지만, 도체층(22) 및 아우터 단자(26)가 시드층(21A)과 비교해서 충분히 두껍기 때문에, 도체층(22) 및 아우터 단자(26)가 잔류한다.
- [0056] 다음에, 도 9에 나타내는 바와 같이, 인쇄법, 액적 토출법(잉크젯법), 스핀 코트법, 적하법 기타의 도포법에 의해서 밀봉층(16)을 절연막(14)(절연막(14)이 없을 경우에는, 패시베이션막(13))의 위에 형성한다. 밀봉층(16)의 형성 시에는, 도체층(22) 및 아우터 단자(26)를 밀봉층(16)에 의해서 덮는다. 또한, 도포법 대신에, 프리프레그(prepreg)를 절연막(14)의 위 붙이고, 그 프리프레그를 경화시키는 것에 의해서, 프리프레그로부터 밀봉층(16)을 형성해도 좋다.
- [0057] 다음에, 도 10에 나타내는 바와 같이, 밀봉층(16)의 표면을 연삭하고, 아우터 단자(26)의 헤드 꼭대기면을 노출시킨다.
- [0058] 도 5~도 10을 이용해서 설명한 공정에 의해서, 반도체 칩(10)을 개편화 전의 상태까지 제조한다. 전자 부품(60)이 WLP일 경우, 전자 부품(60)을 작성하기 위해서는, 도 5~도 10을 이용해서 설명한 공정과 동일한 공정을 거친 후, 다이싱 처리 등의 개편화 처리를 실행한다. 이것에 의해, 1장의 웨이퍼로부터 복수의 전자 부품(60)을 작성할 수 있다.
- [0059] 아우터 단자(26)의 노출 후, 도 11에 나타내는 바와 같이, 프리프레그를 밀봉층(16) 및 아우터 단자(26)에 열압

착하는 것에 의해, 그 프리프레그로부터 절연층(41)을 형성한다. 프리프레그로서는 유리섬유 강화 에폭시 수지, 유리포 기재 에폭시 수지, 카본섬유 강화 에폭시 수지, 카본포 기재 에폭시 수지를, 유리섬유 강화 폴리이미드 수지, 유리포 기재 폴리이미드 수지, 카본섬유 강화 폴리이미드 수지, 카본포 기재 폴리이미드 수지 기타의 섬유 강화 수지를 반(半)경화시킨 것을 이용하는 것이 바람직하다. 또한, 인쇄법, 액적 토출법(잉크젯법), 스핀 코트법, 적하법 기타의 도포법에 의해서 절연층(41)을 성막해도 좋다.

[0060] 다음에, 도 12에 나타내는 바와 같이, 절연층(41)에 복수의 비어(41a)를 형성한다. 비어(41a)의 형성 개소는 아우터 단자(26)에 겹치는 위치이고, 비어(41a)를 아우터 단자(26)까지 관통시킨다. 비어(41a)의 형성 방법은 레이저광을 절연층(41)에 조사하는 방법이라도 좋고, 절연층(41)의 위에 마스크(예를 들면, 메탈 마스크, 포토 레지스트, 드라이 필름 레지스트)를 설치한 상태에서 절연층(41)을 에칭하는 방법이라도 좋다.

[0061] 다음에, 도 13에 나타내는 바와 같이, 도금법에 의해 비어(41a)내에 층간 접속 도체(51)를 성장시키는 동시에, 도체막(31A)을 절연층(41)상에 성장시킨다. 또한, 층간 접속 도체(51)의 형성법은 도금법에 한정하지 않고, 도전성 부재(예를 들면, 도전성 페이스트)를 비어(41a)내에 내장하는 방법이라도 좋다.

[0062] 다음에, 도 14에 나타내는 바와 같이, 도체막(31A)의 위에 마스크(도시 생략)를 설치한 상태에서 도체막(31A)을 에칭하는 것에 의해서, 도체막(31A)의 일부를 제거한다. 이것에 의해, 도체막(31A)으로부터 배선 패턴(31)을 작성한다. 배선 패턴(31)의 형성 후, 마스크를 제거한다. 또한, 배선 패턴(31)의 형성 방법은 도 13, 도 14에 나타내는 바와 같은 공제법에 한정하지 않고, 애디티브법(additive method)(세미 애디티브법(semi-additive method), 풀 애디티브법(full-additive method) 기타의 애디티브법)이라도 좋다.

[0063] 이후 마찬가지로 해서, 절연층(42), 층간 접속 도체(52), 배선 패턴(32), 절연층(43), 층간 접속 도체(53) 및 배선 패턴(33)을 순서대로 형성한다(도 15 참조). 배선 패턴(33)의 형성 시에는 밀바탕(35)도 패터닝한다. 또한, 밀바탕(35)을 형성하지 않아도 좋다.

[0064] 다음에, 도 16에 나타내는 바와 같이, 전자 부품(60)을 절연층(42)의 위에 다이 본딩하고, 전자 부품(80)을 배선 패턴(33)의 위에 다이 본딩한다. 전자 부품(60)에 대해서는, 단자가 없는 면(60b)을 아래로 향하고, 그 면(60b)을 접착제(69)에 의해서 밀바탕(35)(밀바탕(35)이 없을 경우에는, 절연층(43))에 접촉한다. 전자 부품(80)에 대해서는, 한쪽의 면(80b)을 아래로 향하고, 그 면(80b)에 형성된 단자를, 예를 들면 뿔뿔 또는 도전성 접착제 등에 의해서 배선 패턴(33)에 접합한다. 또한, 전자 부품(60)에 대해서는, 단자가 있는 면(60a)을 아래로 향하고, 전자 부품(60)을 배선 패턴(33) 및 절연층(42)의 위에 플립 칩 실장해도 좋다. 이 경우, 그 면(60a)에 형성된 단자(예를 들면, 아우터 단자(76))를 뿔뿔 또는 도전성 접착제 등에 의해서 배선 패턴(33)에 접합하고, 단자와 배선 패턴(33)의 도통을 취한다.

[0065] 다음에, 도 17에 나타내는 바와 같이, 전자 부품(60, 80)을 절연층(44)에 의해서 덮도록 하고 절연층(44)을 절연층(43) 및 배선 패턴(33)의 위에 성막한다. 그리고, 절연층(44)에 복수의 비어를 형성한 후에, 층간 접속 도체(54, 55, 56)를 비어내에 각각 형성하는 동시에, 배선 패턴(34)을 형성한다. 절연층(44), 층간 접속 도체(54, 55, 56), 배선 패턴(34)의 형성법은 절연층(41), 층간 접속 도체(51), 배선 패턴(31)의 형성법과 동등하다. 또한, 전자 부품(60)의 단자(예를 들면, 아우터 단자(76))를 배선 패턴(33)에 접속한 경우, 층간 접속 도체(55) 및 그 용도의 비어는 형성하지 않는다.

[0066] 다음에, 도 18에 나타내는 바와 같이, 오버코트층(90)을 패터닝한 후, 오버코트층(90)에 형성된 개구내에 뿔뿔(92)을 형성한다.

[0067] 다음에, 도 19에 나타내는 바와 같이, 반도체 웨이퍼(11A), 밀봉층(16), 다층 배선 구조(30) 및 오버코트층(90)을 다이싱 스트리트(11B)를 따라 격자형상으로 절단하는 것에 의해서, 반도체 웨이퍼(11A), 밀봉층(16), 다층 배선 구조(30) 및 오버코트층(90)을 칩 크기로 베어낸다. 이것에 의해, 복수의 반도체 장치(1)가 완성된다. 반도체 웨이퍼(11A)를 분할한 것이 반도체 기관(11)이다.

[0068] 또한, 개편화의 전에, 반도체 웨이퍼(11A)의 이면을 연삭하는 것에 의해서, 반도체 웨이퍼(11A)를 박형화하는 것이 바람직하다. 반도체 웨이퍼(11A)의 연삭은 밀봉층(16)을 형성한 후에 실행하는 것이 바람직하다.

[0069] 이상에서 설명한 바와 같이, 반도체 웨이퍼(11A)의 절단 전에 패키징(밀봉층(16)의 형성), 다층 배선 구조(30)의 형성, 전자 부품(60, 80)의 내장을 실행하고, 그 후 칩 크기로의 베어냄을 실행했기 때문에, 반도체 장치(1)의 크기를 반도체 칩(10)의 크기로 할 수 있다. 그 때문에, 반도체 장치(1)를 소형화할 수 있다. 또, 회로가 형성된 반도체 웨이퍼(11A)와는 다른 웨이퍼에 다층 배선 구조(30)를 적층하는 것이 아니고, 반도체 웨이퍼(11A)의 위에 다층 배선 구조(30)를 적층했기 때문에, 반도체 웨이퍼(11A)와는 다른 웨이퍼를 필요로 하지 않

는다. 그 때문에, 반도체 장치(1)의 박형화를 도모할 수 있다.

[0070] [변형예]

[0071] 또한, 본 발명을 적용 가능한 실시형태는 상술한 실시형태에 한정되는 일 없이, 본 발명의 취지를 일탈하지 않는 범위에서 적절히 변경 가능하다.

[0072] 예를 들면, 도 20에 나타난 반도체 장치(101)와 같이 구성되어 있어도 좋다. 도 20에 나타내는 반도체 장치(101)와, 도 2에 나타내는 반도체 장치(1)의 사이에서 서로 대응하는 부분에는 동일한 부호를 붙인다.

[0073] 도 20에 나타내는 바와 같이, 아우터 단자가 반도체 칩(10)에 형성되어 있지 않고, 밀봉층(16)이 도 2에 나타내는 경우보다 얇아져 있다. 절연층(41)에 형성된 비어가 밀봉층(16)까지 열려져 있고, 층간 접속 도체(51)가 절연층(41) 및 밀봉층(16)을 관통해서 내부 배선(20)에 접속하고 있다.

[0074] 이상에서 설명한 것을 제외하고, 도 20에 나타내는 반도체 장치(101)와, 도 2에 나타내는 반도체 장치(1)의 사이에서 서로 대응하는 부분은 동일하게 설치되어 있다.

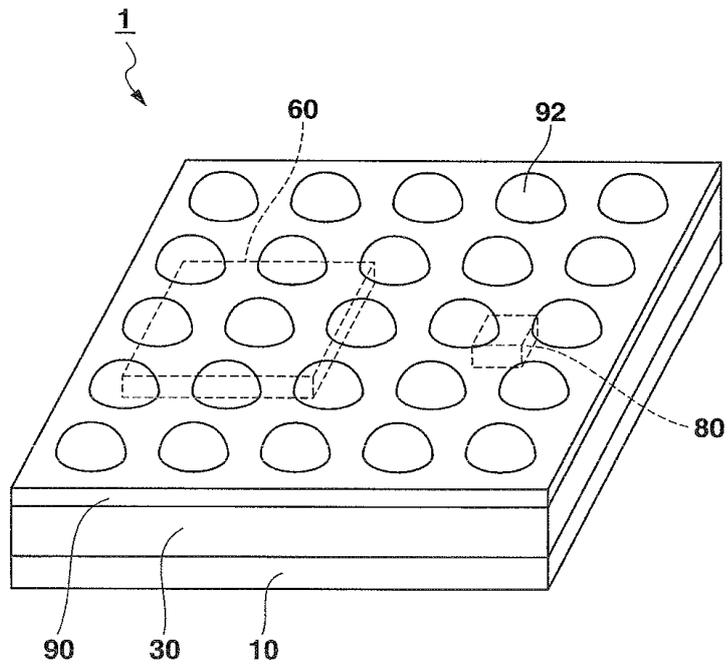
[0075] 도 20에 나타내는 반도체 장치(101)의 제조 방법은 도 2에 나타내는 반도체 장치(1)의 제조 방법과 대략 동등하다. 단, 반도체 칩(10)의 제조 시에는, 아우터 단자를 형성하지 않고 밀봉층(16)을 형성하고, 층간 접속 도체(51)용의 비어를 레이저광의 조사에 의해서 밀봉층(16)에 형성하는 것이 제 1 실시형태의 경우와 다르다.

부호의 설명

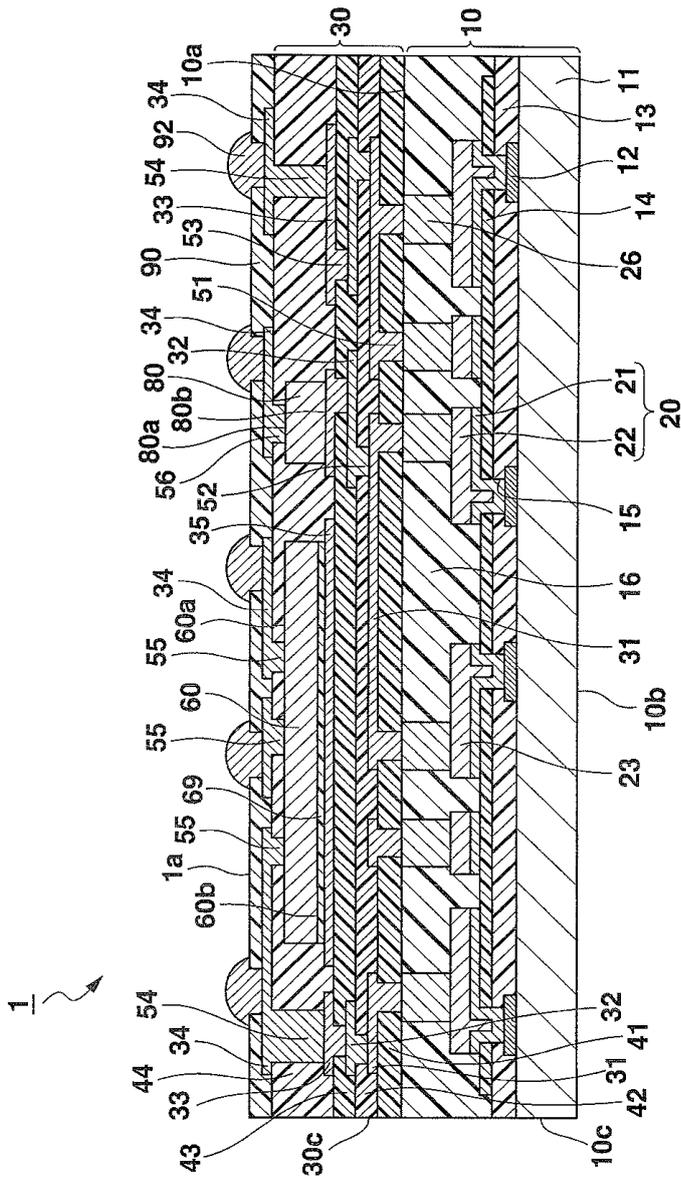
[0076] 1, 101; 반도체 장치	1a, 10a, 60a, 80a; 길쪽의 면
10; 반도체 칩	10c, 30c; 측면(둘레면)
11, 61; 반도체 기판	11A; 반도체 웨이퍼
11B; 다이싱 스트리트	11C; 칩 영역
12; 이너 단자	13; 패시베이션막
14, 64; 절연막	15; 개구
16, 66; 밀봉층	20, 70; 내부 배선
20B, 30B; 마스크	21, 35; 밀바탕
21A; 시드층	23; 랜드
26, 76; 아우터 단자	30; 다층 배선 구조
31, 32, 33, 34; 배선 패턴	31A; 도체막
41, 42, 43, 44; 절연층	41a; 비어
51, 52, 53, 54, 55, 56; 층간 접속 도체	
60, 80; 전자 부품	60b, 80b; 안쪽의 면
63; 패시베이션막	69; 접착제
90; 오버코트층	92; 뎀납 범프

도면

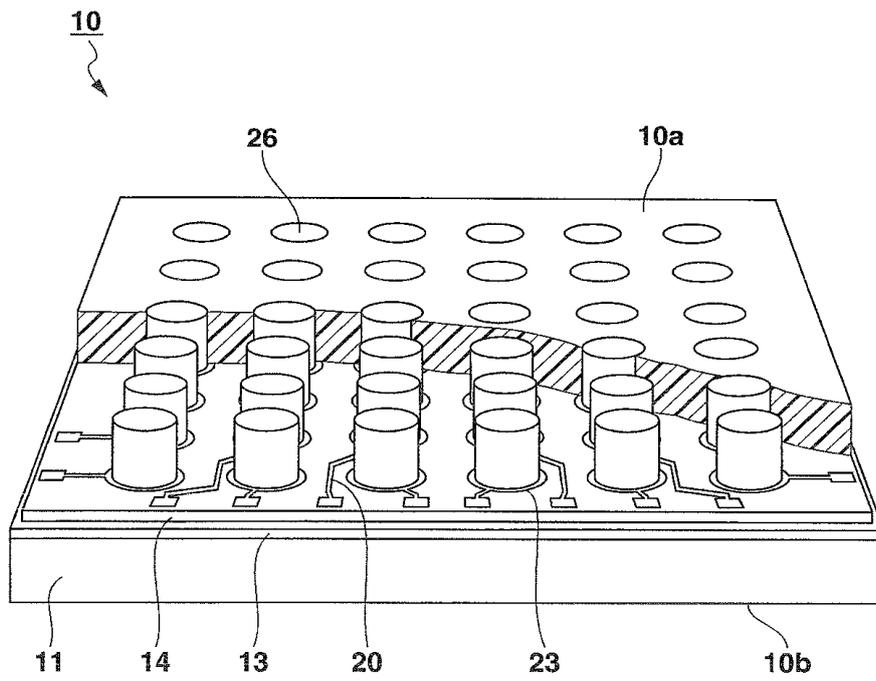
도면1



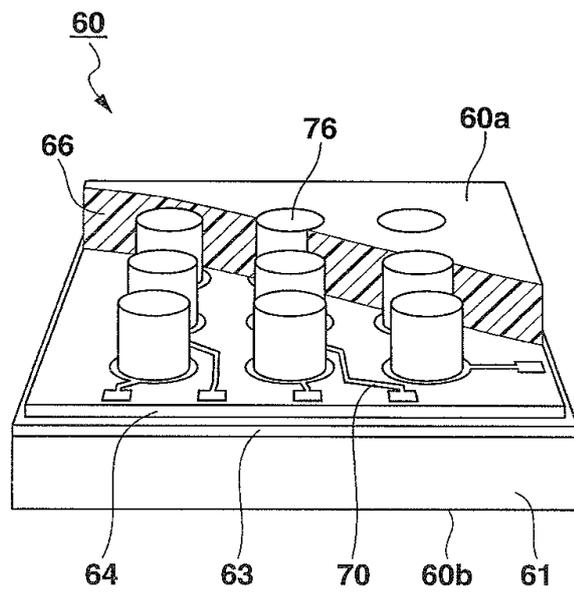
도면2



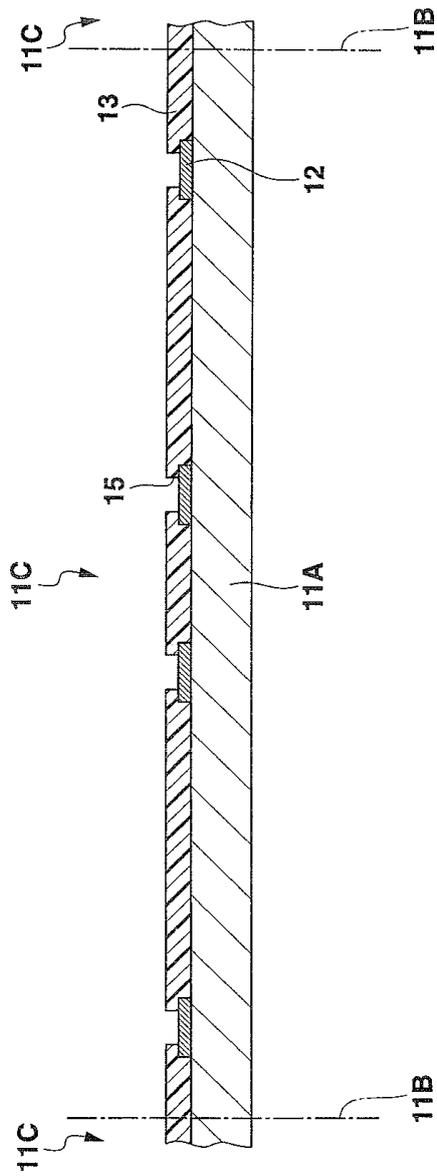
도면3



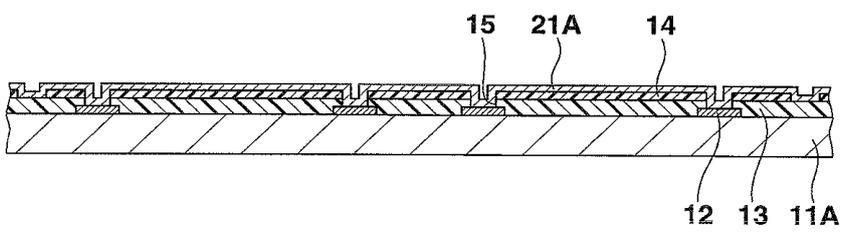
도면4



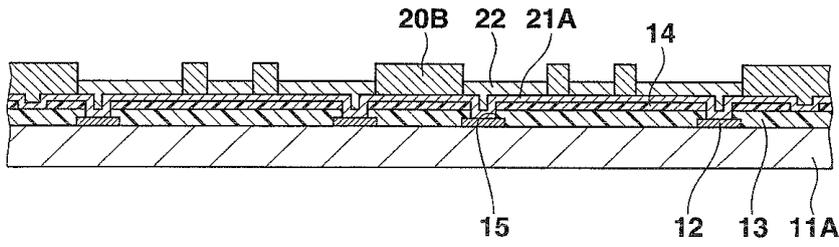
도면5



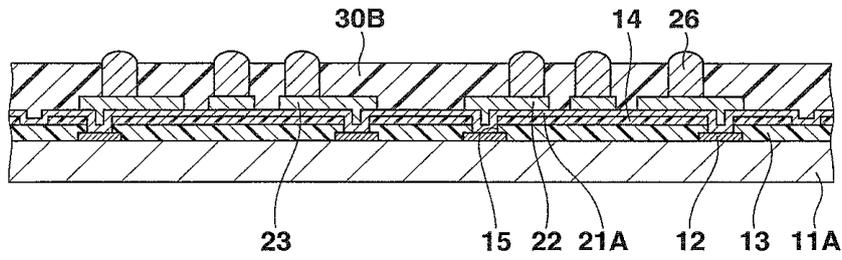
도면6



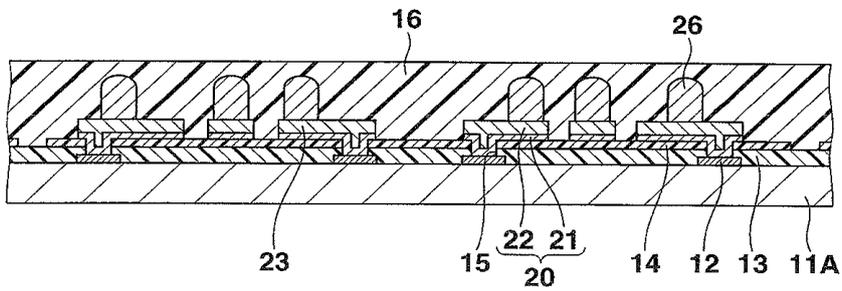
도면7



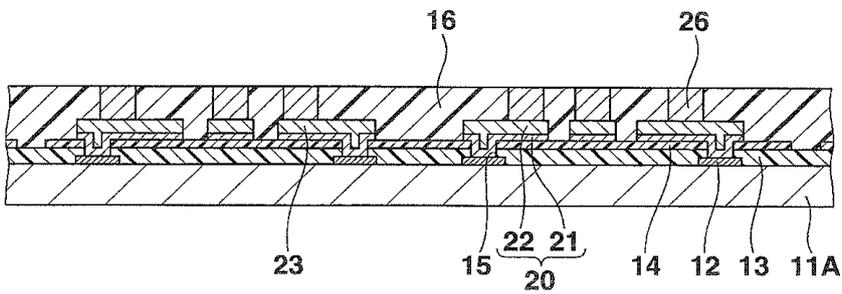
도면8



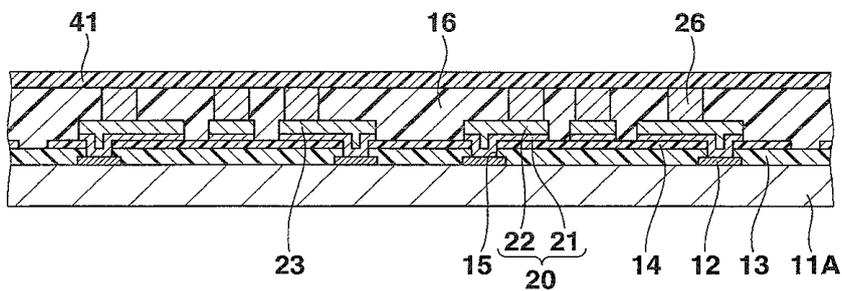
도면9



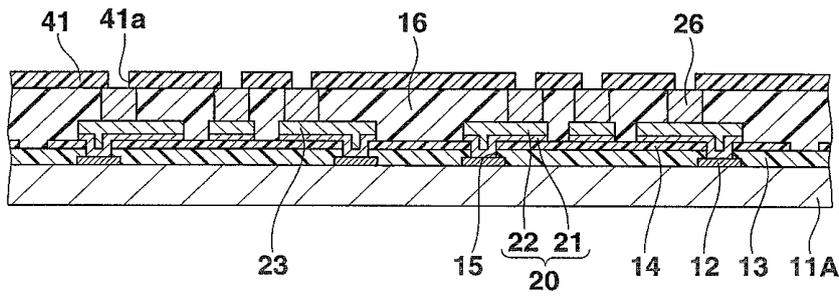
도면10



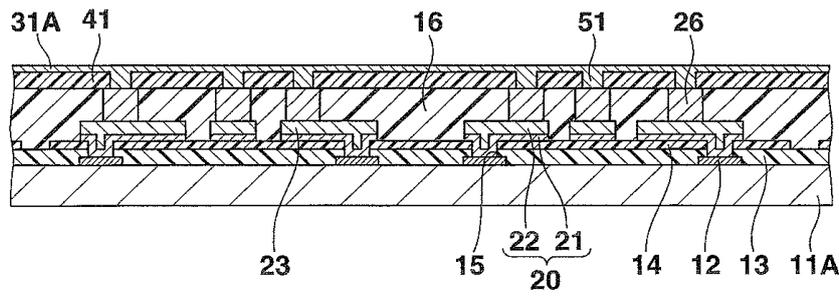
도면11



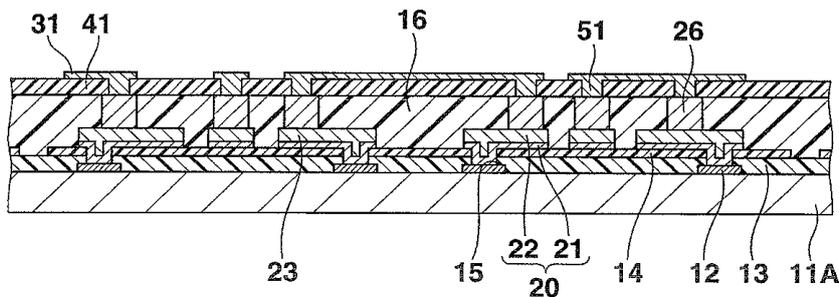
도면12



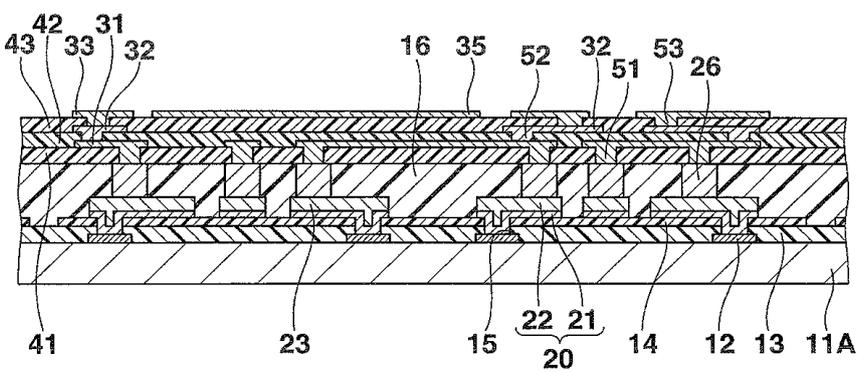
도면13



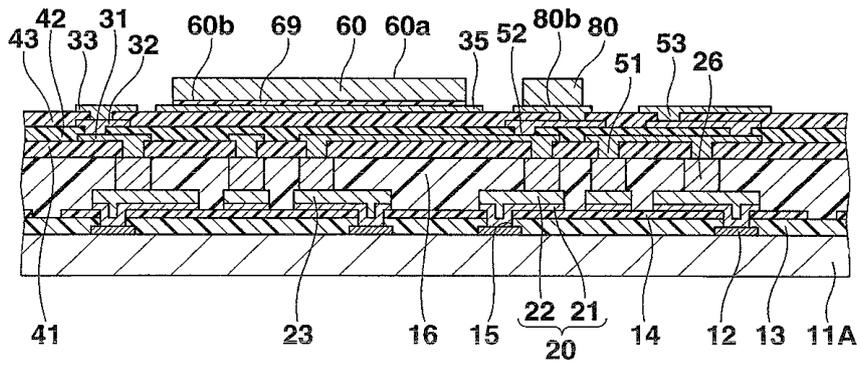
도면14



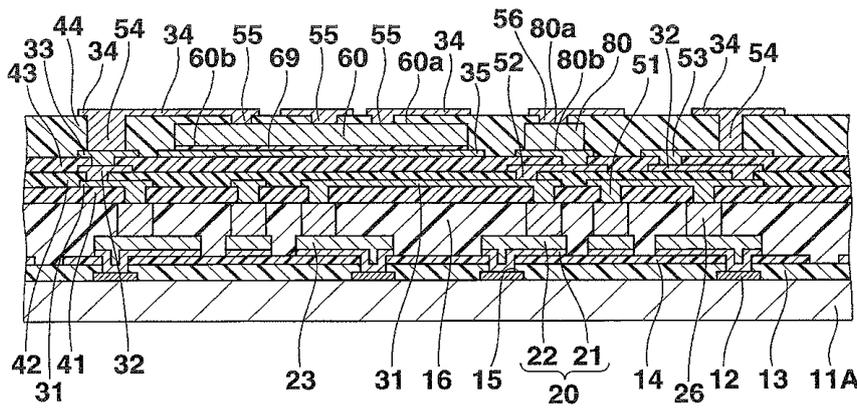
도면15



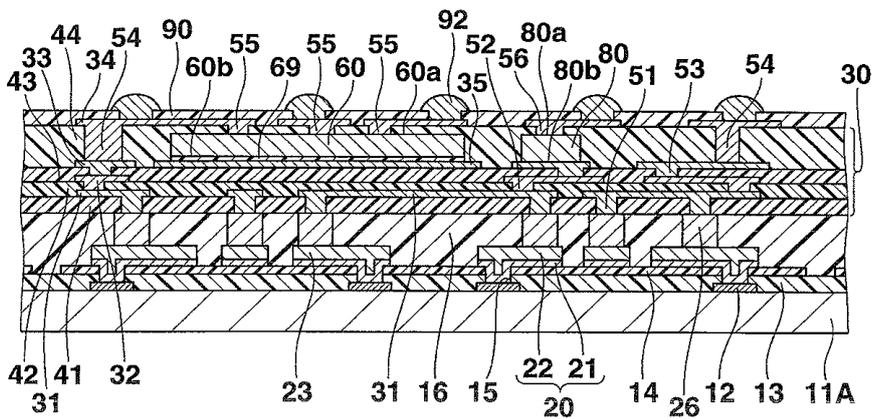
도면16



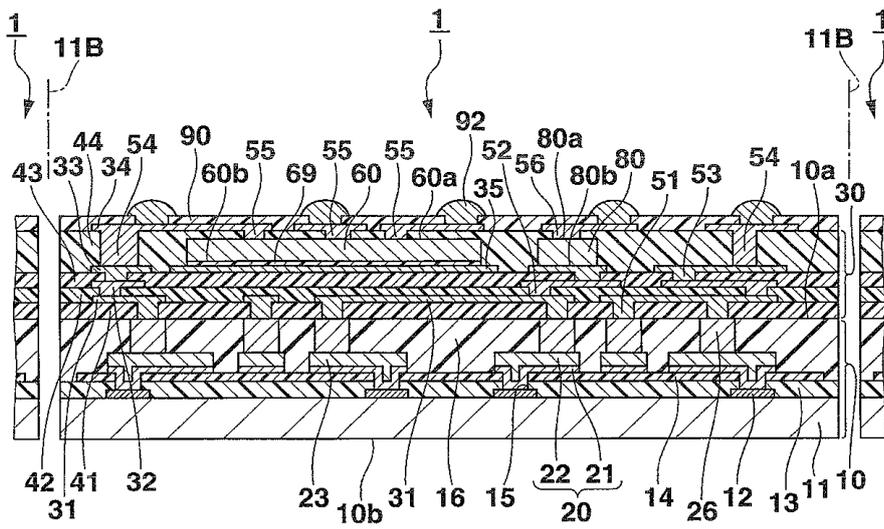
도면17



도면18



도면19



도면20

