



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월10일
(11) 등록번호 10-0793677
(24) 등록일자 2008년01월04일

(51) Int. Cl.

H02M 3/155 (2006.01)

(21) 출원번호 10-2006-0053749
(22) 출원일자 2006년06월15일
 심사청구일자 2006년06월15일
(65) 공개번호 10-2007-0080539
(43) 공개일자 2007년08월10일
(30) 우선권주장

JP-P-2006-00030036 2006년02월07일 일본(JP)

(56) 선행기술조사문현

JP2000-324826

전체 청구항 수 : 총 10 항

(73) 특허권자

후지쓰 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라구 가미고
다나카 4초메 1-1

(72) 발명자

이나토미 코이치

일본 아이치켄 가스가이시 고조지초 2 초메
1844-2 후지쓰보이엘에스아이 가부시키가이샤 나
이

(74) 대리인

김태홍, 신정건

심사관 : 한지혜

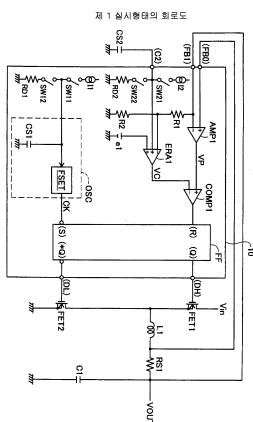
(54) 전류 제어형 DC-DC 컨버터 제어회로, 전류 제어형 DC-DC 컨버터 및 전류 제어형 DC-DC 컨버터의 제어 방법

(57) 요약

본 발명은 전류 제어형 DC-DC 컨버터의 전원 투입시 또는/및 전원 정지시, 출력 전압을 순조롭게 램프 제어할 수 있는 전류 제어형 DC-DC 컨버터. 그 제어 회로로 몇 그 제어 방법을 제공하는 것을 목적으로 한다.

DC-DC 컨버터의 주스위치 소자를 스위칭 제어하는 플립플롭 회로와, 플립플롭 회로의 세트 단자에 접속되고, DC-DC 컨버터가 정지 상태와 정상 동작 상태 사이의 천이 상태에 있을 때, 발진 주파수가 DC-DC 컨버터의 출력 전압 값의 중감에 맞추어 점차 증감하는 발진 신호를 출력하는 발진 회로를 구비한다. 출력 전압이 점차 상승, 점차 하강하는 과정에서 발진 신호의 발진 주파수가 점차 상승, 점차 하강하여 주스위치 소자가 도통 상태로 세트되는 시간 간격이 길어진다. 출력 전압에 대하여 과도한 전력이 공급되지 않고, 출력 전압을 순조로운 램프 파형으로 할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

DC-DC 컨버터의 주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 포함하고,
상기 발진 회로는 상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 상기 DC-DC 컨버터의 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 상기 DC-DC 컨버터의 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 2

제1항에 있어서, 상기 발진 회로는,

기동 지령에 따라 단자 전압이 점차 상승하고, 정지 지령에 따라 단자 전압이 점차 하강하는 전압 신호가 입력되는 제어 단자와,

상기 제어 단자의 단자 전압에 따라 상기 발진 회로의 발진 주파수를 설정하는 주파수 설정부를 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 3

제2항에 있어서, 상기 제어 단자에 대하여 전류 출력을 행하는 제1 전류부와,

상기 기동 지령에 따라 상기 제1 전류부를 통해 상기 제어 단자까지의 전류 경로를 확립하는 제1 스위치 회로와,

상기 제어 단자에 대하여 전류 인입을 행하는 제2 전류부와,

상기 정지 지령에 따라 상기 제2 전류부를 통해 상기 제어 단자까지의 전류 경로를 확립하는 제2 스위치 회로를 더 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 4

제2항에 있어서, 상기 주파수 설정부는,

상기 제어 단자의 단자 전압에 따른 전압을 출력하는 버퍼부와,

상기 버퍼부의 출력 전압에 따른 바이어스 전류를 설정하는 전류 설정부를 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 5

제1항에 있어서, 상기 발진 회로는,

기동 지령에 따라 점차 충전되어 단자 전압이 점차 상승하고, 정지 지령에 따라 점차 방전되어 상기 단자 전압이 점차 하강하는 제1 용량 소자와,

상기 제1 용량 소자의 단자 전압에 따라 발진 주파수를 설정하는 주파수 설정부를 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 6

제5항에 있어서, 상기 제1 용량 소자에 대하여 충전을 행하는 충전 전류부와,

상기 기동 지령에 따라 상기 충전 전류부를 통해 상기 제1 용량 소자에의 충전 경로를 확립하는 제1 스위치 회로와,

상기 제1 용량 소자에 대하여 방전을 행하는 방전 전류부와,

상기 정지 지령에 따라 상기 방전 전류부를 통해 상기 제1 용량 소자로부터의 방전 경로를 확립하는 제2 스위치

회로를

더 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 7

제5항에 있어서, 상기 주파수 설정부는,

상기 제1 용량 소자의 단자 전압에 따른 전압을 출력하는 버퍼부와,

상기 버퍼부의 출력 전압에 따른 바이어스 전류를 설정하는 전류 설정부를

포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

청구항 8

주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 포함하고,

상기 발진 회로는 상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소시키는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터.

청구항 9

제8항에 있어서, 상기 발진 회로는,

기동 지령에 따라 점차 충전되어 단자 전압이 점차 상승하고, 정지 지령에 따라 점차 방전되어 상기 단자 전압이 점차 하강하는 제1 용량 소자와,

상기 제1 용량 소자의 단자 전압에 따라 상기 발진 회로의 발진 주파수를 설정하는 주파수 설정부를

포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터.

청구항 10

주기적인 스위칭 제어가 행해지는 전류 제어형 DC-DC 컨버터의 제어 방법으로서,

정상 동작 상태에 있어서, 제1 주기로 스위칭 제어를 행하는 단계와,

상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는 상기 제1 주기를 최단 주기로 하여, 발진 주기를 점차 감소하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 상기 제1 주기를 최단 주기로 하여, 발진 주기를 점차 증대하는 단계를 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <27> 본 발명은 전류 제어형 DC-DC 컨버터의 제어에 관한 것이며, 특히, 전류 제어형 DC-DC 컨버터에 있어서의 전원 투입시나 전원 절단시의 출력 전압의 제어에 관한 것이다.
- <28> 특히 문헌 1에는 전원 투입시/전원 절단시의 출력 전압 상승/하강 특성이 부하에 의존하지 않도록 하는 것을 목적으로 하는 직류-직류 변환 제어 회로가 개시되어 있다. 전압 제어형 직류-직류 변환 제어 회로이다.
- <29> 도 7에 도시하는 바와 같이, DC-DC 제어 회로(105)에 있어서, 정전류 회로(I100)는 스위치 회로(S100)가 OFF시에 소프트 스타트용 콘텐서(C120)를 충전하여, 일정한 시간으로 소프트 스타트용 콘텐서(C120)의 전위를 상승시키기 위한 충전 회로이다.

- <30> 오차 증폭기(110)는 기준 전압(e100)과 소프트 스타트용 콘텐서(C120)의 전압 중 낮은 쪽의 전압값을 기준 전압값으로 하여 저항(R100/R200)에 의해 분압된 전압의 차이를 증폭하고, 그 출력을 PWM 비교기(130)에 출력한다.
- <31> 정전류 회로(I100)가 소프트 스타트용 콘텐서(C120)를 충전하는 것에 따라 DC-DC 컨버터의 출력 전압을 결정하는 기준 전압값을 서서히 상승시키고, 일정 시간 후에 정규 전압값을 출력하도록 제어하기 위해, DC-DC의 출력 전압은 부하에 의존하지 않고, 소프트 스타트용 콘텐서(C120)의 용량으로 결정되는 시상수에 의해 제어된다.
- <32> 앤드 회로 AND(100)는 부하 용량 방전의 유효/무효를 제어하는 DSCHG 신호가 High(유효)이며, 전원의 절단시에 ON/OFF를 제어하는 ON 신호가 Low가 됨으로써, High 레벨이 된다.
- <33> 부하 용량 방전용 스위치 회로(S200)는 앤드 회로 AND(100)의 출력이 High 레벨을 출력하고 있을 때 ON 상태가 되며, DC-DC 컨버터의 출력과 그라운드 사이를 단락하고, DC-DC 컨버터의 부하에 의존하지 않고 DC-DC 컨버터의 출력 부하 용량을 강제적으로 방전한다.
- <34> 또한, 도 8에 전류 제어형 DC-DC 컨버터를 도시한다.
- <35> 전압 증폭기(AMP1)는 전류 측정 저항(RS1)에 흐르는 전류에 의해 발생하는 전압 강하를 증폭하고, 전류 측정 저항(RS1)에 흐르는 전류에 비례한 전압(VP)을 출력한다.
- <36> 오차 증폭기(ERA1)는 2개의 비반전 입력 단자에 인가되는 전압 중 낮은 쪽의 전압과 반전 입력 단자에 인가되는 전압의 차를 증폭하여 전압(VC)을 출력한다.
- <37> 발진기(OSC100)는 일정한 주파수로 펄스를 발생하고, 플립플롭 회로(FF)를 정기적으로 세트한다. 플립플롭 회로(FF)가 세트되면 메인 스위칭 트랜지스터인 MOS 트랜지스터(FET1)가 온되는 동시에, 동기 정류 스위치인 MOS 트랜지스터(FET2)는 오프된다.
- <38> 전압 비교기(COMP1)는 전압 증폭기(AMP1)의 출력(VP)이 오차 증폭기(ERA1)의 출력보다도 커지면 플립플롭 회로(FF)를 리셋하여 MOS 트랜지스터(FET1)를 오프로 한다.
- <39> 스위치 회로(SW21)는 정전류 회로(I2)와 소프트 스타트용 콘텐서(CS2)를 접속하는 회로이며, 스위치 회로(SW22)는 방전 저항(RD2)과 소프트 스타트용 콘텐서(CS2)를 접속하는 회로이다.
- <40> 특히 문헌 1에 개시되어 있는 전압 제어형 DC-DC 컨버터의 경우와 마찬가지로, 오차 증폭기(ERA1)의 비반전 입력 단자에는 기준 전압(e1)과 소프트 스타트용 콘텐서(CS2)가 접속되어 있다. 전원의 투입에 따라 소프트 스타트용 콘텐서(CS2)는 정전류 회로(I2)에 의해 충전되어 서서히 전압이 상승해 간다. 소프트 스타트용 콘텐서(CS2)의 전압이 기준 전압(e1)보다 저전압인 동안에는 오차 증폭기(ERA1)는, 출력 전압(VOUT)의 분압값을 소프트 스타트용 콘텐서(CS2)의 전압에 대하여 차분하여 증폭하고 전압(VC)을 출력한다.
- <41> [특히 문헌 1] 일본 특허 공개 평성 제9-154275호 공보

발명이 이루고자 하는 기술적 과제

- <42> 상기한 배경 기술의 DC-DC 컨버터에 있어서는, 전압 제어형, 전류 제어형에 상관없이, 전원 투입에 따른 기동시에는 정전류 회로에 의해 서서히 충전이 행해지는 소프트 스타트용 콘텐서의 단자 전압이 기준 전압이 되고, 출력 전압(VOUT)이 서서히 상승하는, 소위 소프트 스타트 동작이 행해진다. 전원 투입에 따른 기동시에 있어서는 소프트 스타트용 콘텐서의 단자 전압이 오차 증폭기의 기준 전압이 되는 바, 정상 동작 상태에 이르까지는 기준 전압(e1)에 비하여 저전압에 의해 추이한다. 출력 전압(VOUT)에는 한정된 전력량을 공급하면 충분하고, 전력 공급이 불필요한 주기도 있다.
- <43> 그러나, 전류 제어형 DC-DC 컨버터에 있어서는, 발진기(OSC100)의 주파수로 결정되는 주기마다 MOS 트랜지스터(FET1)가 온된다. 출력 전압(VOUT)에의 전력 공급이 불필요한 주기에서도 전력 공급이 시작되게 된다. 또한, 일단 온된 MOS 트랜지스터(FET1)가 오프 제어될 때까지는 DC-DC 컨버터의 제어를 구성하는 회로의 시간 지연이 필요로 된다. 그 사이에, MOS 트랜지스터(FET1)의 온 상태가 무조건적으로 계속된다.
- <44> 특히 DC-DC 컨버터의 부하가 가벼운 경우, 전류 제어형 DC-DC 컨버터의 출력 전압(VOUT)이 소프트 스타트용 콘텐서(CS2)에 의해 설정된 전압값을 넘어 상승하는 기간이 발생되는 경우가 있다. 도 9에 일례를 도시한다. MOS 트랜지스터(FET1)의 도통 제어에 있어서, 발진기(OSC100)에 의한 발진 주기마다 온 제어로부터 오프 제어에 이르기까지의 회로 응답에 의한 시간 지연이나, 소프트 스타트용 콘텐서(CS2)의 단자 전압의 상승 등이 영향을 미쳐, 기동시의 출력 전압(VOUT)은 매끄러운 램프 파형을 도시하지 않고 계단 형상으로 상승하는 경우가 있다.

정전류 회로(I2)에 의한 소프트 스타트용 콘텐서(CS2)의 충전 동작에 의해 기대되는 출력 전압(VOUT)의 매끄러운 램프 제어를 실현할 수 없는 경우에도 생각되는 문제이다.

<45> 본 발명은 상기 배경 기술을 감안하여 이루어진 것이며, 전류 제어형 DC-DC 컨버터의 전원 투입시 또는/및 전원 정지시, 출력 전압을 매끄럽게 램프 제어할 수 있는 전류 제어형 DC-DC 컨버터의 제어 회로, 전류 제어형 DC-DC 컨버터 및 전류 제어형 DC-DC 컨버터의 제어 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<46> 상기 목적을 달성하기 위해, 본 발명에 따른 전류 제어형 DC-DC 컨버터의 제어 회로는 DC-DC 컨버터의 주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 구비하고, 발진 회로는 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 DC-DC 컨버터의 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 DC-DC 컨버터의 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소하는 것을 특징으로 한다.

<47> 또한, 본 발명에 따른 전류 제어형 DC-DC 컨버터는 주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 구비하고, 발진 회로는 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소하는 것을 특징으로 한다.

<48> 본 발명의 전류 제어형 DC-DC 컨버터의 제어 회로 및 전류 제어형 DC-DC 컨버터에서는 DC-DC 컨버터는, 발진 회로에 의해 주기적인 타이밍으로 스위칭 제어된다. 발진 회로의 발진 주파수는 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 DC-DC 컨버터의 출력 전압값이 상승해 가는 천이 상태에 있어서는 점차 증대하고, 시간 경과에 따라 DC-DC 컨버터의 출력 전압값이 하강해 가는 천이 상태에 있어서는 점차 감소한다.

<49> 또한, 본 발명에 따른 전류 제어형 DC-DC 컨버터의 제어 방법은 주기적인 스위칭 제어가 행해지는 전류 제어형 DC-DC 컨버터의 제어 방법으로서, 정상 동작 상태에 있어서, 제1 주기로 스위칭 제어를 행하는 단계와, 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는, 제1 주기를 최단 주기로 하여 발진 주기를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는, 제1 주기를 최단 주기로 하여, 발진 주기를 점차 감소하는 단계를 갖는 것을 특징으로 한다.

<50> 본 발명의 전류 제어형 DC-DC 컨버터의 제어 방법에서는, DC-DC 컨버터는 주기적인 스위칭 제어가 행해진다. 정상 동작 상태에 있어서는 제1 주기로 스위칭 제어되고, 정상 동작 상태와 정지 상태 사이의 천이 상태에 있어서는, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는 제1 주기를 최단 주기로 하여 발진 주기를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 제1 주기를 최단 주기로 하여 발진 주기를 점차 감소한다.

<51> 이것에 의해, 기동 지령에 의해 출력 전압이 점차 상승하는 과정에서 발진 회로의 발진 주파수가 점차 상승하고, 또는/및 정지 지령에 의해 출력 전압이 점차 하강하는 과정에서 발진 회로의 발진 주파수가 점차 하강하기 때문에, 정지 상태와 정상 동작 상태 사이의 천이 상태에 있는 경우, 스위칭 제어의 시간 간격을 길게 할 수 있다.

<52> 기동 지령이나 정지 지령에 따른 출력 전압의 천이 기간에 있어서, 발진 회로의 매주기마다 스위칭 제어가 행해져도 출력 전압에 대하여 과도한 전력이 공급되지 않으며, 출력 전압을 매끄로운 램프 파형으로 할 수 있다.

<53> 이하, 본 발명의 전류 제어형 DC-DC 컨버터의 제어 회로, 전류 제어형 DC-DC 컨버터 및 제어 방법에 대해서 구체화한 실시형태를 도 1 내지 도 6에 기초하여 도면을 참조하면서 상세히 설명한다.

<54> 도 1은 제1 실시형태의 전류 제어형 DC-DC 컨버터를 도시하는 회로도이다. 강압형 구성이다. 또한, 동기 정류 방식의 회로 구성을 갖고 있다.

<55> 주스위치 소자인 MOS 트랜지스터(FET1)의 드레인 단자는 입력 전압(VIN)이 입력되고, 소스 단자는 초크 코일(L1)의 입력 단자 및 동기 정류 스위치 소자인 MOS 트랜지스터(FET2)의 드레인 단자에 접속되어 있다. MOS 트랜지스터(FET2)의 소스 단자는 접지 전위에 접속되어 있다. 또한, MOS 트랜지스터(FET1)의 게이트 단자는 제어 회로(10)의 출력 단자(DH)에 접속되고, MOS 트랜지스터(FET2)의 게이트 단자는 제어 회로(10)의 출력 단자(DL)

에 접속되어 있다. 초크 코일(L1)의 출력 단자는 전류 측정 저항(RS1)의 입력 단자 및 제어 회로(10)의 입력 단자(FB0)에 접속되어 있다. 전류 측정 저항(RS1)의 출력 단자는 평활 콘덴서(C1)에 접속되고, DC-DC 컨버터의 출력 단자(VOUT)가 된다. 평활 콘덴서(C1)의 타단자는 접지 전위에 접속되어 있다. 또한, 출력 단자(VOUT)는 제어 회로(10)의 입력 단자(FB1)에 접속되어 있다.

<56> 제어 회로(10)는 MOS 트랜지스터(FET1, FET2)를 스위칭 제어하여 동기 정류 방식으로 동작하는 강압형 컨버터를, 전류 제어형으로 동작시키는 제어를 행하는 회로이다. 입력 단자(FB1)에 입력되는 DC-DC 컨버터의 출력 전압(VOUT)은 입력 단자(FB1)와 접지 전위 사이에 직렬 접속되는 입력 저항(R1)과 접지 저항(R2)에 의해 분압되고, 오차 증폭기(ERA1)의 반전 입력 단자에 입력된다. 오차 증폭기(ERA1)의 제1 비반전 입력 단자는 접지 전위로부터의 기준 전압(e1)이 입력 접속되고, 제2 비반전 입력 단자는 소프트 스타트 단자(C2)를 통해 소프트 스타트용 용량 소자(CS2)가 접속되어 있다. 오차 증폭기(ERA1)의 출력 전압(VC)은 전압 비교기(COMP1)의 반전 입력 단자에 입력된다.

<57> 입력 단자(FB1) 및 (FB0)는 전압 증폭기(AMP1)의 반전 입력 단자 및 비반전 입력 단자에 각각 접속되어 있다. 전압 증폭기(AMP1)의 출력 전압(VP)은 전압 비교기(COMP1)의 비반전 입력 단자에 입력된다. 전압 비교기(COMP1)의 출력 단자는 플립플롭 회로(FF)의 리셋 단자(R)에 접속되어 있다.

<58> 플립플롭 회로(FF)의 세트 단자(S)는 후술하는 발진 회로(OSC)에서 출력되는 발진 신호(CK)가 입력된다. 플립플롭 회로(FF)의 비반전 출력 단자(Q)는 제어 회로의 출력 단자(DH)에 접속되고, 반전 출력 단자(*Q)는 제어 회로(10)의 출력 단자(DL)에 접속되어 있다. 여기서, 플립플롭 회로(FF)의 세트 단자(S)는 로우 레벨의 신호 입력에 의해 트리거되고, 리셋 단자(R)는 하이 레벨의 신호 입력에 의해 트리거된다.

<59> 스위치 회로(SW21)는 정전류 회로(I2)를 소프트 스타트 단자(C2)를 통해 소프트 스타트용 용량 소자(CS2)에 접속하는 회로이다. 기동 지령(도시되지 않음)에 따라 도통되고, 적어도 정지 지령(도시되지 않음)이 발생하는 시점에서는 비도통으로 되어 있다. 또한, 스위치 회로(SW22)는 방전용 저항 소자(RD2)를 소프트 스타트 단자(C2)를 통해 소프트 스타트용 용량 소자(CS2)에 접속하는 회로이다. 정지 지령에 따라 도통되고, 적어도 기동 지령이 발생하는 시점에서는 비도통으로 되어 있다.

<60> 발진 회로(OSC)는 주파수 설정부(FSET)와 용량 소자(CS1)를 구비하여 구성되어 있다. 용량 소자(CS1)는 접지 전위와 주파수 설정부(FSET)의 제어 입력 단자 사이에 구비되어 있다. 주파수 설정부(FSET)는 제어 입력 단자에 입력되는 용량 소자(CS1)의 단자 전압에 따라 발진 주파수가 설정되고, 발진 신호(CK)를 출력한다.

<61> 용량 소자(CS1)는 소프트 스타트용 용량 소자(CS2)에 대한 충방전 회로와 동일한 회로 구성에 의해 충방전이 행해진다. 즉, 스위치 회로(SW11)는 정전류 회로(I1)를 용량 소자(CS1)에 접속하는 회로이다. 기동 지령(도시되지 않음)에 따라 도통되고, 적어도 정지 지령(도시되지 않음)이 발생하는 시점에서는 비도통으로 되어 있다. 스위치 회로(SW11)의 도통에 의해, 용량 소자(CS1)에의 전류 경로(충전 경로)가 확립된다. 또한, 스위치 회로(SW12)는 방전용 저항 소자(RD1)를 용량 소자(CS1)에 접속하는 회로이다. 정지 지령에 따라 도통되고, 적어도 기동 지령이 발생하는 시점에서는 비도통으로 되어 있다. 스위치 회로(SW12)의 도통에 의해, 용량 소자(CS1)로부터의 전류 경로(방전 경로)가 확립된다.

<62> 여기서, 용량 소자(CS1)는 제1 용량 소자의 일례이다. 또한, 정전류 회로(I1)는 제1 전류부 및 충전 전류부의 일례이며, 저항 소자는 제2 전류부 및 방전 전류부의 일례이다. 스위치 회로(SW11)는 제1 스위치 회로의 일례이며, 스위치 회로(SW12)는 제2 스위치 회로의 일례이다.

<63> 발진 회로(OSC)는 소정의 발진 주파수로 발진 신호(CK)를 출력하여 플립플롭 회로(FF)를 세트한다. 플립플롭 회로(FF)의 세트에 따라 비반전 출력 단자(Q)가 하이 레벨이 되며 반전 출력 단자(*Q)는 로우 레벨이 된다. 각각, 출력 단자(DH), (DL)를 통해 MOS 트랜지스터(FET1)를 도통하고, MOS 트랜지스터(FET2)를 비도통으로 한다.

<64> 오차 증폭기(ERA1)는 2개의 비반전 입력 단자에 입력되는 전압 중 낮은 전압 레벨을 기준 전압으로 하여 반전 입력 단자에 입력되는 출력 전압(VOUT)을 입력저항(R1)과 접지 저항(R2)으로 분압한 전압의 차를 오차 증폭하여 전압(VC)을 출력한다. 전압 증폭기(AMP1)는 전류 측정 저항(RS1)에 흐르는 전류에 의해 발생하는 전압 강하를 증폭한 전압(VP)을 출력한다. 전압(VC, VP)은 각각 전압 비교기(COMP1)의 반전 입력 단자, 비반전 입력 단자에 입력된다. 전압 비교기(COMP1)는 전압(VP)이 전압(VC)에 도달하는 것에 의해 플립플롭 회로(FF)를 리셋한다. 플립플롭 회로(FF)의 리셋에 따라 비반전 출력 단자(Q)가 로우 레벨이 되며 반전 출력 단자(*Q)는 하이 레벨이 된다. 각각, 출력 단자(DH), (DL)를 통해 MOS 트랜지스터(FET1)를 비도통으로 하고, MOS 트랜지스터(FET2)를 도통한다. 오차 증폭기(ERA1)에 입력되는 신호의 오차 전압에 따라 전압(VC)의 전압 레벨이 결정된다. 이 때

문에, 기준 전압에 따라 분압 전압이 낮은 레벨일수록 코일 전류의 피크 전류값이 크게 제어되고, 분압 전압이 기준 전압에 가까워짐에 따라 피크 전류값은 작아진다.

<65> DC-DC 컨버터가 기동되면 스위치 회로(SW21)가 도통되고, 소프트 스타트용 용량 소자(CS2)는 정전류 회로(I2)에 의해 충전 개시된다. 소프트 스타트용 용량 소자(CS2)의 충전 초기 단계에서는 소프트 스타트용 용량 소자(CS2)의 단자 전압은 기준 전압(e1)에 비해서 낮은 전압 레벨에 있다. 이 때문에, 오차 증폭기(ERAL1)는 분압 전압을 소프트 스타트용 용량 소자(CS2)의 단자 전압에 대하여 오차 증폭한다. 소프트 스타트용 용량 소자(CS2)는 정전류 회로(I2)에 의해 서서히 상승하는 단자 전압에 대하여 분압 전압을 오차 증폭한다. 소프트 스타트용 용량 소자(CS2)의 단자 전압에 따라 출력 전압(VOUT)이 서서히 상승하는 제어가 행해진다. 소프트 스타트 동작이다.

<66> 소프트 스타트용 용량 소자(CS2)의 단자 전압이 기준 전압(e1)의 전압 레벨을 넘으면 오차 증폭기(ERA1)는 분압 전압을 기준 전압(AE1)에 대하여 오차 증폭한다. 기준 전압(e1)에 따라 출력 전압(VOUT)이 제어된다.

<67> DC-DC 컨버터의 동작이 정지되면 스위치 회로(SW22)가 도통하고, 소프트 스타트용 용량 소자(CS2)는 방전용 저항 소자(RD2)를 통해 방전된다. 소프트 스타트용 용량 소자(CS2)의 방전 초기 단계에서는 소프트 스타트용 용량 소자(CS2)의 단자 전압은 기준 전압(e1)에 비하여 높은 전압 레벨에 있다. 오차 증폭기(ERA1)는 분압 전압을 기준 전압(e1)에 대하여 오차 증폭하고, 출력 전압(VOUT)을 기준 전압(e1)에 따라 일정 전압 레벨로 유지한다. 소프트 스타트용 용량 소자(CS2)의 방전이 진행되면 단자 전압이 기준 전압(e1)을 하회하여 서서히 하강한다. 오차 증폭기(ERA1)는 분압 전압을 서서히 하강하는 단자 전압에 대하여 오차 증폭한다. 소프트 스타트용 용량 소자(CS2)의 단자 전압에 따라 출력 전압(VOUT)이 서서히 하강하는 제어가 행해진다.

<68> MOS 트랜지스터(FET1, FET2)는 플립플롭 회로(FF)의 세트와 리셋에 의해 도통과 비도통이 반복된다. 플립플롭 회로(FF)의 세트는 발진 신호(CK)에 의해 행해지기 때문에, 도통과 비도통의 주기는 발진 회로(OSC)에서 출력되는 발진 신호(CK)의 발진 주파수로 결정된다. 후술하는 바와 같이, 제1 실시형태에서는 DC-DC 컨버터의 기동, 정지에 따른 출력 전압(VOUT)의 전압 레벨의 천이 기간에 발진 주파수를 점차 증감한다.

<69> 도 2에 발진 회로(OSC)의 구체예를 도시한다. 발진 신호(CK)로서 톱니파를 출력한다. 주파수 설정부(FSET)는 이하의 구성을 갖고 있다. 용량 소자(CS1)의 단자전압(VCS)이 입력되는 제1 비반전 입력 단자와 정상 설정 전압(e11)이 입력되는 제2 비반전 입력 단자를 구비하는 전압 증폭기(AMP2)의 출력 단자가 트랜지스터(Q1)의 베이스 단자에 접속되어 있다. 트랜지스터(Q1)의 에미터 단자는 전류 설정용 저항 소자(RT)의 일단에 접속되는 동시에, 전압 증폭기(AMP2)의 반전 입력 단자에 접속되어 있다. 전류 설정용 저항 소자(RT)의 타단은 접지 전위에 접속되어 있다.

<70> 전압 증폭기(AMP2)와 트랜지스터(Q1)가 버퍼부의 일례로서 구성되어 있으며, 전류 설정용 저항 소자(RT)가 전류 설정부의 일례이다. 버퍼부의 출력인 트랜지스터(Q1)의 에미터 단자가 제1 및 제2 비반전 입력 단자 중 낮은 전압 레벨에 제어되고, 전류 설정부인 전류 설정용 저항 소자(RT)에 인가됨으로써, 소정의 바이어스 전류가 트랜지스터(Q1)에 흐른다.

<71> 트랜지스터(Q1)의 콜렉터 단자는 트랜지스터(Q2)의 드레인 단자 및 게이트 단자, 또한, 트랜지스터(Q3)의 게이트 단자에 접속되어 있다. 트랜지스터(Q2 및 Q3)의 소스 단자에는 전원 전압(VCC)이 공급되어 있다. 트랜지스터(Q2 및 Q3)에 의해 전류 미러 회로가 구성되어 있다. 전류 설정용 저항 소자(RT)에 의해 설정된 바이어스 전류는 커런트 미러 회로에 의해 트랜지스터(Q3)로부터 출력된다.

<72> 트랜지스터(Q3)의 드레인 단자는 일단이 접지 전위에 접속된 주파수 설정용 용량 소자(CT)의 타단에 접속되어 출력 단자(CK)가 된다. 출력 단자(CK)는 전압 비교기(COMP2)의 비반전 입력 단자에 접속되어 있다. 전압 비교기(COMP2)의 반전 입력 단자에는 발진 신호(CK)의 피크 전압(VH)이 입력되어 있다. 전압 비교기(COMP2)의 출력 단자는 트랜지스터(Q4)의 게이트 단자에 접속되어 있다. 트랜지스터(Q4)는 출력 단자와 접지 전위 사이에 접속되어 있다. 출력 단자로부터 발진 신호(CK)가 출력된다.

<73> 전압 증폭기(AM22)와 트랜지스터(Q1)를 구비하여 예시되어 있는 버퍼부는 전압 증폭기(AMP2)의 반전 입력 단자에 입력되는 전압을 2개의 비반전 입력 단자에 인가되는 전압 중 낮은 쪽의 전압이 되도록 제어를 행한다.

<74> 즉, 2개의 비반전 입력 단자에 인가되는 전압 중 낮은 쪽의 전압을 기준 전압으로 하고, 전압 증폭기(AMP2)는 기준 전압과 전류 설정용 저항 소자(RT)에 인가되는 전압 차를 증폭하여 트랜지스터(Q1)의 베이스에 출력한다. 전류 설정용 저항 소자(RT)의 인가 전압은 전류 설정용 저항 소자(RT)에 흐르는 바이어스 전류에 의존하기 때문에, 전류 설정용 저항 소자(RT)에 흐르는 전류가 적고 인가 전압이 낮을 때에는 전압 증폭기(AMP2)의 출력 전압

은 상승하여 트랜지스터(Q1)의 베이스 전류를 증가시킨다. 트랜지스터(Q1)의 베이스 전류가 증가하면 트랜지스터(Q1)의 에미터 전류도 증가하여 전류 설정용 저항 소자(RT)에 흐르는 전류가 증가한다. 반대로, 전류 설정용 저항 소자(RT)에 흐르는 전류가 크고 인가 전압이 높을 때에는 전압 증폭기(AMP2)의 출력 전압은 감소하여 트랜지스터(Q1)의 베이스 전류를 감소시킨다. 트랜지스터(Q1)의 베이스 전류가 감소하면 트랜지스터(Q1)의 에미터 전류도 감소하여 전류 설정용 저항 소자(RT)에 흐르는 전류가 감소한다. 이것에 의해, 전류 설정용 저항 소자(RT)에 인가되는 전압은 기준 전압에 일치한다.

<75> 전류 설정용 저항 소자(RT)에 인가되는 전압에 기초하여 바이어스 전류가 결정된다. 바이어스 전류는 트랜지스터(Q1)를 통해 트랜지스터(Q2 및 Q3)로 구성되는 커런트 미러 회로에 흐르고, 트랜지스터(Q3)로부터 출력된다. 출력된 바이어스 전류는 주파수 설정용 용량 소자(CT)를 충전함으로써, 출력 단자의 전압 레벨을 시간과 함께 상승시킨다. 정상 동작 상태에서는 바이어스 전류는 소정 전류값으로 유지되기 때문에, 발진 신호(CK)는 소정의 기울기로 직선적으로 증가하는 파형이 된다. 전압 비교기(COMP2)에 의해 출력 단자의 전압값이 피크 전압(VH)에 도달함으로써 트랜지스터(Q4)가 도통하고, 출력 단자를 접지 전위로 끌어 당긴다. 출력 단자가 접지 전위까지 끌어 당겨지면 전압 비교기(COMP2)의 출력 전압이 반전하여 트랜지스터(Q4)가 비도통이 되기 때문에, 재차 바이어스 전류에 의한 주파수 설정용 용량 소자(CT)의 충전이 시작된다. 이것을 반복함으로써 발진 신호(CK)가 출력된다. 여기서, 발진 신호(CK)는 도 3에 도시하는 바와 같이, 톱니파 형상의 파형이 된다. 여기서, 발진 신호(CK)의 발진 주파수는 주파수 설정용 용량 소자(CT)의 용량값 및 발진 신호(CK)의 피크 전압(VH)이 함께 고정되어 있기 때문에, 바이어스 전류에 비례하는 주파수가 된다. 정상 동작 상태에서는 일정한 발진 주파수를 갖고 발진하는 파형을 얻을 수 있다.

<76> DC-DC 컨버터가 기동되면, 스위치 회로(SW11)가 도통하며 용량 소자(CS1)는 정전류 회로(I1)에 의해 충전이 개시된다. 용량 소자(DC1)의 충전이 초기 단계에서는 용량 소자(CS1)의 단자 전압(VCS)은 정상 설정 전압(e11)에 비하여 낮은 전압 레벨에 있다. 이 때문에, 버퍼부는 단자 전압(VCS)을 전류 설정용 저항 소자(RT)에 인가한다.

<77> 용량 소자(CS1)는 정전류 회로(I1)에 의해 서서히 충전되기 때문에, 단자 전압(VCS)은 서서히 높은 전압 레벨로 상승한다. 전압 증폭기(AMP2) 및 트랜지스터(Q1)에 의해 서서히 상승하는 단자 전압(VCS)에 따라 전류 설정용 저항 소자(RT)에 대략 동일한 전압이 인가된다. 기동에 따른 용량 소자(CS1)의 충전 동작에 의해, 전류 설정용 저항 소자(RT)에의 인가 전압이 점차 증대하여 바이어스 전류가 점차 증가한다. 따라 발진 신호(CK)의 발진 주파수는 기동 지령 후의 시간 경과에 따라 점차 증가한다. 도 4에 도시하는 발진 주파수 특성에 있어서, (1)의 영역을 발진 주파수의 증가 방향으로 추이한다.

<78> 단자 전압(VCS)이 정상 설정 전압(e11)의 전압 레벨을 넘으면, 전류 설정용 저항 소자(RT)에의 인가 전압은 정상 설정 전압(e11)으로 유지된다. 이것에 의해 정상 동작 상태에 있어서는 바이어스 전류는 정상 전류 전압(e11)에 따른 전류값이 된다. 따라 발진 신호(CK)의 발진 주파수는 고정된다. 도 4에 도시하는 발진 주파수 특성에 있어서, (2)의 영역인 주파수(f0)가 된다. 또한, 주파수(f0)에 의한 발진 주기가 제1 주기의 일례이다.

<79> DC-DC 컨버터의 동작이 정지되면, 스위치 회로(SW12)가 도통하여 용량 소자(CS1)는 방전용 저항 소자(RD1)를 통해 방전이 개시된다. 용량 소자(CS1)의 방전 초기 단계에서는 단자 전압(VCS)은 정상 설정 전압(e11)에 비해서 높은 전압 레벨에 있다. 전류 설정용 저항 소자(RT)에 인가되는 전압은 정상 설정 전압(e11)으로 유지된다. 바이어스 전류는 정상 동작 상태와 동일하게 고정된 전류값이다. 따라 발진 신호(CK)의 발진 주파수는 도 4에 도시하는 발진 주파수 특성에 있어서, (2)의 영역인 주파수(f0)가 된다.

<80> 용량 소자(CS1)의 방전이 진행되면, 단자 전압(VCS)이 정상 설정 전압(e11)을 하회하여 서서히 하강한다. 서서히 하강하는 단자 전압(VCS)에 따라 전류 설정용 저항 소자(RT)에 대략 동일한 전압이 인가된다. 전류 설정용 저항 소자(RT)에의 인가 전압이 점차 하강하고, 바이어스 전류가 점차 하강한다. 따라 발진 신호(CK)의 발진 주파수는 정지 지령 후의 시간 경과에 따라 점차 감소한다. 도 4에 도시하는 발진 주파수 특성에 있어서, (1)의 영역을 발진 주파수의 감소 방향으로 추이한다.

<81> 제1 실시형태의 DC-DC 컨버터의 제어 회로(10)에 있어서는, 기동 지령에 따라 발진 회로(OSC)에서 출력되는 발진 신호(CK)의 발진 주파수가 점차 증가해 간다. 마찬가지로, 정지 지령에 따라 발진 회로(OSC)에서 출력되는 발진 신호(CK)의 발진 주파수가 점차 감소해 간다. 이것에 의해, DC-DC 컨버터에 있어서 전류 제어형 제어가 행해지고, 발진 신호(CK)의 매주기마다 플립플롭 회로(FF)가 세트되어 MOS 트랜지스터(FET1)가 도통 상태가 되는 경우에도 DC-DC 컨버터의 기동/정지 지령 후의 일정 기간에 있어서, 세트 동작의 시간 간격을 길게 할 수 있다. 천이 기간 중에 필요 이상으로 세트 동작이 반복되는 것이 억제되고, 불필요한 전극 공급이 억제됨으로써,

출력 전압(VOUT)의 매끄로운 천이를 실현할 수 있다.

- <82> 제1 실시형태에서는 발진 신호(CK)의 발진 주파수의 설정용으로 전용 용량 소자(CS1) 및 전용 충방전 회로[정전류 회로(I1), 저항 소자(RD1), 스위치 회로(SW11, SW12)]를 구비하고 있기 때문에, 출력 전압(VOUT)의 천이 상황에 따라 최적의 발진 주파수의 천이로 조정할 수 있다.
- <83> 도 5는 제1 실시형태의 변형예이다. 제1 실시형태(도 1)에 구비되어 있는 전용 용량 소자(CS1) 및 전용 충방전 회로[정전류 회로(I1), 저항 소자(RD1), 스위치 회로(SW11, SW12)] 대신에, 소프트 스타트용 콘덴서(CS2)의 단자 전압을 이용한 것이다. 정지 지령에 의한 출력 전압(VOUT)의 상승, 정지 지령에 의한 출력 전압(VOUT)의 하강은 소프트 스타트용 용량 소자(CS2)를 점차 충방전함으로써, 얻어지는 단자 전압에 의해 결정하고 있다. 이 단자 전압을 이용하면, 발진 신호(CK)에 있어서의 기동시의 발진 주파수의 점차 증가 및 정지시의 발진 주파수의 점차 감소를 실현할 수 있다.
- <84> 발진 신호(CK)의 발진 주파수의 제어를 소프트 스타트용 용량 소자(CS2)로 대용함으로써, 회로 구성을 줄일 수 있고, 저소비 전류를 도모할 수 있다.
- <85> 도 6은 전류 제어형 DC-DC 컨버터에 있어서 동기 정류 방식으로 동작시키는 경우, DC-DC 컨버터의 기동시 및 정지시에, 동기 정류 소자에 있어서의 전류의 역류를 허가함으로써, 출력 전압(VOUT)의 전류 천이를 제어하는 회로예이다. 기동시나 정지시에도 발진 신호(CK)의 발진 주파수를 저감하지 않고, 출력 전압(VOUT)을 매끄럽게 램프 제어하는 회로예이다.
- <86> 도 6의 회로예에서는, 도 8의 배경 기술의 회로도에 덧붙여, 비반전 입력 단자에 기준 전압(e1)이 입력되고, 반전 입력 단자에 소프트 스타트용 용량 소자(CS2)의 단자 전압이 입력된 전압 비교기(COMP3)와 동기 정류 제어 회로(21)를 구비하여 구성되어 있다. 또한, MOS 트랜ジ스터(FET1과 FET2)의 접속점이 접속되어 있는 전류 검출 단자(ID)를 구비하고 있다.
- <87> 동기 정류 제어 회로(21)는 반전 입력 단자에 전류 검출 단자(ID)가 접속되고, 비반전 입력 단자에 접지 전위가 접속된 전압 비교기(COMP4)와, 전압 비교기(COMP3 및 COMP4)의 출력 신호가 입력되는 논리합 게이트(OR1)와, 논리합 게이트(OR1)의 출력 신호와 플립플롭 회로(FF)의 반전 출력 단자(*Q)로부터의 출력 신호가 입력되는 논리곱 게이트(AND1)가 구비되어 있다. 논리곱 게이트의 출력 단자는 출력 단자(DL)에 접속되어 있다.
- <88> 동기 정류 소자인 MOS 트랜ジ스터(FET2)는 논리곱 게이트(AND1)의 출력 신호가 하이 레벨일 때에 도통한다. 이것은 논리곱 게이트(AND1)에 입력되어 있는 2개의 입력 신호가 모두 하이 레벨인 경우이다. 전압 비교기(COMP3 또는 COMP4)의 출력 신호 중 적어도 어느 한쪽이 하이 레벨인 상태에서 플립플롭 회로(FF)가 리셋 상태가 되며 반전 출력 단자(*Q)로부터 하이 레벨의 신호가 출력되는 경우이다.
- <89> 여기서, 전압 비교기(COMP3)의 출력 신호가 하이 레벨인 경우는, 소프트 스타트용 용량 소자(CS2)의 단자 전압이 기준 전압(e1)에 비하여 낮은 전압 레벨인 경우이다. DC-DC 컨버터의 기동시 또는 정지시에 소프트 스타트 용 용량 소자(CS2)가 충방전되어 있는 천이 기간이다.
- <90> 또한, 전압 비교기(COMP4)의 출력 신호가 하이 레벨인 경우는, 반전 입력 단자가 부전압인 경우이다. MOS 트랜지스터(FET2)가 동기 정류 소자로서 도통하고 있는 기간이다.
- <91> 전류 제어형 DC-DC 컨버터는 발진기(OSC100)로부터의 발진 신호(CK100)의 매주기마다 MOS 트랜지스터(FET1)가 강제적으로 도통되고, 입력 전압(VIN)으로부터 출력 전압(VOUT)에 대하여 무조건적으로 전력이 공급된다. 특히 부하가 가벼운 경우에 출력 전압(VOUT)이 필요 이상으로 상승되는 경우가 있다.
- <92> 여기서, 입력 전압(VIN)에서 출력 전압(VOUT)에 필요 이상으로 공급된 전력을, 입력 전압(VIN)으로 회생시킴으로써, DC-DC 컨버터의 기동시나 정지시의 출력 전압(VOUT)의 램프 제어를 매끄럽게 할 수 있다.
- <93> 전압 비교기(COMP3)는 소프트 스타트용 용량 소자(CS2)의 단자 전압이 기준 전압(e1)보다도 낮고, 기동 동작으로부터 정상 동작 상태에의 출력 전압(VOUT)의 천이 기간, 또한, 정지 동작에 따른 정상 동작 상태로부터 정지 까지의 출력 전압(VOUT)의 천이 기간에 있어서, 동기 정류 소자인 MOS 트랜지스터(FET2)의 전류가 역류하는 것을 허가한다.
- <94> 플립플롭 회로(FF)가 세트된 후 리셋될 때까지의 시간, 초크 코일(L1)에 에너지가 축적된다. MOS 트랜지스터(FET1)가 비도통되면, 초크 코일(L1)에 축적된 에너지는 MOS 트랜지스터(FET2)를 통해 출력측으로 방출된다. 부하에 전력 공급되는 동시에, 평활 콘덴서(C1)에 전하가 축적되어, 출력 전압(VOUT)이 상승한다. 출력 전압

(VOUT)에 접속되어 있는 부하가 무부하 상태 등 가벼울 경우, 초크 코일(L1)에 축적된 에너지는 모두 평활 콘덴서(C1)에 축적되어 출력 전압(VOUT)을 상승시키는 경우에만 사용된다. 초크 코일(L1)로부터 평활 콘덴서(C1)으로의 에너지의 이동에 의해 평활 콘덴서(C1)의 전압값[출력 전압(VOUT)]이 피크값에 도달하는 것은 초크 코일(L1)의 인덕턴스값과 평활 콘덴서(C1)의 용량값으로 결정되는 공진 주파수의 1/4 시간이다.

<95> MOS 트랜지스터(FET2)의 역류가 허가되어 있는 경우, 공진 주파수의 1/4 시간이 경과하여 평활 콘덴서(C1)의 전압이 피크값에 도달한 후, MOS 트랜지스터(FET2)에 통상의 동기 정류 방향과는 역방향의 전류가 흐르기 시작하고, 평활 콘덴서(C1)의 에너지는 초크 코일(L1)로 되돌아가기 시작한다. 이 후, MOS 트랜지스터(FET2)가 비도통이 되면, 초크 코일(L1)에 축적된 에너지는 MOS 트랜지스터(FET1)의 보디 다이오드를 통해 입력 전압(VIN)으로 되돌아간다. 이것에 의해, 필요 이상으로 공급된 에너지를 입력 전압(VIN)으로 회생시킬 수 있다. DC-DC 컨버터의 부하가 가벼운 상태에서도 DC-DC 컨버터의 출력 전압(VOUT)이 불필요하게 상승하지 않고, 출력 전압(VOUT)을 매끄럽게 천이시키는 제어가 가능해진다.

<96> 이상 상세하게 설명한 바와 같이, 본 실시형태에 따른 전류 제어형 DC-DC 컨버터의 제어 회로(10)에 의하면, DC-DC 컨버터의 주스위치 소자인 MOS 트랜지스터(FET1)는 플립플롭 회로(FF)에 의해 스위칭 제어된다. 플립플롭 회로(FF)의 세트 단자(S)에는 발진 회로(OSC)가 접속되고, 발진 신호(CK)의 주기마다 플립플롭 회로(FF)가 세트되어 MOS 트랜지스터(FET1)가 도통 상태로 된다. 발진 회로(OSC)에서 출력되는 발진 신호(CK)는 DC-DC 컨버터가 정지 상태와 정상 동작 상태 사이의 천이 상태에 있는 경우, 발진 주파수가 DC-DC 컨버터의 출력 전압(VOUT) 전압값의 증감에 맞추어 점차 증감한다.

<97> 또한, 본 실시형태에 따른 전류 제어형 DC-DC 컨버터의 제어 방법에 의하면, DC-DC 컨버터의 주스위치 소자인 MOS 트랜지스터(FET1)는 소정 주기마다 도통상태로 세트된다. 정상 동작 상태에 있어서는 소정 주기는 제1 주기인 주파수(f0)가 되고, 정상 동작 상태와 정지 상태 사이의 천이 상태에 있어서는, 소정 주기는 제1 주기(주파수 f0)를 최단 주기로 하여, DC-DC 컨버터의 출력 전압(VOUT)의 전압값의 증가·감소에 맞추어 점차 감소·증가한다.

<98> 발진 신호(CK)의 매주마다 MOS 트랜지스터(FET1)가 도통 상태로 세트되는 전류 제어형 제어라도 기동 지령에 의해 출력 전압(VOUT)이 점차 상승하는 과정에서 발진 신호(CK)의 발진 주파수가 점차 상승하고, 또는/및 정지 지령에 의해 출력 전압(VOUT)이 점차 하강하는 과정에서 발진 신호(CK)의 발진 주파수가 점차 하강하기 때문에, 정지 상태와 정상 동작 상태 사이의 천이 상태에 있는 경우에, MOS 트랜지스터(FET1)가 도통 상태로 세트되는 시간 간격을 길게 할 수 있다. 출력 전압(VOUT)에 대하여 과도한 전력이 공급되지 않고, 출력 전압(VOUT)을 매끄러운 램프 형상으로 할 수 있다.

<99> 또한, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 본 발명의 취지를 벗어나지 않는 범위 내에서 다양한 개량, 변형이 가능한 것은 말할 것도 없다.

<100> 예컨대, 본 실시형태에 있어서는, 용량 소자(CS1)를 구비하여 발진 회로(OSC)가 구성되는 경우에 대해서 설명하였지만, 제어 단자를 구비해 두고, 용량 소자를 외부에서 제공할 수도 있다. 용량 소자를 외부에서 제공하면, 발진 신호(CK)에 있어서의 발진 주파수의 점차 증감을 자유자재로 조정할 수 있다. 이 경우, 용량 소자를 외부에서 제공하는 대신에 외부의 제어 회로 등으로부터 제어 전압을 직접 입력하는 구성으로 할 수도 있다.

<101> 또한, 용량 소자(CS1)를 충방전하는 충전 전류부로서 정전류 회로(I1)를 구비하고, 방전 전류부로서 방전용 저항 소자(RD1)를 구비하는 경우에 대해서 설명하였지만, 본 발명은 이것에 한정되는 것은 아니다. 전류 회로(I1) 대신에, 또한, 정전류 회로(I1)와 함께 저항 소자를 구비하고, 방전용 저항 소자(RD1) 대신에, 또한 방전용 저항 소자(RD1)와 함께, 저전류 회로를 구비하는 구성으로 할 수도 있다.

<102> 여기서, 본 발명의 기술 사상에 의해 배경 기술에 있어서의 과제를 해결하기 위한 수단을 이하에 예기한다.

<103> (부기 1)

<104> DC-DC 컨버터의 주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 포함하고,

<105> 상기 발진 회로는 상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 상기 DC-DC 컨버터의 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 상기 DC-DC 컨버터의 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

<106> (부기 2)

상기 DC-DC 컨버터의 주스위치 소자를 스위칭 제어하는 플립플롭 회로를 포함하고,

<108> 상기 발진 회로에서 출력되는 발진 신호는, 상기 플립플롭 회로의 세트 단자에 입력되는 것을 특징으로 하는 부기 1에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<109> (부기 3)

<110> 기동 지령에 따라 단자 전압이 점차 상승하고, 정지 지령에 따라 단자 전압이 점차 하강하는 전압 신호가 입력되는 제어 단자와,

<111> 상기 제어 단자의 단자 전압에 따라 상기 발진 회로의 발진 주파수를 설정하는 주파수 설정부를

<112> 포함하는 것을 특징으로 하는 부기 1에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<113> (부기 4)

<114> 상기 제어 단자에 대하여 전류 출력을 행하는 제1 전류부와,

<115> 상기 기동 지령에 따라 상기 제1 전류부를 통해 상기 제어 단자까지의 전류 경로를 확립하는 제1 스위치 회로와,

<116> 상기 제어 단자에 대하여 전류 인입을 행하는 제2 전류부와,

<117> 상기 정지 지령에 따라 상기 제2 전류부를 통해 상기 제어 단자까지의 전류 경로를 확립하는 제2 스위치 회로를

<118> 포함하는 것을 특징으로 하는 부기 3에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<119> (부기 5)

<120> 상기 제1 전류부 또는/및 상기 제2 전류부는 정전류원 회로 또는/및 저항 소자를 포함하는 것을 특징으로 하는 부기 4에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<121> (부기 6)

<122> 상기 주파수 설정부는,

<123> 상기 제어 단자의 단자 전압에 따른 전압을 출력하는 버퍼부와,

<124> 상기 버퍼부의 출력 전압에 따른 바이어스 전류를 설정하는 전류 설정부를

<125> 포함하는 것을 특징으로 하는 부기 3에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<126> (부기 7)

<127> 상기 버퍼부는,

<128> 상기 제어 단자의 단자 전압이 입력되는 제1 비반전 입력 단자와,

<129> 상기 정상 동작 상태에 있어서의 발진 주파수를 설정하는 정상 설정 전압이 입력되는 제2 비반전 입력 단자를

<130> 포함하고,

<131> 상기 버퍼부는 상기 제1 및 제2 비반전 입력 단자에 입력되는 전압 중 낮은 전압값을 출력하는 것을 특징으로 하는 부기 6에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<132> (부기 8)

<133> 상기 발진 회로는,

<134> 기동 지령에 따라 점차 충전되어 단자 전압이 점차 상승하고, 정지 지령에 따라 점차 방전되어 상기 단자 전압이 점차 하강하는 제1 용량 소자와,

<135> 상기 제1 용량 소자의 단자 전압에 따라 발진 주파수를 설정하는 주파수 설정부를

<136> 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 회로.

<137> (부기 9)

<138> 상기 제1 용량 소자에 대하여 충전을 행하는 충전 전류부와,

<139> 상기 기동 지령에 따라 상기 충전 전류부를 통해 상기 제1 용량 소자에의 충전 경로를 확립하는 제1 스위치 회로와,

<140> 상기 제1 용량 소자에 대하여 방전을 행하는 방전 전류부와,

<141> 상기 정지 지령에 따라 상기 방전 전류부를 통해 상기 제1 용량 소자로부터의 방전 경로를 확립하는 제2 스위치 회로를

<142> 포함하는 것을 특징으로 하는 부기 8에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<143> (부기 10)

<144> 상기 충전 전류부 또는/및 상기 방전 전류부는 정전류 원회로 또는/및 저항 소자를 포함하는 것을 특징으로 하는 부기 9에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<145> (부기 11)

<146> 상기 주파수 설정부는,

<147> 상기 제1 용량 소자의 단자 전압에 따른 전압을 출력하는 버퍼부와,

<148> 상기 버퍼부의 출력 전압에 따른 바이어스 전류를 설정하는 전류 설정부를

<149> 포함하는 것을 특징으로 하는 부기 8에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<150> (부기 12)

<151> 상기 버퍼부는,

<152> 상기 제1 용량 소자의 단자 전압이 입력되는 제1 비반전 입력 단자와,

<153> 상기 정상 동작 상태에 있어서의 발진 주파수를 설정하는 정상 설정 전압이 입력되는 제2 비반전 입력 단자를

<154> 포함하고,

<155> 상기 버퍼부는 상기 제1 및 제2 비반전 입력 단자에 입력되는 전압 중 낮은 전압값을 출력하는 것을 특징으로 하는 부기 11에 기재한 전류 제어형 DC-DC 컨버터의 제어 회로.

<156> (부기 13)

<157> 주기적인 스위칭 제어의 타이밍을 지령하는 발진 회로를 포함하고,

<158> 상기 발진 회로는 상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승해 가는 천이 상태에 있어서는 발진 주파수를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 발진 주파수를 점차 감소하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터.

<159> (부기 14)

<160> 주스위치 소자와,

<161> 상기 주스위치 소자를 스위칭 제어하는 플립플롭 회로를 포함하고,

<162> 상기 발진 회로에서 출력되는 발진 신호는, 상기 플립플롭 회로의 세트 단자에 입력되는 것을 특징으로 하는 부기 13에 기재한 전류 제어형 DC-DC 컨버터.

<163> (부기 15)

<164> 상기 발진 회로는,

<165> 기동 지령에 따라 점차 충전되어 단자 전압이 점차 상승하고, 정지 지령에 따라 점차 방전되어 상기 단자 전압이 점차 하강하는 제1 용량 소자와,

- <166> 상기 제1 용량 소자의 단자 전압에 따라 상기 발진 회로의 발진 주파수를 설정하는 주파수 설정부를 포함하는 것을 특징으로 하는 부기 13에 기재한 전류 제어형 DC-DC 컨버터.
- <167> (부기 16)
- <168> 상기 제1 용량 소자에 대하여 충전을 행하는 충전 전류부와,
- <169> 상기 기동 지령에 따라 상기 충전 전류부를 통해 상기 제1 용량 소자에의 충전 경로를 확립하는 제1 스위치 회로와,
- <170> 상기 제1 용량 소자에 대하여 방전을 행하는 방전 전류부와,
- <171> 상기 정지 지령에 따라 상기 방전 전류부를 통해 상기 제1 용량 소자로부터의 방전 경로를 확립하는 제2 스위치 회로를 포함하는 것을 특징으로 하는 부기 13에 기재한 전류 제어형 DC-DC 컨버터.
- <172> (부기 17)
- <173> 상기 충전 전류부 또는/및 상기 방전 전류부는 정전류원 회로 또는/및 저항 소자를 포함하는 것을 특징으로 하는 부기 16에 기재한 전류 제어형 DC-DC 컨버터.
- <174> (부기 18)
- <175> 상기 주파수 설정부는,
- <176> 상기 제1 용량 소자의 단자 전압에 따른 전압을 출력하는 버퍼부와,
- <177> 상기 버퍼부의 출력 전압에 따른 바이어스 전류를 설정하는 전류 설정부를 포함하는 것을 특징으로 하는 부기 15에 기재한 전류 제어형 DC-DC 컨버터.
- <178> (부기 19)
- <179> 상기 버퍼부는,
- <180> 상기 제1 용량 소자의 단자 전압이 입력되는 제1 비반전 입력 단자와,
- <181> 상기 정상 동작 상태에 있어서의 발진 주파수를 설정하는 정상 설정 전압이 입력되는 제2 비반전 입력 단자를 포함하고,
- <182> 상기 버퍼부는 상기 제1 및 제2 비반전 입력 단자에 입력되는 전압 중 낮은 전압값을 출력하는 것을 특징으로 하는 부기 18에 기재한 전류 제어형 DC-DC 컨버터.
- <183> (부기 20)
- <184> 주기적인 스위칭 제어가 행해지는 전류 제어형 DC-DC 컨버터의 제어 방법으로서,
- <185> 정상 동작 상태에 있어서, 제1 주기로 스위칭 제어를 행하는 단계와,
- <186> 상기 스위칭 제어가 정지 상태와 정상 동작 상태 사이의 천이 상태로서, 시간 경과에 따라 출력 전압값이 상승 해 가는 천이 상태에 있어서는 상기 제1 주기를 최단 주기로 하여, 발진 주기를 점차 증대하고, 시간 경과에 따라 출력 전압값이 하강해 가는 천이 상태에 있어서는 상기 제1 주기를 최단 주기로 하여, 발진 주기를 점차 감소하는 단계를 포함하는 것을 특징으로 하는 전류 제어형 DC-DC 컨버터의 제어 방법.

발명의 효과

<187> 본 발명에 의하면, 전류 제어형 DC-DC 컨버터의 전원 투입시 또는/및 전원 정지시의 DC-DC 컨버터의 출력 전압을 매끄로운 램프 과정으로 제어하는 DC-DC 컨버터의 제어 회로 및 제어 방법을 제공하는 것이 가능해진다.

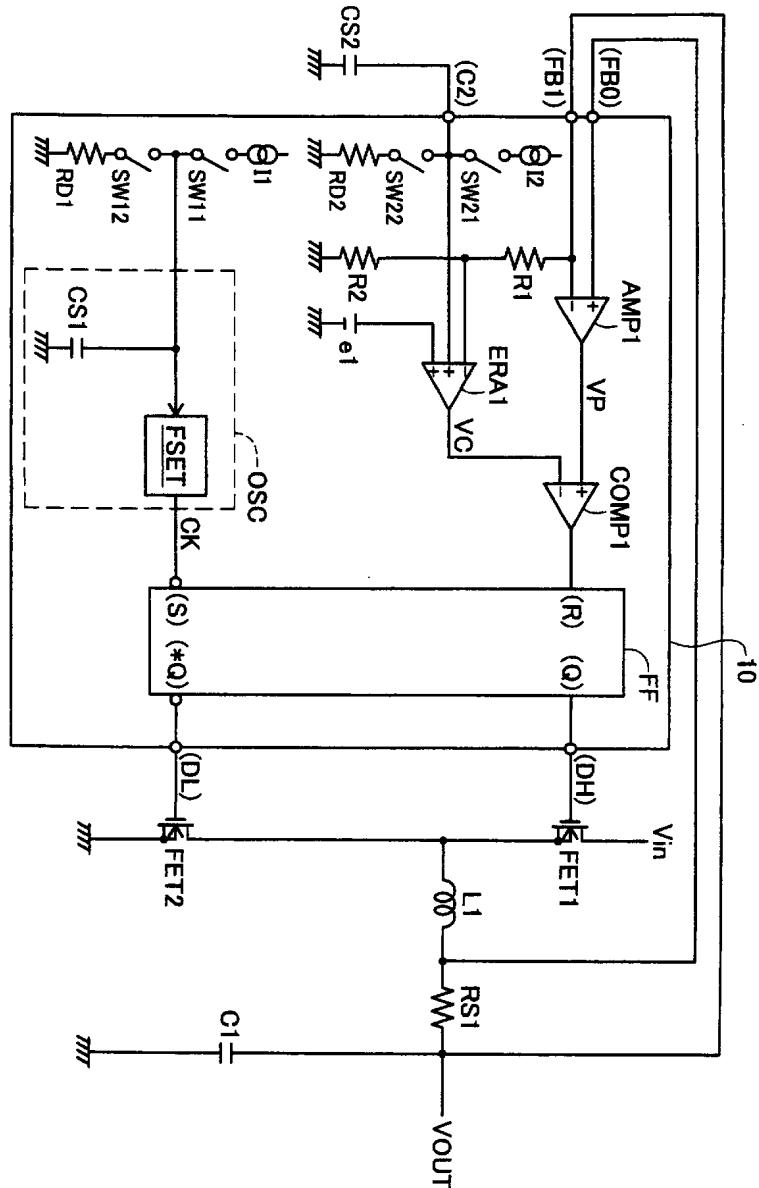
도면의 간단한 설명

- <1> 도 1은 제1 실시형태의 회로도.
- <2> 도 2는 발진 회로의 구체예.
- <3> 도 3은 발진 신호(CK)의 파형도.
- <4> 도 4는 발진 회로의 발진 주파수 특성을 도시한 도면.
- <5> 도 5는 제1 실시형태의 변형예를 도시한 회로도.
- <6> 도 6은 출력 전압의 램프 제어를 행하는 별안의 회로도.
- <7> 도 7은 배경 기술의 회로도(전압 제어형).
- <8> 도 8은 배경 기술의 회로도(전류 제어형).
- <9> 도 9는 도 8에 있어서 기동시 출력 파형의 램프 파형을 도시한 도면.
- <10> <도면의 주요 부분에 대한 부호의 설명>
- | | |
|--------------------------------------|------------------------|
| <11> 10 : 제어 회로 | 21 : 동기 정류 제어 회로 |
| <12> (C2) : 소프트 스타트 단자 | (DH), (DL) : 출력 단자 |
| <13> (FB0), (FB1) : 입력 단자 | (ID) 전류 검출 단자 |
| <14> AMP1, AMP2 : 전압 증폭기 | C1 : 평활 콘덴서 |
| <15> COMP1, COMP2, COMP3 : 전압 비교기 | CS1 : 용량 소자 |
| <16> CS2 : 소프트 스타트용 용량 소자 | CT : 주파수 설정용 용량 소자 |
| <17> ERA1 : 오차 증폭기 | FET1, FET2 : MOS 트랜지스터 |
| <18> FF : 플립플롭 회로 | FSET : 주파수 설정부 |
| <19> I1, I2 : 정전류 회로 | L1 : 초크 코일 |
| <20> OSC : 발진 회로 | RD1, RD2 : 방전용 저항 소자 |
| <21> RS1 : 전류 측정 저항 | RT : 전류 설정용 저항 소자 |
| <22> SW11, SW12, SW21, SW22 : 스위치 회로 | |
| <23> VOUT : 출력 단자 | e1 : 기준 전압 |
| <24> e11 : 정상 설정 전압 | CK : 발진 신호 |
| <25> VCS : 용량 소자(CS1)의 단자 전압(VCS) | |
| <26> VH : 피크 전압 | VIN : 입력 전압 |

도면

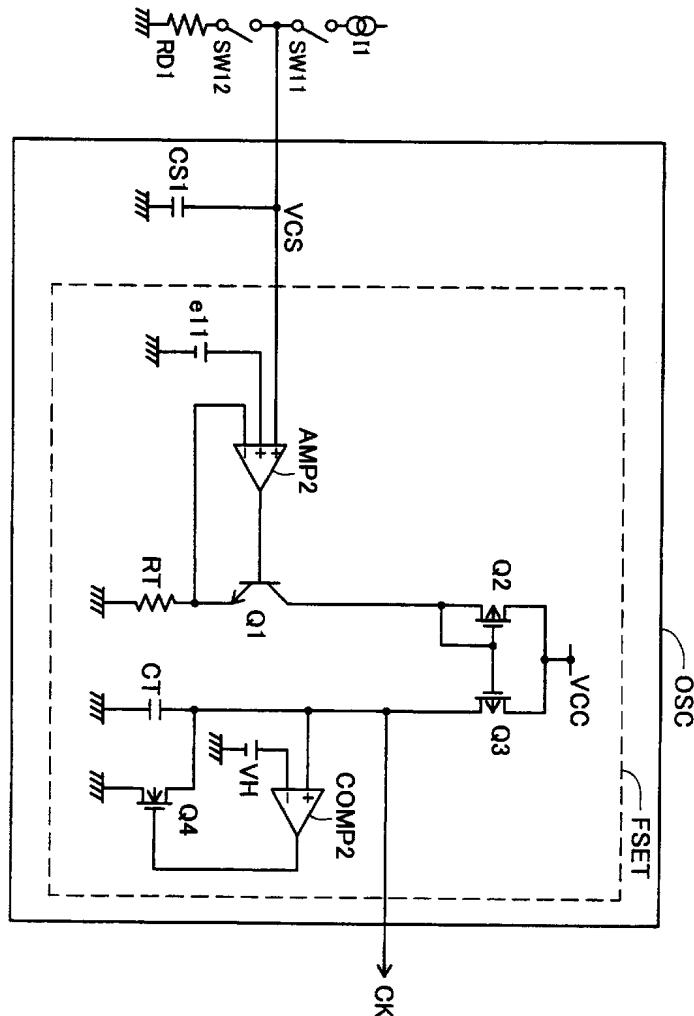
도면1

제 1 실시형태의 회로도



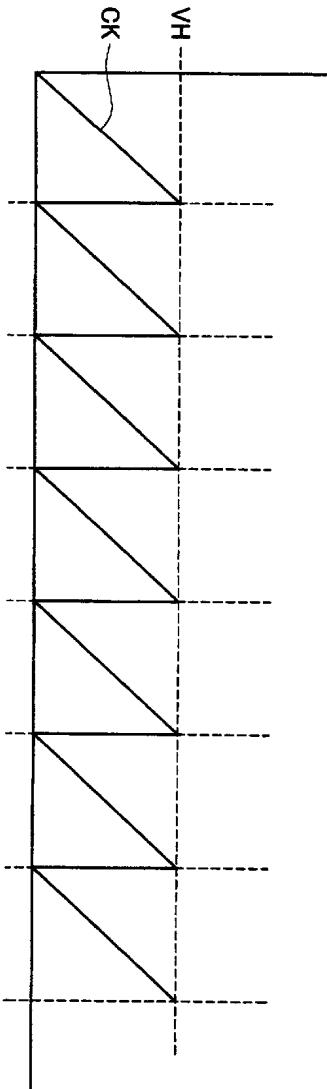
도면2

발진회로의 구체 예



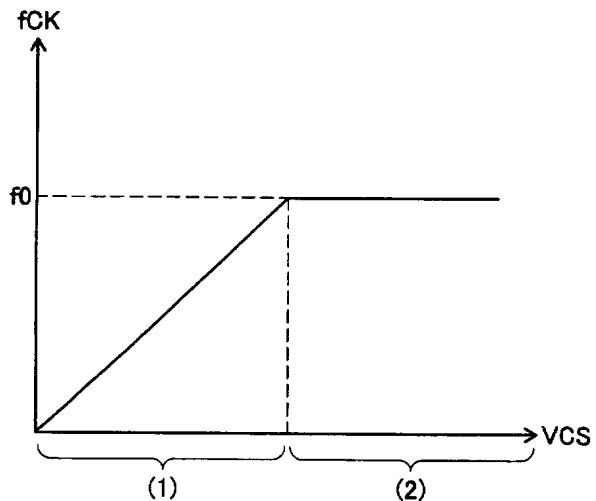
도면3

발진 신호 CK 의 파형



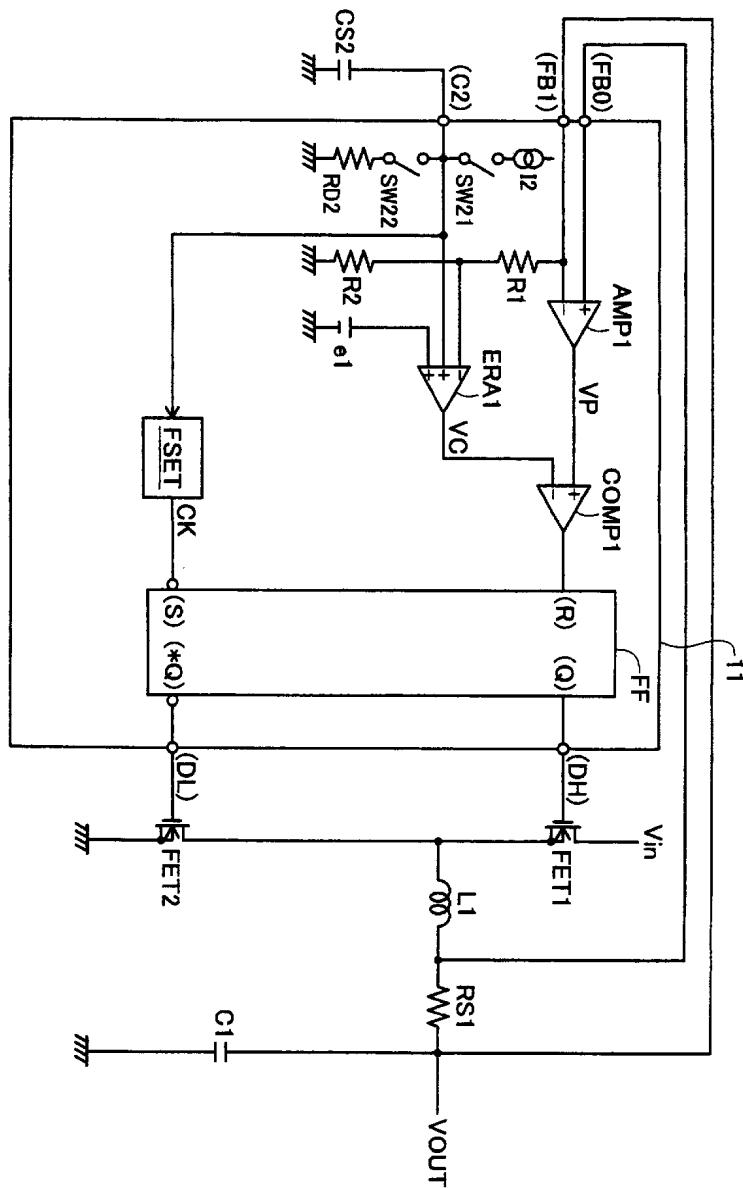
도면4

발진 회로의 발진 주파수 특성



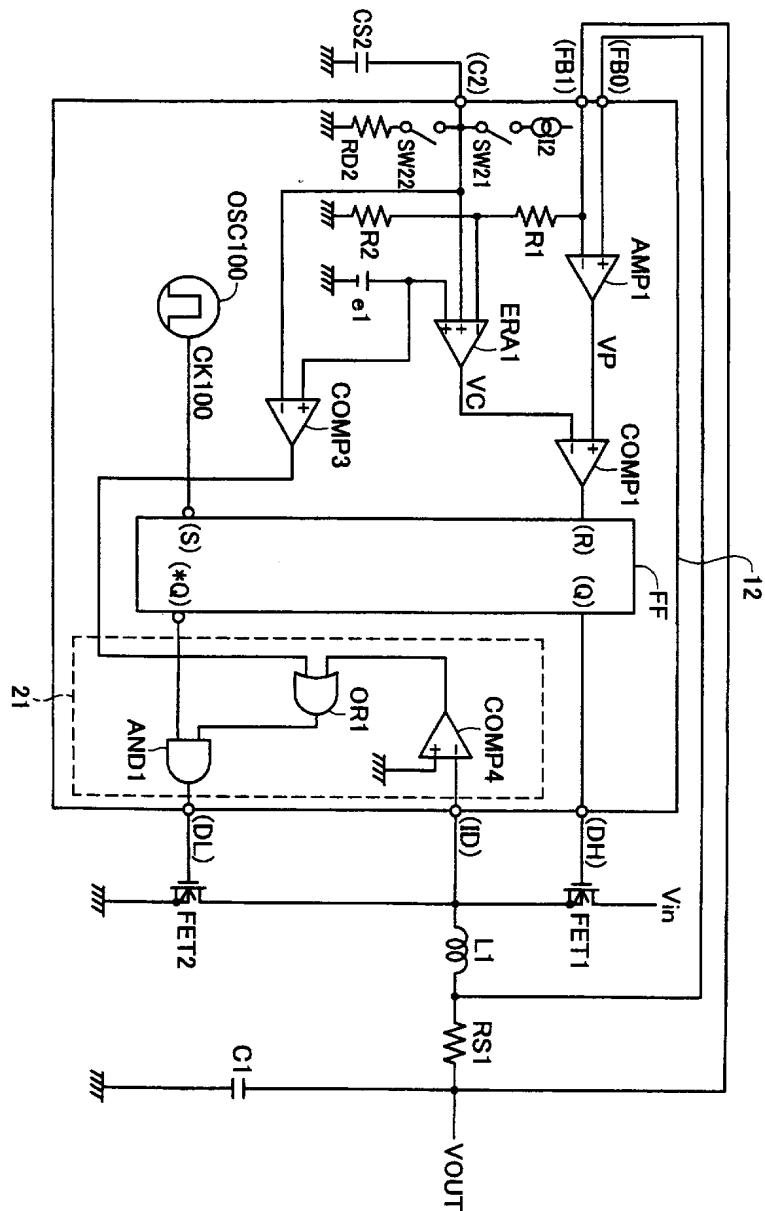
도면5

제 1 실시형태의 회로 예



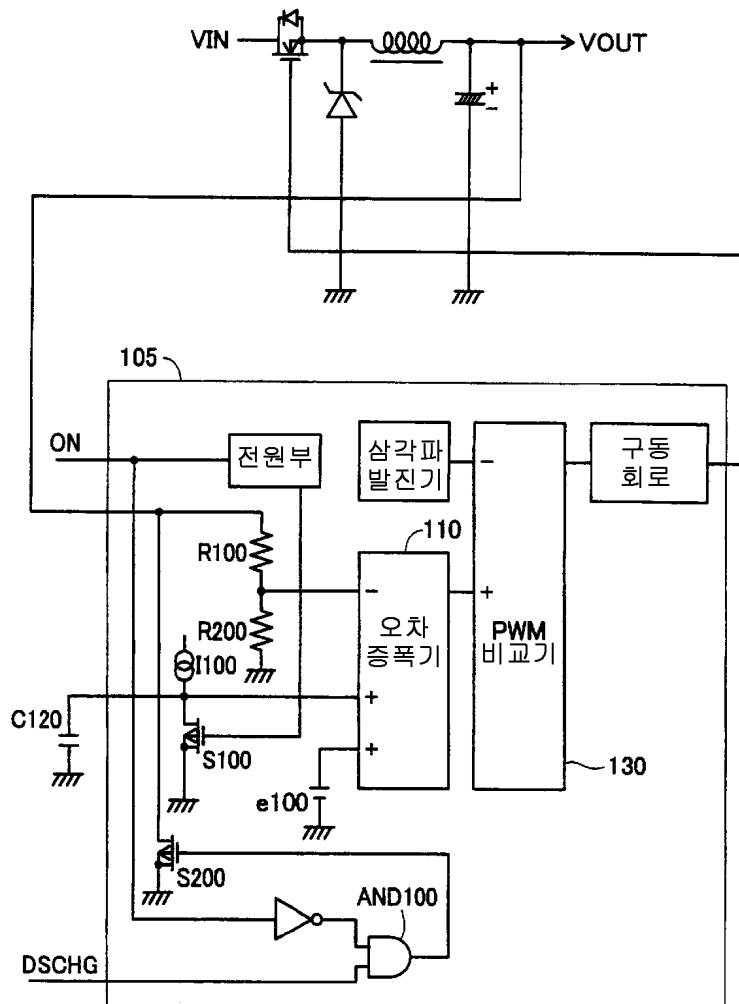
도면6

도면6은 전압의 벌안의 헤어를 하는 회로도



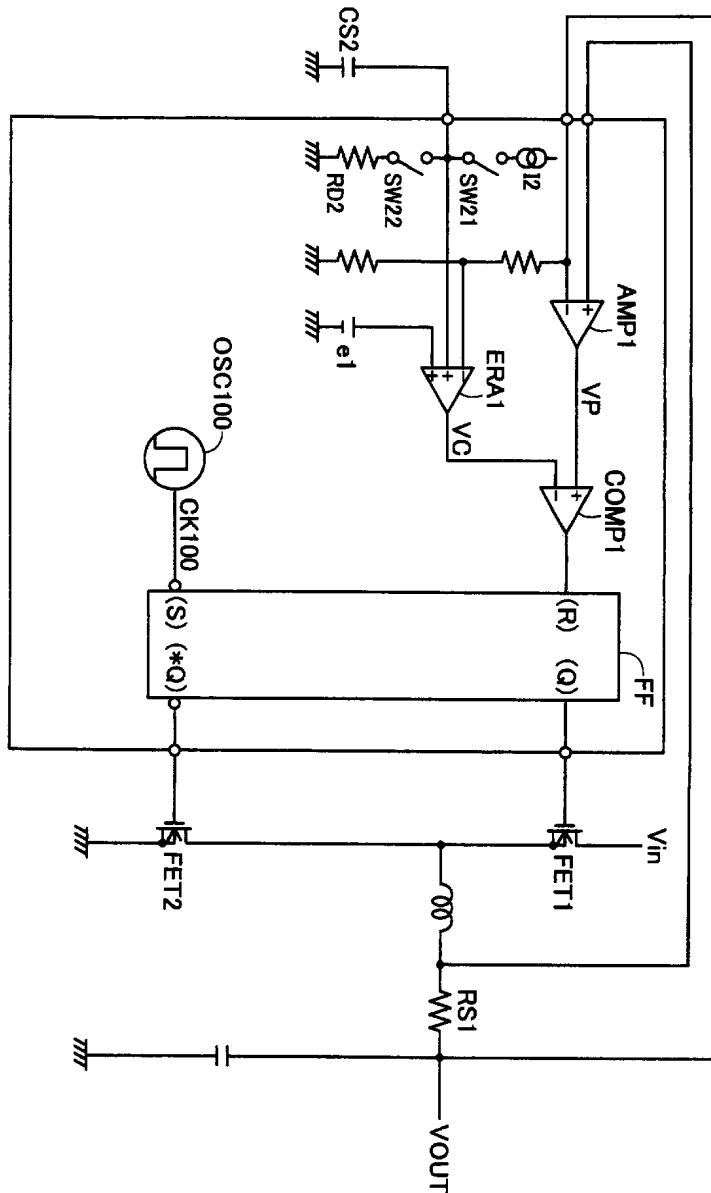
도면7

배경 기술의 회로도(전압 제어형)



도면8

배경 기술의 회로로(전류 제어형)



도면9

도 8에 있어서 기동시의
출력 전압 램프 파형

