

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-31497
(P2004-31497A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl.⁷
H01L 21/768

F I
H O I L 21/90 A

テーマコード (参考)
5 F O 3 3

審査請求 未請求 請求項の数 17 O L (全 15 頁)

<p>(21) 出願番号 特願2002-183027 (P2002-183027) (22) 出願日 平成14年6月24日 (2002. 6. 24)</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100082935 弁理士 京本 直樹 (74) 代理人 100082924 弁理士 福田 修一 (74) 代理人 100085268 弁理士 河合 信明 (72) 発明者 廣井 政幸 東京都港区芝五丁目7番1号 日本電気株式会社内 (72) 発明者 植木 誠 東京都港区芝五丁目7番1号 日本電気株式会社内 最終頁に続く</p>
---	---

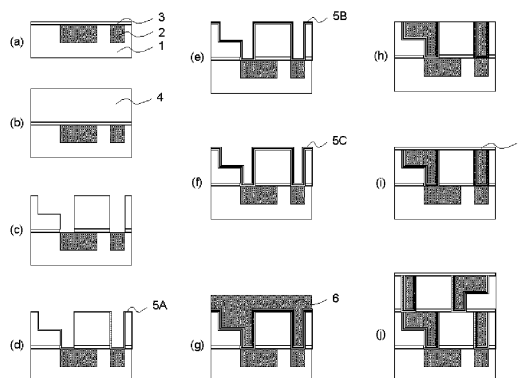
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 余剰な設備投資を抑制し、かつ高い生産性を保持して、Cuを主成分とする配線材を用いた多層配線構造の配線層間において、物理的、電気的に良好な接続を形成することによって、安価で信頼性の高い高集積回路となる半導体装置とその製造方法を提供する。

【解決手段】 ダマシン法を用いてCu6を主配線材とする多層配線構造を形成する際に、配線材の埋込みを行うまえに、低温でTi5A、Ta5B、Ta5Cを順次積層した構成のバリアメタルを形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体素子が形成された基板の上に、絶縁体膜に溝もしくは孔を形成した後に配線材となる導体を充填して、該絶縁体膜より前に形成される下部の導体部分と電氣的に接合する部位を含有する配線層を有し、該溝もしくは孔を充填する配線材の主材料における銅の含有率が 90% である半導体装置の製造方法において、
該溝または孔への主配線材の充填前に、4A 族もしくは 4B 族の元素を主成分とする第 1 の導電膜をあらかじめ下部の導体部の上面に 250 以下の温度で形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の導電膜の主成分がチタンであることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の導電膜がスパッタリングによって形成されることを特徴とする請求項 1 または 2 のいずれかに記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の導電膜上に、該主配線材の充填前に、銅を含まない第 2 の導電膜を 250 以下の温度で形成する工程を具備することを特徴とする請求項 1 及至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記第 2 の導電膜が、窒素を含有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の導電膜における窒素の含有率が、該主配線材に接する部分で最大でないことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 の導電膜が、窒素の含有率の高い層を成膜した後に、窒素の含有率の低い層を成膜することで形成される積層膜であることを特徴とする請求項 5 または 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記第 2 の導電膜における窒素以外の主成分がタンタルであることを特徴とする請求項 5 及至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の導電膜における窒素以外の主成分がタングステンであることを特徴とする請求項 5 及至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

前記第 2 の導電膜における窒素以外の主成分が、タンタルとタングステンの 2 種であることを特徴とする請求項 5 及至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

半導体素子が形成された基板の上に、絶縁膜中の溝もしくは孔に配線材が充填され、下部の導体部分と電氣的に接合する部位を含有する配線層を有し、該溝もしくは孔を充填する配線材の主材料における銅の含有率が 90% である半導体装置において、
該接合部における下部導体部の上面に、4A 族もしくは 4B 族の元素を主成分とする第 1 の導電膜と、銅以外の金属と窒素を含有する第 2 の導電膜が配置され、該第 2 の導電膜における窒素の含有率が、上部の主配線材に接する部分で最大でないことを特徴とする半導体装置。

【請求項 12】

前記第 2 の導電膜が、窒素の含有率の高い層の上に窒素の含有率の低い層を積層した構成であることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

10

20

30

40

50

前記第 1 の導電膜の主成分元素がチタンであることを特徴とする請求項 1 1 または 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 2 の導電膜における窒素以外の主成分がタンタルであることを特徴とする請求項 1 1 至及 1 3 に記載の半導体装置。

【請求項 1 5】

前記第 2 の導電膜における窒素以外の主成分がタンタルであることを特徴とする請求項 1 1 至及 1 3 に記載の半導体装置。

【請求項 1 6】

前記第 2 の導電膜における窒素以外の主成分がタングステンであることを特徴とする請求項 1 1 至及 1 3 に記載の半導体装置。 10

【請求項 1 7】

前記第 2 の導電膜における窒素以外の主成分がタンタルとタングステンの 2 種であることを特徴とする請求項 1 1 至及 1 3 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に信頼性の高い銅配線構造を備えた半導体装置およびその製造方法に関する。

【0002】

20

【従来の技術】

従来、半導体装置の配線材料にはアルミニウム (Al) もしくは Al 合金が広く用いられてきた。しかし、半導体装置の微細化および高速化の進行に伴い、配線における伝送遅延を改善するうえで、配線材料としてより低抵抗な銅 (Cu) が用いられるようになってきた。また、Cu の融点は 1083 であり Al の 660 に対して高く、一般にエレクトロマイグレーション (EM) 耐性が高く信頼性の面でも優れていると言われている。

【0003】

Cu 配線を形成する場合には、ドライエッチングによる加工が困難であるため、一般にダマシン法が用いられている。半導体基板上に形成された絶縁膜上に溝または孔を形成した後 Cu を埋設し、配線溝または配線間接続孔となる凹部以外の表面にある余剰な Cu を研磨することで Cu 配線を形成する。配線層における溝配線形成と、異なる配線層間を接続するビアプラグ層を個別に形成する手法をシングルダマシンと呼ぶのに対して、配線溝と接続孔に対して同時に Cu を充填して形成する手法はデュアルダマシン法と呼ばれる。シングルダマシン法では、配線層を一層形成するために、プラグと配線層のそれぞれに対して配線材の成膜および余剰配線材の CMP などの工程が必要であるのに対し、デュアルダマシン法では各工程を一度ずつ行うだけでよいことから、コストと製造に要する時間を低減できる利点がある。どちらのダマシン法においても、Cu を配線材として用いる際には、Cu の絶縁膜中への拡散および Cu の腐食を防止するために、Cu の周囲にバリア層を設けられる。以下に現在一般に用いられている Cu 多層配線の製造法について図面を用いて説明する。 30

【0004】

図 7 は、従来の多層配線形成について工程毎の断面を模式的に表わしたものである。図 7 a において、基板 (図示せず) 上に形成された絶縁膜 1 によって分断された配線 2 とカバー絶縁膜 3 を有する、下地となる配線層が準備される。この上に絶縁膜 4 を成膜し (図 7 b)、その後リソグラフィと異方性エッチングによって、絶縁膜中に配線溝および配線孔を形成する (図 7 c)。その後、導体膜であるバリア膜 5 を形成し (図 7 d)、Cu 6 を埋め込む (図 7 e)。次に、化学機械研磨 (Chemical Mechanical Polishing: CMP) によって配線溝もしくは配線孔以外の余剰な Cu および導体バリア膜を除去し (図 7 f)、絶縁物であるバリア膜 7 を成膜することで、下面および側面を導体であるバリアメタル層で、上面を絶縁膜であるバリア層で覆われた Cu 配線 40

50

構造が形成される。

【0005】

この導体バリア層には、Cuの拡散防止能力が高いこと、下地となる絶縁物およびCu配線部との密着性、プロセス上の熱的安定性等の理由から、比較的高融点であるチタン(Ti)、タンタル(Ta)、タングステン(W)などの金属およびその窒化物、またはそれらにSiなどを添加した3元系もしくは4元系の窒化物、もしくはそれらを積層したものが用いられる。現在一般的に用いられている構造は、Cuと密着性の良いTaをCuと接する上層とし、Taに比してシリコン酸化膜などとの密着性に優れており、Cuの拡散防止膜としての機能も高い窒化タンタル(TaN)を下層にしたTa/TaN積層バリア構造である。TaはCuと反応しないため、合金化による配線抵抗増大が生じない。ここで、上層のTaは、純粋な単体Taだけでなく、Nを10%程度までの微量に含んだものでも良い。Ta/TaN積層構造におけるTaおよびTaNの各層は、Taをターゲットとした反応性スパッタリングを用いて放電に用いるガスを変化させる、もしくはプラズマ発生に要する高周波出力を変化させるなどによって比較的容易に単一の成膜室で連続的に成膜することができるため、設備投資を抑制しつつ、高いスループットを得ることができる。

10

【0006】

しかしながら、多層配線を形成する際においては、下層と上層の配線層が接続する部分において、下層配線層上面のCuと上層配線層の底に位置するバリアメタル膜のTaNが接触する構造となる。TaNとCuは密着性に劣るため、電氣的、物理的ストレスにより、接続部での剥離やボイド形成による信頼性劣化の問題が生じる。特許公開公報の特開2001-298084(文献1)では、あるビア径に対して、配線幅がビア径の7倍以上のときに、ビア下およびビア中でのボイド生成による断線不良が生じ、150μm付近で最も加速されると報告されている。同様の問題がProceeding of International Reliability Physics Symposium 2002、p312-321(文献2)で報告されており、ビアが接続する下層配線が太幅のとき、接続部の下層配線表面でボイドが生じており、190℃の恒温保管で不良が最も加速するとしている。このようなストレスに起因する不良は素子微細化によりビア径がさらに縮小されたときにますます顕著になることが予想される。

20

【0007】

このような問題に対して、例えば特許公開公報の特開2001-23988(文献3)においては、図8aに示すような、Ti、TiとNの化学的組成比がTi:N=1:1に近い窒化チタン(TiN)または窒化タングステン(WN)、Taを順次積層したバリア膜構造が提案されている。Tiをバリア膜の最下層として用いることによって、下地および下層配線のCuとの密着性を確保できるとともに、上層配線中またはビア中のCuと接する部分をTaとすることによって、上層配線またはビアの主配線材とバリア膜との密着性を確保できる。

30

【0008】

また、図8bに示されるように、上記図従来1の構造のTa部分をTaに比してCMPが容易でバリア性の高いTaNを含むTa/TaNの積層構造とすることによって、バリア性を向上しつつ、CMPを容易にすることも提案されている。また、最下層のTiの代わりに、組成比において化学的にTiが過剰である窒化チタンTiNxを用いることが可能であることも記述されている。

40

【0009】

【発明が解決しようとする課題】

しかしながら、上記の手法においては、図8aまたは図8bのバリアメタル膜の第2層5bにTiNまたはWNを用いることによる設備投資を含めた製造上の問題が生ずる。近年の微細化と基板大口径化に伴って製造装置は非常に高価なものとなってきており、デバイス製造コストを低減するうえで設備投資を抑制することの重要性が高まってきている。

【0010】

50

WNを用いる場合には、バリアメタル膜の第1層5aのTi成膜、第3層のおよび第4層のTaとTa₂N₅成膜に加えて、WN成膜を行うための設備が必要となる。このため、設備投資が増大してしまう。

【0011】

TiNを用いる場合、上記文献3においては、TiN層の形成に関して反応性スパッタリング法もしくは化学気相成長(Chemical Vapor Deposition: CVD)法による成膜が提示されている。反応性スパッタリング法を用いた場合、ターゲットを用いて、下層のTiを成膜した後に放電ガスを窒素含有のものに切り替えることによって同一の成膜室内において連続的にTiNを成膜することができる。この場合は、個別の成膜室を設ける必要が無く、設備投資を抑制できる。

10

【0012】

しかし、反応性スパッタリングを用いてTiNにおいては、一般にターゲットのTi表面が窒化される条件下で成膜を行う必要がある。この場合、成膜速度はターゲットが窒化されない場合に比べて極端に低下してしまい、スループットが悪化する。図9および図10はそれぞれ、アルゴン(Ar)と窒素(N₂)ガスを用いた反応性スパッタリングにおいて、ガス中のN₂含有率に対して比抵抗と成膜速度とプロットしたものである。5Pa、7.5Pa、10Paと異なる成膜圧力のいずれにおいても、N₂含有率が0から増大していくに従って、比抵抗は一旦上昇した後に急激に下降して低い値となる。この比抵抗が急激に下降する点において、成膜速度も急激に低下する。TiとNの組成比はこの比抵抗と成膜速度の低い領域において、Ti:Nがほぼ1:1であることが確認された。N₂含有率の低い、比抵抗、成膜速度の両者が高い条件下で成膜された膜は、TiがNに比べて過剰であることも確認された。

20

【0013】

さらに、このN₂含有率の高い領域において成膜を行うと、成膜対象である基板表面以外の成膜室内においてTiNの粒成長が生じるために微小なパーティクルを多数発生させやすい。上述の実験と同様にして、8インチの直径を持つ基板に対してイオン化スパッタリング装置を用いて厚さ20nmのTiを1000回成膜したところ、0.2μm以上の大きさを持つパーティクルの増大は全く見られなかったのに対して、TiNの場合には成膜前に数個であった検出パーティクル数が100回成膜した時点で数千個に及んだ。このパーティクル発生は対象成膜装置におけるクリーニングを含めたメンテナンス頻度の増大を招くだけでなく、基板を介して別の製造装置に転写されることによって製造ライン全体の歩留りを悪化させてしまう。このため、反応性スパッタリングによるTiN成膜においては、微細なパターンが表面上に存在する場合には特に、成膜後に基板からパーティクルを除去する洗浄工程を必要とし、製造コストが増大する。したがって、反応性スパッタリングにおいて、Tiのみを成膜する場合に比べて、TiNを加えて成膜する場合には製造上の難点が多い。

30

【0014】

CVDによるTiN成膜においては、上述の問題が顕在化することは確認されていない。しかし下層のTiをスパッタリングで成膜する場合には、新たにCVDによるTiN成膜室を必要とするために設備投資が増大してしまう。下層となるTi層のCVD成膜に関しては、例えば上記の文献3に提示されているようなTiCl₃を原料とするCVDを用いると、下層配線におけるCuと塩素が反応してしまうために、電気的、物理的に良好な接続を得ることが非常に困難である。このようなハロゲン化合物だけでなく、有機金属を原料とするCVDにおいても、還元性をもつNH₃などを同時に添加したTiN成膜に比べて、単体TiのCVD成膜は不純物濃度が高くなるなどの問題が多い。マリアメタルの最下層にTiが過剰なTiN_xを、次の層にTiNを同一のCVD成膜室を用いて成膜する場合には余剰な設備投資を削除することができるが、Tiが過剰なTiN_xは高性能なデバイス作製に適用しがたい。Tiが過剰なTiN_x膜は比抵抗が高いため、配線間接続抵抗が増大してしまうからである。

40

【0015】

50

また、文献3にも記載があるように、一般にTiNは、CVDはもちろん反応性スパッタリングにおいても300程度の比較的高温で成膜する必要がある。Cuの埋め込み広く用いられる電解メッキにおいては電極となる薄層Cuシードをスパッタリングによって形成が行われるが、ごく薄いCu膜は容易に凝集するために、低温で成膜する必要がある。したがって、TiNを成膜した後にCuを成膜するまでに冷却が必要であり、スループットが制限されてしまう。さらに、設備投資を抑制するために最下層のTiと同一の成膜室を用いてTiNを成膜する場合の根本的な問題として、TiもTiNと同じ温度で成膜されることに起因する、下層Cuとの接合部における応力の問題がある。バリアメタルを成膜する直前において基板が高温にさらされた場合、Cuはシリコン酸化膜などの絶縁膜に比べて熱膨張係数が大きいために膨張しようとし、絶縁膜で覆われていない開口部で最もその影響が大きい。図11と図12はバリアメタルの成膜温度による、Cuにかかる応力の違いを模式的に表わしたものである。バリアメタル成膜室導入前において下層配線のCuに関して応力が緩和されているとしたとき(図11a)、バリアメタルが高温で成膜される場合にはバリアメタル成膜直前においてCuが膨張する(図11b)。Cu埋め込み後に冷却されると、収縮によってCuの大きな応力が特に開口部付近に印可されてしまい(図11b)、電氣的、熱的なストレスによる断線を引き起こす要因となる。これに対して、バリアメタルが低温で成膜される場合には、バリアメタル成膜開始時におけるCuの膨張が無い(図12b)、Cu埋め込み後冷却されても接合部に過剰な応力が印可されない(図12c)。実際には、バリアメタル成膜前においても下層のCu配線全体にかかる応力が完全に緩和されることはないが、開口部においてはCuの膨張・収縮を妨げるものが無い(図12c)ため、比較的容易にこのような応力が発生する。

10

20

【0016】

したがって、バリアメタルの最下層は低温で成膜することが望ましいが、同一成膜室でTiとTiNとを温度を変えて交互に成膜するためには、基板保持部の加熱・冷却に多大な時間を要してしまい、スループットが低下してしまう。また、個別の成膜室を用いる場合に設備投資が増大してしまうことは明らかである。

【0017】

[発明の目的]

本発明は上記事情に鑑みなされたものであって、余剰な設備投資を抑制し、かつ高い生産性を保持して、Cuを主成分とする配線材を用いた多層配線構造の配線層間において物理的、電氣的に良好な接続を形成することによって、安価で信頼性の高い高集積回路となる半導体装置とその製造方法を提供することにある。

30

【0018】

【課題を解決するための手段】

本発明の半導体装置およびその製造方法は、ダマシン法を用いてCuを主配線材とする多層配線構造を形成する際に、配線材の埋込みを行うまえに、低温でTi、Ta₂N₅、Taを順次積層した構成のバリアメタルを形成することを特徴とする。

[作用(効果をもたらすための手段の働き)]

バリアメタル最下層にTiを用いることによって、下地となる絶縁膜との強固な密着性を得ることができるとともに、下層配線上面のCuとも高い密着性を得られる。また、Tiの高い還元性によって、下層のCu上面において微量の不純物が存在しても、良好な電氣的接続を得ることができる。バリア性に優れるTa₂N₅をその上に積層することによって、配線から絶縁膜へのCuの拡散を効果的に防止できる。また、バリアメタル最下層のTiとバリアメタル直上のCuとの反応を抑制し、配線抵抗の増大が抑制される。さらに、Ta₂N₅上にTaを成膜することによって、バリアメタル直上のCuと高い密着性を得ることができる。

40

【0019】

また、バリア膜を構成するそれぞれの膜である単体TiおよびTa₂N₅、Taは、スパッタリングにおいて、比較的低温で、かつ低い高周波出力で容易に高い成膜速度と良好な膜質を得ることができ、さらにパーティクルの発生を低いレベルに保つことができる。すなわ

50

ち、Cuの拡散を防止しつつ、バリアメタル上面のCuと下層配線上面のCuと下地となる絶縁膜の全てと高い密着性を有する積層バリアメタル層を、安価で安定に高い生産性を持って形成できる。

【0020】

【発明の実施の形態】

[構成の説明]

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】

図1は本発明の実施の形態の一例である、Cuを主成分とした多層配線構造の形成過程を表わす断面模式図である。半導体素子が形成された基板(図示せず)上に、絶縁膜1によって分断されたCuを配線材の主成分とする下層配線層が準備される。この時点における最上層には、Cuの拡散を防止できる絶縁膜3が全面に成膜されている。配線部2において、バリア性を有する絶縁膜3と接する上面以外の、層間絶縁膜2と接する部分はバリアメタル(図示せず)で覆われている。この配線層上に、新たに絶縁膜4を成膜し(図1b)、その後リソグラフィと異方性エッチングによって、絶縁膜中に配線溝および接続孔を形成する(図1c)。

10

【0022】

次に基板表面に対して、Ti膜5Aを成膜する(図1d)。その後、TaN膜5Bの成膜(図1e)、Ta膜5Cの成膜(図1f)を順次行う。積層バリアメタル成膜後に、溝または孔を充填するようにCu6を成膜し(図1g)、余剰なCu、Ta、TaN、TiをCMPによって除去した後に(図1h)、バリア絶縁膜7を基板表面全体に成膜する(図1i)。以上の工程を繰り返すことによって、上部に配線を積層していくことができる(図1j)。

20

【0023】

図1cから図1fまでの間に形成されるTa/TaN/Ti積層バリアメタル膜は、絶縁膜と接する溝や孔の側面、底面において十分にCuの拡散が防止できる範囲で、できるだけ薄いことが望ましい。スパッタリングによってこれらの金属膜を成膜する場合は、一般に微細孔の底に近い側面が最も被覆されにくい。この部分においてもTa/TaNで十分に被覆されている必要がある。Tiに関しても十分な被覆性が得られることが望ましいが、下層配線上面のCuが被覆されていれば良く、孔側壁部における必ずしも完全な被覆性は必要としない。絶縁膜と接する部分において必要とされるのは、絶縁膜へのCuの拡散阻止能力と絶縁膜との密着性であり、前者に関してはCuの拡散防止能力はTaN > Ta > Tiの順であるためTiよりもTaN、Taの被覆性の方が重要であり、後者に関してはSiO₂などの絶縁膜とTaNの密着性は十分高い。したがって、絶縁膜と接する部分においてTiの存在は必須ではない。

30

【0024】

Ti膜の成膜に際しては、デバイスが動作する温度である室温から150度程度の範囲で行うのが望ましく、一般に半導体デバイスの配線に用いられるCu膜の熱特性において弾性変形と塑性変形の転移が生ずる200度から250度の温度範囲よりも低温で行なう必要がある。下層配線のCu上面と接触部分がTaNでなくTiとなることによって、該接触部におけるバリアメタル-Cu間の高い密着性が得られ、熱を含めた物理的ストレス、電気的なストレスに対する高い耐性を得てボイド形成による断線を防止することができる。

40

【0025】

さらに、TiNを用いないため、全ての成膜を低温で行うことが可能であり、高温成膜における加熱と冷却に伴うスループットの低下を抑制することができ、パーティクルの発生も少ないため生産効率を高く維持することができる。

【0026】

また、高いスループットを維持したまま、下層Cuが開口部で熱膨張しない状態でバリアメタル成膜を行うことができるため、下層Cu配線にかかる応力を低減できる。

50

【0027】

また、一般にバリアメタル成膜前には、化学的もしくはイオンスパッタリングなどによるCu表面の清浄化が行われるが、特に孔奥部においては十分な清浄化が困難であり、例えばイオンスパッタリングでは孔底面のCu表面だけでなく孔側壁もスパッタされるために絶縁膜の成分が付着するなどの影響を完全に排除することができない。TiはTa₂N₅などに比べて非常に高い還元性を持つため、バリアメタル成膜前に下層Cu表面に炭素、酸素等の不純物の影響を低減し、高い密着性と低い接続抵抗を得ることができる。

〔実施例〕

以下に本発明の具体的な実施例について図面を用いて説明する。

【0028】

図2は、本発明の実施例における、配線構造形成の工程を表わす断面模式図である。シリコン基板（図示せず）上に1μmのシリコン酸化膜1aを形成し、この上に第1配線層をシングルダマシンによって形成した後に、その上部にデュアルダマシンによって第1配線層との接続層と第2配線層の形成を行った。

10

【0029】

シリコン酸化膜1a上に、エッチングストップとなる厚さ50nmのSiN膜1bと第1配線層における配線間絶縁をつかさどる、厚さ350nmのシリコン酸化膜1cを成膜し（図2b）、リソグラフィとエッチングによって配線溝を形成した（図2c）。その後、基板表面全面にイオン化スパッタ法によって厚Ta₂N₅膜2aおよびTa膜2bをと厚さ100nmのCuシード薄膜を成膜し、引き続いて電解メッキ法によってCuを埋め込み、窒素雰囲気下で350℃、30分間の成膜後加熱処理をしてから、CMPによって余剰なCu、Ta、Ta₂N₅を除去した（図2d）。この表面上全面に、プラズマCVDによって厚さ50nmのSiN膜3を形成して第1配線層を形成した（図2e）。

20

【0030】

さらに、シリコン酸化膜4a、SiN膜4b、シリコン酸化膜4cをそれぞれ400nm、50nm、400nmの厚さでプラズマCVD法によって成膜し（図2f）、リソグラフィとドライエッチングによって配線溝と接続孔を形成した（図2g）。このデュアルダマシンにおける溝孔加工は、ピアファーストと呼ばれる、接続孔を先に形成した後に配線溝を形成するという順で行った。すなわち、シリコン酸化膜22条において、接続孔パターンをリソグラフィによってレジストに形成し、これをマスクとしてドライエッチングを施した後にレジストを除去して接続孔パターンを形成する。この後、同様の工程によって配線溝パターンを形成する、という順である。

30

【0031】

次に、清浄化室とTi成膜室、Ta/Ta₂N₅成膜室、Cu成膜室を有する成膜装置を用いて、用意された配線溝と接続孔を含む基板表面全面に対して、清浄化とTi、Ta₂N₅、Ta膜、とCuシード薄膜の成膜を行った。清浄化処理は、主として第1配線層中のCu₂Cの接続孔部に露出した部分の清浄化を目的として、RFエッチングと呼ばれる、高周波プラズマによって生成したArイオンを基板表面に照射してスパッタリングを行うものである。清浄化後、Ti成膜室まで真空中で基板を搬送し、イオン化スパッタリングによって室温でTi膜4Aを成膜した（図2h）。さらに、真空搬送によって、Ta/Ta₂N₅成膜室に基板を輸送し、ArとN₂の混合ガスを用いて反応性イオン化スパッタリングによってTa₂N₅膜4Bを形成した（図2i）。この後、同成膜室内において、N₂を含む残留ガス除去の後、Ar単体ガスを用いてTa膜4Cを成膜した（図2j）。

40

【0032】

ここまでのスパッタリングによる金属成膜は、全て室温で行った。その後、真空搬送によって、Cu成膜室に基板を輸送し、Cuシード薄膜をイオン化スパッタリングによって成膜した。このCuシード薄膜成膜はCuの凝集を抑制するために、基板温度を0℃程度に冷却した環境下で行われた。積層バリアメタル膜の成膜において加熱を行わないため、続くCuシード薄膜の成膜までに基板冷却に要する時間はごく短くて良い。仮にTiNを成膜してからTa₂N₅を成膜する場合には、TiN成膜前に加熱に加えてTiN成膜後の冷却

50

時間が必要である。さらに、Tiと同じ成膜室においてTiNを成膜する場合にはターゲット表面が窒化されるため、次にTi成膜を行うためには一旦窒化したターゲット表面をクリーニングする必要がある。しかしながら、本発明によればTiNの成膜を必要としないため、パーティクルの発生を抑制するだけでなく、高いスループットを維持しての製造が容易となる。

【0033】

Cuシード層を成膜した後は、第1配線層の形成と同様の手順で、電解メッキによってCuを埋め込み成膜して加熱処理を施し(図2k)、CMPによって余剰なCu、Ta、TaNを除去して(図2l)。プラズマCVDによって厚さ50nmのSiN膜7を形成した(図2m)。さらに、カバー膜としてシリコン酸化膜8を成膜した(図2n)。

10

【0034】

カバー膜8にリソグラフィとエッチングによって第2配線層との接合部を開口した後に、Ti、TiN、Alを順次スパッタリングによって成膜して、リソグラフィとエッチングによってAl/TiN/Ti積層膜を電気測定用パッドパターンに加工した。

【0035】

図3は、上記の手順で作製した試料において、第2配線層の配線幅が10 μ mのパターンにおける配線抵抗の測定結果である。TaN、Taをそれぞれ20nm、計40nm成膜した試料に対して、Tiを20nm挿入した試料では、配線抵抗が5%程度上昇した。この配線抵抗増大分は、20nmのTi挿入の代わりに、Ta、TaNの膜厚をそれぞれ10nm、計20nm増大した場合の値と一致した。また、TaN、Taの成膜厚さをそれぞれ15nmとしてTiを10nm挿入し、バリア金属の総膜厚を40nmとした場合の配線抵抗は、Tiの挿入無しでTaN、Taをそれぞれ20nm、計40nm成膜したものと一致した。これらの結果から、TaNの下にTiを挿入した場合の配線抵抗上昇は単純に配線中のバリア金属割合の増大分であり、バリア金属最下層におけるTi挿入はそのバリア金属直上における主配線材に対して抵抗変化を及ぼす化学的もしくは結晶的影響を与えないことが確認された。

20

【0036】

図4は、接続孔径が0.2 μ mであるチェーン数10万個のピアチェーンにおける、Ti無しの場合を1としたときの、Ti成膜厚さとピア抵抗の比との関係である。Ti成膜厚さが10nm以上では、ほぼ30%のピア抵抗の低減が見られた。積層バリア金属膜を構成するTiおよびTaN、Taの比抵抗は主配線材であるCuに比べて20倍以上も高いため、ピア抵抗がバリア金属自身の抵抗のみによってほぼ規定されるとすれば、Ti膜厚の増大による積層バリア金属の膜厚増大は単調にピア抵抗を増加させるはずである。しかしながら、本実施例におけるTi成膜厚さが20nm以下の範囲内ではTi膜厚増大によるピア抵抗の顕著な増加は見られなかった。この結果は、Tiが挿入されることによってバリア金属成膜前における下層Cu配線上面の不純物の影響が低減したためと考えられる。下層Cuの表面は接続孔開口後バリア金属成膜装置に導入される前には大気にさらされるため、大気中の酸素、炭素などの不純物が付着している。この不純物は、バリア金属成膜装置中においてRFエッチングなどの清浄化を行うことである程度除去されるが、完全に取り去ることは難しい。さらに、本実施例でも用いた一般的なRFエッチングにおいては、清浄化対象である接続孔底のCu表面だけをスパッタリングすることはできず、接続孔側面や基板表面も同時にスパッタリングされるために絶縁膜表面に付着した不純物および絶縁膜を構成する元素が下層Cu表面に付着することは避けられない。また、Tiを用いない場合には、対象であるCu表面上にTaNが窒素を含む雰囲気下で成膜されるが、このときCuへNが混入する。TiはTaNに比べて非常に還元性が高く、極微量のCやO、Nなどの不純物が存在しても膜中に取り込む形で低抵抗の接合を形成することが知られており、従来Si基板上に形成された半導体デバイスと上部配線との結合するコンタクトホール部分にTiが用いられてきた要因の一つである。一方Tiを挿入しない場合、TaN/Cu界面には不純物が残存したままであり、良好な接続が得られにくい。また、めっきによるCu埋め込み後の加熱処理温度を400とした場合にも、同

30

40

50

様の結果が得られた。これらのピア抵抗のTi厚さ依存性から、400以下程度の温度においては下層のCuに対してTiが過剰な拡散・反応を起こさない、すなわちTi/Cu界面における合金化等の影響は接続抵抗を増大させる方向に顕著な影響を及ぼさず、むしろ抵抗の低い良好な接続が得られることが確認された。

【0037】

図5は、第1配線層および第2配線層の配線幅が10 μ mで接続孔の径が0.2 μ mである、チェーン数10000個のピアチェーンパターンにおいて、150で1000時間保管した後の不良率をプロットしたものである。Ti無しでは不良が見られるのに対し、Ti膜厚を20nm以上とした場合には不良が全く発生しなかった。Ti膜厚が5nmのときは、Ti無しに比べて不良率は若干低減したが、不良を完全に抑制するには至らなかった。試料断面を集束イオンビーム(Focused Ion Beam: FIB)によって加工して、透過型電子顕微鏡(Transmission Electron Spectroscopy: TEM)によって観察したところ、Ti無しの試料において、接続孔底部Ta_N直下の下層Cu部に空隙(ポイド)が生じていることが確認された。また、接続孔底におけるTi膜厚は、成膜厚さ10nmのときに8nm程度以下であり、成膜厚さ10nmのときにはTi膜が不連続となっていることが確認された。表面の平坦部における成膜厚さよりも、凹部における膜厚が少ないのは、スパッタリングによる成膜種の付着係数が高く、ほぼ1であるためである。イオン化スパッタリングは、基板の垂直方向に対する直進性と再スパッタリングの効果が高いため、従来のスパッタリング法による成膜に比べて段差被覆性に優れるものの、凹部での被覆率は表面平坦部よりも薄くなる。

10

20

【0038】

本試験において観測された不良は、文献1および2に記述されるストレスマイグレーションによるものである。埋め込み成膜後の加熱処理、またはCMP後のカバー絶縁膜19の成膜時に膨張したCuは、低温に冷却されることによって収縮しようとする。本実験における配線周囲の絶縁膜の熱膨張係数はCuよりも小さいため、Cuよりも体積収縮率が小さい。したがって、室温および150における保管中にCuは周囲の絶縁膜によって引っ張られた状態となっており、ポイドを形成することで体積を減じてストレスを緩和しようとする。ここで、CuとTa_Nとの界面は密着性が弱いため、Cuが容易に移動してポイドが形成されやすい。Tiを挿入してバリアメタル/Cu界面での密着性を向上することによって、ストレスマイグレーションに起因したポイド形成による不良を抑制できることが確認された。また、TiがCuと過剰な反応を起こさず、Ti膜として残存していることも確認された。上記および下記の、Ti成膜厚さがある程度以上で効果が一定となる結果からも、下層Cuと反応もしくは下層Cu中へ拡散するTiの絶対量は、接続孔底部に成膜された量に比べて少ないことを示しており、同部分において連続膜となりうる被覆性が重要であることを示唆している。すなわち、必要なTiの絶対量は比較的少なくても良いが、下層Cuの開口された部分を十分被覆することが望ましい。

30

【0039】

図6は、第1配線層および第2配線層の配線幅が0.3 μ mで接続孔の径が0.2 μ mであるパターンを用いて、エレクトロマイグレーション耐性を調べた結果である。2mAの一定電流を第1配線層から接続孔を通じて第2配線層に向かって印可、すなわち電子を第2配線層から接続孔を通じて第1配線層へと流し続けて、接続が不良となるまでの寿命の平均をTi挿入が無い場合を1としてプロットしたものである。上述のピア抵抗やストレスマイグレーションに関する傾向と一致する形で、Ti成膜厚さが10nm以上で寿命が増大しており、Ti挿入によってエレクトロマイグレーション耐性が向上することが確認された。電流印可試験によって接続不良になった部分をFIBによって加工し、断面を観察したところ、第1配線層のCuが接続孔のバリアメタル下で欠落して断線を生じており、Ti挿入によってこの部分のCuマイグレーションが抑制されたと考えられる。

40

【0040】

以上述べたように、本発明によれば、バリアメタル膜の最下層にTiを用いて下層Cuと物理的・電氣的に良好な接続を形成することによって低抵抗でマイグレーション耐性の高

50

い配線構造を形成できる。また、パーティクル発生を抑制して高い生産性を保持しての作製が可能であり、高性能なデバイスを低コストで製造することができる。

【0041】

また、本発明は、上記実施の形態および実施例に限定されず、本発明の技術思想の範囲内において各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は、上記実施の形態および実施例に限定されず、本発明を実施するうえで好的な数、位置、形状にできる。なお、各図において、同一構成要素には同一符号を付している。

【0042】

例えば、本発明は、ダマシン法においてバリアメタルおよび主配線材の成膜前に行われる、配線溝および接続孔の形成方法によらずに適用可能である。例えば、本実施の形態の例においては、デュアルダマシンにおける配線層と接続孔層との間にエッチングストップ層を用いているが、配線溝と接続孔を目的の形状に加工できれば、例えば接続層の絶縁膜4、エッチングストップ膜5、配線層の絶縁膜6を個別とせず単一の膜で形成してもよい。また、上記の絶縁膜4、5、6の個々のそれぞれについても、単一でなく複数の絶縁膜で構成することも可能である。実施例においては、絶縁膜としてシリコン酸化膜とシリコン窒化膜を提示したが、SiCや誘電率の低い他の絶縁膜に関しても適用可能である。また、本例では、デュアルダマシン法における配線構造形成について述べたが、シングルダマシン法においても同様に適用することができる。さらに、本発明は、配線材がCu単体である必要はなく、Cuを主成分とする合金、すなわちCuの含有率が90%以上である配線に関しても適用できる。同様に、積層バリアメタル膜を形成する金属に関しても必ずしも単体である必要はなく、TaNに関してTa、N以外の元素が含まれていても良い。積層バリアメタルのうち上部のCuと接するTa/TaN部分に関しては、Cuに対する拡散防止能力を有し、かつCuとの密着性が高いものであれば別の組成をもつ単一膜、または積層膜でもよい。例えばTaの代わりにWを用いた場合、W/WNという構成が可能である。TaとWの両者を用いることも可能であり、例えばTaとWは原子番号が非常に近く、スパッタリング率が同程度であることを利用して、TaW合金ターゲットを用いてTaW/TaWNというような構成を使用しても良い。また、必ずしも各層でTaとNの比率が固定されたTaとTaNのような組み合わせでなくてもよく、Cu配線に接する方向、すなわち基板の上部方向に向かって連続的に窒素含有率が低下するような構成も可能である。バリアメタルの最下層であるTi膜に関して、Ti含有率が高いことが望ましいが、Tiが10%程度以上含まれるものであればCuとの密着性を向上して、本発明の効果を達成することが可能である。Tiと同じく、周期律表において4A族に属する元素、もしくは4B族に属する元素に関しても、同様の効果が期待できる。また、本実施例においては、Cuの埋め込み成膜において、スパッタリングによる薄層シード形成後のめっき埋め込みを提示したが、成膜手法はこの通りである必要はなく、例えばCVDによるCu成膜を用いてもよい。CuのCVDにおいては、現在ではルイス塩基Lとヘキサフルオロアセチルアセトネートを配位子とした一価の有機金属化合物が原料として用いられる。最も代表的なものは、ルイス塩基としてトリメチルビニルシランを用いたもので、200程度の温度で良質のCuが成膜可能である。

【0043】

【発明の効果】

以上説明したように、本発明によれば、余剰な設備投資を抑制し、かつ高い生産性を保持して、Cuを主成分とする配線材を用いた多層配線構造の配線層間において物理的、電氣的に良好な接続を形成することができ、安価で信頼性の高い高集積回路となる半導体装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の一例における半導体装置の製造工程の断面模式図。

【図2】本発明の実施例における半導体装置の製造工程断面図。

【図3】本発明の実施例における、積層バリアメタルの構成による配線抵抗の違いを説明

するグラフ。

【図4】本発明の実施例による効果を説明するためのグラフ。

【図5】本発明の実施例による効果を説明するためのグラフ。

【図6】本発明の実施例による効果を説明するためのグラフ。

【図7】従来の半導体装置の製造工程の断面模式図。

【図8】従来の半導体装置の製造工程の断面模式図。

【図9】従来の技術における問題点を説明するためのグラフ。

【図10】従来の技術における問題点を説明するためのグラフ。

【図11】従来の技術における問題点を説明するための製造工程断面図。

【図12】従来の技術における問題点を説明するための製造工程断面図。

10

【符号の説明】

1 絶縁膜

2 Cu配線またはCu合金配線

2a TaN膜

2b Ta膜

2c CuまたはCu合金

3 バリア絶縁膜

4 絶縁膜

4a 絶縁膜

4b 絶縁膜

4c 絶縁膜

20

5 バリアメタル

5a Tiまたは $x < 1$ であるTiNx

5b TiNまたはWN

5c TaN

5d Ta

5A Ti

5B TaN

5C Ta

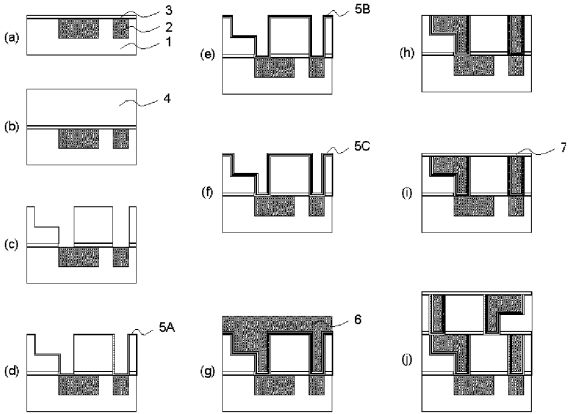
6 CuまたはCu合金

30

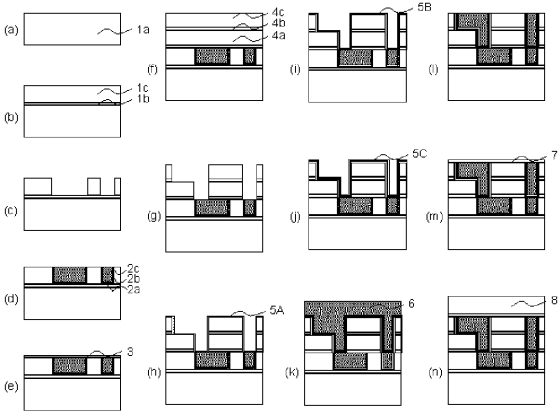
7 バリア絶縁膜

8 絶縁膜

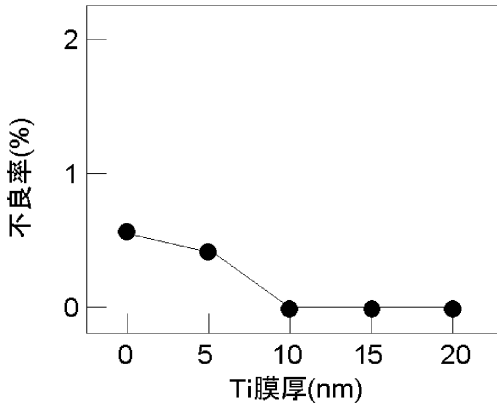
【 図 1 】



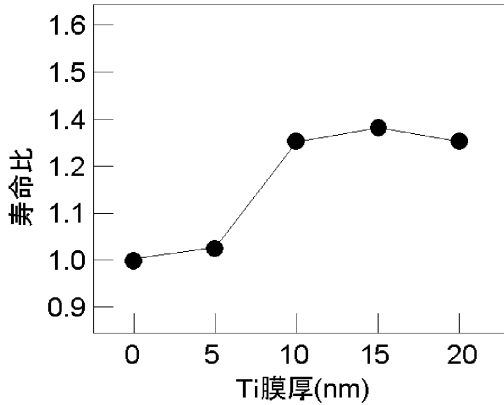
【 図 2 】



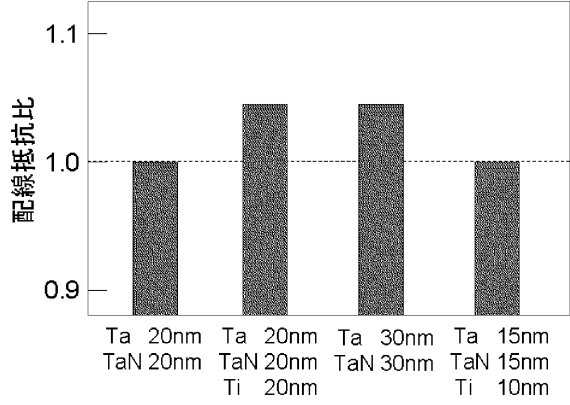
【 図 5 】



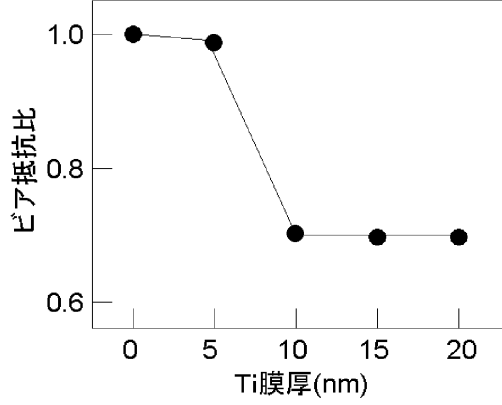
【 図 6 】



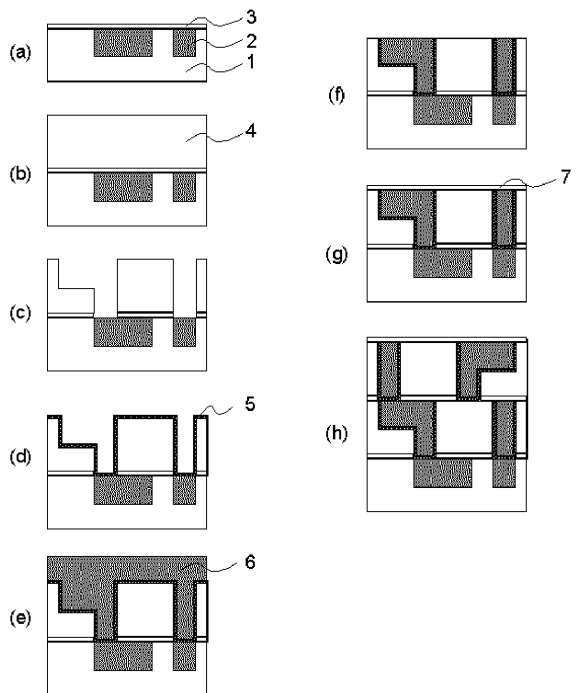
【 図 3 】



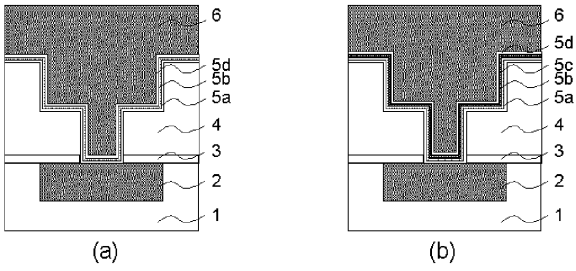
【 図 4 】



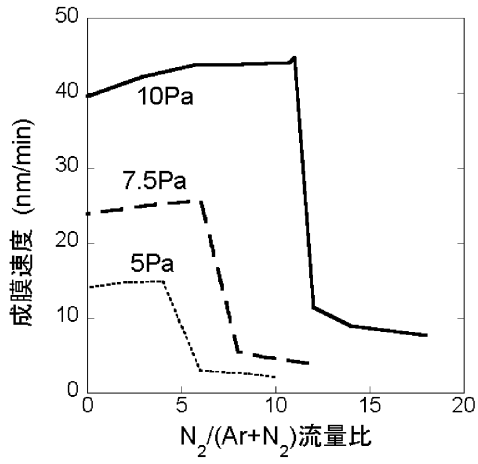
【 図 7 】



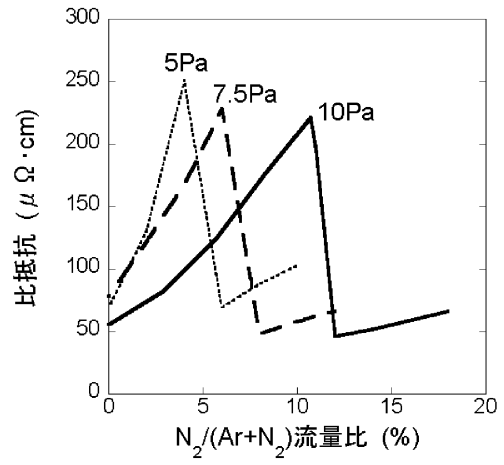
【 图 8 】



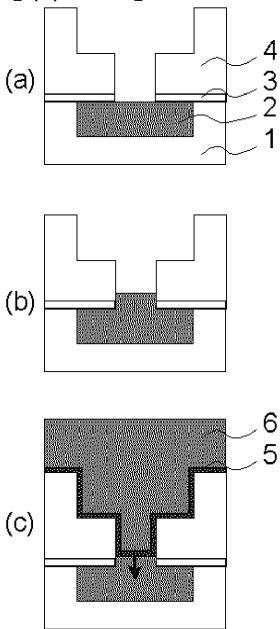
【 图 9 】



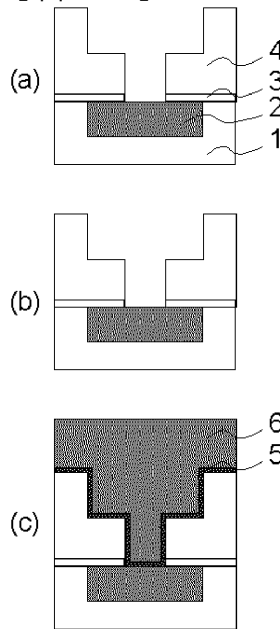
【 图 10 】



【 图 11 】



【 图 12 】



フロントページの続き

Fターム(参考) 5F033 HH11 HH18 HH21 HH22 HH32 HH34 JJ01 JJ11 JJ18 JJ21
JJ22 JJ32 JJ34 KK11 KK21 KK32 MM02 MM12 MM13 NN06
NN07 PP02 PP06 PP15 PP27 QQ09 QQ16 QQ37 QQ48 QQ92
RR04 RR06 SS15