

A1

**DEMANDE
DE BREVET D'INVENTION**

⑫

N° 81 10432

⑤④ Procédé et dispositif de conversion numérique-numérique.

⑤① Classification internationale (Int. Cl.³). H 03 K 13/24, 13/02; H 04 L 25/08.

②② Date de dépôt..... 26 mai 1981.

③③ ③② ③① Priorité revendiquée : *EUA, 30 mai 1980, demande de brevet, n° 154,843, aux noms des inventeurs.*

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 49 du 4-12-1981.

⑦① Déposant : Société dite : WESTERN ELECTRIC CO., INC., résidant aux EUA.

⑦② Invention de : James Charles Candy et Bruce Allen Wooley.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Cabinet Flechner,
63, av. des Champs-Élysées, 75008 Paris.

La présente invention concerne un convertisseur numérique-numérique destiné à convertir une série d'échantillons d'entrée à une fréquence mf_0 en une série d'échantillons de sortie à une cadence f_0 , la valeur de chacun de ces échantillons de sortie étant une somme
5 pondérée de $2m$ échantillons d'entrée apparaissant pendant une période d'accumulation antérieure à chaque échantillon de sortie.

Pour des raisons de rendement, de facilité de réalisation et de réduction du bruit, il a été proposé d'inclure dans un convertisseur analogique-numérique un étage d'entrée dans lequel le signal
10 analogique est converti en une représentation numérique quantifiée de façon grossière, à une cadence d'échantillonnage un grand nombre de fois supérieure à la cadence de Nyquist. La représentation numérique est ensuite soumise à une réduction de la cadence d'échantillonnage, en combinant des groupes d'échantillons à cadence élevée pour former
15 des valeurs numériques correspondantes qui apparaissent à la cadence inférieure désirée. Ce signal de sortie peut ensuite être utilisé directement, ou soumis à un filtrage supplémentaire avant d'être appliqué à un dispositif d'utilisation. On trouve une description générale du codage analogique-numérique à cadence d'échantillonnage
20 élevée, de ses caractéristiques et de ses avantages dans un article de D.J. Goodman intitulé "The Application of Delta Modulation to Analog-to-Digital PCM Encoding", Bell System Technical Journal, Vol. 48, février 1969, pages 321-343.

Dans le processus de réduction de cadence d'échantillonnage
25 décrit ci-dessus, on doit prendre soin de réduire ou d'éliminer le bruit (distorsion) qui est introduit au cours de la quantification grossière et d'éviter un repliement du spectre sous l'effet duquel du bruit est introduit dans le signal numérique final au cours du traitement ultérieur. Une technique de filtrage pour la réduction de
30 la cadence d'échantillonnage consiste en une procédure originale d'accumulation pondérée qui est décrite dans le brevet US 4 032 914. Dans ce brevet, les m valeurs d'échantillon quantifiées de façon grossière pour chaque intervalle d'échantillon de sortie désiré sont combinées en utilisant une pondération triangulaire ou trapézoïdale.
35 On entend par ces termes que les valeurs d'échantillon proches du début et de la fin de l'intervalle reçoivent des poids inférieurs, par rapport aux valeurs proches du milieu de l'intervalle. Ainsi, dans la

pondération triangulaire pour $m = 8$ échantillons $X_0, X_1 \dots X_7$, on peut effectuer une sommation telle que le signal de sortie soit proportionnel à $0X_0 + 1X_1 + 2X_2 + 3X_3 + 4X_4 + 3X_5 + 2X_6 + 1X_7$. Dans l'accumulation pondérée de façon trapézoïdale, les mêmes huit échantillons peuvent être pondérés de façon que le signal de sortie varie conformément à $0X_0 + 1X_1 + 2X_2 + 3X_3 + 3X_4 + 3X_5 + 2X_6 + 1X_7$. Si on représente graphiquement les valeurs des coefficients en fonction du temps pour les deux exemples donnés, on obtient un triangle pour le premier exemple et un trapèze pour le second.

10 La technique qu'on vient de décrire, mise en oeuvre en utilisant une paire d'accumulateurs branchés en série, est assez satisfaisante en ce qui concerne la réduction du bruit de quantification, comme on le désire. Cependant, les effets de repliement du spectre demeurent dans une certaine mesure, et la caractéristique de réponse
15 en fréquence du circuit ne satisfait pas toutes les exigences du système. Par conséquent, le but général de l'invention est de réaliser un type perfectionné de convertisseur numérique-numérique, ou dispositif de réduction de la cadence d'échantillonnage, ayant les caractéristiques de transfert désirées. Parmi des buts spécifiques,
20 figurent la réduction des effets de repliement du spectre et la simplification de la réalisation des circuits, en particulier par l'utilisation des techniques de fabrication des circuits intégrés.

Conformément à l'invention, le problème est résolu grâce à un convertisseur numérique-numérique qui comprend des premier et
25 second accumulateurs linéaires branchés selon une configuration en cascade, le signal de sortie du premier accumulateur représentant la somme non pondérée de m échantillons particuliers parmi les échantillons d'entrée, tandis que le signal de sortie du second accumulateur représente une somme pondérée uniformément distribuée de ces
30 m échantillons d'entrée particuliers dans laquelle le poids du premier des m échantillons est m fois supérieur au poids du dernier des échantillons, un multiplicateur destiné à multiplier le signal de sortie du premier accumulateur par un facteur d'échelle m , un soustracteur destiné à former la différence entre le signal de sortie
35 du multiplicateur et le signal de sortie du second accumulateur, une mémoire destinée à retarder le signal de sortie du soustracteur jusqu'à ce que les m échantillons d'entrée suivants soient accumulés, et un additionneur destiné à additionner le signal de sortie de la

mémoire au signal de sortie du second accumulateur pour former l'un des échantillons de sortie.

Conformément à l'invention, un convertisseur numérique-numérique (filtre de réduction de la cadence d'échantillonnage) est
 5 conçu de façon à recevoir une série d'échantillons d'entrée à la cadence mf_0 et à produire une série correspondante d'échantillons de sortie à la cadence f_0 , en utilisant une accumulation triangulaire en chevauchement. On entend par ceci que pour produire un échantillon de sortie pour chaque groupe de m échantillons d'entrée, les $n = 2m$
 10 échantillons $X_0, X_1 \dots X_{n-2}, X_{n-1}$, sont accumulés d'une manière telle que le premier échantillon X_0 reçoit un poids nul, les second et dernier échantillons X_1 et X_{n-1} reçoivent le poids le plus faible, les échantillons suivants vers l'intérieur X_2 et X_{n-2} reçoivent un poids accru, et l'échantillon médian X_m reçoit le poids le plus
 15 élevé. Parmi ces n échantillons, m figurent dans l'intervalle suivant et m figurent dans l'intervalle précédent. On réalise l'accumulation triangulaire en chevauchement en appliquant les échantillons d'entrée à une paire d'accumulateurs branchés en série, le premier d'entre eux faisant la somme de chaque groupe de m échantillons sans pondération,
 20 tandis que le second fait la somme des échantillons contenus dans le premier accumulateur de façon que le premier échantillon reçoive un poids égal à m fois celui du dernier, et que les échantillons intermédiaires reçoivent des poids proportionnels entre ces deux extrêmes.

Le signal de sortie du second accumulateur est soustrait
 25 d'une version du signal de sortie du premier accumulateur qui a été soumise à une augmentation d'échelle correspondant à un facteur égal à m , et la différence est retardée d'un intervalle de m échantillons. On obtient le signal de sortie désiré en combinant le signal de sortie du second accumulateur avec le signal de sortie des moyens de
 30 retard. Cette façon de procéder permet d'obtenir les caractéristiques de transfert désirées avec une configuration qui est simple et qui peut être réalisée aisément sous la forme d'un circuit intégré.

L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation et en se référant
 35 aux dessins annexés sur lesquels :

La figure 1 est un schéma synoptique d'un codeur analogique-numérique de l'art antérieur qui utilise un dispositif de réduction de la cadence d'échantillonnage, ou convertisseur de code numérique-

numérique du type offert par l'invention;

la figure 2 est un schéma qui illustre l'accumulation à pondération triangulaire de type ordinaire utilisé jusqu'à présent dans les dispositifs de réduction de la cadence d'échantillonnage de l'art
5 antérieur;

la figure 3 illustre la pondération triangulaire en chevauchement qui est utilisée dans l'invention;

la figure 4 est une autre représentation de l'accumulation triangulaire en chevauchement;

10 les figures 5 et 6 comparent les fonctions de transfert de l'accumulation triangulaire ordinaire de l'art antérieur (figure 5) et de l'accumulation triangulaire en chevauchement (figure 6) correspondant à l'invention;

la figure 7, qui apparaît sur la même planche que la figure
15 1, est un schéma synoptique d'un convertisseur numérique-numérique, ou dispositif de réduction de la cadence d'échantillonnage, construit conformément aux principes de l'invention; et

les figures 8 à 12 représentent graphiquement des sommes pondérées calculées par les divers éléments fonctionnels du dispositif
20 de réduction de la cadence d'échantillonnage de la figure 7.

Une utilisation essentielle de l'invention ressort de l'examen de la figure 1 qui représente sous forme synoptique un mode de réalisation d'un convertisseur analogique-numérique en bande vocale à fréquence d'échantillonnage supérieure à la valeur strictement
25 nécessaire. Dans ce mode de réalisation, un signal d'entrée analogique $I(t)$ ayant une plage de fréquence de 0-4 kHz est appliqué à un modulateur interpolateur 101 qui est conçu de façon à produire une série de mots de sortie à 9 bits à une cadence de 256×10^3 mots par seconde (256 kmots/s). La configuration interne du modulateur 101 peut être
30 identique à celle du codeur 19 du brevet US 4 032 914 mentionné précédemment, dans lequel une valeur d'erreur enregistrée (pour un échantillon précédent) est quantifiée de façon grossière, soustraite du signal d'entrée et intégrée pour former la valeur d'erreur pour l'échantillon suivant.

35 Le signal de sortie du modulateur interpolateur 101 est appliqué à un dispositif de réduction de la cadence d'échantillonnage 102 qui constitue le sujet de l'invention. Dans ce mode de réalisation, la réduction de la cadence d'échantillonnage a pour but de fournir des

mots de sortie à 15 bits à une cadence de 32 kmots/s, ce qui signifie qu'il est produit un échantillon de sortie tous les huit échantillons d'entrée. Dans ce cas, $m = 8$ et $n = 16$. La réduction de la cadence d'échantillonnage ne consiste pas simplement à rejeter 7 mots d'en-
 5 trée et à utiliser un mot d'entrée sur huit pour former chaque mot de sortie. Au contraire, conformément à l'invention et en utilisant toujours les fréquences de l'exemple considéré, chaque mot de sortie est formé sous la forme d'une somme pondérée des 16 mots d'entrée précédents.

10 Le signal de sortie du dispositif de réduction de la cadence d'échantillonnage 102 est appliqué à un filtre passe-bas 103, habituellement réalisé sous la forme d'un filtre numérique du quatrième ordre ou d'ordre supérieur, branché en cascade avec un filtre numérique passe-haut 104, ces deux filtres fonctionnant sur des mots à
 15 16 bits à la cadence de Nyquist de 8 kmots/s. En intercalant le dispositif de réduction de la cadence d'échantillonnage 102 dans le codeur analogique-numérique, les exigences relatives aux filtres 103 et 104 en ce qui concerne la vitesse de fonctionnement et la puissance consommée sont avantageusement réduites, ce qui permet une réalisation
 20 pratique en utilisant la technologie des circuits intégrés.

Dans le circuit de réduction de la cadence d'échantillonnage de l'art antérieur qui est représenté sur la figure 1 du brevet US 4 032 914 mentionné précédemment, on utilise une accumulation à pondération triangulaire pour obtenir chaque échantillon de sortie à partir
 25 des m échantillons d'entrée précédents, dans le cas où la fréquence d'entrée mf_0 est m fois supérieure à la fréquence de sortie f_0 et où m est supposé être pair. La figure 2 montre une série d'échantillons d'entrée $X_0, X_1, X_2, X_3 \dots$, chaque échantillon apparaissant toutes les $\frac{1}{mf_0}$ seconde, tandis qu'un échantillon sur m , $X_m, X_{2m}, X_{3m} \dots$,
 30 représenté sous une forme hachurée, constitue la fin d'un intervalle d'accumulation de $\frac{1}{f_0}$ seconde. Les facteurs de pondération $A_0 - A_{m-1}$ qui sont utilisés pour pondérer les échantillons correspondants $X_0 - X_{m-1}$ sont représentés graphiquement sur la figure 2 et ils définissent une forme triangulaire dans laquelle le facteur A_0 est nul,
 35 les facteurs A_1 et A_{m-1} pour les échantillons qui se trouvent au début et à la fin de chaque intervalle ont les valeurs les plus fai-

bles et le facteur A_m situé au milieu de chaque intervalle a la valeur la plus élevée, tandis que les facteurs intermédiaires ont des valeurs qui varient de façon proportionnelle. La valeur de l'échantillon de sortie Y_0 est la somme pondérée des échantillons d'entrée dans l'intervalle, c'est-à-dire qu'on a :

$Y_0 = \sum A_0 X_0 + A_1 X_1 \dots A_{m-1} X_{m-1}$. L'échantillon de sortie suivant Y_1 est pondéré de façon similaire, c'est-à-dire qu'on a :

$Y_1 = \sum A_0 X_m + A_1 X_{m+1} \dots A_{m-1} X_{2m-1}$. En utilisant pour les coefficients de pondération des valeurs entières :

$$10 \quad A_0 = 0, A_1 = A_m = 1, A_2 = A_{m-1} = 2, A_3 = A_{m-2} = 3, \dots A_m = \frac{m}{2},$$

le signal de sortie Y_i ($i = 0, 1, 2, 3, \dots$) du dispositif de réduction de la cadence d'échantillonnage s'exprime sous la forme :

$$15 \quad Y_i = \sum_{k=1}^{K=m/2} K X_{K+m(i)} + \sum_{k=\frac{m}{2}+1}^{K=m-1} (m-K) X_{K+m(i)}. \quad (1)$$

Les avantages de l'accumulation à pondération triangulaire du type qu'on vient de décrire, ainsi que d'autres détails concernant son fondement mathématique et sa mise en oeuvre, sont étudiés dans un article de J.C. Candy et col. intitulé "Using Triangularly Weighted Interpolation to Get 13-Bit PCM From A Sigma-Delta Modulator", IEEE Transactions on Communications, novembre 1976, pages 1268-1275. Dans le titre de cet article, le terme "Interpolation" est utilisé comme synonyme du terme "Accumulation", et on notera que les deux termes sont utilisés pour désigner une caractéristique des convertisseurs du type décrit ici.

Bien que l'accumulation à pondération triangulaire soit presque parfaite pour la réduction du bruit de quantification qui est produit par le modulateur 101 de la figure 1, le problème du repliement du spectre demeure présent. Comme le montre la figure 5, la courbe caractéristique de transfert 501 pour l'accumulation triangulaire avec une fréquence d'entrée f_1 de 256 kHz et une fréquence de sortie f_2 de 32 kHz s'exprime mathématiquement par l'expression :

$$35 \quad |H(f)| = \left| \frac{\text{sinc}(f/2f_2)}{\text{sinc}(f/f_1)} \right|^2 \quad (2)$$

dans laquelle le terme sinc est défini de la façon suivante :

$$\text{sinc } x = \frac{\sin \pi x}{\pi x}$$

Cette caractéristique de transfert présente une atténuation d'environ 7 dB à $f = 32$ kHz. Lorsque le signal de sortie du dispositif de réduction de la cadence d'échantillonnage 102 est ensuite sous-
 5 échantillonné à 32 kHz, dans les filtres 103 et 104, tout bruit dans la bande autour de 32 kHz est "replié" et tombe à l'intérieur de la bande de base, entraînant une distorsion. Conformément à l'invention, on atténue ce problème en utilisant une accumulation triangulaire en chevauchement, décrite ci-après de façon plus complète. Pour ce type
 10 d'accumulation, la courbe caractéristique de transfert 601 représentée sur la figure 6 s'exprime mathématiquement sous la forme :

$$15 \quad H(f) = \left| \frac{\text{sinc } f/f_2}{\text{sinc } f/f_1} \right|^2 \quad (3)$$

et elle présente une atténuation très élevée au voisinage de 32 kHz, grâce à quoi il n'apparaît que peu ou pas d'effet de repliement après un sous-échantillonnage ultérieur.

20 Les figures 3 et 4 représentent graphiquement l'accumulation triangulaire en chevauchement correspondant à l'invention, en utilisant une échelle qui permet une comparaison facile avec la figure 2. Les échantillons d'entrée $X_0, X_1, X_2 \dots$ sont les mêmes et apparaissent à des intervalles de $1/mf_0$ seconde, tandis que les impulsions de
 25 sortie $Y_0, Y_1, Y_2 \dots$ apparaissent toutes les $1/f_0$ seconde. Cependant, on utilise deux fois plus d'échantillons d'entrée pour composer la valeur accumulée à laquelle chaque valeur de sortie est proportionnelle, et chacun des échantillon d'entrée contribue à deux échantillons de sortie. Plus précisément, le premier échantillon de sortie Y_0 est
 30 formé en utilisant la sommation :

$$Y_0 = A_0 X_0 + A_1 X_1 + A_2 X_2 + \dots + A_{(2m-1)} X_{(2m-1)} \quad (4)$$

L'échantillon de sortie suivant Y_1 est formé par la sommation :

$$Y_1 = A_0 X_m + A_1 X_{m+1} + A_2 X_{m+2} + \dots + A_{(2m-1)} X_{(3m-1)} \quad (5)$$

Ainsi, chaque échantillon de sortie utilise des échantillons d'entrée
 35 provenant de deux intervalles d'échantillons, et chaque échantillon d'entrée est utilisé deux fois. Dans le cas de valeurs entières des coefficients, $A_0 - A_{n-1}$ ont les valeurs suivantes :

$$\begin{aligned}
 A_0 &= 0 \\
 A_1 &= A_{n-1} = 1 \\
 A_2 &= A_{n-2} = 2 \\
 A_3 &= A_{n-3} = 3 \\
 &\vdots \\
 &\vdots \\
 &\vdots \\
 A_m &= m.
 \end{aligned}
 \tag{6}$$

10 On notera ici encore que $n = 2m$.

La figure 4 montre également la pondération de forme triangulaire en chevauchement qui est utilisée conformément à l'invention. Les coefficients de pondération $A_0, A_1 \dots A_m \dots A_{2m-1}$ forment une série de triangles 401 à 404 qui se chevauchent mutuellement, de façon que chaque échantillon d'entrée soit utilisé dans deux accumulations pour former deux échantillons de sortie.

L'expression générale des échantillons de sortie Y_i ($i = 0, 1, 2, \dots$) d'un dispositif de réduction de la cadence d'échantillonnage utilisant l'accumulation triangulaire en chevauchement, avec les coefficients précédents, est la suivante :

$$Y_i = \sum_{K=m(i+1)}^{m(i+1)-1} (K-mi) X_K + \sum_{K=m(i+1)}^{m(i+2)-1} [m(i+2)-K] X_K \tag{7}$$

Pour une cadence d'échantillonnage d'entrée mf_0 de 256 kHz, avec $m=8$, la transformée en Z du dispositif de réduction de la cadence d'échantillonnage est :

$$H(z) = \frac{1}{64} \left[\frac{1-z^{-8}}{1-z^{-1}} \right]^2 \tag{8}$$

et la réponse en fréquence correspondante est :

$$H_D(f/f_0) = \left| \frac{\text{sinc}(8 f/f_0)}{\text{sinc}(f/f_0)} \right|^2 \tag{9}$$

35 Lorsque le dispositif de réduction de la cadence d'échantillonnage est branché en cascade avec un modulateur ayant une fonction de transfert :

$$H_m(f/f_0) = \left| \text{sinc}(f/f_0) \right|, \quad (10)$$

la fonction de transfert globale devient :

$$H_m(f/f_0) \cdot H_D(f/f_0) = \left| \frac{\text{sinc}^2(8 f/f_0)}{\text{sinc}(f/f_0)} \right|. \quad (11)$$

Pour un rééchantillonnage à 28 kHz et 36 kHz, l'équation (11) donne respectivement une réponse globale de - 34,1 dB et - 38,3 dB, ce qui assure une protection correcte contre le repliement du spectre.

Pour des échantillons d'entrée de fréquence mf_0 et une fréquence de sortie désirée de f_0 , la figure 7 représente un schéma synoptique d'un dispositif de réduction de la cadence d'échantillonnage qui est conçu de façon à accumuler $2m$ échantillons d'entrée en utilisant la pondération triangulaire en chevauchement, conformément à l'invention. Le circuit de la figure 7 utilise de préférence une structure arithmétique parallèle et il comprend quatre additionneurs 701 à 704, quatre registres 711 à 714, chacun d'eux conservant un mot d'échantillon, et un circuit multiplicateur par m , 715, qui peut être simplement un circuit à décalage lorsque m est une puissance de 2 (par exemple un décalage de 3 bits pour $m = 8$). L'additionneur 701 associé au registre 711, ainsi que l'additionneur 702 associé au registre 712, accomplissent une fonction d'accumulation et de vidage. Les registres 711 et 712 reçoivent un signal d'horloge à la fréquence mf_0 et ils sont remis à zéro à la fréquence f_0 kHz, sous la commande d'une source d'horloge, non représentée. Les registres 713 et 714 reçoivent des signaux d'horloge à la fréquence f_0 kHz, aux instants auxquels les registres 711 et 712 sont remis à zéro. Le registre 713 procure un retard égal à l'intervalle $1/f_0$ entre les impulsions de sortie et le registre 714 fait simplement fonction de registre de maintien de sortie.

On comprend facilement le fonctionnement du dispositif de réduction de la cadence d'échantillonnage qui est représenté sur la figure 7, en considérant les expressions des signaux aux points A, B, C et D sur la figure 7, au moment de l'application du signal d'horloge de fréquence f_0 . On a ainsi :

$$A_i = \sum_{K=mi}^{K=m(i+1)-1} X_K \quad (12)$$

$$B_i = \sum_{K=mi}^{m(i+1)-1} [m(i+1)-K] X_K \quad (13)$$

$$C_i = mA_i - B_i = \sum_{K=mi}^{m(i+1)-1} (K-mi) X_K \quad (14)$$

e t

$$D_i = C_i + B_{i+1} \quad (15)$$

$$= \sum_{K=mi}^{m(i+1)-1} (K-mi) X_K + \sum_{K=m(i+1)}^{m(i+2)-1} (m(i+2)-K) X_K$$

15 D_i est le signal de sortie désiré, comme il ressort de l'équation (7).

On pourra encore mieux comprendre le fonctionnement du dispositif de réduction de la cadence d'échantillonnage qui est représenté sur la figure 7 en considérant le fonctionnement de ses éléments fonctionnels, en relation avec les diagrammes des figures 8 à 12. L'ensemble formé par l'additionneur 701 et le registre 711 constitue un accumulateur "non pondéré". Le registre est remis à zéro au début de chaque intervalle de m échantillons par une impulsion à la fréquence f_0 apparaissant sur la ligne 720. Chaque fois qu'une impulsion d'horloge à la fréquence mf_0 est appliquée sur la ligne 721, un échantillon d'entrée est additionné au contenu courant du registre 711 et la somme est introduite et enregistrée dans le registre. Cette procédure se répète pour chacun des m échantillons d'entrée apparaissant entre chaque échantillon de sortie. Toutes les valeurs d'échantillons sont traitées de façon égale, c'est-à-dire qu'elles sont essentiellement multipliées par un facteur de pondération égal à l'unité, comme le montre la figure 8.

En appliquant le signal de sortie du premier accumulateur (sur la ligne 730) à un second accumulateur (constitué par l'additionneur 702 et le registre 712), l'accumulation qui est accomplie sur les échantillons d'entrée devient une accumulation pondérée de façon non uniforme. Le registre 712 est remis à zéro au début de chaque intervalle de m échantillons par une impulsion à la fréquence f_0 apparaissant sur la ligne 722. Chaque fois qu'une impulsion d'horloge

à la fréquence mf_0 est appliquée sur la ligne 723, le contenu du registre 712 est additionné au signal de sortie du premier accumulateur, et le résultat est introduit et enregistré dans le registre. L'accumulation est répétée m fois, à l'apparition de chaque échantillon d'entrée. Ainsi, le premier échantillon dans chaque intervalle reçoit un poids égal à m fois celui du dernier échantillon de l'intervalle, et les échantillons intermédiaires sont distribués de façon uniforme ou pondérées proportionnellement. La figure 9 montre la progression de la pondération des échantillons dans chaque intervalle, à partir de $m, m-1, m-2 \dots 1$.

La valeur du signal de sortie du premier accumulateur (prélevé en sortie de l'additionneur 701 sur la ligne 730) est augmentée " m " fois par le circuit multiplicateur 715. Ceci peut être réalisé par un simple décalage de la valeur à plusieurs bits présente sur la ligne 730, lorsque m est une puissance de 2. Le signal de sortie du circuit multiplicateur 715, représenté sur la figure 10, est similaire à celui représenté sur la figure 8, mais il est " m " fois supérieur.

Le signal de sortie du second accumulateur (prélevé en sortie de l'additionneur 702 sur la ligne 731) est soustrait du signal de sortie du circuit multiplicateur 715, en utilisant le soustracteur 703. Le résultat, représenté sur la figure 11, est une accumulation non linéaire dans laquelle l'échantillon final a un poids égal à $m-1$ fois celui du second échantillon, et les échantillons intermédiaires sont proportionnels et s'échelonnent en partant de $1, 2, 3 \dots m-1$. Le premier échantillon de l'intervalle a un poids nul.

Le signal de sortie du soustracteur 703 est maintenu ou retardé par le registre 713 pendant l'intervalle de temps $1/f_0$ entre les échantillons de sortie successifs, ce registre recevant des impulsions d'horloge à la cadence f_0 sur la ligne 724. Ce retard a pour effet de "figer" le signal de sortie du soustracteur (figure 11) de façon que lorsque le signal de sortie du registre 713 est combiné dans l'additionneur 704 avec le signal de sortie du second accumulateur, présent sur la ligne 731, le premier de ces signaux comprend m échantillons dans le premier intervalle, et le second comprend m échantillons dans le second intervalle. Comme le montre la figure 12,

l'accumulation globale est pondérée de façon triangulaire, les échantillons situés au début et à la fin de la période d'accumulation recevant le poids le plus faible, tandis que les échantillons voisins du milieu de la période reçoivent le poids le plus élevé. Les échantillons qui se trouvent entre les extrêmes sont distribués uniformément ou pondérés proportionnellement, comme on le désire.

Le signal de sortie de l'additionneur 704 peut être utilisé directement ou conservé entre chaque échantillon de sortie dans le registre 714, qui reçoit des impulsions d'horloge à la cadence de sortie f_0 , sur la ligne 725. Le signal de sortie du dispositif de réduction de la cadence d'échantillonnage, sur la ligne 740, peut également être soumis à une réduction d'échelle, si on le désire, pour normaliser le signal de sortie par rapport au niveau d'entrée. Dans le cas avantageux où la valeur de m est une puissance de 2, la somme des coefficients de pondération sera de même une puissance de 2, et on peut utiliser un simple décalage pour accomplir le changement d'échelle. Par exemple, si $m = 8$, les coefficients sont :

$$\begin{array}{ll}
 A_0 = 0 & A_4 = A_{12} = 4 \\
 A_1 = A_{15} = 1 & A_5 = A_{11} = 5 \\
 A_2 = A_{14} = 2 & A_6 = A_{10} = 6 \\
 A_3 = A_{13} = 3 & A_7 = A_9 = 7 \\
 & A_8 = 8
 \end{array}$$

La somme des coefficients est de 64 et un décalage de 5 positions de bit normalisera le signal de sortie de l'accumulateur par rapport au signal d'entrée.

Il va de soi que de nombreuses modifications peuvent être apportées au procédé et au dispositif décrits et représentés, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Convertisseur numérique-numérique destiné à convertir une série d'échantillons d'entrée à une fréquence mf_0 en une série d'échantillons de sortie à une cadence f_0 , la valeur de chacun des échantillons de sortie étant une somme pondérée de $2m$ des échantillons d'entrée apparaissant pendant une période d'accumulation antérieure à chaque échantillon de sortie, caractérisé en ce qu'il comprend : des premier et second accumulateurs linéaires (711,712) branchés selon une configuration en cascade, le signal de sortie du premier accumulateur (711) représentant la somme non pondérée de m échantillons particuliers parmi les échantillons d'entrée, et le signal de sortie du second accumulateur (712) représentant une somme pondérée distribuée de façon uniforme des m échantillons d'entrée particuliers, dans laquelle le poids du premier des m échantillons est m fois supérieur au poids du dernier des échantillons; un multiplicateur (715) destiné à multiplier le signal de sortie du premier accumulateur (730) par un facteur d'échelle m ; un soustracteur (703) destiné à former la différence entre le signal de sortie du multiplicateur (740) et le signal de sortie du second accumulateur (731); une mémoire (713) destinée à retarder le signal de sortie du soustracteur jusqu'à ce que les m échantillons d'entrée suivants soient accumulés; et un additionneur (704) destiné à additionner le signal de sortie de la mémoire (713) au signal de sortie du second accumulateur (731) pour former l'un des échantillons de sortie.
2. Convertisseur selon la revendication 1, caractérisé en ce que chacun des premier et second accumulateurs comprend : un circuit additionneur (701;702) ayant une première entrée destinée à recevoir les échantillons d'entrée, une seconde entrée et une sortie; et des moyens (721,720; 722,723) destinés à appliquer périodiquement le signal de sortie de l'additionneur à la seconde entrée et à accumuler le signal de sortie suivant du circuit additionneur.
3. Convertisseur selon la revendication 2, caractérisé en ce que chacun des premier et second accumulateurs (711,712) comprend : un registre (711;712) destiné à accumuler périodiquement le signal de sortie de l'additionneur et à fournir le signal de sortie accumulé à l'additionneur, pour le recombinaison avec les échantillons d'entrée.
4. Procédé de conversion numérique-numérique dans lequel les sommes pondérées de groupes d'échantillons d'entrée apparaissant à la

cadence mf_0 sont accumulées à la cadence f_0 , chacun de ces groupes comprenant $2m$ des échantillons $X_0, X_1, X_2 \dots X_{2m-1}$, ces échantillons étant respectivement pondérés par des facteurs $A_0, A_1, A_2 \dots A_{2m-1}$, avec :

$$\begin{aligned}
 5 \quad & A_0 = 0 \\
 & A_1 = A_{2m-1} = 1 \\
 & A_2 = A_{2m-2} = 2 \\
 & A_3 = A_{2m-3} = 3 \\
 & \cdot \\
 10 \quad & \cdot \\
 & \cdot \\
 & A_m = m
 \end{aligned}$$

caractérisé en ce que : on forme tout d'abord la somme pondérée de sous-groupes de m des échantillons, le dernier échantillon du sous-
 15 groupe recevant un poids égal à $(m-1)$ fois le poids du premier échantillon du sous-groupe, tandis que les échantillons intermédiaires sont pondérés proportionnellement; on forme ensuite la somme pondérée de sous-groupes de m de ces échantillons, le premier échan-
 20 tillon dans ces sous-groupes recevant un poids égal à m fois le poids du dernier échantillon dans les sous-groupes, tandis que les échantillons intermédiaires sont pondérés proportionnellement; on retarde la somme pondérée formée en premier d'un intervalle de temps nécessaire pour traiter un sous-groupe suivant des échantillons; et on combine
 25 la somme pondérée formée en second avec le signal de sortie que fournit l'opération de retard.

FIG. 1

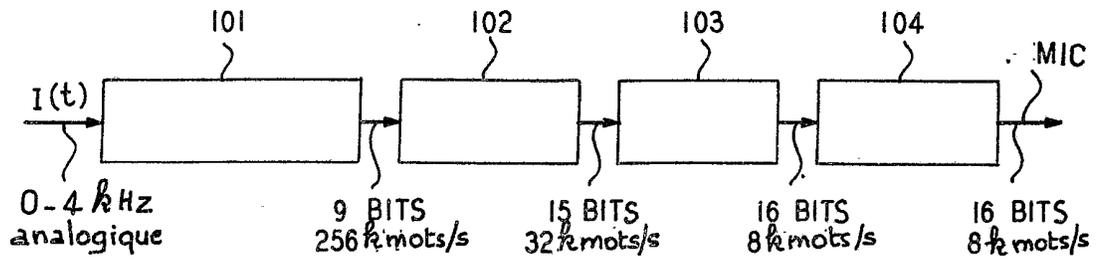
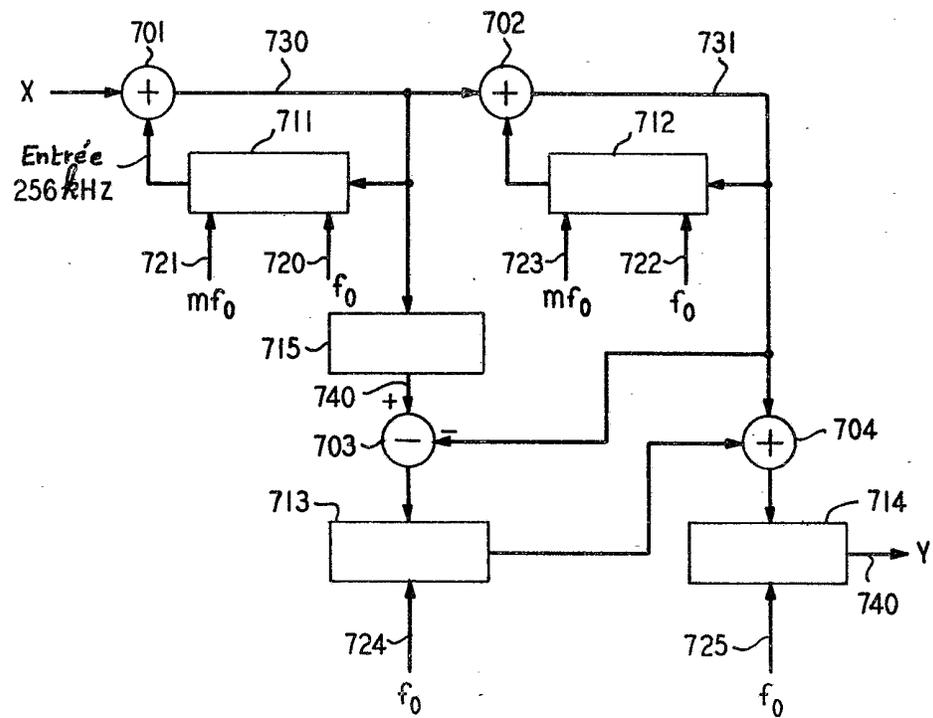


FIG. 7



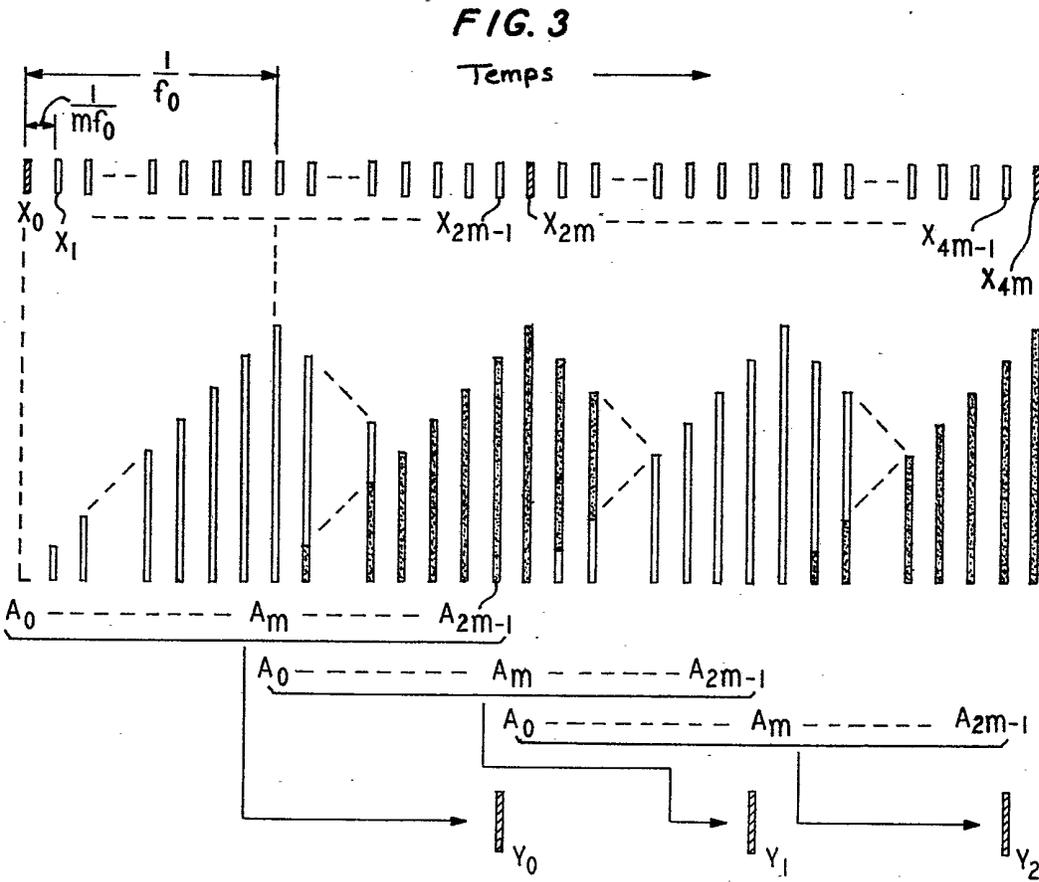
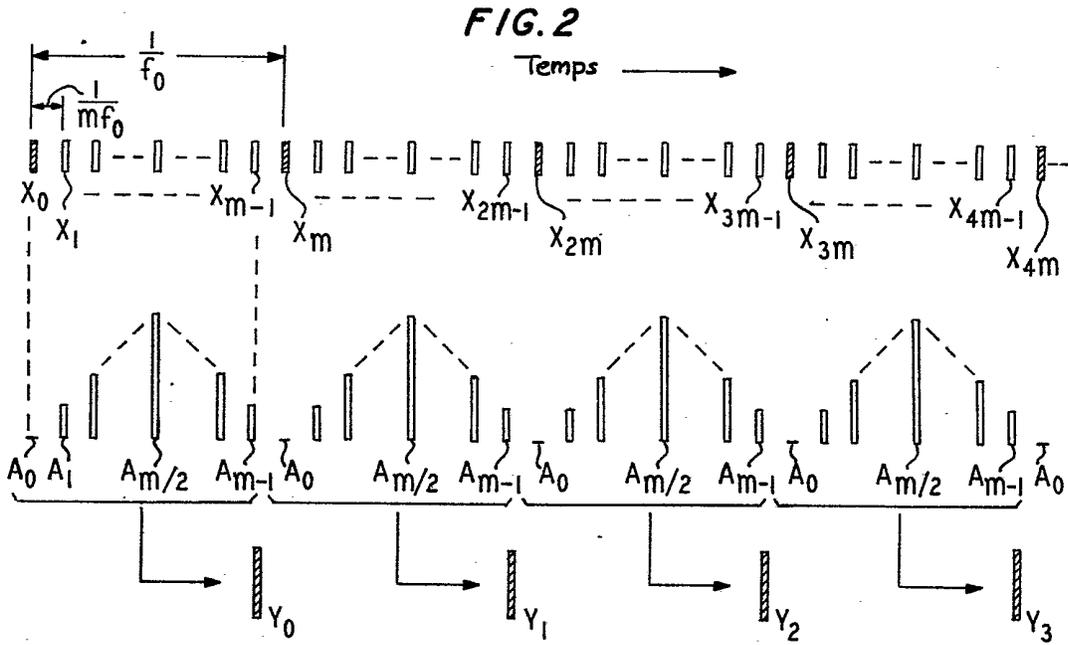


FIG. 4

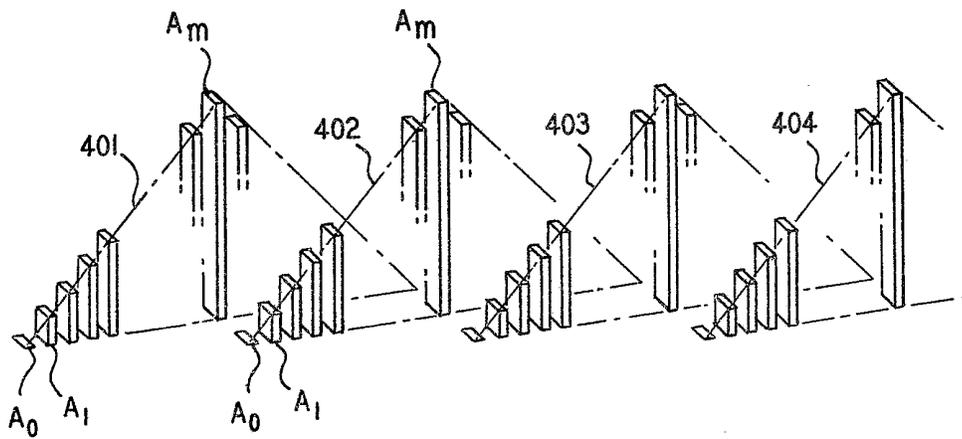


FIG. 5

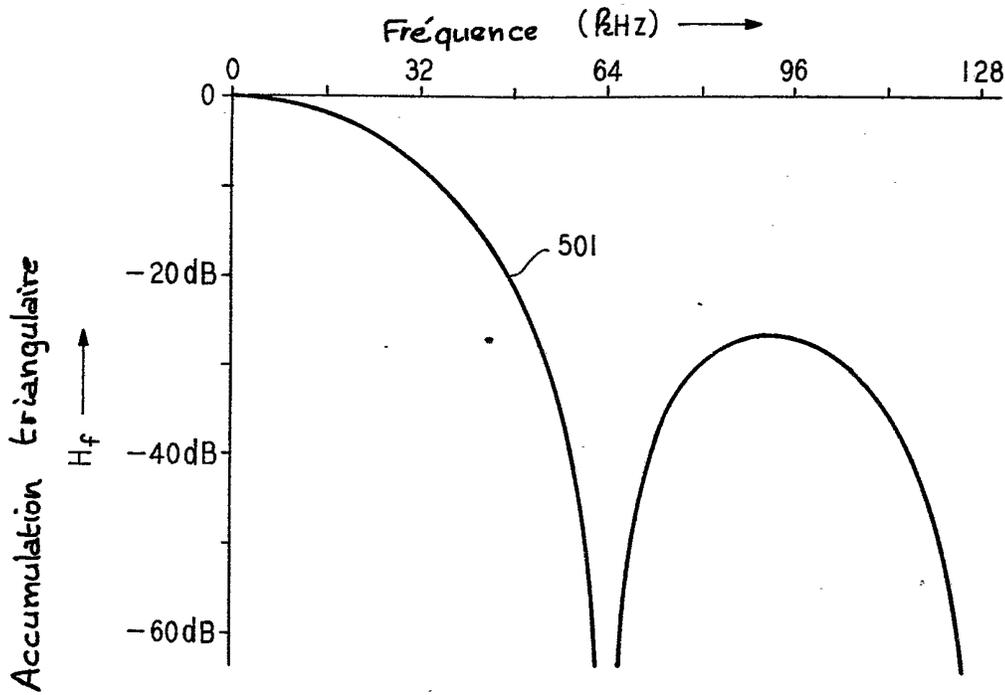


FIG. 6

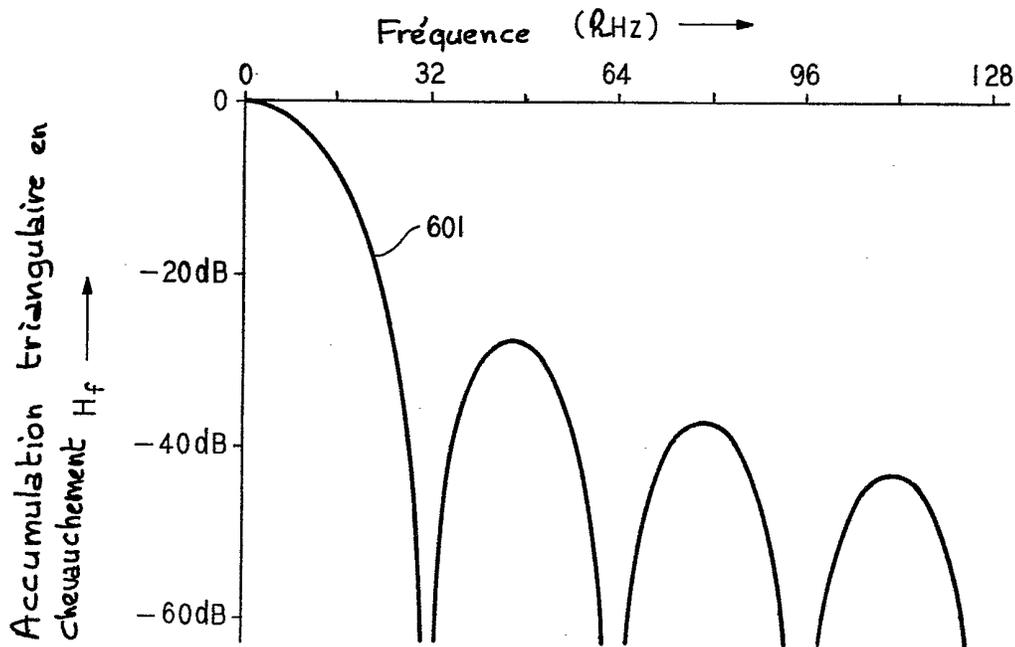


FIG. 8

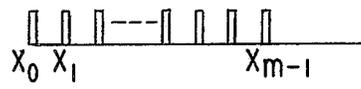


FIG. 9

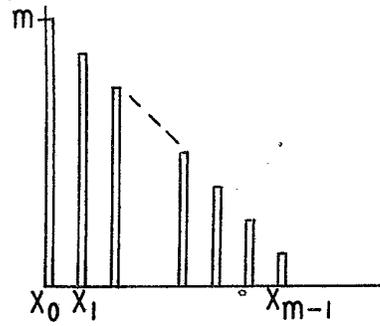


FIG. 10

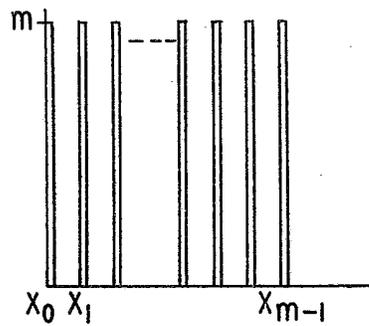


FIG. 11

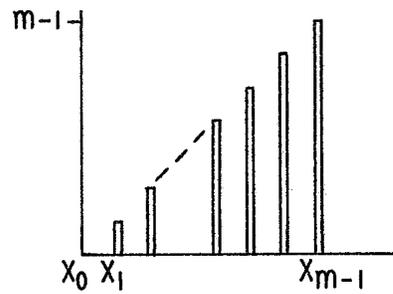


FIG. 12

