



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2006 008 492 A1** 2007.08.30

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 008 492.6**

(22) Anmeldetag: **23.02.2006**

(43) Offenlegungstag: **30.08.2007**

(51) Int Cl.⁸: **G11C 13/02** (2006.01)
G11C 7/12 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Wilhelm & Beck, 80639 München

(72) Erfinder:
**Liaw, Corvin, 81737 München, DE; Hönigschmid,
Heinz, 82343 Pöcking, DE; Dimitrova, Milena,
81549 München, DE; Angerbauer, Michael, 83349
Palling, DE**

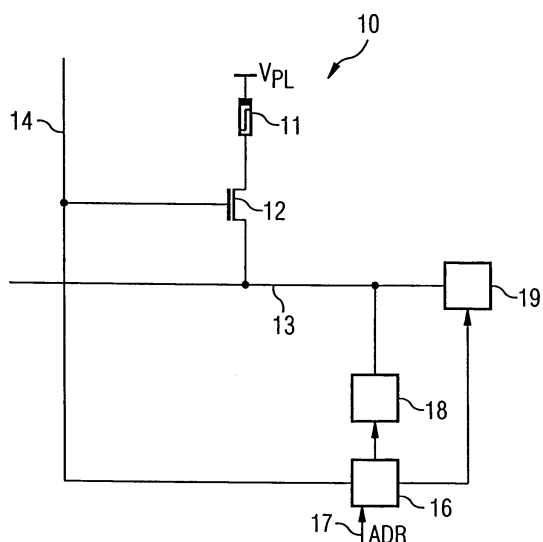
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US2005/00 18 493 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Speicherschaltung mit einer Widerstandsspeicherezelle und Verfahren zum Betreiben einer solchen Speicherschaltung**

(57) Zusammenfassung: Die Erfindung betrifft eine Speicherschaltung mit einer Widerstandsspeicherezelle mit einem Auswahltransistor und einem Widerstandsspeicherelement, die in Reihe geschaltet sind, wobei das Widerstandsspeicherelement mit einem Plattenpotential verbunden ist; mit einer Steuerschaltung, die ausgebildet ist, um den Auswahltransistor mit Hilfe eines Aktivierungssignals zu steuern; und mit einer Vorladeschaltung, die mit einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement gekoppelt und ausgebildet ist, um ein Kompensationspotential an den Knoten anzulegen; wobei die Steuerschaltung ausgebildet ist, um die Vorladeschaltung so zu steuern, dass ein Kompensationspotential an den Knoten vor einem Pegelübergang des Aktivierungssignals angelegt wird.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Speicherschaltung mit einer Widerstandsspeicherzelle und ein Verfahren zum Betreiben einer solchen Speicherschaltung.

[0002] Eine Widerstandsspeicherzelle umfasst ein Widerstandsspeicherelement, das in der Lage ist, eine Information in Form eines Widerstandszustandes zu speichern, d. h., das Widerstandsspeicherelement kann verschiedene Widerstände annehmen. Ein Beispiel für ein solches Widerstandsspeicherelement ist ein CBRAM-Speicherelement (CBRAM: Conductive Bridging RAM), das auch PMC-Speicherelement (PMC: Programmable Metallization Cell) genannt wird. Ein solches Widerstandsspeicherelement weist ein dielektrisches Material, z. B. ein Chalcogenid-Material auf, das ein Festkörperelektrolyt ist, in dem ein leitfähiger Pfad ausgebildet und zurückgebildet werden kann, wenn sich bewegliche Ionen von einer Elektrode in das dielektrische Material hineinbewegen oder daraus entfernt werden. Ein Wechsel des Widerstandszustands eines solchen Widerstandsspeicherelements kann bewirkt werden, indem ein elektrisches Feld angelegt wird. Das Programmieren, d. h., das Versetzen des Widerstandsspeicherelementes in einen Zustand mit niedrigem Widerstand (Niedrig-Widerstandszustand) kann durchgeführt werden, indem eine Programmiervoltage an das Widerstandsspeicherelement angelegt wird, die größer ist als eine Programmierschwellspannung und ein Löschen des Widerstandsspeicherelements, d. h., ein Versetzen des Widerstandsspeicherelements in einen Zustand mit einem hohen Widerstand (Hoch-Widerstandszustand) kann durchgeführt werden, indem eine Löschspannung, die niedriger ist als eine Löschschwellschwellspannung angelegt wird, wobei normalerweise die Programmiervoltage und die Löschspannung invertierte Vorzeichen aufweisen.

[0003] Um eine Widerstandsspeicherzelle zu bilden, kann das Widerstandsspeicherelement in Reihe mit einem Auswahltransistor verbunden werden. Ein Anschluss des Widerstandsspeicherelementes der Widerstandsspeicherzelle ist mit einem Plattenelement verbunden, sodass ein Plattenpotential über den Auswahltransistor und das Widerstandselement an eine Bitleitung angelegt wird. An einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement kann eine Störung eingekoppelt werden, die dazu führen kann, dass der Widerstand des Widerstandsspeicherelementes leicht geändert wird. Daher können wiederholte Einkopplungen zu einer Änderung der in der Widerstandsspeicherzelle gespeicherten Daten führen. Somit hängt die Datenhaltezeit erheblich von der Anzahl der Lesesyklen nach dem Schreiben eines Datums in die entsprechende Widerstandsspeicherzelle ab. Selbst wenn das Datum nach eingekoppelten Störungen

aus der Widerstandsspeicherzelle korrekt ausgelesen werden kann, kann die Änderung des Widerstands des Widerstandsspeicherelementes zu einer Verlängerung der Zugriffszeit auf die Widerstandsspeicherzelle führen.

[0004] Störungen können ein Ergebnis von Pegelübergängen eines Aktivierungssignals auf einer Wortleitung sein, die verwendet wird, um den betreffenden Auswahltransistor der Widerstandsspeicherzelle zu steuern. Die Einkopplungen können dazu führen, dass ein Spannungsimpuls auf das Potential des Knotens addiert wird, so dass die Programmierschwellspannung des Widerstandsspeicherelementes überschritten wird.

[0005] Es ist daher Aufgabe der vorliegenden Erfindung, die Verschlechterung des Widerstandszustands des Widerstandsspeicherelementes in einer Speicherzelle zu vermeiden, so dass die Haltezeit der Daten, die in der Widerstandsspeicherzelle gespeichert werden, verlängert werden kann.

[0006] Diese Aufgabe wird durch die Speicherschaltung und durch das Verfahren zum Betreiben einer Speicherschaltung gemäß den unabhängigen Ansprüchen gelöst.

[0007] Weitere Ausführungsformen der vorliegenden Erfindung sind in den abhängigen Ansprüchen angegeben.

[0008] Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine Speicherschaltung vorgesehen, die eine Widerstandsspeicherzelle mit einem Auswahltransistor und einem Widerstandsspeicherelement, die in Reihe geschaltet sind, umfasst, wobei das Widerstandsspeicherelement mit einem Plattenpotential verbunden ist. Weiterhin umfasst die Speicherschaltung eine Steuerschaltung, die ausgebildet ist, um den Auswahltransistor mit Hilfe eines Aktivierungssignals zu steuern, und eine Vorladeschaltung, die mit einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement gekoppelt ist und ausgebildet ist, um ein Kompensationspotential an den Knoten anzulegen. Die Steuerschaltung ist ausgebildet, um die Vorladeschaltung so zu steuern, dass ein Kompensationspotential an den Knoten vor einem Pegelübergang des Aktivierungssignals angelegt wird.

[0009] Das Anlegen des Kompensationspotentials an den Knoten ermöglicht es, den Spannungspegel des Knotens auszuwählen, an den eine implizierte Spannungsspitze, die durch ein Übersprechen des Pegelübergangs des Aktivierungssignals hervorgerufen wird, addiert wird. Dadurch kann erreicht werden, dass das Kompensationspotential und das Potential, das durch die Spannungsspitze hervorgerufen wird, unterhalb der Programmierschwellspannung des Wi-

derstandsspeicherelements liegen.

[0010] Gemäß einer weiteren Ausführungsform ist das Widerstandsspeicherelement ausgebildet, um einen Hoch-Widerstandszustand durch Anlegen einer Löschespannung einzunehmen, die kleiner ist als eine Löscheschwelspannung und um einen Niedrig-Widerstandszustand einzunehmen, indem eine Programmierspannung angelegt wird, die größer ist als eine Programmierschwelspannung, wobei die Programmierspannung und die Löschespannung umgekehrte Vorzeichen haben.

[0011] Es kann vorgesehen sein, dass die Steuerschaltung die Vorladeschaltung nur dann aktiviert wird, wenn das Widerstandsspeicherelement sich in seinem Hoch-Widerstandszustand befindet.

[0012] Vorzugsweise ist das Kompensationspotential so gewählt, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals in den Knoten eingekoppelt wird, zumindest teilweise kompensiert wird, wobei das Kompensationspotential weiterhin gewählt ist, so dass die Spannung über dem Widerstandsspeicherelement kleiner als die Programmierschwelspannung ist.

[0013] Weiterhin kann die Steuerschaltung die Vorladeschaltung steuern, um das Kompensationspotential nach dem Schließen des Auswahltransistors anzulegen.

[0014] Weiterhin kann die Speicherschaltung eine Bitleitung umfassen, die mit der Widerstandsspeicherezelle verbunden ist, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorladeschaltung zu steuern, so dass das Kompensationspotential auf der Bitleitung vor einem Öffnen des Auswahltransistors angelegt wird.

[0015] Gemäß einer weiteren Ausführungsform der Erfindung kann die Steuerschaltung ein Aktivierungssignal an eine Wortleitung anlegen, um den Auswahltransistor zu öffnen und zu schließen, wobei das Kompensationspotential so gewählt ist, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement eingekoppelt wird, zumindest teilweise kompensiert wird.

[0016] Das Kompensationspotential kann weiterhin so gewählt sein, so dass sich die resultierende Spannung über dem Widerstandsspeicherelement innerhalb eines Bereiches zwischen der Programmierschwelspannung und der Löscheschwelspannung befindet.

[0017] Es kann eine Speicherzugriffsschaltung vorgesehen sein, um zumindest ein Datum in die Wider-

standsspeicherezelle zu schreiben oder aus dieser auszulesen, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorladeschaltung zu steuern, um das Kompensationspotential abhängig von einem Widerstandszustand des Widerstandsspeicherelementes bezüglich der in die Widerstandsspeicherezelle geschriebenen oder aus dieser gelesenen Daten anzulegen.

[0018] Die Speicherschaltung kann eine Bitleitung umfassen, die mit einem zweiten Anschluss der Widerstandsspeicherezelle verbunden ist, wobei die Vorladeschaltung ausgebildet ist, um einen Kompensationsstrom über die Bitleitung an die Widerstandsspeicherezelle bereitzustellen, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorladeschaltung zu steuern, sodass Kompensationsstrom über die Bitleitung über die Widerstandsspeicherezelle vor einem Öffnen des Auswahltransistors angelegt wird.

[0019] Die Steuereinheit kann so gestaltet sein, um den Kompensationsstrom an die Widerstandsspeicherezelle für eine vorbestimmte Zeit anzulegen, so dass dieser zu dem Kompensationspotential führt, das an einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement angelegt ist, wenn sich das Widerstandsspeicherelement in dem Hoch-Widerstandszustand befindet, und so dass dieser zu einem weiteren Potential führt, das an den Knoten angelegt ist, wenn sich das Widerstandsspeicherelement in dem Niedrig-Widerstandszustand befindet, wobei das weitere Potential so gewählt ist, dass eine Spannung, die an dem Widerstandsspeicherelement anliegt, größer ist als die Löscheschwelspannung.

[0020] Die Steuerschaltung kann die Vorladeschaltung steuern, um den Kompensationsstrom nach einem Schließen des Auswahltransistors anzulegen.

[0021] Es kann weiterhin eine Vorlade-/Schreibschaltung vorgesehen sein, die ausgebildet ist, um entweder einen Kompensationsstrom oder einen Schreibstrom über die Bitleitung an die Widerstandsspeicherezelle anzulegen, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorlade-/Schreibschaltung zu steuern, um entweder den Kompensationsstrom über die Bitleitung durch die Widerstandsspeicherezelle vor einem Öffnen des Auswahltransistors anzulegen und den Schreibstrom über die Bitleitung durch die Widerstandsspeicherezelle anzulegen, um das Widerstandsspeicherelement der Widerstandsspeicherezelle in einen vorbestimmten Widerstandszustand zu versetzen.

[0022] Die Vorlade-/Schreibschaltung den Schreibstrom an das Widerstandsspeicherelement anlegt, so dass dieser zu einem Potential führt, das an einen Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement angelegt ist,

dass das Widerstandsspeicherelement entweder in den Hoch- oder in den Niedrig-Widerstandszustand versetzt.

[0023] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Betreiben einer Speicherschaltung mit einer Widerstandsspeicherzelle vorgesehen, die einen Auswahltransistor und ein Widerstandsspeicherelement aufweist, die in Reihe geschaltet sind. Das Verfahren umfasst die Schritte des Steuerns des Auswahltransistors mit Hilfe eines Aktivierungssignals, und des Anlegens eines Kompensationspotential an einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement vor einem Pegelübergang des Aktivierungssignals.

[0024] Gemäß einer weiteren Ausführungsform der Erfindung wird das Kompensationspotential nur dann angelegt, wenn sich das Widerstandsspeicherelement in dem Hoch-Widerstandszustand befindet.

[0025] Das Kompensationspotential kann so gewählt werden, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an dem Knoten eingekoppelt wird, zumindest teilweise kompensiert wird, wobei das Kompensationspotential weiterhin gewählt wird, so dass die Spannung über dem Widerstandsspeicherelement kleiner als die Programmierschwellspannung ist, so dass kein Programmieren des Widerstandsspeicherelements erfolgt.

[0026] Das Kompensationspotential kann auf eine mit der Widerstandsspeicherzelle verbundene Bitleitung vor einem Anlegen des Aktivierungssignals, das den Auswahltransistor öffnet, angelegt werden.

[0027] Das Aktivierungssignal kann an eine Wortleitung angelegt werden, um den Auswahltransistor zu öffnen und zu schließen, wobei das Kompensationspotential so gewählt ist, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an dem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement eingekoppelt wird, zumindest teilweise kompensiert wird.

[0028] Weiterhin kann das Kompensationspotential so gewählt werden, dass die resultierende Spannung, die an dem Widerstandsspeicherelement angelegt ist, kleiner als eine Programmierschwellspannung ist, bei der kein Programmieren des Widerstandsspeicherelementes erfolgt.

[0029] Es kann vorgesehen sein, dass ein Datum in die Widerstandsspeicherzelle und/oder Auslesen eines Datums aus der Widerstandsspeicherzelle geschrieben wird und das Kompensationspotential abhängig von dem Widerstandszustand des Widerstandsspeicherelementes abhängig von einem zuvor

in die Widerstandsspeicherzelle geschriebenes oder aus dieser ausgelesenes Datum angelegt wird.

[0030] Gemäß einer weiteren Ausführungsform der Erfindung kann das Kompensationspotential angelegt werden, indem ein Kompensationsstrom über die Bitleitung durch die Widerstandsspeicherzelle vor einem Öffnen des Auswahltransistors angelegt wird, wobei der Kompensationsstrom für eine vorbestimmte Zeitdauer angelegt wird, wobei die resultierende Spannung, die an dem Widerstandsspeicherelement anliegt, kleiner ist als eine Programmierschwellspannung, so dass kein Programmieren des Widerstandsspeicherelementes auftritt.

[0031] Vorzugsweise wird der Kompensationsstrom so angelegt, dass er zu einem Kompensationspotential führt, das an einem Knoten zwischen dem Auswahltransistor und dem Widerstandsspeicherelement führt, wenn sich das Widerstandsspeicherelement in einem Hoch-Widerstandszustand befindet und, dass er zu einem weiteren Potential führt, das an dem Knoten angelegt ist, wenn sich das Widerstandsspeicherelement in dem Niedrig-Widerstandszustand befindet, wobei das weitere Potential so gewählt ist, dass eine Spannung, die an dem Widerstandsspeicherelement angelegt ist, größer ist als die Löschscheilspannung, über der kein Löschen des Widerstandsspeicherelementes erfolgt.

[0032] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachfolgend in Form von nichteinschränkenden Beispielen in Verbindung mit den beigefügten Zeichnungen ausführlicher erörtert, wobei

[0033] [Fig. 1](#) eine schematische Querschnittsansicht eines Widerstandsspeicherelementes zeigt, das in der vorliegenden Erfindung verwendet wird,

[0034] [Fig. 2](#) eine Strom-Spannungs-Kennlinie für das Widerstandsspeicherelement der [Fig. 1](#) zeigt;

[0035] [Fig. 3](#) einen Ausschnitt aus einer Speicherschaltung mit einer Speicherzelle gemäß dem Stand der Technik zeigt;

[0036] [Fig. 4](#) ein Kleinsignalschaltbild der Speicherzelle der [Fig. 3](#) zeigt;

[0037] [Fig. 5](#) ein Signal-Zeit-Diagramm des Aktivierungssignals und des resultierenden Knotenpotentials an dem Knoten N zeigt;

[0038] [Fig. 6](#) ein Zeitdiagramm zeigt, das das Zeitverhalten des Knotenpotentials gemäß einer Idee der vorliegenden Erfindung darstellt;

[0039] [Fig. 7](#) ein schematisches Diagramm einer Speicherschaltung gemäß der ersten Ausführungs-

form der vorliegenden Erfindung zeigt;

[0040] **Fig. 8** ein schematisches Diagramm einer Speicherschaltung gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigt;

[0041] **Fig. 9** ein schematisches Diagramm einer Speicherschaltung gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigt;

[0042] **Fig. 10** ein schematisches Diagramm einer Speicherschaltung gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigt;

[0043] **Fig. 11** ein schematisches Diagramm einer Speicherschaltung gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigt, wobei die Polarität des Widerstandsspeicherelements invertiert ist.

[0044] **Fig. 1** zeigt eine schematische Querschnittsansicht eines Widerstandsspeicherelementes **1**, das bei den nachfolgenden Ausführungsformen genutzt wird. Das Widerstandsspeicherelement **1** umfasst einen Bereich **2** mit einem dielektrischen Festkörperelektrolytmaterial, das zwischen zwei Elektroden **3**, einer Anode und einer Kathode angeordnet ist, wobei die Anode ein leitfähiges Material wie z. B. Silber aufweist, dessen Ionen in das Material des dielektrischen Bereichs **2** eindringen können, wenn ein positives elektrisches Feld zwischen der Anode und der Kathode angelegt wird. Die Kathode ist üblicherweise als inerte Elektrode vorgesehen. Leitfähige Ionen, die sich in dem dielektrischen Bereich **2** befinden, können einen leitfähigen Pfad zwischen den Elektroden **3** ausbilden, so dass der elektrische Widerstand des Widerstandsspeicherelementes klein ist. Durch Anlegen eines negativen elektrischen Feldes zwischen der Anode und der Kathode des Widerstandsspeicherelementes **1** wird der leitfähige Pfad zurückgebildet, indem die leitfähigen Ionen zurück zur Anode gedrängt werden. Dadurch wird der leitfähige Pfad aufgelöst, so dass der Widerstand des Widerstandsspeicherelementes ansteigt und dieser dadurch hochohmig wird.

[0045] Ein Widerstandsspeicherelement wird auch als nicht-symmetrisches elektronisches Element bezeichnet, aufgrund seines nicht-linearen Verhaltens. Widerstandsspeicherelemente, z. B. auf der Basis eines Chalcogenid-Materials werden auch CBRAM-Speicherelement (CBRAM: Conductive Bridging RAM), PMC-Speicherelement (PMC: Programmable Metallization Cell) bezeichnet und andere Bezeichnungen können ebenso verwendet werden. Es ist beabsichtigt, dass die vorliegende Erfindung Speicherschaltungen betrifft, die Widerstandsspeicherelemente verwenden, die durch Anlegen eines elektrischen Signals, insbesondere einer Programmierspannung oder -strom, einer Temperatur

oder einem magnetischen Feld programmiert werden können und die ihre Widerstände ändern, wenn das elektrische Signal, die Temperatur oder das magnetische Feld angelegt wird.

[0046] In **Fig. 2** ist eine Zellenstrom-Spannungs-Kennlinie dargestellt, die die Hysterese des resultierenden Stroms in einem Widerstandsspeicherelement darstellt, wenn eine Programmierspannung angelegt ist. Man kann erkennen, dass die Übergänge zwischen den Hoch- und den Niedrig-Widerstandszuständen auftreten, wenn eine Spannung ausgelegt wird, die größer ist als eine Programmschwellschwellspannung VTH1 oder eine Spannung angelegt wird, die kleiner ist als eine Löschschwellschwellspannung VTH2, d. h., ein Programmieren von einem Hoch- zu einem Niedrig-Widerstandszustand tritt auf, wenn eine Spannung über der Programmschwellschwellspannung angelegt ist und ein Löschen von einem Niedrig- zu einem Hoch-Widerstandszustand tritt auf, wenn eine Spannung unter der Löschschwellschwellspannung angelegt wird.

[0047] In **Fig. 3** ist eine Widerstandsspeicherzelle **10** dargestellt, wie sie üblicherweise in einer CBRAM-Speicherschaltung verwendet wird. Die Widerstandsspeicherzelle **10** umfasst ein Widerstandsspeicherelement **11** und einen Auswahltransistor **12**, die in Reihe geschaltet sind und mit einer Bitleitung **13** und einer Wortleitung **14** verbunden sind, um die Widerstandsspeicherzelle **10** wahlweise zu adressieren. Das Widerstandsspeicherelement **11** ist als ein Symbol eines Kästchens dargestellt, wobei die Anode als ein ausgemaltes Ende des Kästchens angegeben wird. Im Detail ist ein erster Anschluss, d. h. die Anode des Widerstandsspeicherelementes **11** mit einem Plattenpotential V_{PL} verbunden, das durch ein Plattenpotentialelement **15** bereitgestellt wird. Das Plattenpotential V_{PL} wird üblicherweise als ein konstantes Potential in einem Bereich zwischen einem hohen und einem niedrigen Betriebspotential eingestellt, mit denen die Speicherschaltung betrieben wird. Ein zweiter Anschluss, d. h., die Kathode des Widerstandsspeicherelementes **11** ist mit einem ersten Anschluss (Source/Drain) des Auswahltransistors **12** verbunden. Ein zweiter Anschluss (Source/Drain) des Auswahltransistors **12** ist mit der Bitleitung **13** verbunden. Ein Gateanschluss des Auswahltransistors **12** ist mit der Wortleitung **14** verbunden.

[0048] Die Widerstandsspeicherzelle **10** wird adressiert, indem ein Aktivierungssignal an die Wortleitung **14** angelegt wird, wobei ein hoher Pegel den Auswahltransistor **12** leitfähig macht (der Transistor ist geschlossen), so dass die Bitleitung **13** mit dem Widerstandsspeicherelement **11** über den Auswahltransistor **12** verbunden wird.

[0049] In dem angegebenen Ausführungsbeispiel führt ein niedriger Pegel des Aktivierungssignals auf

der Wortleitung **14** dazu, dass der Auswahltransistor **12** nicht leitend (geöffnet) wird und ein hoher Pegel des Aktivierungssignal führt dazu, dass der Auswahltransistor **12** leitfähig (geschlossen) wird. Aufgrund einer kapazitiven Kopplung zwischen dem Gateanschluss und dem Knoten N ist ein Pegelübergang des Aktivierungsübergangs kapazitiv mit dem Knoten N gekoppelt. Wie in [Fig. 3](#) dargestellt ist, sind parasitäre Kapazitäten zwischen dem Knoten N und dem Plattenpotentialelement **15**, dem Gateanschluss und dem Substrat ebenso wie zwischen dem zweiten Anschluss des Auswahltransistors **12** und dem Gateanschluss und dem Substrat vorhanden. Wie man weiterhin aus dem Kleinsignalschaltbild der [Fig. 4](#) erkennen kann, führt die resultierende Kapazität zwischen dem Gateanschluss und dem ersten Anschluss des Auswahltransistors, d. h., dem Knoten N dazu, dass die Stärke des Übersprechens des Aktivierungssignals auf dem Knoten von dem Wert von $C_{OVL P}$ abhängt. Da der zweite Anschluss des Auswahltransistors **12** mit einer Bitleitung **13** verbunden ist, wird dort eine Ladung, die durch die Wortleitung **14** induziert wird, ausgeglichen, da die Bitleitung **13** üblicherweise mit einer entsprechenden Spannungsquelle (Ladungssenke) verbunden wird, so dass die durch das Übersprechsignal induzierten Ladungen schnell abgeleitet werden. Ein Übersprechsignal, das an einem Knoten zwischen dem zweiten Anschluss des Widerstandsspeicherelementes **11** und dem ersten Anschluss des Auswahltransistors **12** induziert wird, kann schnell abgeleitet werden, wenn der Auswahltransistor **12** durch das entsprechende Aktivierungssignal geschlossen ist, und/oder wenn das Widerstandsspeicherelement **11** einen niedrigen Widerstand aufweist. In einem Fall, in dem das Widerstandsspeicherelement **11** einen hohen Widerstand aufweist und der Auswahltransistor **12** aufgrund des Pegelübergangs des Aktivierungssignals auf der Wortleitung **14** geöffnet wird, floatet der Knoten N und der Pegelübergang des Aktivierungssignals führt zu einer bleibenden Änderung des Potentials an dem Knoten N. Wenn das Aktivierungssignal von einem hohen Pegel zu einem niedrigen Pegel übergeht, fällt das Potential an dem Knoten N und erhöht den Spannungsabfall über dem Widerstandsspeicherelement **11**, der sogar in die Nähe der Programmierschwellspannung kommen kann oder diese überschreitet. Dies kann zu Schäden des Widerstandsspeicherelementes **11** oder zu Problemen beim Betrieb der Widerstandsspeicherzelle führen.

[0050] Dies ist in [Fig. 5](#) dargestellt, in der ein Signal-Zeit-Diagramm die Abhängigkeit des Knotenpotentials an dem Knoten N von den Pegelübergängen des Aktivierungssignals zeigt. Zu einem Zeitpunkt T_1 steigt der Pegel des Aktivierungssignals von einem niedrigen zu einem hohen Pegel an, so dass eine positive Ladung an dem Knoten N eingekoppelt wird. Da der hohe Pegel des Aktivierungssignals den Auswahltransistor schließt, wird die Ladung, die an dem

Knoten N induziert wird, schnell über die Bitleitung **13** abgeleitet. Zu einem Zeitpunkt T_2 geht das Aktivierungssignal von einem hohen Pegel auf einen niedrigen Pegel über, wodurch eine negative Ladung an dem Knoten N induziert wird. Da der Auswahltransistor **12** bei einem niedrigen Pegel des Aktivierungssignals geöffnet wird, kann die Ladung nicht über die Bitleitung **13** abgeleitet werden. Da der Knoten N floatend ist, kann die zusätzliche negative Ladung das Potential des Knotens N verringern. Das Diagramm der [Fig. 5](#) zeigt das Verhalten der Widerstandsspeicherzelle **10**, wenn sich das Widerstandsspeicherelement **11** in dem Hoch-Widerstandszustand befindet.

[0051] Das Potential, das an dem Knoten N nach einer Zeit T_2 angelegt ist, d. h., bei einem geöffneten Auswahltransistor **12**, kann zu einem Spannungsabfall über dem Widerstandsspeicherelement **11** führen, der höher ist als die Programmierschwellspannung, die den Widerstand des Widerstandsspeicherelementes **11** ändert. Wenn die Ladung und der Spannungsabfall nicht ausreichend ist, um den Widerstandszustand des Widerstandsspeicherelementes **11** auf einen Niedrig-Widerstandszustand zu ändern, kann das wiederholte Anlegen einer solchen parasitären Spannung dazu führen, dass der Widerstand des Widerstandsspeicherelementes **11** nach mehreren Adressierungszyklen sinkt, in denen die Widerstandsspeicherzelle **10** wiederholt ausgelesen wird. Wie man durch das Signal-Zeit-Diagramm der [Fig. 5](#) erkennen kann, steigt die parasitäre Ladung aufgrund eines Pegelübergangs des Aktivierungssignals bei einer abnehmenden Kapazität $C_{C,0,1}$ des Widerstandsspeicherelementes **11** und mit einem ansteigenden Plattenpotential V_{PL} an. Das bedeutet, dass je höher das Plattenpotential desto höher ist der Spannungsabfall über dem Widerstandsspeicherelement **11** aufgrund der parasitären Ladung, die über die Wortleitung eingekoppelt wird.

[0052] Eine Idee der vorliegenden Erfindung besteht darin, das Potential des Knotens N zu ändern, bevor der Auswahltransistor geöffnet wird, so dass die parasitäre Ladung, die durch den Pegelübergang des Aktivierungssignals induziert wird, zumindest teilweise kompensiert wird. Dies wird in dem Beispiel der [Fig. 3](#) erreicht, indem die Anode mit dem Plattenpotentialelement **15** verbunden ist, indem das Potential auf der Bitleitung **13** erhöht wird, bevor der Auswahltransistor **12** geöffnet wird, so dass das floatende Potential an dem Knoten N zwischen dem Widerstandsspeicherelement **11** und dem Auswahltransistor **12** ein erhöhtes Potential aufweist, z. B. mit Bezug auf ein herkömmliches Auslesepotential zum Auslesen der Widerstandsspeicherzelle **10**, das vermindert wird, so bald das Aktivierungssignal einen Pegelübergang von dem hohen Pegel zu dem niedrigen Pegel aufweist, so dass die Ladung, die in dem Knoten N induziert wird, das Potential an dem Knoten N re-

duziert, das zuvor erhöht worden ist. Die Minderung des Potentials an dem Knoten N führt zu einem Anwachsen des Spannungsabfalls zwischen der Anode und der Kathode, der nun jedoch geringer ist, als im Fall ohne das Erhöhen des Knotenpotentials vor dem Öffnen des Auswahltransistors **12**.

[0053] Mit Bezug auf das Signal-Zeit-Diagramm der [Fig. 6](#) ist das Knotenpotential für verschiedenen Plattenpotentiale V_{PL} dargestellt. Zu dem Zeitpunkt T_1 wird der Auswahltransistor **12** aktiviert, so dass er geschlossen ist, wobei das Bitleitungspotential V_{BL} , das z. B. verwendet wird, um die Widerstandsspeicherelemente **11** einzulesen, an den Knoten N angelegt wird. Vor dem Zeitpunkt T_1 floatet der Knoten N auf einem unbestimmten Potential, da das Widerstandsspeicherelement **11** einen hohen Widerstand aufweist. Das Bitleitungspotential V_{BL} wird so gewählt, dass die Spannung an dem Widerstandsspeicherelement **11** innerhalb eines Bereiches zwischen der Löschschwelspannung und der Programmierschwelspannung des Widerstandsspeicherelementes **11** liegt, so dass weder ein Löschen noch ein Programmieren des Widerstandsspeicherelementes **11** beim Auslesen erfolgt.

[0054] Das Bitleitungspotential V_{BL} kann verwendet werden, um den Widerstandszustand des Widerstandsspeicherelementes **11** auszulesen, indem die in der Widerstandsspeicherelemente **10** gespeicherte Information detektiert wird. Es gibt mehrere Wege zum Auslesen der Information aus der Widerstandsspeicherelemente **10**. Das Auslesen kann durchgeführt werden, indem eine Spannung an das Widerstandsspeicherelement **11** angelegt wird und der Strom, der durch das Widerstandsspeicherelement **11** fließt gemessen wird oder indem ein Strom angelegt wird und der entsprechende Spannungsabfall über dem Widerstandsspeicherelement gemessen wird. In dem angegebenen Ausführungsbeispiel wird die Bitleitung **13** auf ein Auslesepotential gelegt, wobei die Information, die in der Widerstandsspeicherelemente **11** gespeichert ist, detektiert wird, indem der Strom, der durch die Bitleitung fließt, gemessen wird. Nachdem der Zustand des Widerstandsspeicherelementes **11** detektiert worden ist, wird das Potential auf der Bitleitung **13** zu einem Zeitpunkt T_3 erhöht, bevor der Auswahltransistor **12** mit Hilfe eines Pegelübergangs des Aktivierungssignals von einem hohen Pegel zu einem niedrigen Pegel geöffnet wird. Das erhöhte Bitleitungspotential führt zu einem Potential an dem Knoten N, das durch das erhöhte Bitleitungspotential über den leitenden Auswahltransistor **12** bereitgestellt wird.

[0055] Es ist vorgesehen, dass sowohl das erhöhte Potential an dem Knoten N und das Potential, das an dem Knoten N aufgrund der zusätzlichen parasitären Ladungsinduktion, die aufgrund des Aktivierungssignals bewirkt wird, sich innerhalb eines Potentialbe-

reichs befinden, der so definiert ist, dass der Spannungsabfall zwischen dem Plattenpotential V_{PL} und dem Knotenpotential zumindest nicht größer ist als die Programmierschwelspannung. Der Unterschied zwischen dem Bitleitungspotential zum Auslesen des Kompensationspotentials kann so gewählt werden, dass der Spannungsabfall aufgrund der Deaktivierung des Auswahltransistors zumindest teilweise kompensiert, voll kompensiert oder mit Bezug auf die oben angegebenen Bedingungen überkompensiert wird.

[0056] Um dieses Konzept in einer Speicherschaltung vorzusehen, sind mehrere Designentwürfe möglich.

[0057] In [Fig. 7](#) ist ein Ausschnitt einer Speicherschaltung gemäß einer Ausführungsform der vorliegenden Erfindung schematisch dargestellt. Die gleichen Bezugszeichen geben Elemente mit derselben oder einer ähnlichen Funktionalität an. Eine Speicherschaltung umfasst mehrere Widerstandsspeicherelemente **10**, wie sie mit Bezug auf [Fig. 3](#) angegeben ist, und von denen nur eine dargestellt ist. Die Widerstandsspeicherelemente **10** sind auf ähnliche Weise wie die Widerstandsspeicherelemente gemäß [Fig. 3](#) gestaltet, wobei der Knoten N zwischen dem Widerstandsspeicherelement und dem Auswahltransistor **12** mit einer Vorladeschaltung **28** verbunden ist, die ausgebildet ist, um ein Kompensationspotential bzw. eine Kompensationsladung an dem Knoten N nach dem Schließen des Auswahltransistors und vor dem Öffnen des Auswahltransistors mit Hilfe der Pegelübergänge des Aktivierungssignals auf der Wortleitung zur Verfügung zu stellen.

[0058] In [Fig. 8](#) ist ein Ausschnitt aus einer Speicherschaltung gemäß einer weiteren Ausführungsform schematisch dargestellt. Die Speicherschaltung umfasst mehrere Widerstandsspeicherelemente **10**, von denen lediglich eine zur Vereinfachung der Darstellung gezeigt ist. Die Speicherschaltung umfasst eine Steuerschaltung **16**, die mit den Wortleitungen der Speicherschaltung verbunden ist, um ein Aktivierungssignal zum Aktivieren und Deaktivieren eines entsprechenden Auswahltransistors **12** abhängig von einer Adresse ADR, die über eine Adressleitung **17** bereitgestellt wird, anzulegen. Die Steuerschaltung **16** ist weiterhin mit den Bitleitungen direkt, oder, wie in dem Beispiel angegeben ist, über eine Auslesespannungsquelle **18** verbunden, die ausgebildet ist, um ein Auslesepotential an jede der Bitleitungen **13** anzulegen. Die Steuerschaltung **16** ist weiterhin mit einer Vorladeschaltung verbunden, die ebenfalls mit der Bitleitung **13** verbunden ist, um das Kompensationspotential an die Bitleitung **13** anzulegen. Die Auslesespannungsquelle **18** und die Vorladeschaltung **19** können auch in einer einzigen einstellbaren Spannungsquelle ausgebildet sein, die durch die Steuer-

schaltung **16** gesteuert wird.

[0059] In **Fig. 8** steuert die Steuerschaltung **16** die Vorladeschaltung **19** abhängig von dem Widerstandszustand des Widerstandsspeicherelementes **11**, so dass das Kompensationspotential nur dann angelegt wird, wenn sich das Widerstandsspeicherelement in einem Hoch-Widerstandszustand befindet. Der Widerstandszustand des Widerstandsspeicherelementes **8** kann durch eine Ausleseprozedur bestimmt werden, die zuvor ausgeführt worden ist oder durch eine Schreibprozedur auf die adressierte Widerstandsspeicherzelle, die zuvor ausgeführt worden ist. Wenn festgestellt, dass das Widerstandsspeicherelement sich in einem Niedrig-Widerstandszustand befindet, kann auf das Anlegen des Kompensationspotentials verzichtet werden, da die Ladungen durch den Knoten N durch das Widerstandsspeicherelement **11** auf das Plattenpotentialelement **15** fließen können.

[0060] Wie oben beschrieben wurde, steuert die Steuereinheit das Bitleitungspotential auf der Bitleitung **13**, so dass das Auslesepotential zum Auslesen der ausgewählten Widerstandsspeicherzelle angelegt wird, wenn der Auswahltransistor **12** geschlossen ist. Vor dem Öffnen des Auswahltransistors **12**, der durch die Steuerschaltung **16** gesteuert wird, wird die Vorladeschaltung **19** aktiviert, um das Kompensationspotential an die Bitleitung **13** anzulegen, bevor das Aktivierungssignal, das durch die Steuerschaltung **16** angelegt wird, auf den niedrigen Pegel übergeht. Das Anlegen des Kompensationspotentials kann von dem Widerstandszustand des Widerstandsspeicherelementes, wie zuvor beschrieben, abhängen.

[0061] In **Fig. 9** ist eine weitere Ausführungsform der vorliegenden Erfindung gezeigt. Die Ausführungsform der **Fig. 9** unterscheidet sich im Wesentlichen von der Ausführungsform der **Fig. 8** darin, dass die Vorladeschaltung **19** durch eine weitere Vorladeschaltung **21** ersetzt wird, die eine Stromquelle zum Anlegen eines Kompensationsstromes über die Bitleitung **13** an die Widerstandsspeicherzelle **10** umfasst. Die Vorladestromquelle **21** umfasst einen Stromspiegel **22** und eine Referenz-Vorladestromquelle **23**, wobei der Stromspiegel **22** den Strom, der durch die Referenz-Vorladestromquelle **23** vorgegeben wird, über einen Vorladetransistor **24** mit der Bitleitung **13** spiegelt. Der Vorladetransistor **24** ist zwischen dem Stromspiegel **22** und der Bitleitung **13** angeschlossen und wird durch seinen Gate-Anschluss mit Hilfe der Steuerschaltung **16** gesteuert. Der Kompensationsstrom I_{COMP} wird so ausgewählt, dass im Falle, dass sich das Widerstandsspeicherelement **11** der adressierten Widerstandsspeicherzelle **10** in einem Hoch-Widerstandszustand befindet, wobei die Bitleitung, insbesondere ihre Kapazität, mit dem Vorladestrom geladen wird, der durch die weitere Vorla-

deschaltung **21** während einer Zeit, die durch die Steuerschaltung **16** vorgegeben ist, angelegt wird. Der Kompensationsstrom I_{COMP} und die Zeit, während der der Kompensationsstrom an die Bitleitung angelegt wird, bevor der Auswahltransistor **12** geöffnet wird, wird so ausgewählt, dass der Knoten N zwischen dem Widerstandsspeicherelement **11** und dem Auswahltransistor **12** mit einem resultierenden Kompensationspotential resultierende Ladung geladen wird. Die Zeit während der Kompensationsstrom an die Bitleitung **13** angelegt wird, wird durch das Öffnen des Auswahltransistors begrenzt, der den Fluss des Kompensationsstroms durch den Auswahltransistor **12** an den Knoten N beendet. In einem Fall, bei dem sich das Widerstandsspeicherelement **11** der adressierten Widerstandsspeicherzelle **10** in einem Niedrig-Widerstandszustand befindet, fließt der Kompensationsstrom I_{COMP} , der durch die weitere Vorladeschaltung **21** bereitgestellt wird, über die Bitleitung durch den geschlossenen Auswahltransistor **12** und durch das Widerstandsspeicherelement **11**, und führt zu einem Spannungsabfall über dem Widerstandsspeicherelement **11**, der kleiner ist als der Spannungsabfall, der durch das Laden des Knotens N vor dem Öffnen des Auswahltransistors **12** hervorgerufen wird. Somit ist es nicht notwendig, dass die Steuerschaltung **16** die Vorladeschaltung abhängig von dem Widerstandszustand des Widerstandsspeicherelementes **11** steuert, da das Anlegen des Kompensationsstromes für eine vorbestimmte Zeitdauer automatisch den Knoten N in einer vorbestimmten Weise vorlädt oder nicht. Die Steuerschaltung **16** kann die Vorladeschaltung **19**, wie zuvor beschrieben, abhängig von einer Information, die in der Widerstandsspeicherzelle **10** gespeichert ist, steuern. Die gespeicherte Information kann durch einen vorangehenden Auslese- oder Schreibvorgang auf die adressierte Widerstandsspeicherzelle **10** detektiert werden.

[0062] In **Fig. 10** ist eine weitere Ausführungsform der vorliegenden Erfindung dargestellt. Die Ausführungsform der **Fig. 10** ist vergleichbar zur Ausführungsform der **Fig. 9**, wobei die Vorladeschaltung **21** die Referenz-Vorladestromquelle **23** und eine Löschstromquelle **26** umfasst, die wahlweise mit dem Stromspiegel **22** über einen Schalter **27** verbunden werden können, wobei der Schalter **27** durch die Steuerschaltung **16** gesteuert ist. Da die Richtung des Stromflusses über die Bitleitung in die Widerstandsspeicherzelle **10** für das Vorladen und für das Löschen der Widerstandsspeicherzelle dieselbe ist, kann die Vorladeschaltung **12** auch zum Bereitstellen eines Löschstromes I_{ER} verwendet werden. Der Löschstrom I_{ER} wird so ausgewählt, dass wenn dieser an die Widerstandsspeicherzelle **10** angelegt wird, ein Spannungsabfall über dem Widerstandsspeicherelement **11** anliegt, der geringer ist als die Löschschwellschwungspannung V_{TH2} .

[0063] In den zuvor beschriebenen Ausführungsfor-

men wird das Widerstandsspeicherelement **11** so angeordnet, dass die Anode mit dem Plattenpotential V_{PL} verbunden ist und die Kathode mit dem Knoten N. In diesem Fall muss eine negative Ladung, die durch einen Pegelübergang an das Aktivierungssignal von einem hohen Pegel zu einem niedrigen Pegel angekoppelt wird, vermieden werden, da die negative Ladung den Spannungsabfall über den Widerstandsspeicherelement in Richtung der Programmierschwellspannung erhöht und eine Änderung des Widerstandszustands des Widerstandsspeicherelementes auf einen Niedrig-Widerstandszustand auftreten kann. Es gibt keinen wesentlichen negativen Effekt, wenn die Ladung, die an dem Knoten N angekoppelt wird, positiv ist. Es werden beim Öffnen und Schließen des Auswahltransistors Ladungen mit verschiedenen Vorzeichen eingekoppelt. Das Widerstandsspeicherelement muss so angeordnet sein, dass während des Aktivierens des Auswahltransistors eine Löschespannung an das Widerstandsspeicherelement angelegt wird und während des Deaktivierens des Auswahltransistors die Programmierspannung eingekoppelt wird, die vermieden werden soll, indem das Kompensationspotential angelegt wird.

[0064] In Anbetracht dieses Verhaltens kann in einer Widerstandsspeicherzelle mit einem Widerstandsspeicherelement, das in einer umgekehrten Weise angeordnet ist, z. B. mit einer Kathode, die mit dem Plattenpotential verbunden ist und deren Anode mit dem Knoten N verbunden ist, wie es in [Fig. 11](#) gezeigt ist, anstelle des Auswahltransistors eines N-Typs ein Auswahltransistor eines P-Typs verwendet werden, der durch eine inverse Logik (low-active) mit Bezug auf das Aktivierungssignal angesteuert wird. Dies bedeutet, dass der Auswahltransistor vom P-Typ durch einen niedrigen Pegel des Aktivierungssignals aktiviert wird und durch einen hohen Pegel des Aktivierungssignals deaktiviert wird. Dadurch wird eine Aktivierung des Auswahltransistors durch einen Pegelübergang des Aktivierungssignals von einem hohen Pegel zu einem niedrigen Pegel bewirkt, was zu einem Abfall des Potentials an den Knoten N führt, d. h. in eine Richtung der Löschespannung mit Bezug auf das Widerstandsspeicherelement. Eine Deaktivierung des Auswahltransistors wird durch einen Pegelübergang von einem niedrigen Pegel zu einem hohen Pegel durchgeführt, der zu einem Ansteigen der Spannung über dem Widerstandsspeicherelement **11** führt und der durch eine Kompensationspannung kompensiert werden muss, die kleiner ist als das Bitleitungspotential, das normalerweise zum Auslesen der Widerstandsspeicherzelle verwendet wird. Die mit Bezug auf die Ausführungsformen der [Fig. 6](#) bis [Fig. 10](#) beschriebenen Maßnahmen können verwendet werden, um das Kompensationspotential in einer entsprechenden Weise bereitzustellen, z. B. durch Verwenden einer entsprechenden Logik.

Bezugszeichenliste

1	Widerstandsspeicherelement
2	dielektrischer Bereich
3	Elektroden
10	Widerstandsspeicherzelle
11	Widerstandsspeicherelement
12	Auswahltransistor
13	Bitleitung
14	Wortleitung
15	Plattenpotentialelement
16	Steuerschaltung
18	Auslesespannungsquelle
19	Vorladeschaltung
21	weitere Vorladeschaltung
22	Stromspiegel
23	Referenzvorladestromquelle
24	Vorladetransistor
26	Löschstromquelle
27	Schalter
28	Vorladeschaltung

Patentansprüche

- Speicherschaltung umfassend:
 - eine Widerstandsspeicherzelle (**10**) mit einem Auswahltransistor (**12**) und einem Widerstandsspeicherelement (**11**), die in Reihe geschaltet sind, wobei das Widerstandsspeicherelement (**11**) mit einem Plattenpotential (V_{PL}) verbunden ist;
 - eine Steuerschaltung, die ausgebildet ist, um den Auswahltransistor mit Hilfe eines Aktivierungssignals zu steuern;
 - eine Vorladeschaltung (**19, 21**), die mit einem Knoten zwischen dem Auswahltransistor (**12**) und dem Widerstandsspeicherelement (**11**) gekoppelt ist und ausgebildet ist, um ein Kompensationspotential an den Knoten anzulegen;
 - wobei die Steuerschaltung ausgebildet (**16**) ist, um die Vorladeschaltung (**19, 21**) so zu steuern, dass ein Kompensationspotential an den Knoten (N) vor einem Pegelübergang des Aktivierungssignals angelegt wird.
- Speicherschaltung nach Anspruch 1, wobei das Widerstandsspeicherelement (**11**) ausgebildet ist, um einen Hoch-Widerstandszustand durch Anlegen einer Löschespannung einzunehmen, die kleiner ist als eine Löscheschwellspannung und um einen Niedrig-Widerstandszustand einzunehmen, in dem eine Programmierspannung angelegt wird, die größer ist als eine Programmierschwellspannung, wobei die Programmierspannung und die Löschespannung umgekehrte Vorzeichen haben.
- Speicherschaltung nach Anspruch 1 oder 2, wobei die Steuerschaltung (**16**) die Vorladeschaltung (**19, 21**) nur dann aktiviert, wenn das Widerstandsspeicherelement (**11**) sich in seinem Hoch-Widerstandszustand befindet.

4. Speicherschaltung nach einem der Ansprüche 1 bis 3, wobei das Kompensationspotential so gewählt ist, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals in den Knoten eingekoppelt wird, zumindest teilweise kompensiert wird, wobei das Kompensationspotential weiterhin gewählt ist, so dass die Spannung über dem Widerstandsspeicherelement kleiner als die Programmschwellschwellspannung ist.

5. Speicherschaltung nach einem der Ansprüche 1 bis 4, wobei die Steuerschaltung (16) die Vorladeschaltung (19, 21) steuert, um das Kompensationspotential nach dem Schließen des Auswahltransistors anzulegen.

6. Speicherschaltung nach einem der Ansprüche 1 bis 5 weiter umfassend:
– eine Bitleitung (13), die mit der Widerstandsspeicherzelle verbunden ist, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorladeschaltung zu steuern, so dass das Kompensationspotential auf der Bitleitung vor einem Öffnen des Auswahltransistors angelegt wird.

7. Speicherschaltung nach einem der Ansprüche 1 bis 6, wobei die Steuerschaltung (16) ein Aktivierungssignal an eine Wortleitung (14) anlegt, um den Auswahltransistor zu öffnen und zu schließen, wobei das Kompensationspotential so gewählt ist, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an einem Knoten zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement (11) eingekoppelt wird, zumindest teilweise kompensiert wird.

8. Speicherschaltung nach Anspruch 6 oder 7, wobei das Kompensationspotential weiterhin so gewählt ist, so dass sich die resultierende Spannung über dem Widerstandsspeicherelement (11) innerhalb eines Bereiches zwischen der Programmschwellschwellspannung und der Löschscheffspannung befindet.

9. Speicherschaltung nach einen der Ansprüche 1 bis 8, wobei eine Speicherzugriffsschaltung vorgesehen ist, um zumindest ein Datum in die Widerstandsspeicherzelle (10) zu schreiben oder aus dieser auszulesen, wobei die Steuerschaltung (16) weiterhin ausgebildet ist, um die Vorladeschaltung (19, 21) zu steuern, um das Kompensationspotential abhängig von einem Widerstandszustand des Widerstandsspeicherelementes (11) bezüglich der in die Widerstandsspeicherzelle (10) geschriebenen oder aus dieser gelesenen Daten anzulegen.

10. Speicherschaltung nach einen der Ansprüche 1 bis 5, weiter umfassend:
– eine Bitleitung (13), die mit einem zweiten Anschluss der Widerstandsspeicherzelle (10) verbun-

den ist; wobei die Vorladeschaltung (19, 21) ausgebildet ist, um einen Kompensationsstrom über die Bitleitung an die Widerstandsspeicherzelle bereitzustellen; wobei die Steuerschaltung (16) weiterhin ausgebildet ist, um die Vorladeschaltung zu steuern, sodass Kompensationsstrom über die Bitleitung über die Widerstandsspeicherzelle vor einem Öffnen des Auswahltransistors (12) angelegt wird.

11. Speicherschaltung nach Anspruch 10, wobei die Steuereinheit so gestaltet ist, um den Kompensationsstrom an die Widerstandsspeicherzelle (10) für eine vorbestimmte Zeit anzulegen, so dass dieser zu dem Kompensationspotential führt, das an einem Knoten zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement (11) angelegt ist, wenn sich das Widerstandsspeicherelement (11) in dem Hoch-Widerstandszustand befindet, und so dass dieser zu einem weiteren Potential führt, das an den Knoten angelegt ist, wenn sich das Widerstandsspeicherelement in dem Niedrig-Widerstandszustand befindet, wobei das weitere Potential so gewählt ist, dass eine Spannung, die an dem Widerstandsspeicherelement (11) anliegt, größer ist als die Löschscheffspannung.

12. Speicherschaltung nach Anspruch 10 oder 11, wobei die Steuerschaltung (16) die Vorladeschaltung (19, 21) steuert, um den Kompensationsstrom nach einem Schließen des Auswahltransistors anzulegen.

13. Speicherschaltung nach einem der Ansprüche 10 bis 12 umfassend:
– eine Vorlade/Schreibschaltung (21), die ausgebildet ist, um entweder einen Kompensationsstrom oder einen Schreibstrom über die Bitleitung an die Widerstandsspeicherzelle anzulegen, wobei die Steuerschaltung weiterhin ausgebildet ist, um die Vorlade/Schreibschaltung (21) zu steuern, um entweder den Kompensationsstrom über die Bitleitung (13) durch die Widerstandsspeicherzelle vor einem Öffnen des Auswahltransistors anzulegen und den Schreibstrom über die Bitleitung (13) durch die Widerstandsspeicherzelle (10) anzulegen, um das Widerstandsspeicherelement (11) der Widerstandsspeicherzelle (10) in einen vorbestimmten Widerstandszustand zu versetzen.

14. Speicherschaltung nach Anspruch 13, wobei die Vorlade/Schreibschaltung (21) den Schreibstrom an das Widerstandsspeicherelement anlegt, so dass dieser zu einem Potential führt, das an einen Knoten (N) zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement (11) angelegt ist, dass das Widerstandsspeicherelement (11) entweder in den Hoch- oder den Niedrig-Widerstandszustand versetzt.

15. Verfahren zum Betreiben einer Speicherschaltung mit einer Widerstandsspeicherzelle (10), mit einem Auswahltransistor (12) und einem Widerstandsspeicherelement (11), die in Reihe geschaltet sind, mit den Schritten:

- Steuern des Auswahltransistors (12) mit Hilfe eines Aktivierungssignals;
- Anlegen eines Kompensationspotential an einem Knoten zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement (11) vor einem Pegelübergang des Aktivierungssignals.

16. Verfahren nach Anspruch 15, wobei das Kompensationspotential nur dann angelegt wird, wenn sich das Widerstandsspeicherelement (11) in dem Hoch-Widerstandszustand befindet.

17. Verfahren nach Anspruch 15 oder 16, wobei das Kompensationspotential so gewählt wird, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an dem Knoten (N) eingekoppelt wird, zumindest teilweise kompensiert wird, wobei das Kompensationspotential weiterhin gewählt wird, so dass die Spannung über dem Widerstandsspeicherelement (11) kleiner als die Programmierschwellschwellspannung ist, so dass kein Programmieren des Widerstandsspeicherelements (11) erfolgt.

18. Verfahren nach einen der Ansprüche 15 bis 17, wobei das Kompensationspotential auf eine mit der Widerstandsspeicherzelle (10) verbundene Bitleitung vor einem Anlegen des Aktivierungssignals, das den Auswahltransistor öffnet, angelegt wird.

19. Verfahren nach einem der Ansprüche 15 bis 18, wobei das Aktivierungssignal an eine Wortleitung (14) angelegt wird, um den Auswahltransistor (12) zu öffnen und zu schließen, wobei das Kompensationspotential so gewählt ist, dass ein Kopplungssignal, das durch einen Pegelübergang des Aktivierungssignals an dem Knoten (N) zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement eingekoppelt wird, zumindest teilweise kompensiert wird.

20. Verfahren nach Anspruch 19, wobei das Kompensationspotential weiterhin so gewählt, dass die resultierende Spannung, die an dem Widerstandsspeicherelement angelegt ist, kleiner als eine Programmierschwellschwellspannung ist, bei der kein Programmieren des Widerstandsspeicherelementes erfolgt.

21. Verfahren nach einem der Ansprüche 15 bis 20 mit folgenden Schritten:

- Schreiben eines Datums in die Widerstandsspeicherzelle (10) und/oder Auslesen eines Datums aus der Widerstandsspeicherzelle (10),
- Anlegen des Kompensationspotentials abhängig von dem Widerstandszustand des Widerstandsspei-

cherelementes (11) bezogen auf ein zuvor in die Widerstandsspeicherzelle (10) geschriebenes oder aus dieser ausgelesenes Datum.

22. Verfahren nach einen der Ansprüche 15 bis 17, wobei das Kompensationspotential angelegt wird, indem ein Kompensationsstrom über die Bitleitung durch die Widerstandsspeicherzelle vor einem Öffnen des Auswahltransistors (12) angelegt wird, wobei der Kompensationsstrom für eine vorbestimmte Zeitdauer angelegt wird, wobei die resultierende Spannung, die an dem Widerstandsspeicherelement (11) anliegt, kleiner ist als eine Programmierschwellschwellspannung, so dass kein Programmieren des Widerstandsspeicherelementes (11) auftritt.

23. Verfahren nach Anspruch 22, wobei der Kompensationsstrom so angelegt wird, dass er zu einem Kompensationspotential führt, das an einem Knoten zwischen dem Auswahltransistor (12) und dem Widerstandsspeicherelement (11) führt, wenn sich das Widerstandsspeicherelement (11) in einem Hoch-Widerstandszustand befindet und, dass er zu einem weiteren Potential führt, das an dem Knoten angelegt ist, wenn sich das Widerstandsspeicherelement (11) in dem Niedrig-Widerstandszustand befindet, wobei das weitere Potential so gewählt ist, dass eine Spannung, die an dem Widerstandsspeicherelement (11) angelegt ist, größer ist als die Löschsche Schwellschwellspannung, über der kein Löschen des Widerstandsspeicherelementes (11) erfolgt.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

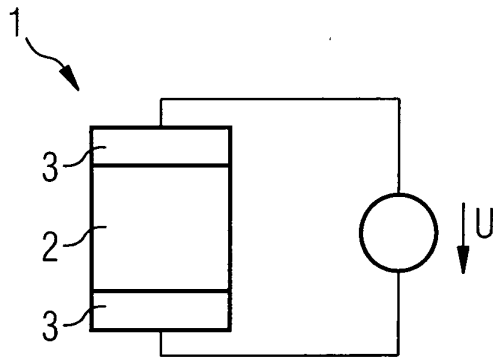


FIG 2

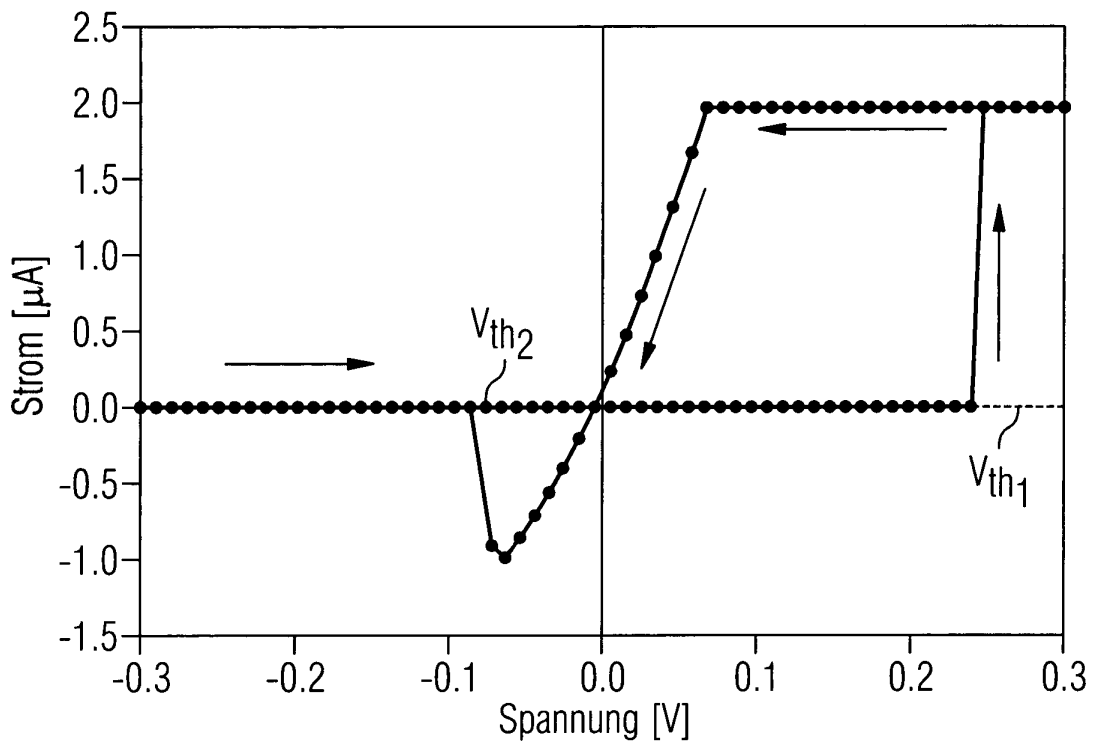


FIG 4

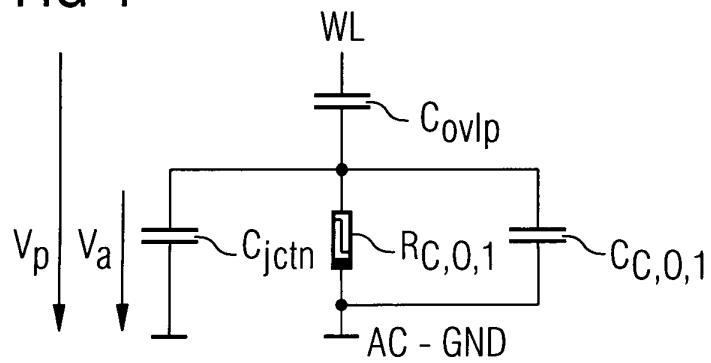


FIG 3

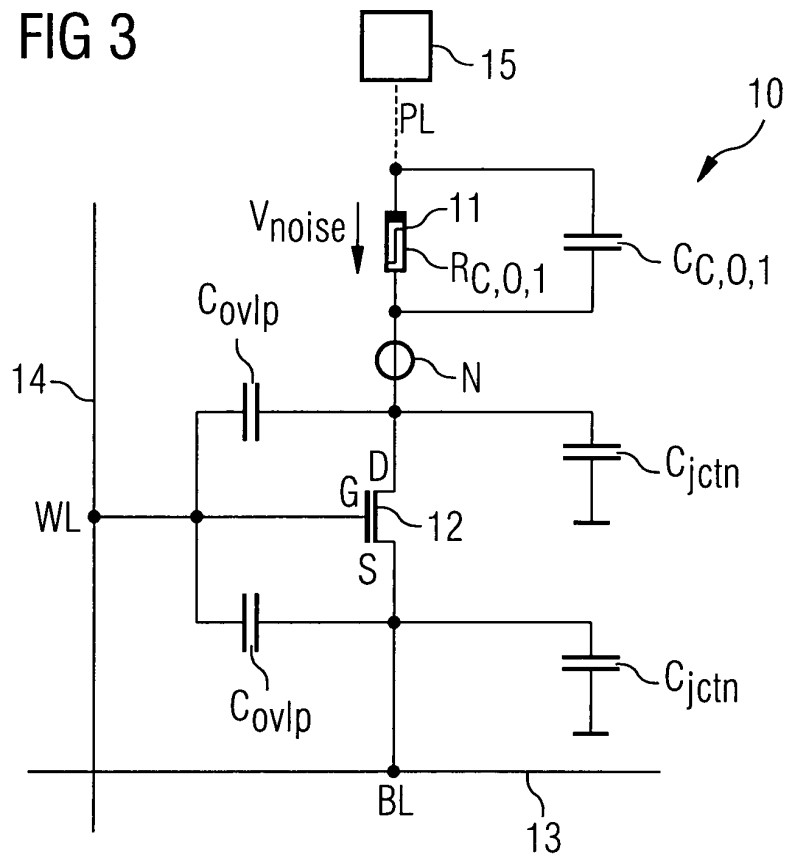
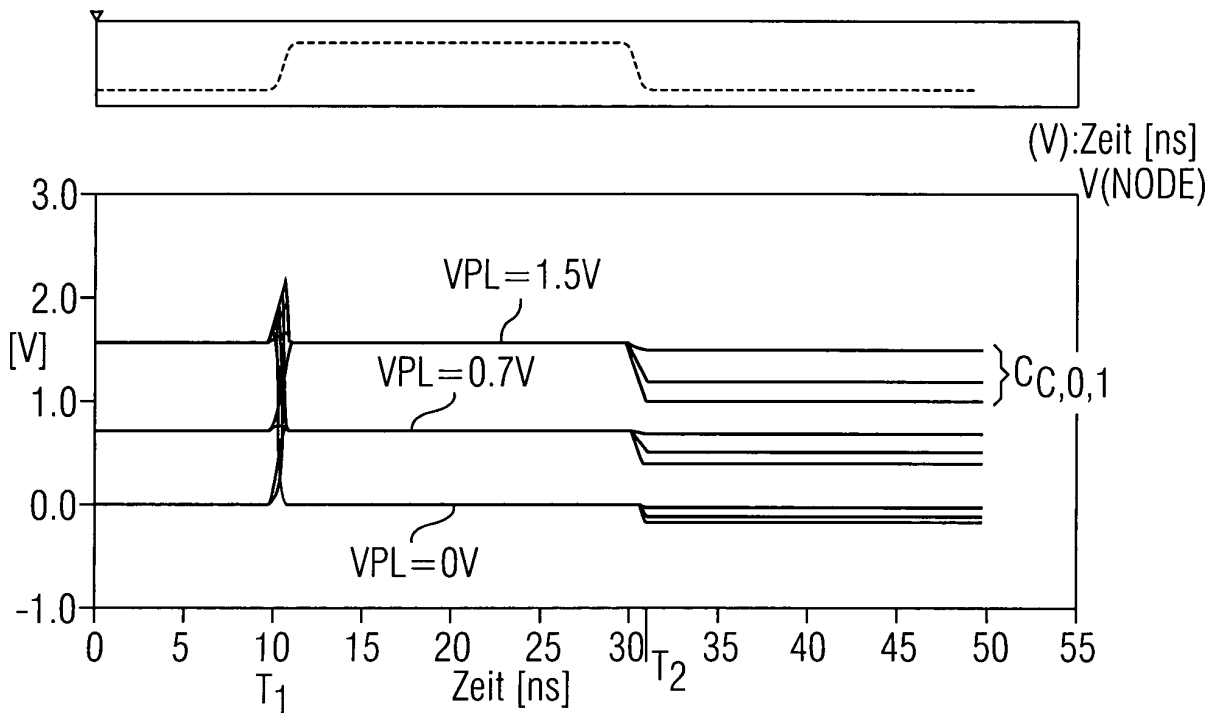


FIG 5

V(WLII)_(V)
Aktivierungssignal



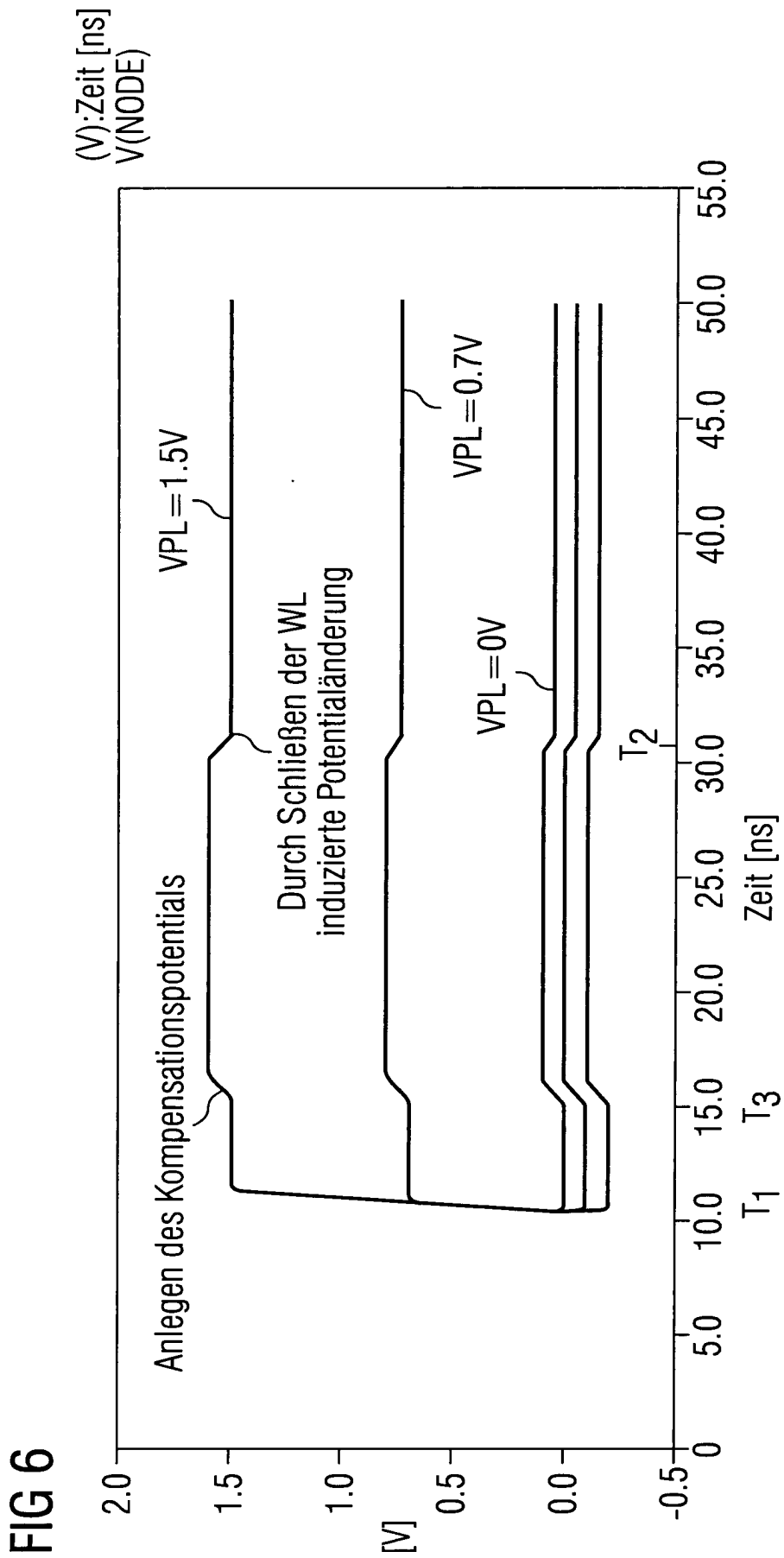


FIG 7

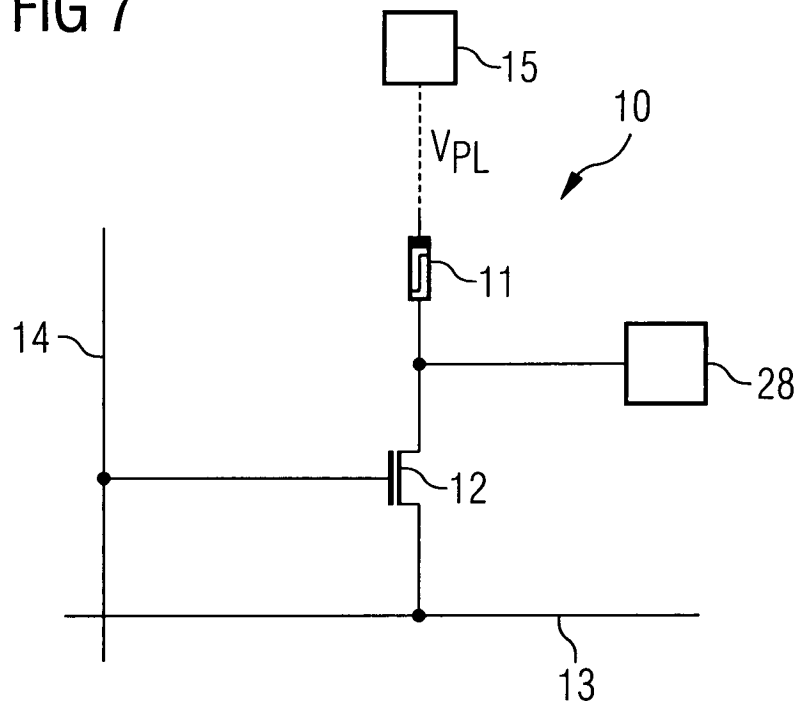


FIG 8

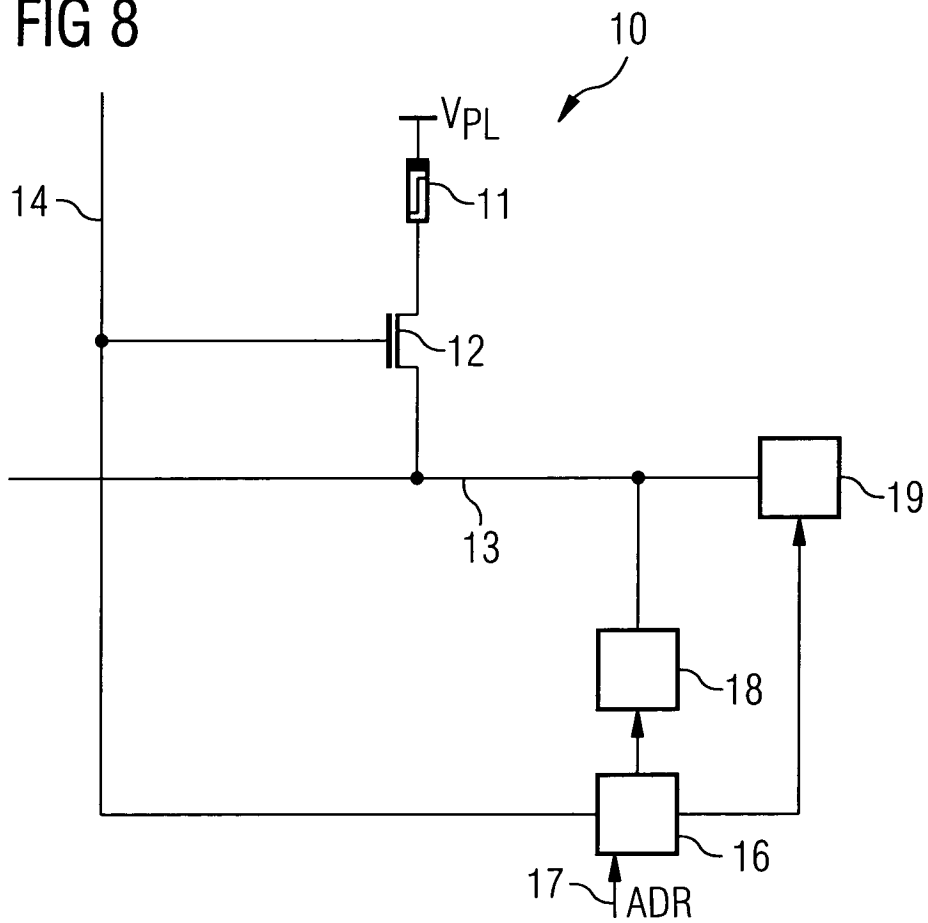


FIG 11

