

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610103002.9

H01L 29/78 (2006.01)

H01L 29/49 (2006.01)

H01L 29/423 (2006.01)

[45] 授权公告日 2009 年 4 月 22 日

[11] 授权公告号 CN 100481506C

[22] 申请日 2000.4.12

[21] 申请号 200610103002.9

分案原申请号 200610073781.2

[30] 优先权

[32] 1999.4.12 [33] JP [31] 104646/1999

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 山崎舜平 小山润 高山彻

浜谷敏次

[56] 参考文献

CN1123465A 1996.5.29

JP6-13605A 1994.1.21

US4951121A 1990.8.21

JP10-233505A 1998.9.2

GB2243948A 1991.11.13

审查员 吴 黎

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王忠忠

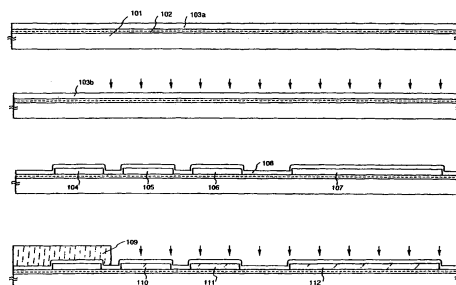
权利要求书 2 页 说明书 24 页 附图 25 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明主要提供可用于大尺寸屏幕的有源矩阵显示器件的栅电极和栅极布线,其中为了实现本目的,本发明的构成是一种半导体器件,在同一衬底上具有设置在显示区的像素 TFT 和围绕显示区设置的驱动电路 TFT,其中像素 TFT 和驱动电路 TFT 的栅电极由第一导体层形成,栅电极通过连接器与第二导体层形成的栅极布线电接触,连接器设置在像素 TFT 和驱动电路 TFT 的沟道形成区之外。



1. 一种半导体器件, 包括:

半导体区;

在所述半导体区上形成的栅绝缘膜;

包括氮化钽层和在所述氮化钽层上的钨层的栅电极, 其中, 所述氮化钽层与所述栅绝缘膜直接接触; 以及

在所述栅电极上形成的层间绝缘膜,

其中, 所述钨层中的氧浓度在 30 ppm 以下, 其电阻率在 $20\ \mu\Omega\text{cm}$ 以下。

2. 一种半导体器件, 包括:

半导体区;

在所述半导体区上形成的栅绝缘膜;

包括氮化钽层和在所述氮化钽层上的钨层的栅电极, 其中, 所述氮化钽层与所述栅绝缘膜直接接触; 以及

在所述栅电极上形成的层间绝缘膜,

其中, 所述氮化钽层厚度为 10 – 50 nm, 以及

其中, 所述钨层中的氧浓度在 30 ppm 以下, 其电阻率在 $20\ \mu\Omega\text{cm}$ 以下。

3. 如权利要求 1 和 2 中任一项所述的半导体器件, 其中, 所述钨层厚度为 200 – 400 nm。

4. 一种半导体器件, 包括:

半导体区;

在所述半导体区上形成的栅绝缘膜;

包括氮化钽层和在所述氮化钽层上的金属层的栅电极, 其中, 所述氮化钽层与所述栅绝缘膜直接接触; 以及

在所述栅电极上形成的层间绝缘膜,

其中, 所述金属层中的氧浓度在 30 ppm 以下。

5. 一种半导体器件, 包括:
半导体区;
在所述半导体区上形成的栅绝缘膜;
包括氮化钽层和在所述氮化钽层上的金属层的栅电极, 其中, 所述氮化钽层与所述栅绝缘膜直接接触; 以及
在所述栅电极上形成的层间绝缘膜,
其中, 所述氮化钽层厚度为 10 - 50 nm, 以及
其中, 所述金属层中的氧浓度在 30 ppm 以下。
6. 如权利要求 4 和 5 中任一项所述的半导体器件, 其中, 所述金属层厚度为 200 - 400 nm。
7. 如权利要求 1、2、4 和 5 中任一项所述的半导体器件, 其中, 所述半导体器件是薄膜晶体管。
8. 如权利要求 1、2、4 和 5 中任一项所述的半导体器件, 其中, 所述栅绝缘膜含硅。
9. 如权利要求 4 和 5 中任一项所述的半导体器件, 其中, 所述金属层与所述氮化钽层接触。
10. 如权利要求 1、2、4 和 5 中任一项所述的半导体器件, 其中, 所述半导体区形成于绝缘表面上。
11. 如权利要求 1、2、4 和 5 中任一项所述的半导体器件, 还包括与所述栅电极接触的第三导电层, 其中, 所述第三导电层包括从由铝和铜组成的组中选择的一种材料。
12. 如权利要求 1、2、4 和 5 中任一项所述的半导体器件, 其中, 所述半导体器件被装入从由个人计算机、摄像机、数字相机、电子书和便携式信息终端组成的组中选择的一种装置中。

半导体器件及其制造方法

本申请是申请人株式会社半导体能源研究所于2000年4月12日提交的、发明名称为半导体器件及其制造方法的中国专利申请 No.200610073781.2 的分案申请。

技术领域

本发明涉及设置有有源电路的半导体器件，该有源电路包括位于具有绝缘表面的衬底上的薄膜晶体管（以下称为“TFT”）。本发明特别有利于用于光电器件，典型的一种是在同一衬底上形成有图象显示区及其驱动电路的液晶显示器件，并且有利于用于安装有光电器件的电子设备。在本说明书中，“半导体器件”将是指功能基于半导体特性的所有器件，其范围包括上述光电器件和其上安装有光电器件的电子器件。

背景技术

具有形成了结晶硅膜的半导体层的 TFT（以下称为“结晶硅 TFT”），具有高的场效应迁移率，因此能够形成具有各种功能的电路。采用结晶硅 TFT 的有源矩阵型液晶显示器件具有形成在同一衬底上的图象显示区和用于图象显示的驱动电路。在图象显示区中，设置有由 n-沟道 TFT 形成的像素 TFT，以及存储电容器，而驱动电路由移位寄存器电路、电平漂移电路、缓冲电路、取样电路等构成，这是基于 CMOS（互补金属氧化物半导体）电路形成的。

但是，对于像素 TFT 和驱动电路 TFT 来说，其工作条件并不相同，所以常常要求 TFT 具有不同的性能。例如，像素 TFT 起开关元件的作用，通过对液晶施加电压对其驱动。由于采用交变电流驱动液晶，所以最常见的是采用众所周知的帧反转驱动系统。在这种系统中，要求像素 TFT 具有足够低的截止状态电流值（TFT 截止时流过的漏电流），以便使功耗最小。另一方面，由于对驱动电路的缓冲电路施加高的驱动电压，所以必须提高电压电阻，防止因施加高电压产生击穿。提高电流驱动容量要求导通状态电流值（TFT 导通时流过的漏电流）有足够的保证。

轻微掺杂的漏结构（LDD）是截止状态电流值呈现降低的 TFT 的公知结构。

这种结构设置有添加低浓度杂质元素的区，该区位于沟道形成区和通过添加高浓度杂质元素形成的源区或漏区之间，这种区称为“LDD 区”。防止导通状态电流值因热载流子而变劣的一种公知措施，是众所周知的 GOLD 结构（栅-漏交叠 LDD），其中 LDD 区位于栅电极之上，其间具有栅绝缘膜。已知这种类型的结构通过衰减靠近漏的高电压能有效地防止含有热载流子，从而避免变劣现象。

同时，对更大尺寸和更复杂屏幕的需求日益增大，使有源矩阵型液晶显示器件有更大市场价值。但是，更大的尺寸和更复杂的屏幕增加了扫描线（栅布线）的数量和长度，从而提高了栅布线的低电阻的必要性。亦即，随着扫描线数量的增加，对液晶的充电时间被缩短，以致对于栅布线的时间常数（电阻 $\times$ 容量）必须降低以便更快响应。例如，如果形成栅布线的材料的电阻率是 $100\mu\Omega\text{ cm}$ ，则对屏幕尺寸的限制约是 6 英寸，但是对于 $3\mu\Omega\text{ cm}$ 的电阻率，可以实现对应于 27 英寸的显示。

而且，对象素矩阵电路的像素 TFT 和例如移位寄存器或缓冲器电路的驱动电路的 TFT 的性能要求并不总是相同的。例如，在像素 TFT 中，对栅极施加大的反向偏压（在 n-沟道 TFT 的情形是负电压），但是在反向偏压状态下驱动电路 TFT 基本上不能工作。像素 TFT 的工作速度小于驱动电路 TFT 工作速度的 $1/100$ 也是足够的。

此外，在 GOLD 结构提供强有力的防止导通状态电流值变劣的效应的同时，还存在与通常的 LDD 结构相比截止状态电流值大的问题。因此，这不是用于像素 TFT 的优选结构。相反，通常的 LDD 结构具有使截止状态电流值最小化的强有力效应，但是防止因漏区附近电场衰减而含有热载流子产生的变劣的效应低。因此，总是不能有效地在包括工作条件不同的多个集成电路的半导体器件、例如有源矩阵式液晶显示器件中，用相同结构来形成所有 TFT。特别是在高性能的结晶硅 TFT 这些问题更为突出，并且有源矩阵式液晶显示器件要求具有更高的性能。

为了实现大尺寸的有源矩阵式液晶显示器件，已经考虑使用铝（Al）和铜（Cu）作为布线材料，但是这样存在诸如耐蚀性和耐热性差的缺点。因此，这些材料对于形成 TFT 栅电极并不是优选的，而且不能容易地把这种材料引入 TFT 的制造工艺。当然可以用其它导电材料形成布线，但是没有什么材料具有象铝

(Al) 和铜 (Cu) 这样的低电阻, 这就阻碍了大尺寸显示器件的制造。

发明内容

为了解决上述问题, 本发明的构成在于一种半导体器件, 在同一衬底上具有显示区中的像素 TFT 和围绕显示区设置的驱动电路 TFT, 其中像素 TFT 和驱动电路 TFT 具有由第一导体层形成的栅电极, 栅电极通过连接器与由第二导体层形成的栅极布线电接触, 连接器设置在像素 TFT 和驱动电路 TFT 的沟道形成区之外。

本发明的另一种构成在于一种半导体器件, 在同一衬底上具有显示区中的像素 TFT 和围绕显示区设置的驱动电路 TFT, 其中像素 TFT 和驱动电路 TFT 具有由第一导体层形成的栅电极, 通过设置在像素 TFT 和驱动电路 TFT 的沟道形成区之外的连接器、栅电极与由第二导体层形成的栅极布线电接触, 像素 TFT 的 LDD 区设置成不与像素 TFT 的栅电极交叠, 驱动电路的第一 n-沟道 TFT 的 LDD 区设置成与第一 n-沟道 TFT 的栅电极交叠, 驱动电路的第二 n-沟道 TFT 的 LDD 区设置成至少其一部分与第一 n-沟道 TFT 的栅电极交叠。

在本发明的这种构型中, 第一导体层具有导体层 (A)、导体层 (B) 和导体层 (C), 导体层 (A) 含有氮和选自钽、钨、钛和钼之中的至少一种元素, 导体层 (B) 形成在导体层 (A) 上并且主要由选自钽、钨、钛和钼之中的至少一种元素组成, 导体层 (C) 形成在导体层 (B) 不与导体层 (A) 接触的区域并且含有氮和选自钽、钨、钛和钼之中的至少一种元素, 而第二导体层具有导体层 (D) 和导体层 (E), 导体层 (D) 主要由铝或铜组成, 导体层 (E) 主要由选自钽、钨、钛和钼之中的至少一种元素组成, 导体层 (C) 和导体层 (D) 在连接器接触。导体层 (B) 含有氩作为添加元素, 导体层 (B) 中的氧浓度是 30ppm 以下。

为了解决上述问题, 本发明的半导体器件制造方法是这样一种半导体器件的制造方法, 该器件在同一衬底上具有设置在显示区的像素 TFT 和围绕显示区设置的驱动电路 TFT, 该方法包括以下步骤, 由第一导体层形成用于像素 TFT 和驱动电路 TFT 的栅电极, 由第二导体层形成连接于栅电极的栅极布线, 其中栅电极和栅极布线通过设置在像素 TFT 和驱动电路 TFT 的沟道形成区之外的连接器连接。

本发明的半导体器件制造方法还是这样一种半导体器件的制造方法, 该器

件在同一衬底上具有设置在显示区的像素 TFT 和围绕显示区设置的驱动电路 TFT，该方法包括，第一步骤，向形成驱动电路的第一和第二 n-沟道 TFT 半导体层选择地添加 n-型杂质元素，达到 $2 \times 10^{16} \sim 5 \times 10^{19}$ 原子/cm³ 的浓度范围，第二步骤，由第一导体层形成用于像素 TFT 和驱动电路 TFT 的栅电极，第三步骤，向形成驱动电路的 p-沟道 TFT 半导体层选择地添加 p-型杂质元素，达到 $3 \times 10^{20} \sim 3 \times 10^{21}$ 原子/cm³ 的浓度范围，第四步骤，向形成驱动电路的第一和第二 n-沟道 TFT 半导体层和形成像素 TFT 的半导体层中选择地添加 n-型杂质元素，达到 $1 \times 10^{20} \sim 1 \times 10^{21}$ 原子/cm³ 的浓度范围，第五步骤，至少采用所述 n-沟道 TFT 的栅电极作为掩模，向像素 TFT 的半导体层选择地添加 n-型杂质元素，达到 $1 \times 10^{16} \sim 5 \times 10^{18}$ 原子/cm³ 的浓度范围，第六步骤，由第二导体层形成用于像素 TFT 和驱动电路 TFT 的栅极布线，其中栅电极和栅极布线通过设置在像素 TFT 和驱动电路 TFT 的沟道形成区之外的连接器连接。

根据本发明的半导体器件的制造方法，

通过如下步骤形成第一导体层，形成含有氮和选自钽、钨、钛和钼之中的至少一种元素的导体层 (A)，在导体层 (A) 上形成导体层 (B) 并且主要由选自钽、钨、钛和钼之中的至少一种元素组成，在导体层 (B) 不与导体层 (A) 接触的区域上形成导体层 (C) 并且含有氮和选自钽、钨、钛和钼之中的至少一种元素；通过如下步骤形成第二导体层，至少形成主要由铝和铜组成的导体层 (D)，并形成主要由选自钽、钨、钛和钼之中的至少一种元素组成的导体层 (E)，导体层 (C) 和导体层 (D) 在连接器连接。导体层 (A) 可以在氩气和氮气或氮的混合气氛中通过溅射法形成，采用主要由选自钽、钨、钛和钼之中的至少一种元素组成的靶，最好通过在氧浓度为 1ppm 以下的氮气气氛中，对导体层 (B) 进行热处理来形成导体层 (C)。也可以在氧浓度为 1ppm 以下的氮气等离子体气氛中，对导体层 (B) 进行热处理来形成导体层 (C)。

附图说明

图 1A-1D 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的剖面图。
图 2A-2D 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的剖面图。
图 3A-3D 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的剖面图。
图 4A-4C 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的剖面图。
图 5 是像素 TFT、存储电容器和驱动电路 TFT 的剖面图。

图 6A-6C 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的顶视图。

图 7A-7C 是像素 TFT、存储电容器和驱动电路 TFT 的制造步骤的顶视图。

图 8A-8C 是驱动电路 TFT 的制造步骤的顶视图。

图 9A-9C 是像素 TFT 的制造步骤的顶视图。

图 10 是液晶显示器件的 I/O 接线端和布线电路布局的顶视图。

图 11 是液晶显示器件的结构剖面图。

图 12 是液晶显示器件的结构透视图。

图 13 是显示区的像素顶视图。

图 14 是用于液晶显示器件的电路框图。

图 15A-15C 是栅电极和 LDD 区之间位置关系的一组视图。

图 16A-16C 是栅电极和栅极布线之间连接的一组视图。

图 17A-17E 是半导体器件实例的一组视图。

图 18A 和 18B 分别是 EL 显示器件的顶视图和剖面图。

图 19A 和 19B 是 EL 显示器件的像素部位的剖面图。

图 20A 和 20B 是 EL 显示器件的像素部位电路图的顶视图。

图 21A-21C 是 EL 显示器件的像素部位的电路图。

图 22 是由透射电镜摄取的栅电极和栅极布线的接触部位的剖面照片。

图 23 是由透射电镜摄取的栅电极 (Ta) 和栅极布线 (Al-Nd) 的界面的剖面照片。

图 24A 和 24B 是 V_G-I_D 特性和 TFT 的热偏置应力实验的研究结果。

图 25A 和 25B 是信号输出段和接线端之间的波形差, 其中 25A 展示了波形的上沿, 25B 展示了波形下沿。

图 26A 和 26B 是栅电极和栅极布线的接触电阻的计算模拟。

具体实施方式

[实施模式 1]

以下将参考图 1-5 说明本发明的实施例。以下的详细说明将涉及工艺的各步骤, 由此在同一衬底上制造显示区中的像素 TFT 和围绕显示区形成的驱动电路 TFT。但是为使说明简明, 驱动电路将以移位寄存电路, 作为基本电路的 CMOS 电路例如缓冲电路, 和形成取样电路的 n-沟道 TFT 来说明。

对于图 1A, 可以采用低碱玻璃衬底或石英衬底作为衬底 101。在此实施例

中采用低碱玻璃。可以在比玻璃形变温度低约 10-20℃ 的温度下提前进行热处理。在形成 TFT 的衬底 101 的表面上形成基膜 102，例如氧化硅膜、氮化硅膜或氮氧化硅膜，以便防止杂质从衬底 101 扩散。例如，采用等离子体 CVD 法，形成厚 100nm 的由 SiH_4 、 NH_3 和 N_2O 制成的氮氧化硅膜，和厚 200nm 的由 SiH_4 和 N_2O 制成的氮氧化硅膜的层叠体。

接着，采用公知方法例如等离子体 CVD 或溅射，形成厚 20-150nm（最好是 30-80nm）的非晶结构的半导体膜 103a。在此实施例中，采用等离子体 CVD 形成厚 55nm 的非晶硅膜。具有非晶结构的半导体膜包括非晶半导体膜和微晶半导体膜，也可以采用具有非晶结构的化合物半导体膜，例如非晶硅-锗。由于基膜 102 和非晶硅膜 103a 可以采用相同的膜形成方法来形成，所以可连续形成。形成基膜之后，通过从空气气氛中将其一次去除可以防止表面沾污，于是降低了 TFT 性能的波动和制造的 TFT 的阈值电压的变化（图 1A）。

然后采用公知的晶化技术，从非晶硅膜 103a 形成结晶硅膜 103b。例如，可以采用激光晶化法或热晶化法（固相生长法），这里，根据日本专利申请公开 7-130652 公开的技术，通过采用催化剂的晶化方法形成结晶硅膜 103b。晶化步骤之前，虽然应根据非晶硅膜的含水量而定，但最好在 400-500℃ 进行约 1 小时的热处理，在晶化之前把含水量降低到 5at% 以下。非晶硅膜的晶化引起原子的重排，形成更紧密的形式，从而使制成的结晶硅膜的厚度，从初始非晶硅膜的厚度（在此实施例中是 55nm）减少约 1-15%（图 1B）。

然后把结晶硅膜 103b 分离成岛状段，形成岛状半导体层 104-107。然后采用厚 50-100nm 的氧化硅膜，通过等离子体 CVD 或溅射形成掩模层 108（图 1C）。

设置光刻胶掩模 109，按约 $1 \times 10^{16} \sim 5 \times 10^{17}$ 原子/ cm^3 的浓度，添加硼（B）作为 p-型杂质，目的在于限制形成 n-沟道 TFT 的岛状半导体层 104-107 的阈值电压。可以采用离子掺杂法完成硼（B）的添加，或者可以在非晶硅膜的形成的同时添加。虽然添加硼（B）并不是必不可少的，但半导体层 110-112 最好形成添加有硼（B），以便把 n-沟道 TFT 的阈值电压保持在预定范围（图 1D）。

为了形成驱动电路的 n-沟道 TFT 的 LDD 区，向岛状半导体层 110、111 选择地添加 n-型杂质元素。为此目的提前形成光刻胶掩模 113-116。所用的 n-型杂质元素可以是磷（P）或砷（As），在此例中采用离子掺杂法，使用磷化氢（ PH_3 ）来添加磷（P）。形成的杂质区 117、118 的磷（P）浓度可以在 $2 \times 10^{16} \sim 5 \times 10^{19}$

原子/cm³的范围。在整个本说明书中,这里形成的杂质区 117-119 中的 n-型杂质元素的浓度将表达为 (n⁻)。杂质区 119 是用于形成像素矩阵电路的存储电容器的半导体层,此区中同样添加相同浓度的磷 (P) (图 2A)。

随后的步骤是通过氢氟酸等去除掩模层 108,并且激活在图 1D 和图 2A 添加的杂质元素。可以通过在氮气气氛中、500-600℃下热处理 1-4 小时,或者通过激光激活法,进行激活。这些也可以组合进行。在此实施例中,采用激光激活法,采用 KrF 准分子激光 (248nm 波长) 形成线性光束,按 5-50Hz 的振荡频率和 100-500mJ/cm² 的能量密度扫描,具有 80-98% 的线性光束重叠,对其上已形成岛状半导体层的整个衬底进行处理。对激光照射条件没有特别限制,可以由操作者适当设置。

然后采用等离子体 CVD 或溅射,使用含硅绝缘膜形成厚 10-150nm 的栅极绝缘膜 120。例如,形成厚 120nm 的氮氧化硅膜。栅绝缘膜也可以是其它含硅绝缘膜的单层或多层结构 (图 2B)。

然后用第一导体层形成栅电极。此第一导体层可以形成为单层,但是如果需要也可以具有两层或三层的层叠结构。在此实施例中,层叠由导电金属氮化物膜制成的导体层 (A) 121 和由金属膜制成的导体层 (B) 122。导体层 (B) 122 可以由选自钽 (Ta)、钛 (Ti)、钼 (Mo) 和钨 (W) 之中的一种元素形成,或者主要由这些元素之一组成的合金形成,或者包括这些元素的组合的合金膜 (一般是 Mo-W 合金膜或 Mo-Ta 合金膜) 形成,导体层 (A) 121 由氮化钽 (TaN)、氮化钨 (WN)、氮化钛 (TiN) 或氮化钼 (MoN) 形成。作为导体层 (A) 121 的替换材料,可以使用硅化钨、硅化钛或硅化钼。导体层 (B) 可以具有降低的杂质浓度,目的在于降低电阻,特别是氧浓度在 30ppm 以下是满意的。例如,氧浓度在 30ppm 以下的钨 (W) 可以实现 20μΩ cm 以下的电阻率。

导体层 (A) 121 可以是 10-50nm (最好是 20-30nm), 导体层 (B) 122 可以 200-400nm (最好是 250-350nm)。在此实施例中,采用厚 30nm 的氮化钽膜作为导体层 (A) 121,采用 350nm 的 Ta 膜作为导体层 (B) 122,两者均通过溅射形成。在采用溅射的此膜形成中,向 Ar 溅射气体添加适量的 Xe 或 Kr 能够减轻形成膜的内应力,于是防止膜剥落。虽然没有示出,但是可以在导体层 (A) 121 下有效地在形成掺杂有磷 (P) 的厚约 2-20nm 的硅膜。这样能够改善粘附性,

防止其上形成的导体膜氧化，同时还能够防止导体层(A)或导体层(B)中的微量碱金属元素向栅绝缘膜120扩散(图2C)。

然后形成光刻胶掩模123-127，一起腐蚀导体层(A)121和导体层(B)122，形成栅电极128-131和电容器布线132。栅电极128-131和电容器布线132包括集成形成的导体层(A)构成的段128a-132a和导体层(B)构成的段128b-132b。这里，在驱动电路中形成的栅电极129、130是这样形成的，它们借助栅绝缘层120与杂质区117、118的部分交叠(图2D)。

随后是添加p-型杂质元素的步骤，形成驱动电路的p-沟道TFT源区和漏区。这里，采用栅电极128作为掩模，形成自对准杂质区。其中形成有n-沟道TFT的区此时被光刻胶掩模133覆盖。通过采用乙硼烷(B_2H_6)的离子掺杂法形成杂质区134。此区中的硼(B)浓度是 3×10^{20} - 3×10^{21} 原子/ cm^3 。在本说明书中，这里形成的杂质区134中的p-型杂质元素浓度将表示为(p^+) (图3A)。

接着，起源区或漏区作用的杂质区形成在n-沟道TFT中。形成光刻胶掩模135-137，添加n-型杂质元素形成杂质区138-142。这是通过采用磷化氢(PH_3)的离子掺杂法完成的，此区中的磷(P)浓度在 1×10^{20} - 1×10^{21} 原子/ cm^3 的范围。在本说明书中，这里形成的杂质区138-142中的n-型杂质元素浓度将表示为(n^+) (图3B)。

杂质区138-142早已含有在先步骤中添加的磷(P)或硼(B)，但是由于相对而言添加了足够高浓度的磷(P)，所以在在先步骤中添加的磷(P)或硼(B)的影响可以忽略不计。由于向杂质区138添加的磷(P)的浓度是在图3A添加的硼(B)浓度的1/2-1/3，所以可以保证p-型导电型，从而对TFT的性能没有影响。

随后的步骤是添加n-型杂质，在像素矩阵电路的n-沟道TFT中形成LDD区。这里，采用栅电极131作为离子掺杂法的n-型杂质元素的自对准添加的掩模。添加的磷(P)浓度是 1×10^{16} - 5×10^{18} 原子/ cm^3 ，添加浓度低于在图2A、3A和3B中添加的杂质元素浓度，基本仅形成杂质区143、144。在本说明书中，在这些杂质区143、144中的n-型杂质元素的浓度将表示为(n^-) (图3C)。

随后是热处理的步骤，激活按其各个浓度添加的n-型或p-型杂质元素。此步骤可以采用炉退火法、激光退火法或快速热退火法(RTA法)完成。这里，采用炉退火法完成激活步骤。在氧浓度不大于1ppm的氮气气氛中进行热处理，

最好不大于 0.1ppm, 在 400-800°C 下, 一般在 500-600°C, 对于本实施例, 是在 550°C 进行 4 小时热处理。当采用耐热材料例如石英衬底作为衬底 101 时, 即使在 800°C 进行 1 小时的热处理, 也可以激活杂质元素, 在添加了杂质元素的杂质区和沟道形成区之间形成满意的键合。

在热处理中, 从形成栅电极 128-131 和电容器布线 132 的金属膜 128b-132b 的表面, 形成厚 5-80nm 的导体层 (C) 128c-132c。例如, 当导体层 (B) 128b-132b 是钨 (W) 时, 可以形成氮化钨 (WN), 而采用钽 (Ta) 时可以形成氮化钽 (Ta₂N₅)。通过把栅电极 128-131 暴露于含氮等离子体气氛, 采用氮气或氨气, 按相同方式形成导体层 (C) 128c-132c。还在含 3-100% 氢的气氛中, 在 300-450°C 进行 1-12 小时的热处理, 进行岛状半导体层的氢化。此步骤是通过热激发氢终止半导体层的悬挂键的步骤。作为氢化的另一种方式也可以进行等离子体氢化 (采用等离子体激发氢)。

当通过采用催化剂元素从非晶硅膜晶化的方法制备岛状半导体层时, 在岛状半导体层中残留微量催化剂元素。虽然即使在这种条件也能够完成 TFT, 但至少从沟道形成区去除残留的催化剂元素则更好。去除催化剂元素的一种方式是利用磷 (P) 的吸气效应。吸气所必需的磷 (P) 浓度是在与图 3B 形成的杂质区 (n⁺) 相同的水平上, 这里进行的激活步骤的热处理可从 n-沟道 TFT 和 p-沟道 TFT 的沟道形成区中吸取催化剂元素 (图 3D)。

图 6A 和图 7A 是到目前为止的 TFT 的顶视图, 其中剖面 A-A' 和剖面 C-C' 对应于图 3D 的 A-A' 和 C-C'。剖面 B-B' 和剖面 D-D' 对应于图 8A 和图 9A 的剖面图。图 6A-6C 和图 7A-7C 的顶视图省略了栅电极膜, 但是到此步骤为止, 至少栅电极 128-131 和电容器布线 132 已形成在岛状半导体层 104-107 上, 如图所示。

完成激活和氢化步骤之后, 形成第二导体层用做栅极布线。这种第二导体层可以用导体层 (D) 和导体层 (E) 形成, 导体层 (D) 主要由作为低电阻材料的铝 (Al) 或铜 (Cu) 组成, 导体层 (E) 由钛 (Ti)、钽 (Ta)、钨 (W)、或钼 (Mo) 制成。在此实施例中, 导体层 (D) 145 是含 0.1-2wt% 钛 (Ti) 的铝 (Al) 膜, 导体层 (E) 146 是钛 (Ti) 膜。导体层 (D) 145 可以形成为 200-400nm (最好是 250-350nm), 导体层 (E) 146 可以形成为 50-200nm (最好是 100-150nm) (图 4A)。

导体层(E) 146 和导体层(D) 145 进行腐蚀处理, 形成连接栅电极的栅极布线, 如此形成栅极布线 147、148 和电容器布线 149。腐蚀处理首先通过采用 SiCl_4 、 Cl_2 和 BCl_3 的混合气体的干法腐蚀法, 从导体层(E) 的表面经过导体层(D) 到达一半的去除, 然后采用磷酸基腐蚀溶液进行湿法腐蚀, 去除导体层(D), 这样可以在形成栅极布线的同时保持以基底层的选择加工。

图 6B 和图 7B 是这种状态的顶视图, 其中剖面 A-A' 和剖面 C-C' 对应于图 4B 中的 A-A' 和 C-C'。剖面 B-B' 和剖面 D-D' 对应于图 8B 和图 9B 的 B-B' 和 D-D'。在图 6B 和 7B 中, 部分栅极布线 147、148 交叠, 已与部分栅电极 128、129、131 电接触。这种状态清楚地显示在对应于剖面 B-B' 和 D-D' 的图 8B 和 9B 的剖面结构图, 其中形成第一导体层的导体层(C) 和形成第二导体层的导体层(D) 电接触。

采用氧化硅膜或氮氧化硅膜, 形成厚 500-1500nm 的第一层间绝缘膜 150, 之后形成接触孔到达每个岛状半导体层中形成的源区或漏区, 形成源布线 151-154 和漏布线 155-158。虽然这里没有示出, 但是在此实施例中, 电极具有三层层叠结构, 是通过溅射连续形成的 100nmTi 膜、300nm 的含 Ti 铝膜和 150nm 的 Ti 膜。

接着, 形成厚 50-500nm (一般是 100-300nm) 的氮化硅膜、氧化硅膜或氮氧化硅膜, 作为钝化膜 159。在此状态的氢化处理对 TFT 性能提高有利。例如, 可以在含 3-100% 氢的气氛中、300-450℃ 进行 1-12 小时的热处理, 或者通过使用等离子体氢化法可以达到类似的效果。这里, 在要形成用于像素电极和漏布线的连接的接触孔的位置, 在钝化膜 159 中形成开口 (图 4C)。

图 6C 和图 7C 展示了这种情况的顶视图, 其中剖面 A-A' 和剖面 C-C' 对应于图 4C 中的 A-A' 和 C-C'。剖面 B-B' 和剖面 D-D' 对应于图 8C 和图 9C 中的 B-B' 和 D-D'。图 6C 和图 7C 没有展示第一层间绝缘膜, 但是岛状半导体层 104、105、107 的源区和漏区 (未示出) 中的源区布线 151、152、154 和漏区布线 155、156、158, 借助形成在第一层间绝缘膜的接触孔来连接。

接着, 形成厚 1.0-1.5 μm 的有机树脂制成的第二层间绝缘膜 160。所用的有机树脂可以是聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺氨化物、BCB (苯并环丁稀) 等。这里, 对衬底涂敷之后, 采用热聚合型聚酰亚胺, 在 300℃ 烧结形成。然后在第二层间绝缘膜 160 中形成到达漏区布线 158 的接触孔, 并形成像素电

极 161、162。使用的像素电极，在透射液晶显示器件的情形可以是透明导电膜，或者在反射液晶显示器件的情形可以是金属膜。在此实施例中采用透射液晶显示器件，因此通过溅射形成厚 100nm 的氧化铟锡（ITO）膜（图 5）。

按此方式制成在同一衬底上具有驱动电路 TFT 和显示区像素 TFT 的基片。在驱动电路上形成 p-沟道 TFT201、第一 n-沟道 TFT202 和第二 n-沟道 TFT203，在显示区上形成像素 TFT204 和存储电容器 205。在本说明书中，这种基片将简称为有源矩阵基片。

驱动电路的 p-沟道 TFT201 在岛状半导体层 104 中具有沟道形成区 206、源区 207a、207b 和漏区 208a、208b。第一 n-沟道 TFT202 在岛状半导体层 105 中具有沟道形成区 209、与栅电极 129 交叠 LDD 区 210（以下这种 LDD 区将称为 L_{ov} ）、源区 211 和漏区 212。这种 L_{ov} 区在沟道长度方向的长度是 0.5-3.0 μm ，是 1.0-1.5 μm 更好。第二 n-沟道 TFT203 在岛状半导体层 106 中具有沟道形成区 213、LDD 区 214、215、源区 216 和漏区 217。这些 LDD 区由 L_{ov} 区和不与栅电极 130 交叠的 LDD 区（以下这种 LDD 区将称为 L_{off} ）形成，这种 L_{off} 区在沟道长度方向的长度是 0.3-2.0 μm ，是 0.5-1.5 μm 更好。像素 TFT204 在岛状半导体层 107 中具有沟道形成区 218、219、 L_{off} 区 220-223、源区和漏区 224-226。 L_{off} 区在沟道长度方向的长度是 0.5-3.0 μm ，是 1.5-2.5 μm 更好。电容器布线 132、149 和由与栅绝缘膜相同材料制成的绝缘膜连接于像素 TFT204 的漏区 226，存储电容器 205 由添加 n-型杂质元素的半导体层 227 形成。图 5 中像素 TFT204 具有双栅极结构，但是也可以是单栅极结构，采用具有多栅电极的多栅极结构没有问题。

这样，本发明根据对像素 TFT 和驱动电路的技术要求，优化了每个电路的 TFT 结构，从而可改善半导体器件的工作性能和可靠性。此外，通过用耐热导电材料形成栅电极，可以有助于 LDD 区和源区和漏区的激活，从而通过用低电阻材料形成栅极布线来充分降低布线电阻。这样可以应用于在 4 英寸以上级别的显示区（屏幕尺寸）。

[实施模式 2]

图 16A-16C 展示了栅电极和栅极布线的另一个实施例。按与实施模式 1 所示步骤相同的方式形成图 16 中的栅电极和栅极布线，形成在岛状半导体层 901 和栅绝缘膜 902 上

图 16A 中, 作为栅电极的第一导体层, 是由氮化钽 (TaN)、氮化钨 (WN)、氮化钛 (TiN) 或氮化钼 (MoN) 形成的导体层 (A) 903。导体层 (B) 904 由选自钽 (Ta)、钛 (Ti)、钼 (Mo) 和钨 (W) 之中的元素, 或者主要由这些元素组成的合金或包括这些元素组合的合金膜形成的, 而导体层 (C) 905 按与实施模式 1 相同的方式形成在表面上。导体层 (A) 903 可以是 10-50nm (最好是 20-30nm), 导体层 (B) 904 可以是 200-400nm (最好是 250-350nm)。通过层叠导体层 (D) 906 和位于其上的导体层 (E) 907 形成作为栅极布线的第二导体层, 导体层 (D) 906 主要由作为低电阻材料的铝 (Al) 或铜 (Cu) 构成, 导体层 (E) 907 由钛 (Ti) 或钽 (Ta) 形成。由于通过应力迁移和电迁移而使铝 (Al) 和铜 (Cu) 快速扩散, 所以氮化硅膜 908 必须形成为厚 50-150nm, 以便覆盖第二导体层。

图 16B 展示了按与实施模式 1 相同的方式制备的栅电极和栅极布线, 掺杂了磷 (P) 的硅膜 909 形成在栅电极之下。掺杂了磷 (P) 的硅膜 909 具有防止栅电极中的微量碱金属元素扩散进入栅绝缘膜的作用, 有利于保证 TFT 可靠性。

图 16C 是在形成栅电极的第一导体层上形成掺杂磷 (P) 的硅膜 910 的例子。掺杂磷 (P) 的硅膜是电阻大于其它导体金属材料, 但是通过用铝 (Al) 或铜 (Cu) 形成由栅极布线构成的第二导体层, 可以应用于大面积的液晶显示器件。这里, 栅极布线可以是三层结构, 通过达 100nm 的 Ti 膜 911、达 300nm 的含 Ti 铝 (Al) 膜 912 和达 150nm 的 Ti 膜 913 来形成, 避免铝 (Al) 膜和掺杂磷 (P) 的硅膜之间直接接触, 提供耐热性。

[实施模式 3]

图 15A-15C 是根据本发明的 TFT 的结构示意图, 展示了 TFT 中的栅电极和 LDD 区之间的位置关系, 这种 TFT 具有半导体层沟道形成区、LDD 区、位于半导体层上的栅极绝缘膜和位于栅极绝缘膜上的栅电极。

图 15A 展示的结构设置了具有沟道形成区 209、LDD 区 210 和漏区 212 的半导体层, 和形成于其上的栅极绝缘膜 120 和栅电极 129。LDD 区 210 是通过栅极绝缘膜 120 与栅电极 129 交叠设置的 L_{ov} 。 L_{ov} 具有衰减靠近漏区产生的强电场的功能, 同时防止热载流子引起的退化, 能够适用于包括移位寄存器电路、电平漂移电路、缓冲电路等的驱动电路的 n-沟道 TFT。

图 15B 展示的结构设置了具有沟道形成区 213、LDD 区 215a、215b 和漏区 217 的半导体层，和形成于半导体层上的栅极绝缘膜 120 和栅电极 130。LDD 区 215a 设置成通过栅极绝缘膜 120 与栅电极 130 交叠。而且，LDD 区 215b 是不与栅电极 130 交叠设置的 L_{off} 。 L_{off} 具有降低截止电流值的功能，设置有 L_{ov} 和 L_{off} 的结构能够防止热载流子引起的退化，同时还能够降低截止电流值，从而可以适用于驱动电路的取样电路的 n-沟道 TFT。

图 15C 展示了设置有沟道形成区 219、LDD 区 223 和漏区 226 的半导体层。LDD 区 223 是不通过栅极绝缘膜 120 与栅电极 131 交叠设置的 L_{off} ，其可以有效地降低截止电流值，因此适合用于像素 TFT。像素 TFT 的 LDD 区 223 中的 n-型杂质浓度最好比驱动电路的 LDD 区 210、215 中的浓度小 1/2-1/10。

[实施模式 4]

在此实施例中，将说明从有源矩阵衬底制备有源矩阵型液晶显示器件的步骤。如图 11 所示，按实施模式 1 制备的如图 5 所示状态下，在有源矩阵衬底上形成对准膜 601。对于大多数液晶显示器件，常常采用聚酰亚胺树脂作为对准膜。在相反侧上的对置衬底 602 上，形成光屏蔽膜 603、透明导体膜 604 和对准膜 605。形成对准膜之后进行摩擦处理，以便按一致的预置倾角使液晶分子取向。通过公知的单元接合步骤，经过封接材料或衬垫（未示出），把像素矩阵电路和与其上已经形成了 CMOS 电路的有源矩阵对置的衬底装配在一起。然后，在两个衬底之间注入液晶材料 606，采用密封剂（未示出）完成全部封接。使用的液晶材料可以是任何公知的液晶材料。这就制成了如图 11 所示的有源矩阵型液晶显示器件。

以下将参考图 12 的透视图和图 13 的顶视图，说明这种有源矩阵型液晶显示器件。图 12 和 13 中所用的相同标号对应于图 1-5 和图 11 的剖面结构图。沿图 13 中的 E-E' 的剖面结构对应于图 5 中的像素矩阵电路的剖面图。

图 12 中，有源矩阵衬底由形成在玻璃衬底 101 上的显示区 306、扫描信号驱动电路 304 和图象信号驱动电路 305 构成。像素 TFT204 设置显示区，围绕其设置的驱动电路由 CMOS 电路构成。扫描信号驱动电路 304 和图象信号驱动电路 305 分别通过栅极布线 148 和源区布线 154 连接到像素 TFT204。而且，FPC731 连接于外 I/O 接线端 734，并且通过输入布线 302、303 连接到每个驱动电路。

图 13 的顶视图展示了显示区 306 的大约一个像素部分。栅极布线 148 借助

栅极绝缘膜（未示出）与其之下的半导体层 107 交叉。半导体层上未示出的还有源区、漏区和作为 n⁺区的 L_{off} 区。连接器 163 存在于源区布线 154 和源区 224 之间，连接器 164 存在于漏区布线 158 和漏区 226 之间，连接器 165 存在于漏区布线 158 和像素电极 161 之间。存储电容器 205 形成的区中，从像素 TFT204 的漏区 226 延伸的半导体层 227 借助栅电极膜与电容器布线 132、149 交叠。

上面用实施模式 1 的结构说明了本实施例的有源矩阵型液晶显示器件，但是也可以采用与实施模式 2 的结构的任意组合制备有源矩阵液晶显示器件。

[实施模式 5]

图 10 是液晶显示器件的 I/O 接线端、显示区和驱动电路的排列示意图。显示区 306 具有按矩阵形式交叉的 m 个栅极布线和 n 个源区布线。例如，当像素密度是 VGA（视频图形阵列）时，形成 480 个栅极布线和 640 个源区布线，对于 XGA（扩展图形阵列），形成 768 个栅极布线和 1240 个源区布线。在 13 英寸级别显示的情况，显示区的屏幕尺寸具有 340mm 的对角线长度，在 18 英寸级别显示的情况是 460mm。为了实现这种液晶显示器件，必须形成低电阻材料的栅极布线，如实施模式 1 和实施模式 2 所示。

围绕显示区 306 设置扫描信号驱动电路 304 和图象信号驱动电路 305。由于随着显示区屏幕尺寸的增大，这些驱动电路栅极布线的长度也必须较长，所以最好由低电阻材料形成，如实施模式 1 和实施模式 2 所示，以便实现大尺寸屏幕。

根据本发明，从输入端 301 连接于每个驱动电路的输入布线 302、303，可以由与栅极布线相同的材料形成，它们能够有助于低的布线电阻。

[实施模式 6]

图 14 是实施模式 1 或实施模式 2 所示有源矩阵衬底的结构视图，用于直观式显示器件结构。此实施例的有源矩阵衬底具有图象信号驱动电路 1001、扫描信号驱动电路（A）1007、扫描信号驱动电路（B）1011、预充电电路 1012 和显示区 1006。在本说明书中，术语“驱动电路”将包括图象信号驱动电路 1001 和扫描信号驱动电路（A）1007。

图象信号驱动电路 1001 设置有移位寄存器电路 1002、电平漂移电路 1003、缓冲电路 1004 和取样电路 1005。扫描信号驱动电路（A）1007 设置有移位寄存器电路 1008、电平漂移电路 1009 和缓冲电路 1010。扫描信号驱动电路（B）1011

也具有相同的结构。

移位寄存器电路 1002、1008 具有 5-16V 的驱动电压（一般是 10V），形成这种电路的 CMOS 电路的 n-沟道 TFT 适合具有如图 5 中 202 所示的结构。电平漂移电路 1003、1009 和缓冲电路 1004、1010 具有高达 14-16V 的驱动电压，对于移位寄存器电路，包括图 5 中的 n-沟道 TFT 的 CMOS 电路是适合的。在这些电路中，用多栅极结构形成栅电极有利于提高耐电压能力和改善电路可靠性。

取样电路 1005 具有 14-16V 的驱动电压，但是由于必须降低截止电流值，同时用交替反向的极性进行驱动，所以含有图 5 的 n-沟道 TFT203 的 CMOS 电路是适合的。图 5 仅展示了 n-沟道 TFT，但是在实际取样电路中是与 p-沟道 TFT 组合形成。这里，p-沟道 TFT 适合具有同一图中 201 所示的结构。

像素 TFT204 具有 14-16V 的驱动电压，从降低功耗的来看，要求截止电流值比取样电路更为降低，因此该结构具有的 LDD(L_{off})区最好没有按像素 TFT204 那样方式与栅电极交叠。

根据实施模式 1 所示的步骤制备 TFT 可以容易地实现此实施例的结构。在此实施例中，仅展示了用于显示区和驱动电路的结构，但是在实施模式 1 的步骤之后，可以在同一衬底上形成信号处理电路，例如信号分割电路、分谐波电路、D/A 转换器、 γ -校正电路、运算放大器电路、存储器电路或计算处理电路，或逻辑电路。这样，本发明能够在同一衬底上实现包括像素矩阵电路及其驱动电路的半导体器件，例如装配信号驱动电路和像素矩阵电路的半导体器件。

[实施模式 7]

根据本发明制备的有源矩阵衬底和液晶显示器件可以用于各种光电器件。本发明也可以用于任何含有这种光电器件作为显示介质的电子设备。作为电子设备这里可以列举个人计算机，数字照相机，录象机，便携式信息终端（移动计算机，蜂窝电话，电子书籍等），导航系统等。这些之中的例子如图 17A-17E 所示。

图 17A 是个人计算机，其由设置有微处理器或存储器的主体 2001、图象输入器件 2002、显示器件 2003 和键盘 2004 构成。可以根据本发明形成显示器件 2003 或其他信号处理电路。

图 17B 是录象机，由主体 2101、显示器件 2102、声音输入器件 2103、操作开关 2104、电池 2105 和图象接收器件 2106 构成。本发明可以用于显示器件

2102 或其他信号驱动电路。

图 17C 是便携式数字终端，由主体 2201、图象输入器件 2202、图象接收器件 2203、操作开关 2204 和显示器件 2205 构成。本发明可以用于显示器件 2205 或其他信号驱动电路。

图 17D 是用于记录了节目的记录介质（以下简称为记录介质）的播放器，由主体 2401、显示器件 2402、扬声器 2403、记录介质 2404 和操作开关 2405 构成。使用的记录介质可以是 DVD（数字通用盘）或压缩盘（CD），可以重放音乐节目和图象显示，以及通过互连网显示视频节目（或 TV 节目）的数据。本发明可以满意地用于显示器件 2402 或其他信号驱动电路。

图 17E 是数字照相机，由主体 2501、显示器件 2502、取景器 2503、操作开关 2504 和图象接收器（未示出）构成。本发明可以用于图象器件 2502 或其他信号驱动电路。

这样，本发明的应用范围极宽，能够用于各种领域的电子设备。这些实施例的电子设备也可以采用实施模式 1-6 的组合来实现。

[实施模式 8]

在本实施模式中，将说明由类似于实施模式 1 的有源矩阵衬底，制造采用电致发光（EL）材料的自发发光式显示屏（以下称为 EL 显示器件）的例子。图 18A 展示了 EL 显示屏的顶视图。图 18A 中，参考标号 10 是衬底，11 是像素段，12 是源区侧驱动电路，13 是栅电极侧驱动电路，每个驱动电路通过布线 14-16 到达 FPC17，然后连接于外部器件。

图 18B 展示了在图 18A 的线 A-A' 的剖面。这里对置板 80 至少位于像素段之上，最好在驱动电路和像素段上。对置板 80 被封接材料 19 粘附在有源矩阵衬底上，其上形成 TFT 和采用 EL 材料的自发发光层。填料（图中未示出）混合在封接材料 19 中，两个衬底被这种填料粘附在一起，具有大致均匀的间距。该器件的结构通过封接材料 19 外侧和 FPC17 周边上的密封剂 81 密封。密封剂 81 使用例如硅树脂、环氧树脂、酚树脂或丁基橡胶等材料。

当有源矩阵衬底 10 和对置衬底 80 被封接材料 19 粘附在一起时，其内形成空隙。用填料 83 填充该空隙，这种填料 83 还具有粘附对置板 80 的作用。PVC（聚氯乙烯）、环氧树脂、硅树脂、PVB（聚乙烯醇缩丁醛）或 EVA（乙酸乙烯酯）可以用做填料 83。由于自发发光层的抗湿性较弱，易于退化，最好

在填料 83 内形成干燥剂例如氧化钡, 以便能够保持水分吸收效应。而且器件的结构还有在自发发光层上由氮化硅膜或氮氧化硅膜等形成钝化膜, 以便防止包括填料 83 在内的碱性元素产生的腐蚀。

对置板 80 可以采用玻璃板、铝板、不锈钢板、FRP (玻璃纤维增强塑料) 板、PVF (聚氯乙烯) 膜、Mylar 膜 (I.E. du Pont de Nemours and Company 的商标)、聚酯膜、丙烯酸膜或丙烯酸板。而且, 通过使用具有几十 μm 铝箔与 PVF 膜或 Mylar 膜TM 的夹层结构的片可以提高抗湿性。按此方式, EL 元件被密封并与外界气氛屏蔽开。

在图 18B 中, 驱动电路 TFT22 (注意组合 n-沟道 TFT 和 p-沟道 TFT 的 CMOS 电路如图所示), 和用于像素段的 TFT23 (注意控制到达 EL 元件的电流的 TFT 如此图所示) 形成在衬底 10 和基膜 21 上。特别是, 在这些 TFT 中, n-沟道 TFT 设置有构如本实施例所示的 LDD 区, 防止导通电流因热载流子效应而降低, 以及性能因第 V 次漂移或偏置应力而退化。

例如, 图 5 所示的 p-沟道 TFT201 和 n-沟道 TFT202 可以用做驱动电路 TFT22。虽然其取决于驱动电压, 如果驱动电压是 10V 以上, 则图 5 的第一 n-沟道 TFT204 或具有相同结构的 p-沟道 TFT 可以用做像素段 TFT。虽然第一 n-沟道 TFT202 构成为设置有在漏区侧上与栅电极交叠的 LDD, 但是当驱动电压小于 10V 时并不必须这样设置, 因为几乎可以忽略因热载流子效应引起的 TFT 退化。

为了从在图 1A-1D 状态的有源矩阵衬底制备 EL 显示器件, 包括树脂材料的层间绝缘膜 (平坦膜) 26 形成在源区布线和漏区布线上, 包括电连接于像素段 TFT23 的漏区的透明导体膜的像素电极 27 形成于其上。氧化铟和氧化锡和化合物 (称为 ITO) 或者氧化铟和氧化锌的化合物可以用做透明导体膜。形成像素电极 27 之后, 形成绝缘膜 28, 在像素电极 27 上形成开孔段。

接着, 形成自发发光层 29。自发发光层 29 可以是层叠结构或单层结构, 其中公知的 EL 材料 (空穴注入层、空穴传送层、发光层、电子传送层或电子注入层) 可以自由组合。考虑如何构成时可以采用公知范畴的技术。而且, 对于 EL 材料有小分子材料和聚酯材料。在采用小分子材料的情形使用蒸发方法, 在采用聚酯材料的情形可以使用简单方法, 例如旋涂法、印刷法或喷墨法等。

可以通过采用阴罩掩模的蒸发法、喷墨法或投放器法形成自发发光层。按

这些方式，通过形成每个像素能够发出不同波长的光发光层（发红光层、发绿光层和发蓝光层），可以实现彩色显示。可以采用其它任何方式，例如色彩变化层（CCM）与滤色器组合，发白光层与滤色器组合。不用说也可以采用发单色光的 EL 显示器件。

形成自发发光层 29 之后，在顶部形成阴极 30。最好尽可能地去掉阴极 30 和自发发光层 29 之间界面存在的水分和氧。因此必须采取如下措施，例如通过连续膜淀积在真空中形成自发发光层 29 和阴极 30，或者在惰性气氛中形成自发发光层 29，然后在不暴露大气的条件下形成阴极 30。可以采用多室系统（群工具系统）淀积设备按本实施例进行上述膜淀积。

注意采用 LiF（氟化锂）膜和 Al（铝）膜的层叠结构用于实施模式 8 的阴极 30。特别是，通过蒸发 1nm 厚的 LiF（氟化锂）膜形成在自发发光层 29 上，在其上部形成 300nm 厚的铝膜。不用说，可以使用 MgAg 电极、公知电极材料。阴极 30 在参考标号 31 表示的区域与布线 16 连接。布线 16 是电源线，以便为阴极 30 提供预定的电压，并通过各向异性导电膏材料 32 与 FPC17 连接。在 FPC17 上还形成树脂层 80，这部分的粘附性得以提高。

为了在参考标号 31 代表的区域电连接阴极 30 和布线 16，必须在层间绝缘膜 26 和绝缘膜 28 中形成接触孔。可以在层间绝缘膜 26 的腐蚀期间（当形成像素电极接触孔时）和绝缘膜 28 的腐蚀期间（当形成自发发光层之前形成开口段时）形成接触孔。而且，在腐蚀绝缘膜 28 时可以在整个过程中的一次发射中对层间绝缘膜 26 进行腐蚀。在这种情况下，接触孔可以具有良好的形状，只要层间绝缘膜 26 和绝缘膜 28 是相同树脂材料即可。

布线 16 穿过封接材料 19 和衬底 10 之间的空间（只要用密封剂 81 封闭即可）与 FPC17 连接。注意这里的说明是针对布线 16，但是其它布线 14 和 15 也可以按类似方式穿过封接材料 18 之下与 FPC17 电连接。

像素段的更详细剖面结构如图 19A 和 19B 所示，顶视图如图 20A 所示，电路图如图 20B 所示。在图 19A 中，设置在衬底 2401 上的开关 TFT2402，按与实施模式 1 的图 5 的像素 TFT204 相同的结构形成。成为 2 个 TFT 通过采用双栅电极结构串联的结构，通过在不与栅电极交叠而设置的偏置区中形成 LDD 可以降低截止电流值。虽然本实施例使用双栅电极结构，但是结构可以是三栅电极结构或者具有更多栅电极的多栅电极结构。

而且,采用如图5所示的第一n-沟道 TFT202 形成电流控制 TFT2403。这种 TFT 结构是这样的结构,其中与栅电极交叠的 LDD 仅设置在漏区侧,通过降低寄生电容和栅极与漏区之间的串联电阻,提高了电流驱动器容量。而且从其它观点来看,应用这种结构具有非常重要的意义。由于电流控制 TFT 是控制流过 EL 元件的电流量的元件,所以该元件流过大量电流时存在因加热而退化和因热载流子而退化的较大危险。通过设置部分与栅电极交叠的 LDD,可以防止电流控制 TFT 的退化,提高工作可靠性。此时,开关 TFT2402 的漏区布线 35 通过布线 36 与电流控制 TFT 的栅电极 37 电连接。参考标号 38 代表的布线是栅极布线,与开关 TFT2402 的栅电极 39a 和 39b 电连接。

而且,虽然本实施例展示了用于电流 TFT2403 的单栅极结构,但也可以是串联连接多个 TFT 多栅极结构。而且,可以是多个 TFT 并联连接、在效果上分开沟道形成区的结构,其中可以高效地获得热发射。这种结构是针对因加热而退化的有效对策。

如图 20A 所示,成为电流控制 TFT2403 的栅电极 37 的布线,通过在参考标号 2404 代表的区设置绝缘膜,与电流控制 TFT2403 的漏区布线 40 交叠。在参考标号 2404 代表的区形成电容器。此电容器 2404 的作用是保持施加于电流控制 TFT2403 栅电极的电压。漏区布线 40 连接于电流线(电源线)2501,对其总是施加恒定电压。

在开关 TFT2402 和电流控制 TFT2403 上形成第一钝化膜 41,在其上形成包括树脂绝缘膜的平坦化膜 42。采用平坦化膜 42 使因 TFT 产生的平面差平坦化是非常重要的。之后形成的自发发光层是如此之薄,以致存在平面差有时会导致发光缺陷。因此需要在形成像素电极之前进行平坦化处理,以便在尽可能平坦的表面上形成自发发光层。

43 代表的是具有高反射率的导电膜制成的像素电极(EL 元件的阴极),与电流控制 TFT2403 的漏区电连接。像素电极 43 的优选材料是低电阻导电膜,例如铝合金膜、铜合金膜和银合金膜,或者这些膜的层叠膜。不用说,可以使用这些膜与其它导电膜形成层叠结构。由绝缘膜(最好是树脂)制成的边坡 44a 和 44b 在其间形成沟槽(对应于像素),在沟槽中形成发光层 44。虽然这里仅展示了一个像素,但是可以形成分别对应于 R(红)、G(绿)和 B(蓝)色的发光层。作为形成发光层的有机 EL 材料采用 π 共轭聚酯材料。代表性的聚酯材

料包括聚对亚苯基亚乙烯基 (PPV)、聚乙烯吡唑 (PVK)、和聚氟基材料等。在各种形式的 PPV 基有机 EL 材料中, 有用的材料例如公开在 H.Shenk, H.Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes," Euro Display, Proceedings, 1999, pp.33-37, 或公开在日本专利申请公开平 10-92576。

具体地, 采用氰基聚亚苯基亚乙烯基用于发射红光的发光层, 采用聚亚苯基亚乙烯基用于发射绿光的发光层, 采用聚亚苯基亚乙烯基或聚烷基亚苯基用于发射蓝光的发光层。其适当的膜厚是 30-150nm (最好是 40-100nm)。而且, 上述说明是可用做发光层的有机 EL 材料, 但本发明并不限于此。通过自由组合发光层、电荷输送层和电荷注入层, 可以形成自发发光层 (用于发光和用于移动载流子发光的层)。代替在本实施例所示例子中用做发光层的聚酯材料, 例如可以采用小分子有机 EL 材料。也可以使用无机材料例如碳化硅, 用于电荷输送层和电荷注入层。公知材料可以用做这些元件 EL 材料和无机材料。

本实施例中的自发发光层具有层叠结构, 其中包括 PEDOT (聚三苯) 或者 PAni (聚苯胺) 的空穴注入层 46 层叠在发光层 45 上。在本实施例的情形, 在发光层 45 产生的光发射向顶面 (向上超出 TFT), 这要求阳极具有透光性。透明导电膜可以由氧化铟和氧化锡的化合物形成, 或者由氧化铟和氧化锌的化合物形成, 优选的材料是能够在尽可能低的温度下形成膜的材料, 因为在形成耐热性低的发光层和空穴注入层之后形成透明导电膜。

通过形成阳极 47 从而制成自发发光元件 2045。这里的自发发光元件 2045 是指由像素电极 (阴极) 43、发光层 45、空穴注入层 46 和阳极 47 构成的电容器。如图 20A 所示, 像素电极 43 几乎延伸在全部像素区域上, 从而全部像素起自发发光元件的作用。因此发光效率非常高, 所以图象显示明亮。

在此实施例中, 在阳极 47 上还形成第二钝化膜 48。优选的第二钝化膜 48 是氮化硅膜或氮氧化硅膜。此第二钝化膜的目的在于使自发发光元件与外界封闭, 防止有机 EL 材料因氧化而退化, 以及抑制有机 EL 材料放气。这样可以提高 EL 显示器件的可靠性。

如上所述, 本实施例的 EL 显示屏包括像素段, 像素段包括如图 20A 所示的结构的像素, 具有足够低的截止电流值的开关 TFT, 和抵抗热载流子能力强的电流控制 TFT。如此获得的是具有高可靠性并且图象显示优异的 EL 显示屏。

图 19B 展示了自发发光层转变的例子。采用与图 5 的 p-沟道 TFT 相同结构形成电流控制 TFT2601。制备方法可以优选实施模式 1。此实施例中采用透明导电膜用做像素电极（阳极）50。具体地，采用由氧化铟和氧化锌的化合物制成的导电膜。不用说，由氧化铟和氧化锡的化合物制成的导电膜也可以采用。

形成绝缘膜制成的边坡 51a 和 51b 之后，通过施加溶液形成包括聚乙烯吡啶的发光层 52。在其上形成包括乙酰丙酮钾（表示为 acacK）的电子注入层 53 和由铝合金制成的阴极 54。此时，阴极 54 还起钝化膜的作用。如此形成 EL 元件 2602。在此实施例中，发光层 52 中产生的光被发射朝向形成了 TFT 的衬底，如图中箭头所示。在采用本实施例的结构的情形，最好由 p-沟道 TFT 形成电流控制 TFT。

本实施例所示的 EL 显示器件可以用做实施模式 7 的电子器件的显示段。

[实施模式 9]

本实施例展示在图 21A-21C，这些例子中像素具有不同于图 20B 的电路图的结构。在此实施例中，参考标号 2701 代表开关 TFT2702 的源区布线，2703 代表开关 TFT2702 的栅极布线，2704 代表电流控制 TFT，2705 代表电容器，2706 和 2708 代表电流供给线，2707 代表 EL 元件。

图 21A 展示了两个像素共用电流供给线 2706 的例子。换言之，此例的特征在于与电流供给线 2706 对称地形成两个像素。此时，电流供给线的数量可以减少，可以进一步提高像素段的确定性（definition）。

图 21B 展示了电流供给线 2708 布置成与栅极布线 2703 平行的例子。虽然电流供给线如此布置，不与图 21B 中的栅极布线 2703 交叠，但是如果这些线形成在不同的层，则两条线可以通过绝缘膜彼此交叠。此时，电流供给线 2708 和栅极布线 2703 可以共用其占据的区域，进一步提高像素段的确定性。

图 21C 所示例子的特征在于，电流供给线 2708 的布置与图 21B 的结构类似，与栅极布线 2703 平行，而且两个像素对称于电流供给线 2708 形成。使电流供给线 2708 与栅极布线 2703 之一交叠，这样的布置也是有效的。此时，可以减少电流供给线的数量，进一步提高像素段的确定性。虽然设置电容器 2705 以便保持在图 21A 和 21B 的电流控制 TFT2704 的栅电极施加的电压，但也可以省略电容器 2705。

由于如图 19A 所示的本发明的 n-沟道 TFT 用做电流控制 TFT2704，所以其

具有的 LDD 区设置成通过插入的栅极绝缘膜与栅电极交叠。一般称为寄生电容的栅极电容形成在此交叠区，本实施例的特征在于使用寄生电容代替电容器 2705。由于此寄生电容的电容量因栅电极和 LDD 区的交叠面积而变化，所以包含在交叠区的 LDD 区的长度决定了其电容量。而且，同样可以省略图 21A-21C 的结构的电容器 2705。

注意本实施模式所示 EL 显示器件的电路结构可以选自实施模式 1 所示 TFT 结构，形成图 21A-21C 所示电路。可以使用本实施例的 EL 显示屏作为实施模式 7 的电子器件的显示段。

[实施例]

[实施例 1]

如实施模式 1 所示，TFT 的栅电极和栅极布线在岛状半导体层之外接触，不插入接触孔。对这种结构的栅电极和栅极布线的电阻的评价结果如表 1 和 2 所示。表 1 展示了形成栅电极和栅极布线的薄层电阻。

表 1：用于栅极和栅极总线的金属的各种薄层电阻

金属材料	膜厚 (Å)	薄层电阻 (Ω/□)
TaN\Ta	500\3500	1.58
W	4000	0.36
Al-Nd	2500	0.19
TaN\Ta\Al-Nd	500\3500\2500	0.16
W\Al-Nd	4000\2500	0.12

表 2 展示了由接触链（接触数量 100-200）的测量值而计算的每个接触段的接触电阻的结果，这是为了评价栅电极和栅极布线的接触电阻。每个接触段的面积设定为 4μm×10μm 或 6μm×10μm。

表 2：栅极金属和栅极总线之间的每个接触链的接触电阻

掩模设计值 (宽度×长度×接触数量)	TaN\Ta 电阻 (Ω)	栅电极 电阻 (Ω)	W 电阻 (Ω)	栅电极 电阻 (Ω)
4μm×10μm×100	162.7	158.5	0.09	0.08
4μm×10μm×200	162.2	156.4	0.06	0.06

6μm×10μm×100	183.7	175.1	0.05	0.05
4μm×10μm×200	172.0	168.3	0.04	0.04

对于栅电极，制备两种膜，即 TaN 膜和 Ta 膜的层叠膜和 W 膜。用 Al 形成栅极布线。注意向 Al 添加 1wt% 的 Nd。（以下表示为 Al-Nd 膜）。当栅电极和栅极布线的交叠面积假设为 40μm²，则接触电阻对于 TaN 膜和 Ta 膜的层叠膜大约是 200 Ω，对于 W 膜大约是 0.1 Ω。

图 22 展示了采用透射电镜（TEM）对栅电极交叠段的观察结果，栅电极是通过层叠 TaN 膜和 Ta 膜，和 W 膜形成的。图 23 是 Ta 膜和 Al-Nd 膜之间界面的放大图，通过能量分布 X-射线光谱（EDX）检测图中表示为*1 和*4 的点的成分。结果，虽然在*1 检测到 Al，在*4 检测到 Ta，但是发现形成了包括氧化物的层，这是因为在*2 检测到 Al 和氧，在*3 检测到 Ta 和氧。假设原因是 Ta 膜表面在用于杂质元素激活的热处理工艺中被氧化，这是在形成作为栅电极的 Ta 膜之后进行的。再形成 Al-Nd 膜时，Ta 膜表面的氧估计氧化了 Al-Nd 膜。这样提高的接触电阻是采用 Ta 时显著出现的结果。

但是，通过模拟接触电阻对信号波形施加的影响进行测试，证实了对 200 Ω 左右的接触电阻的影响并不很大。图 26A 和 26B 展示了因波形上沿和波形下沿的电阻引起的差异。用于计算的等效电路如图中插图所示。这里通过从 1 Ω 到 1M Ω 改变对应于接触电阻的 R2 进行模拟，证实了大至约 10k Ω 的接触电阻也几乎不能发现其影响。

而且，作为接触段的可靠性测试进行导电性测试，考察接触电阻的差异。制备具有 40μm² 的接触段面积和接触数量 200 的测试样品，在 180℃的气氛中导通 1 小时的 1mA 的电流。虽然对上述两种栅电极材料检测了接触电阻的差异，但是几乎观察不到差异。

[实施例 2]

通过偏置热应力实验（以下称为 BT 实验）研究制备的 TFT 的可靠性。TFT 的尺寸是沟道长度为 8μm，沟道宽度是 8μm。实验条件是+20V 的栅电极电压和 0V 的栅电极电压施加于 n-沟道 TFT，并在 150℃保持 1 小时。图 24A 和 24B 展示了分别针对 n-沟道 TFT 和 p-沟道 TFT 的结果，但是在两种情形下几乎观察不到因偏置应力的退化。

[实施例 3]

评价因栅极布线材料的差异而产生的信号延迟的影响。图 25A 和 25B 展示了信号输入段和输出段之间的波形差异，其中 25A 展示了波形上沿，25B 展示了波形下沿。输入段和输出段之间的距离是 83mm。图 25A 和 25B 中，表示为 J2 的特性是针对由 Ta 膜和 Ta 膜的层叠形成的栅极布线，表示为 J4 的样品是用 Al-Nd 膜的栅极布线形成的样品。栅极布线的宽度是 10 μ m。虽然前者样品对于上沿时间和下沿时间在输入段和输出段之间有大的差异，但是后者样品具有极小的差异。J2 样品的延迟时间是 J4 样品的大约 10 倍，从表 1 所示薄层电阻清晰可见，可以认为布线材料的电阻影响延迟时间。

表 3 单位: nsec

	上沿		下沿	
	J4 结构	J2 结构	J4 结构	J2 结构
输入段	115	26	51	27
输出段	170	506	74	292
延迟差	55	480	23	265

从上述结果可见，在显示尺寸是 4 英寸以上的情形，必须用正如本发明的低电阻材料形成与栅电极连接的栅极布线。

通过使用本发明，可以使 TFT 具有半导体器件的功能电路的技术要求所适用的性能，上述半导体器件（本例中具体是光电器件）在同一衬底上形成有多功能电路，这样可使工作特性和可靠性有很大的提高。特别是，通过使像素矩阵电路的 n-沟道 TFT 的 LDD 区形成为具有 n⁻浓度并仅作为 L_{off}，可以急剧地减低截止电流值，这有利于减低像素矩阵电路的功耗。而且，通过使驱动电路的 n-沟道 TFT 的 LDD 区形成为具有 n 浓度并仅作为 L_{ov}，可以提高电流驱动容量，防止因热载流子而产生的退化，这样减低了导通电流值的减低退化。还可以改善具有这种光电器件作为其显示介质的半导体器件（本例中具体是电子设备）的工作性能和可靠性。

此外，通过用高度耐热、导电材料形成像素 TFT 和驱动电路 TFT 的栅电极，形成用低电阻材料例如铝（Al）连接栅电极的栅极布线，可以实现上述满意的 TFT 性能，使用这种 TFT 来实现 4 英寸以上的大尺寸显示器件。

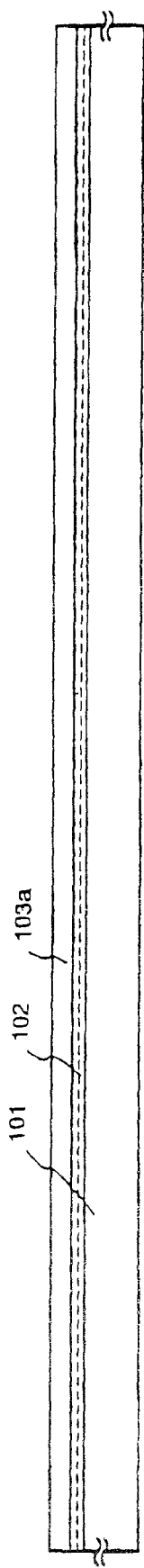


图 1A

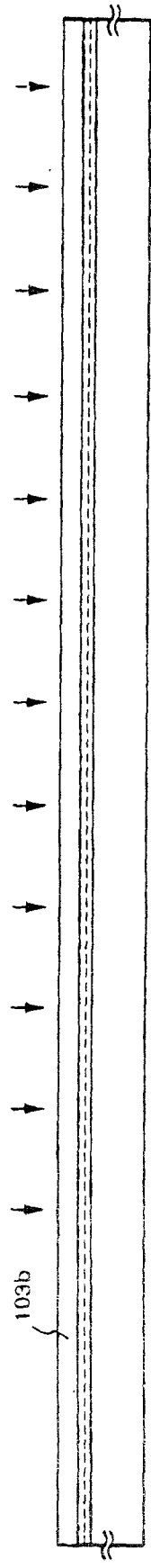


图 1B

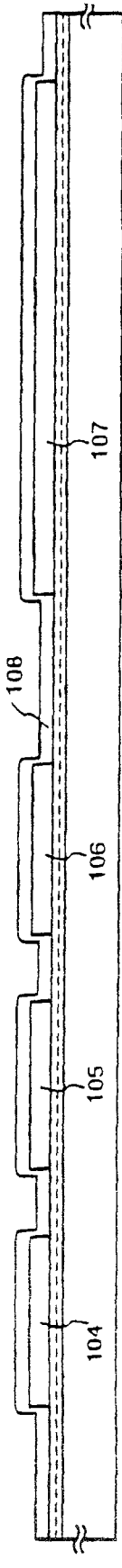


图 1C

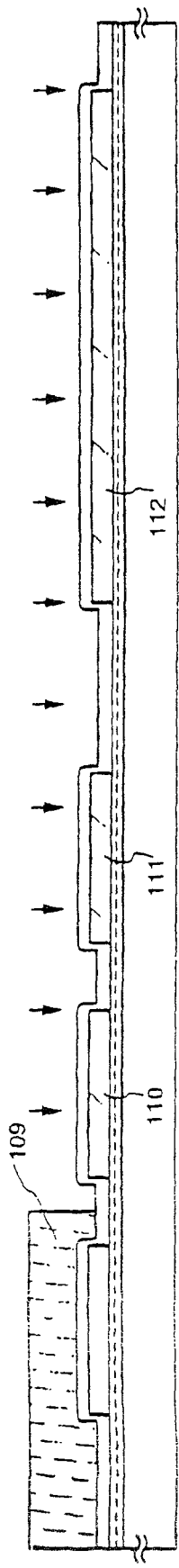


图 1D

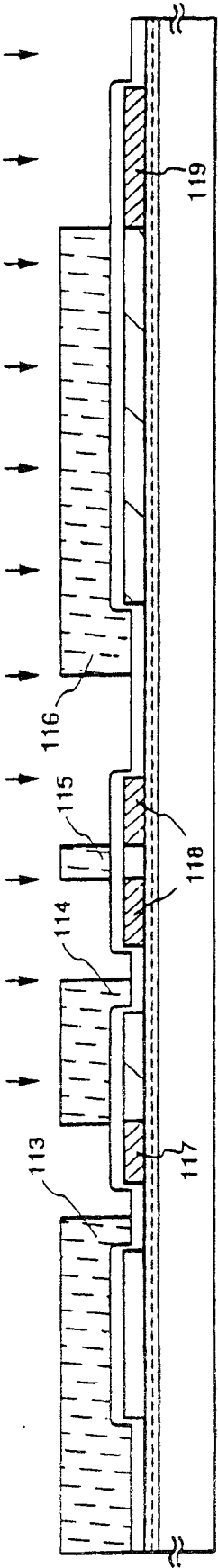


图 2A

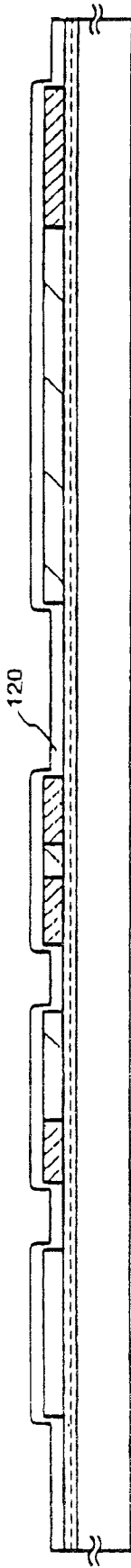


图 2B

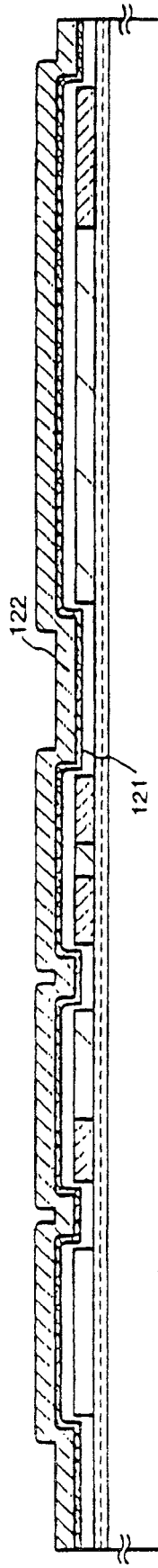


图 2C

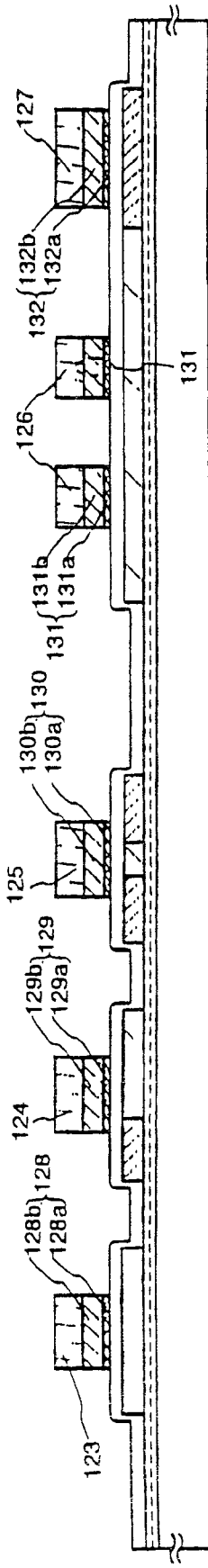


图 2D

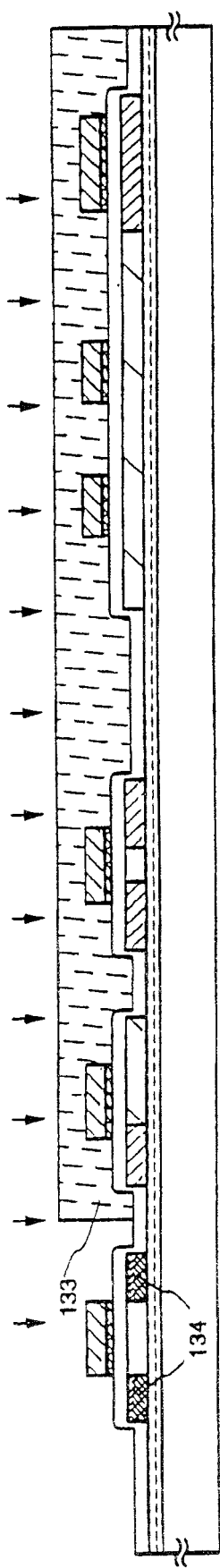


图 3A

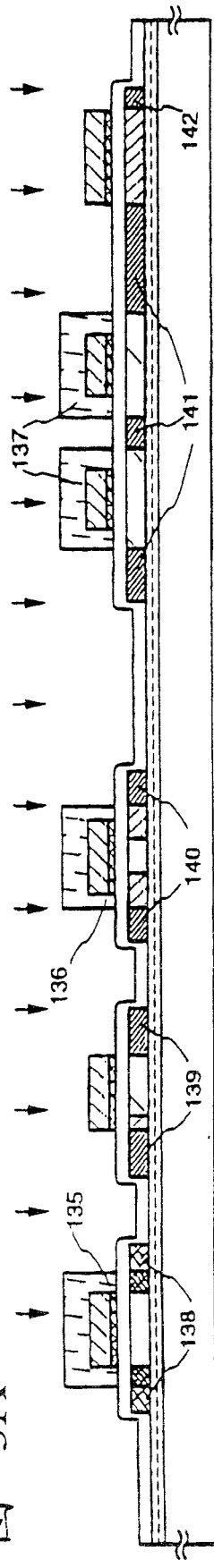


图 3B

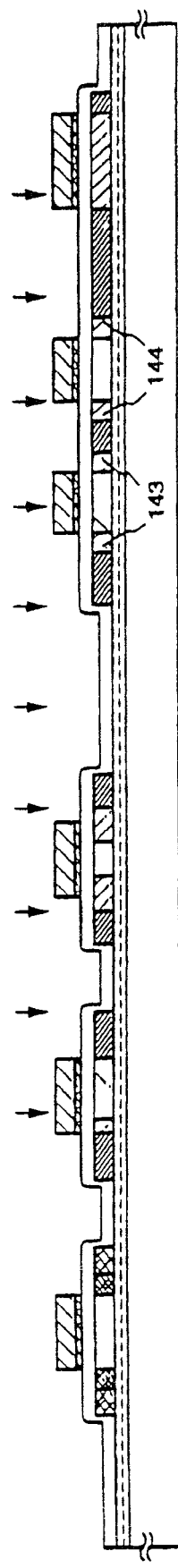


图 3C

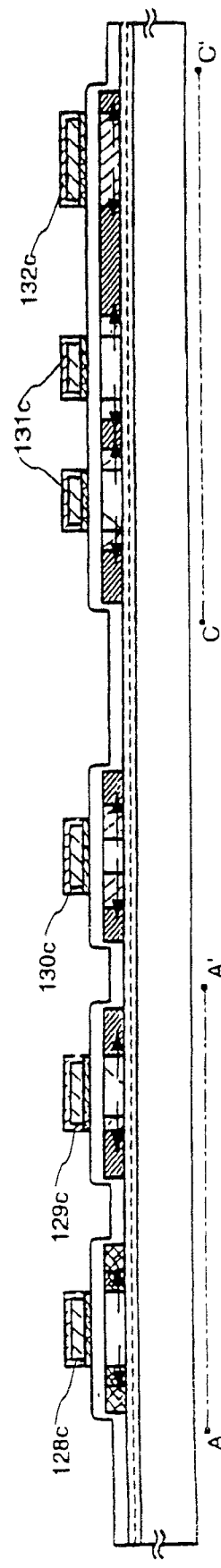


图 3D

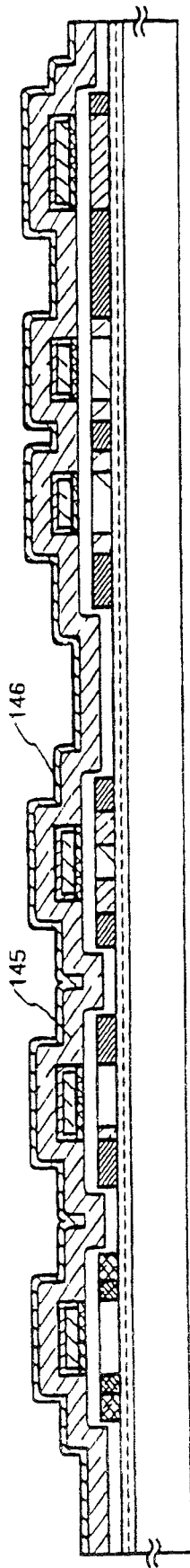


图 4A

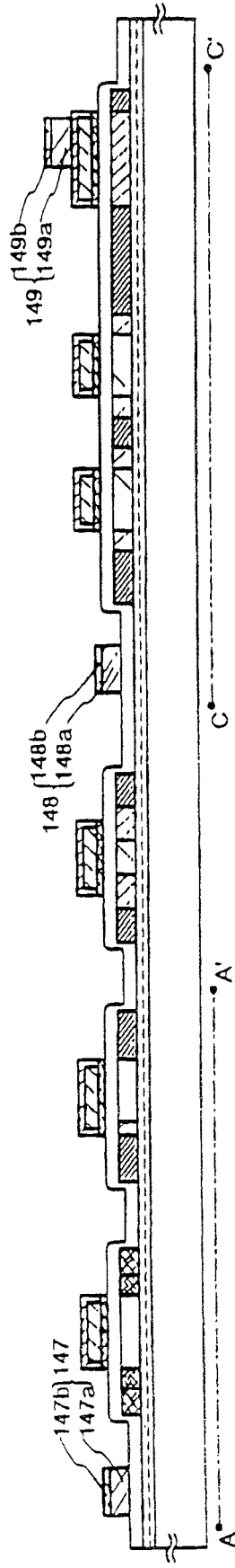


图 4B

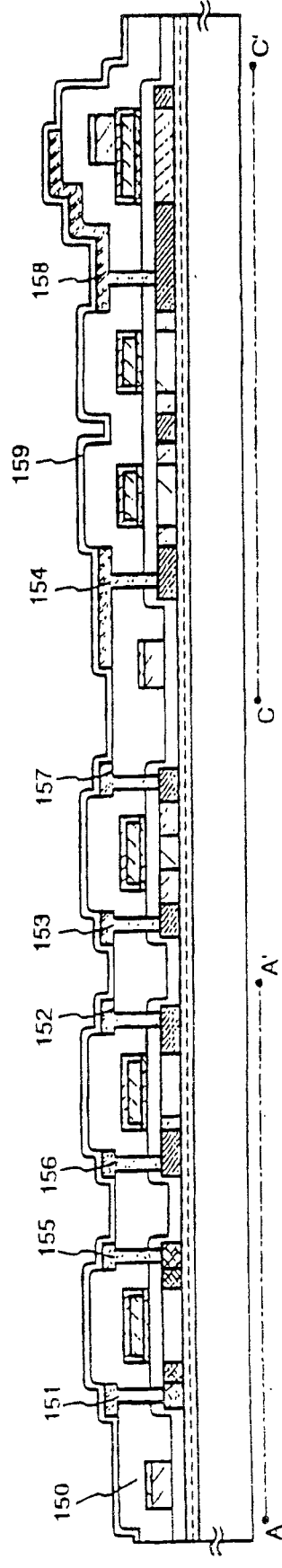


图 4C

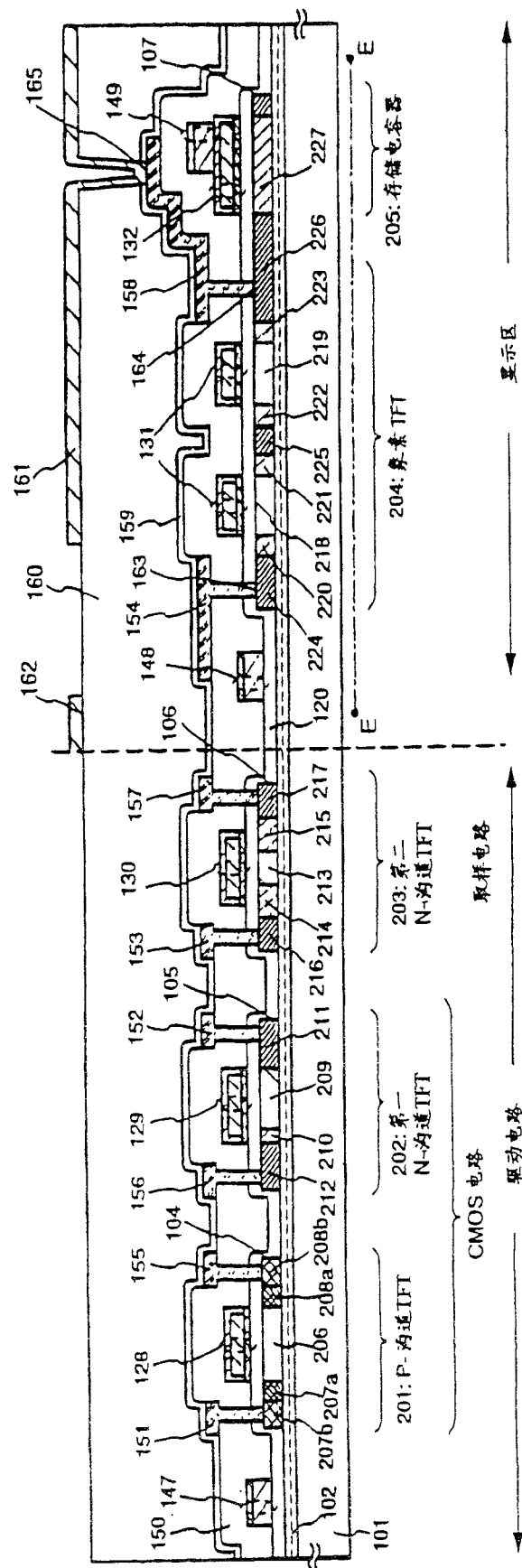


图 5

图 6A

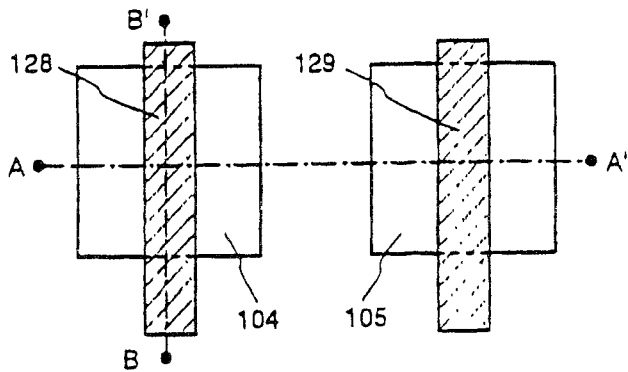


图 6B

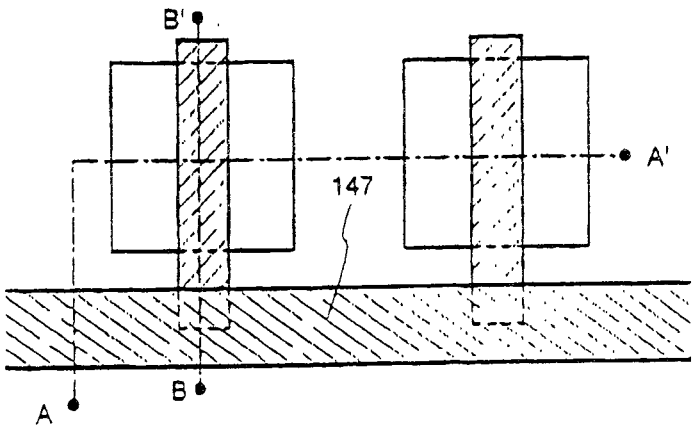


图 6C

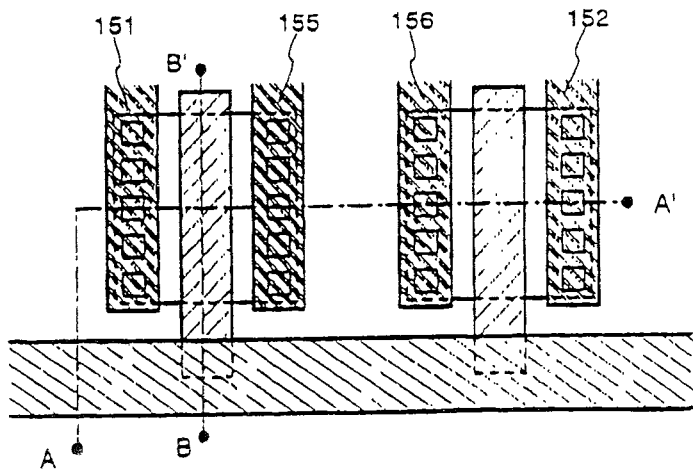


图 7A

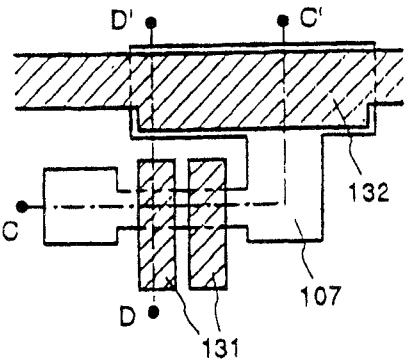


图 7B

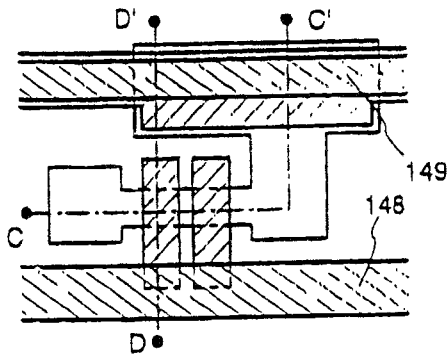
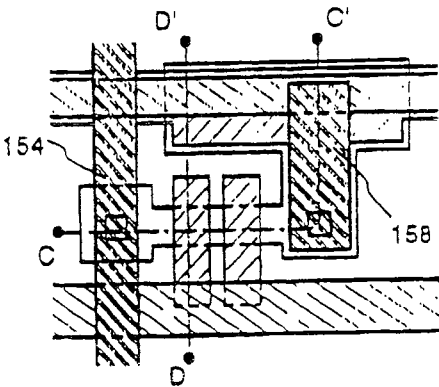
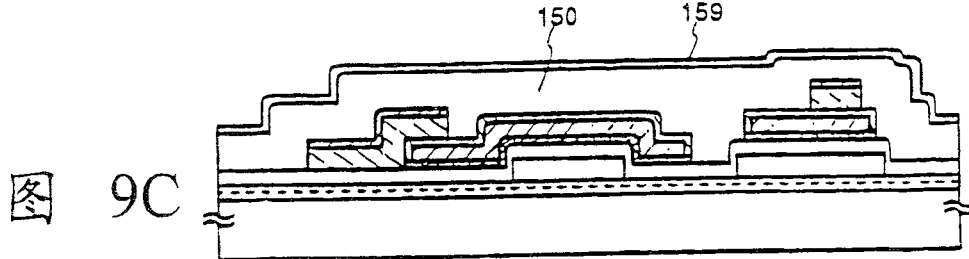
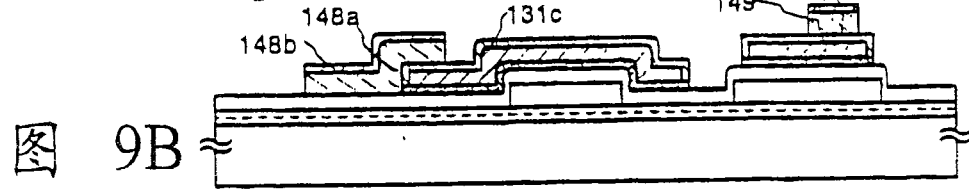
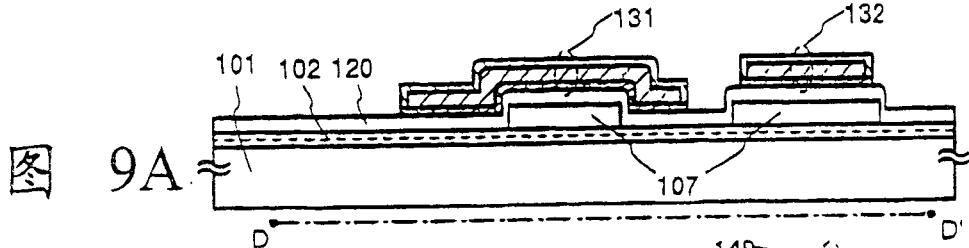
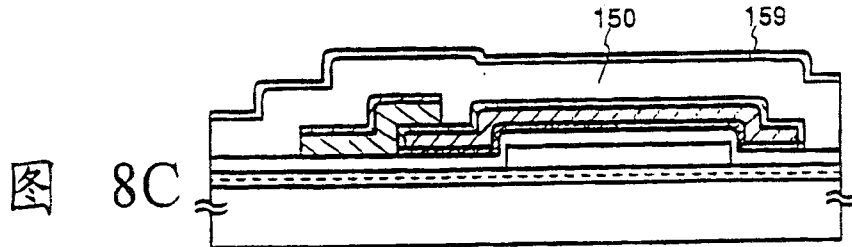
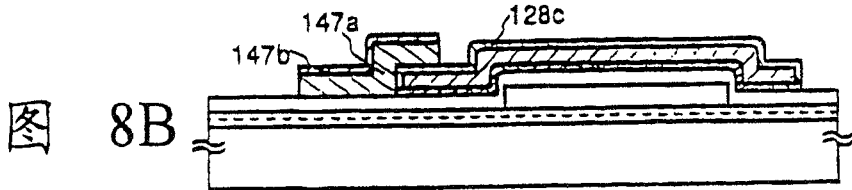
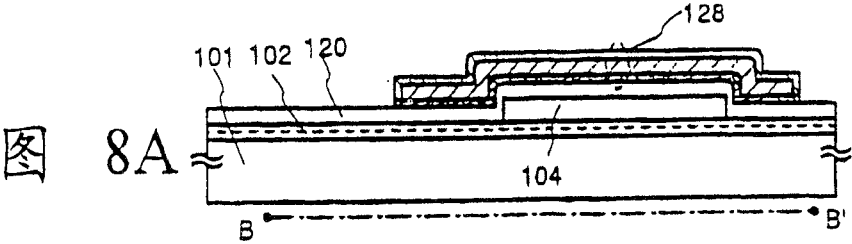


图 7C





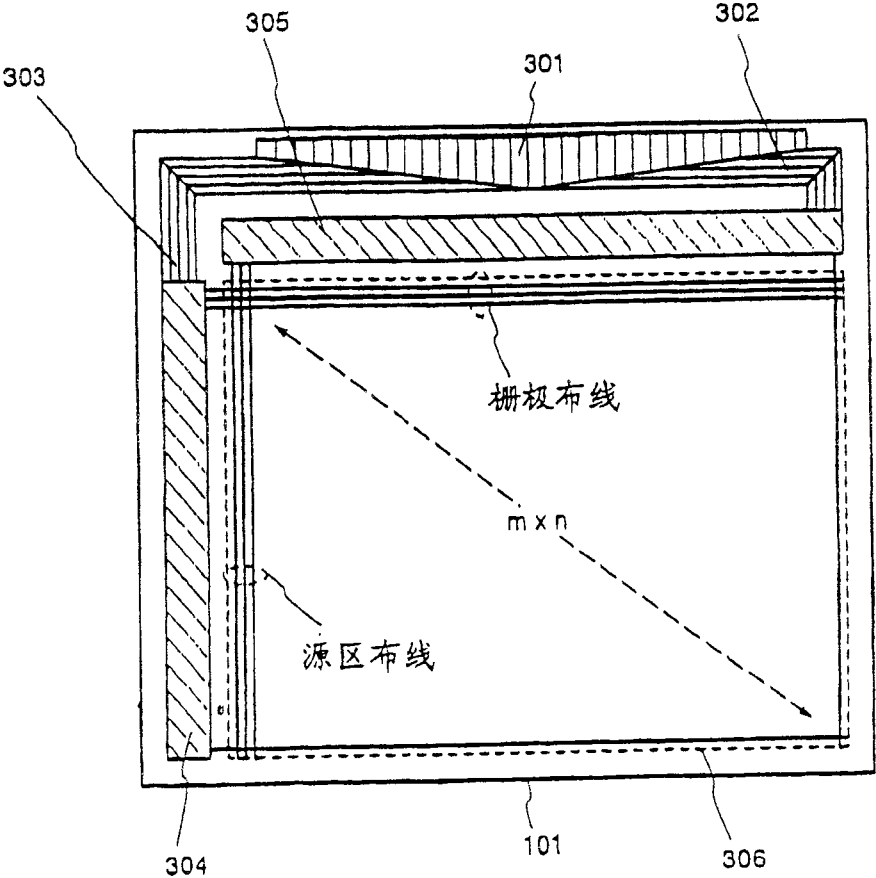


图 10

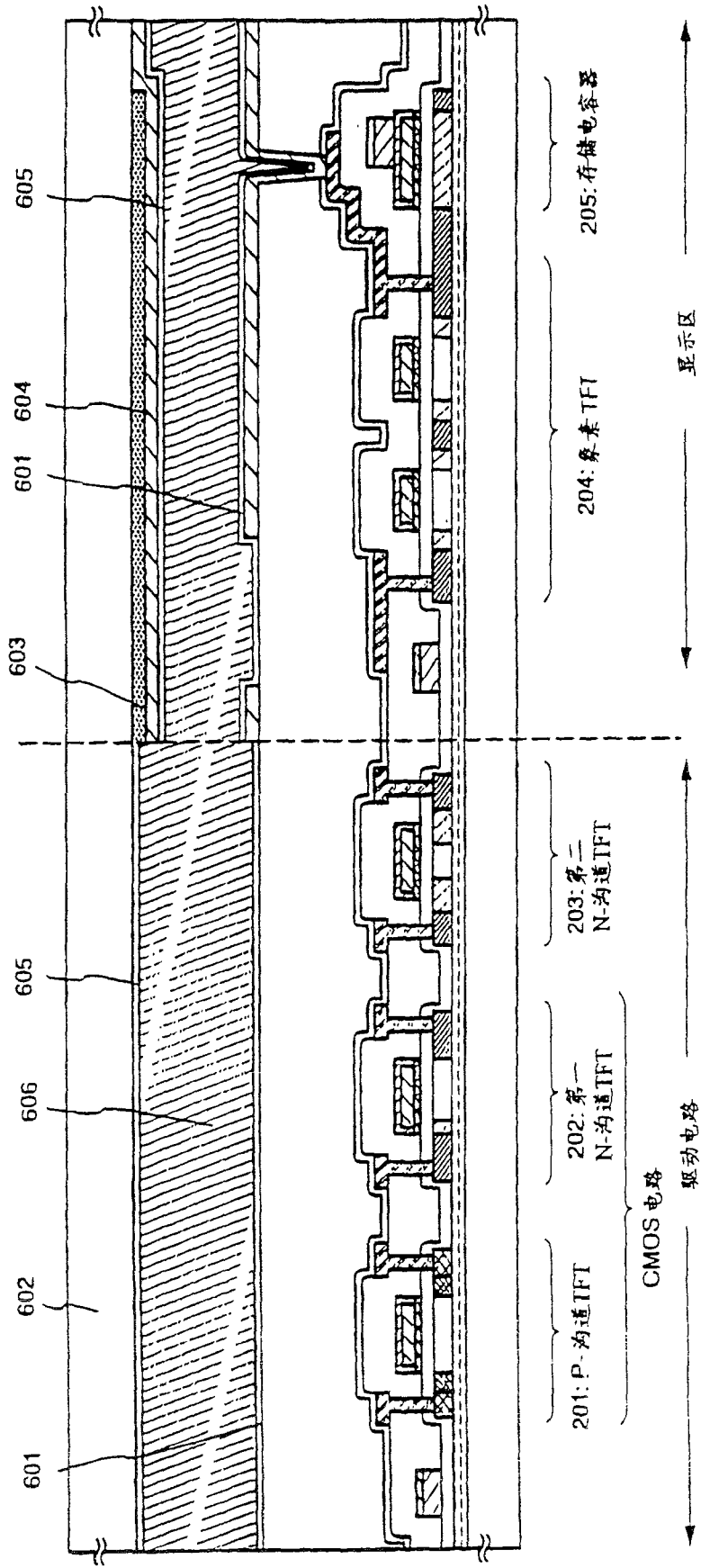


图 11

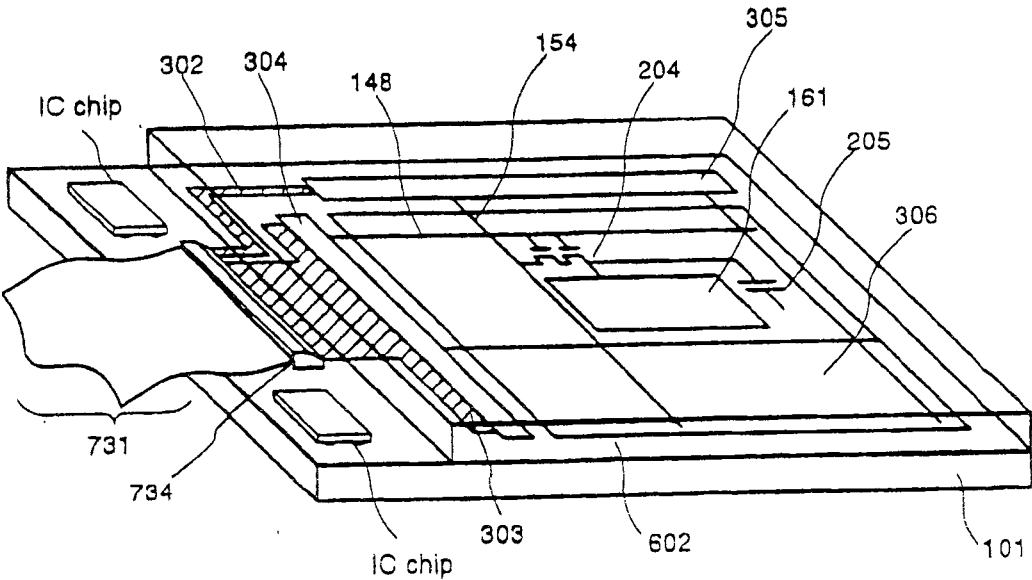


图 12

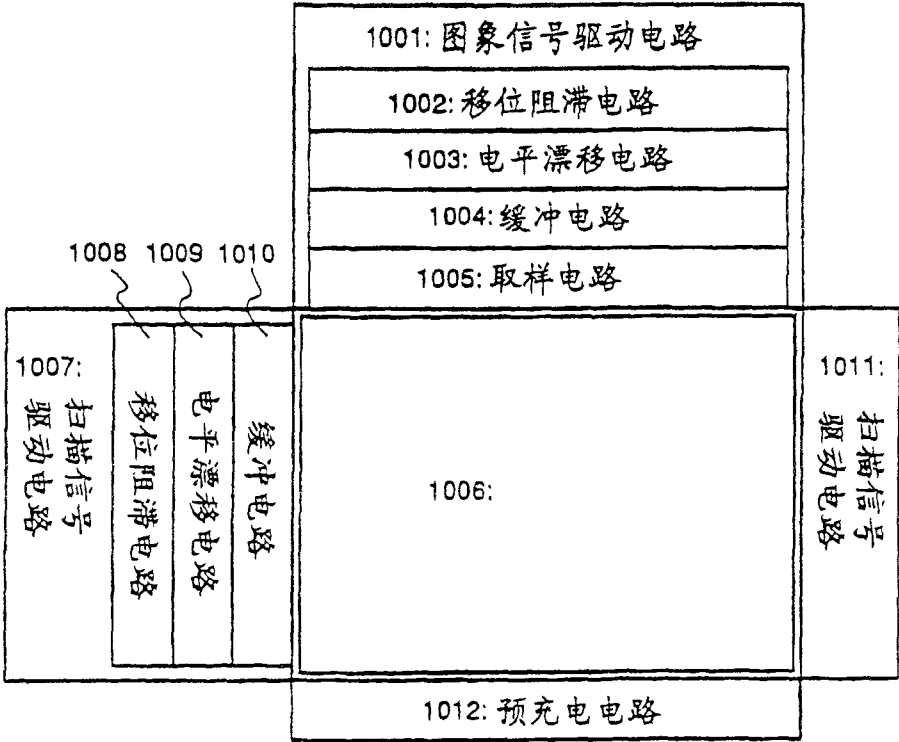


图 14

图 15A

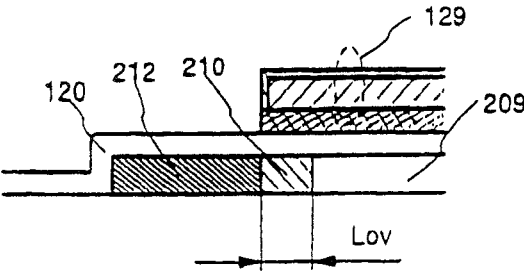


图 15B

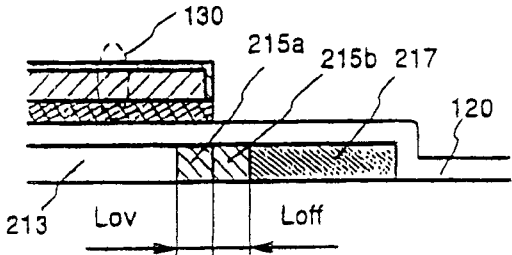
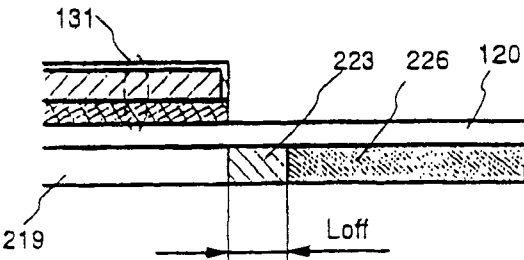
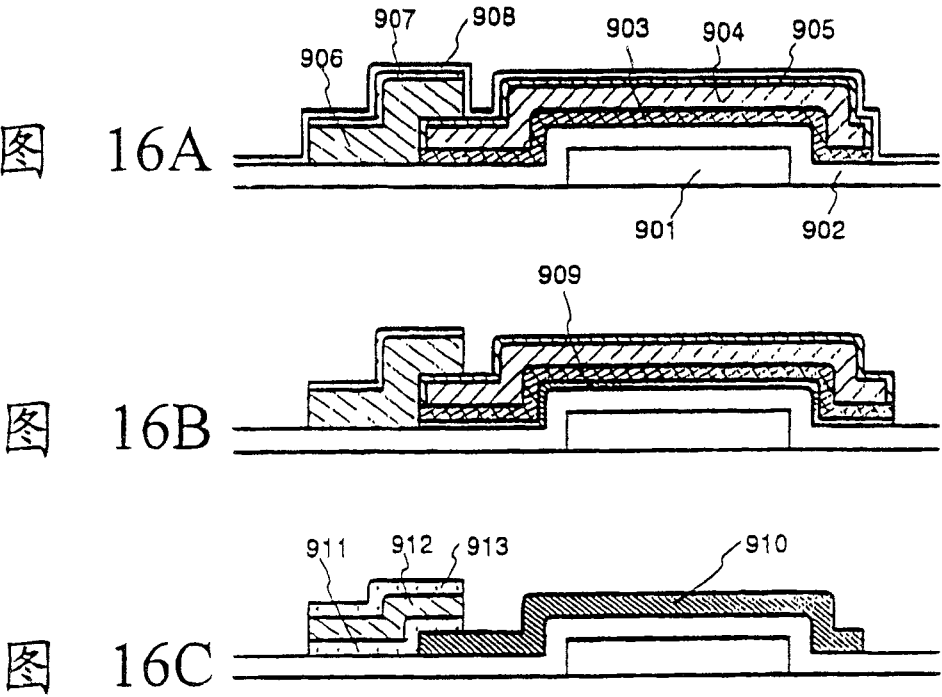


图 15C





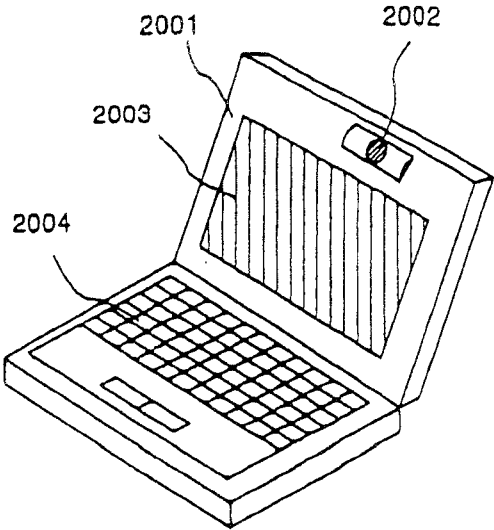


图 17A

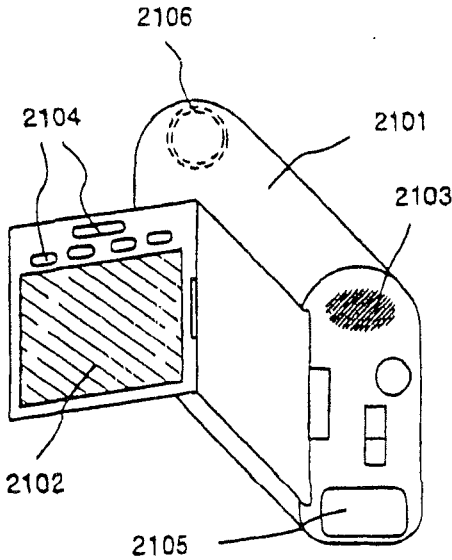


图 17B

图 17C

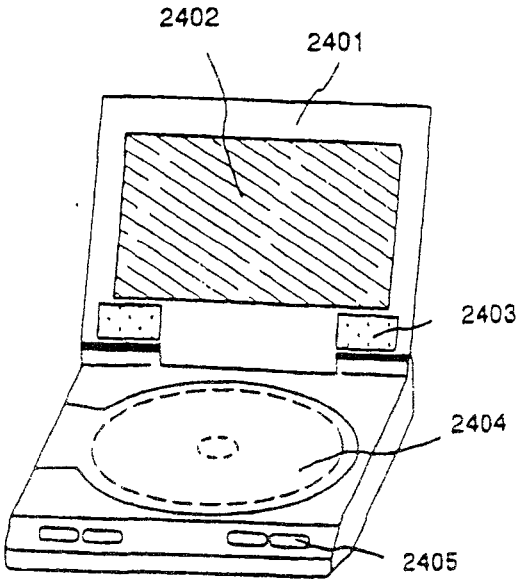
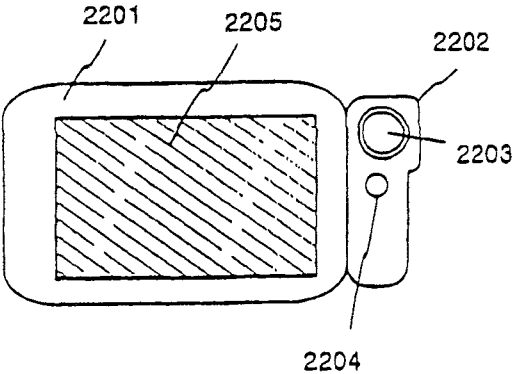


图 17D

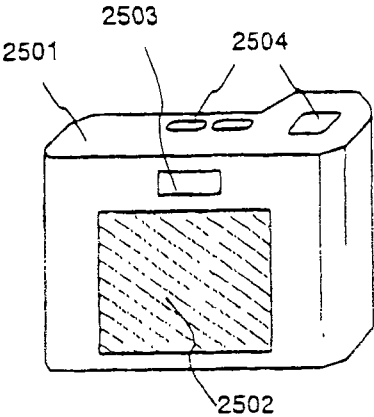


图 17E

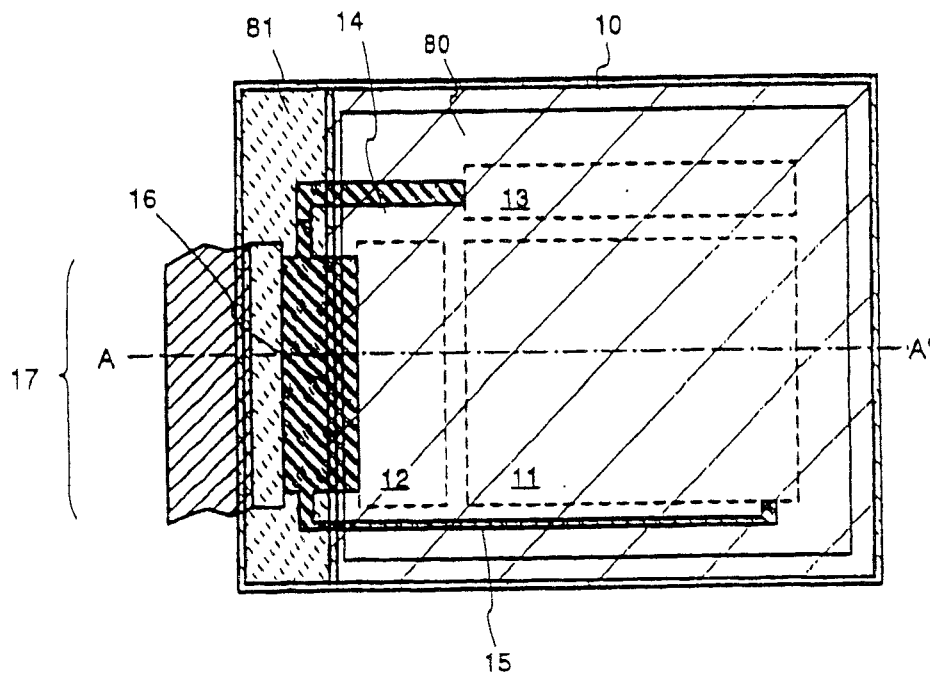


图 18A

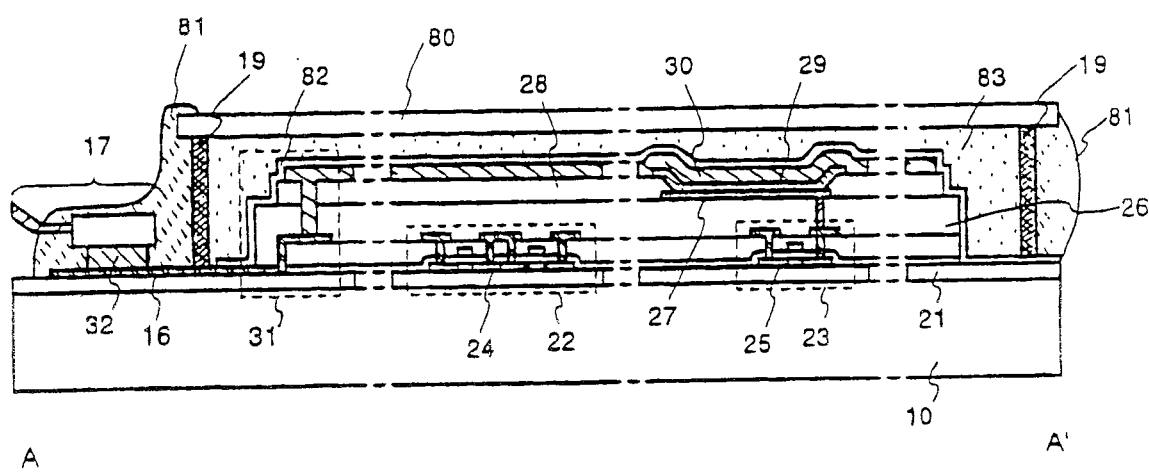


图 18B

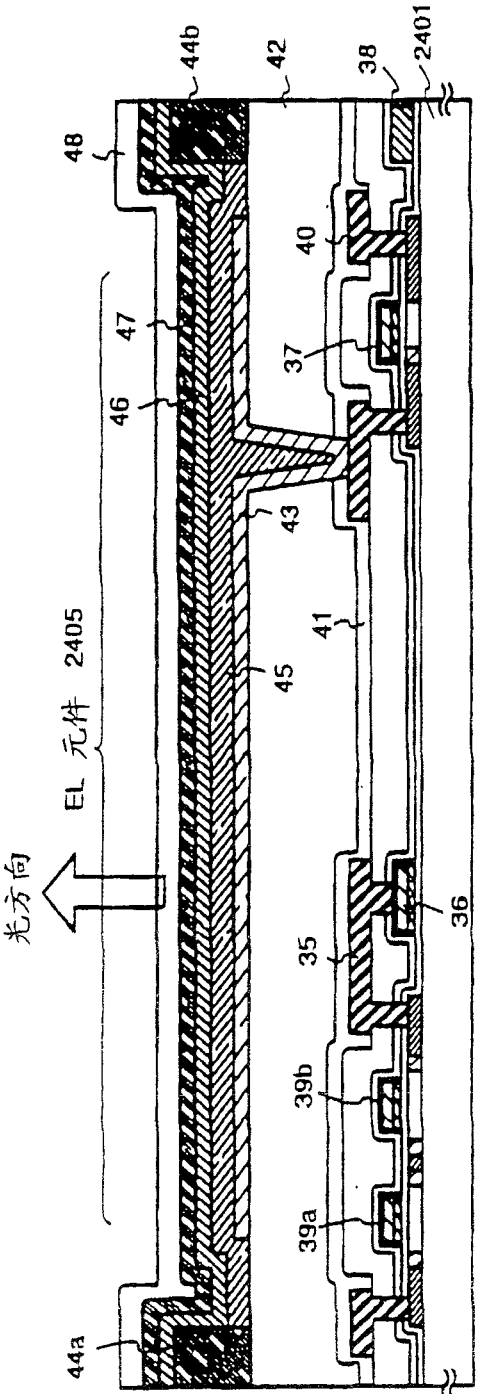


图 19A

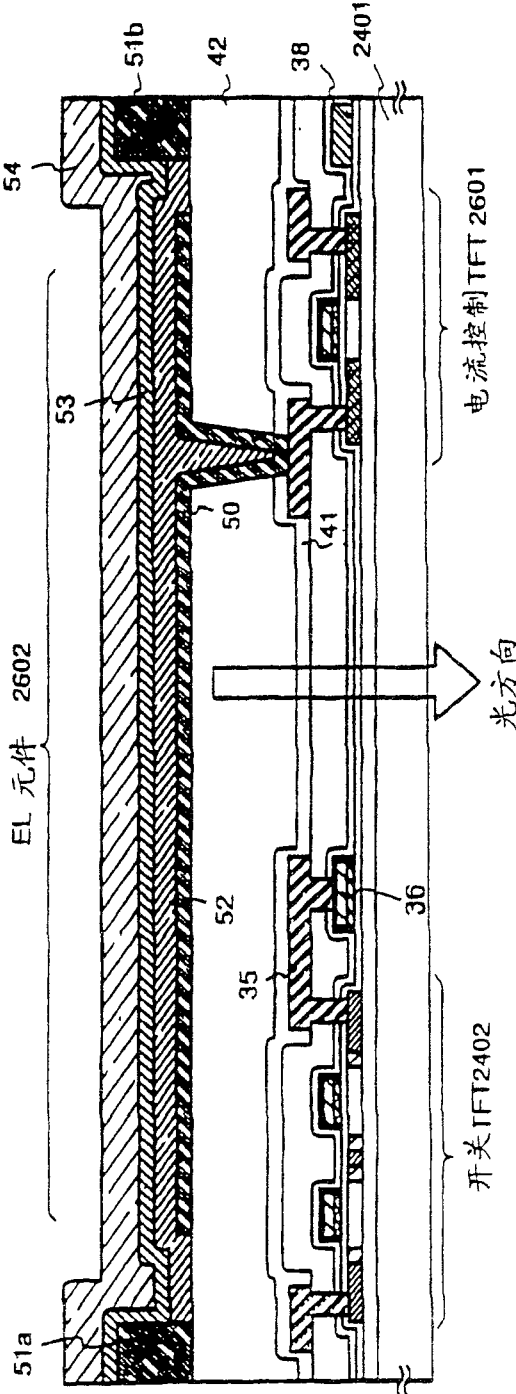


图 19B

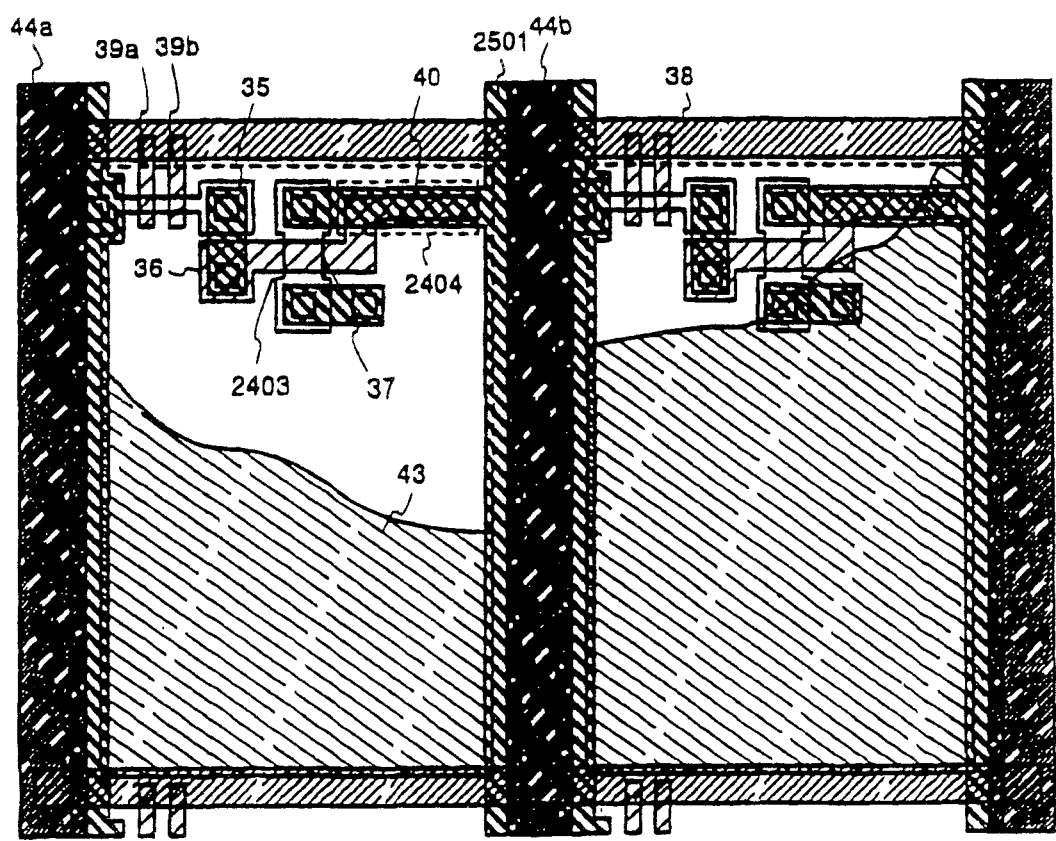


图 20A

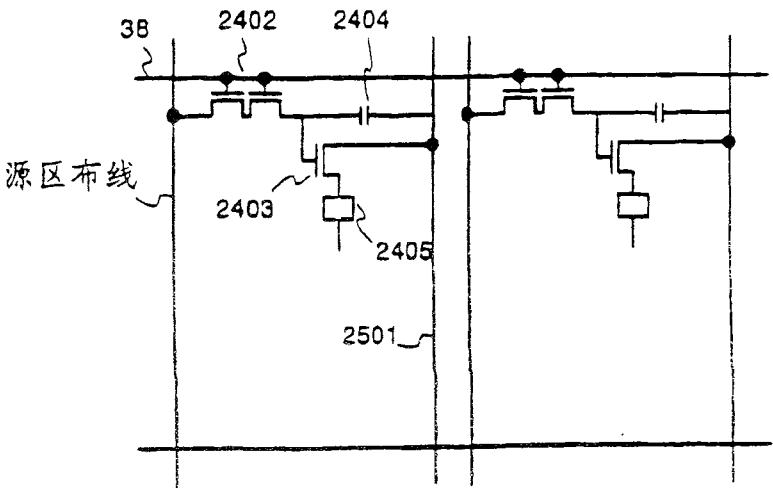


图 20B

图 21A

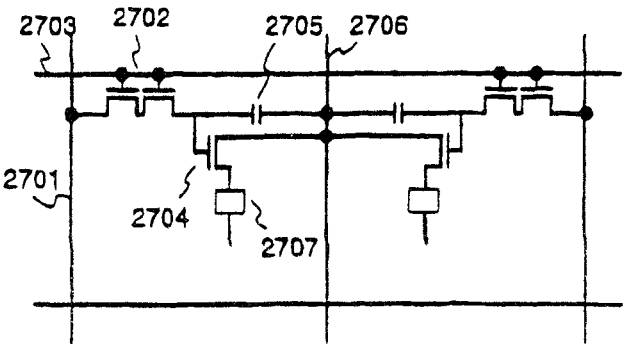


图 21B

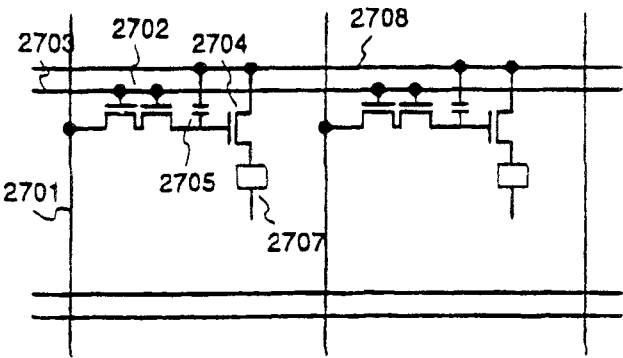
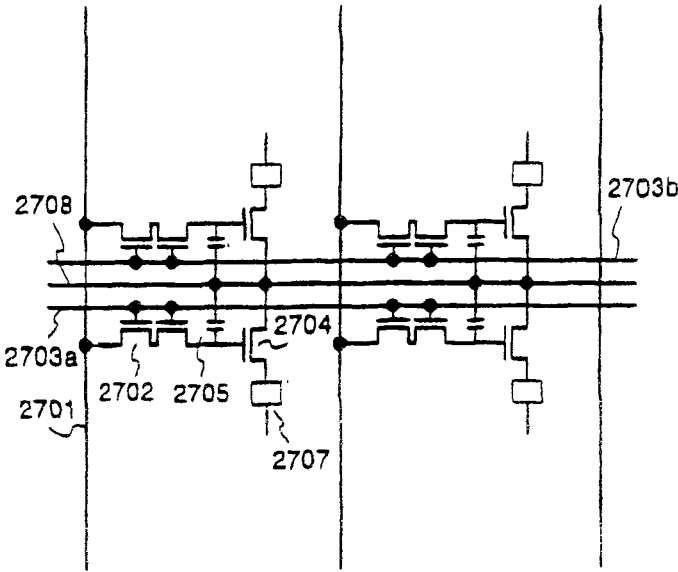


图 21C



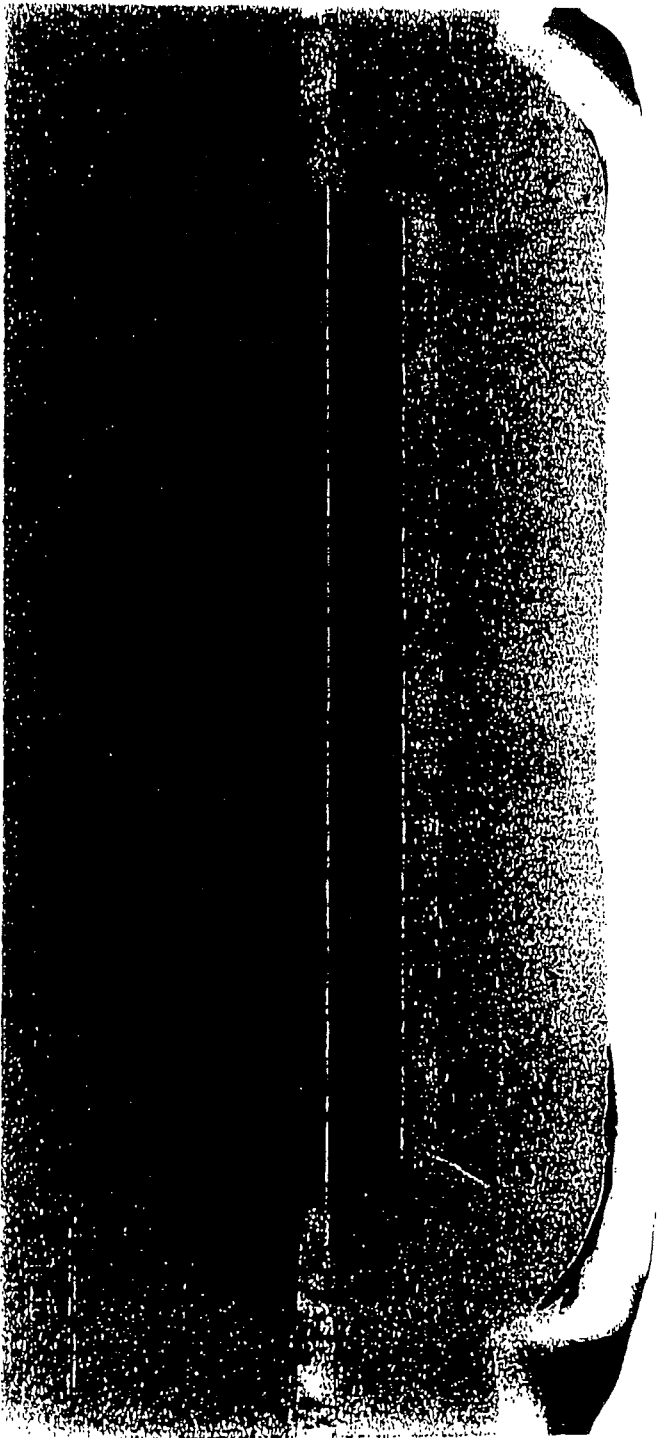
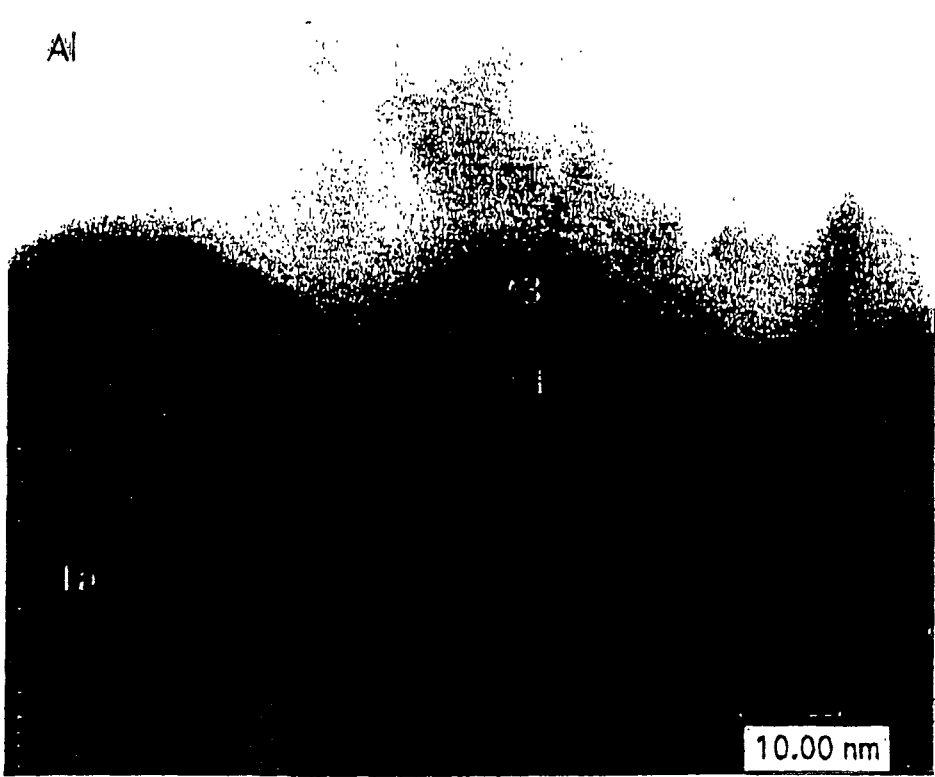


图 22

图 23



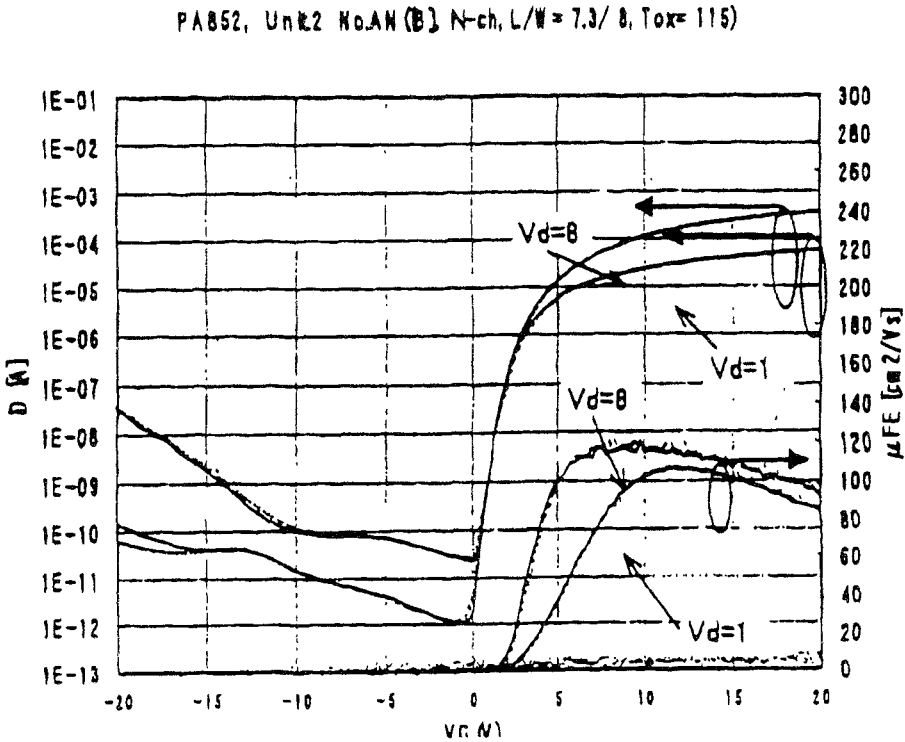


图 24A

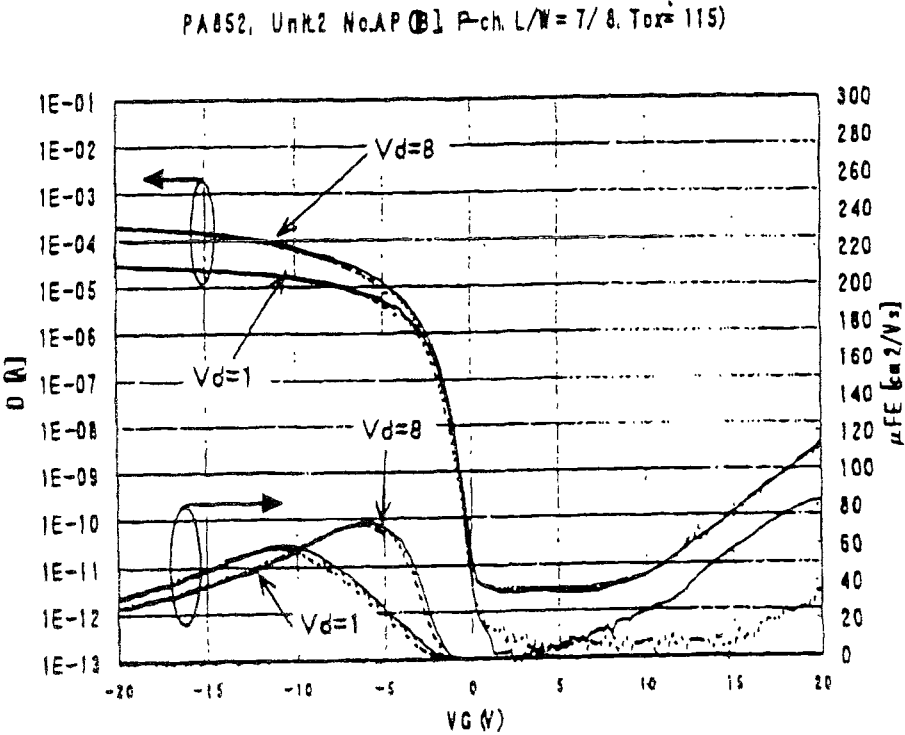


图 24B

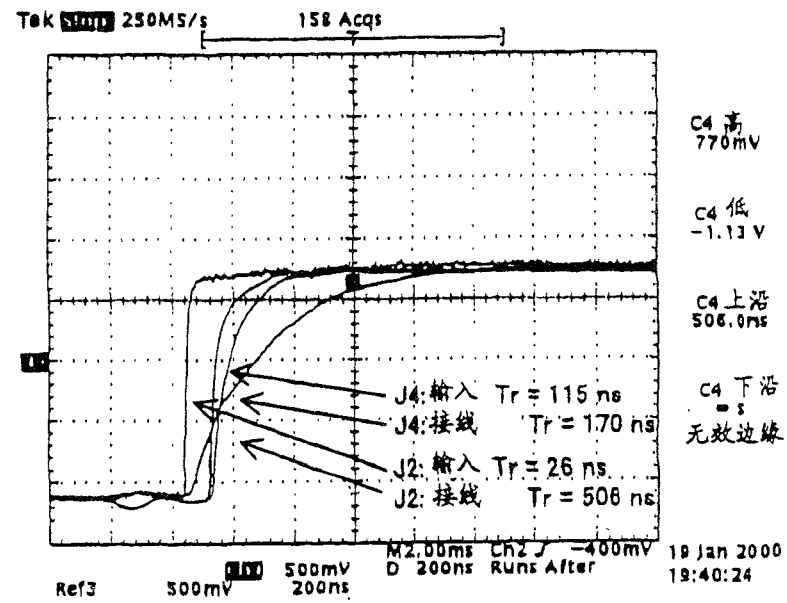


图 25A

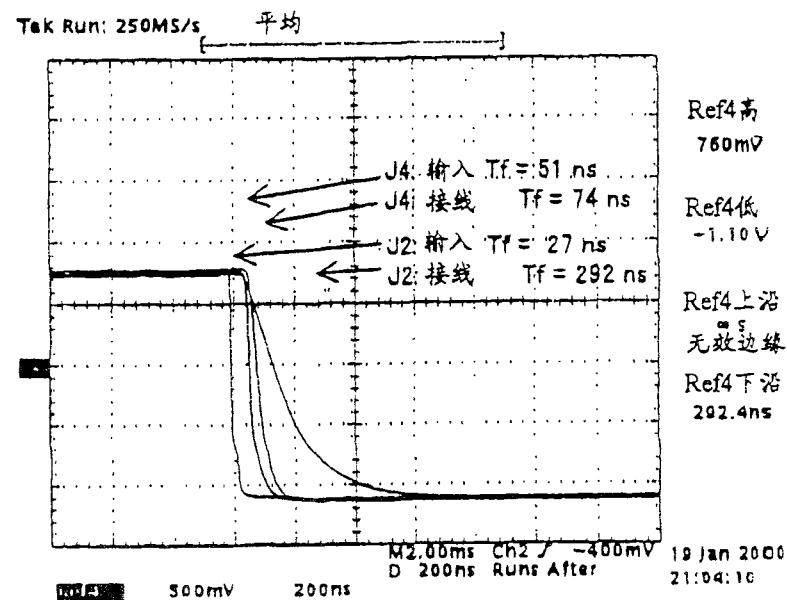


图 25B

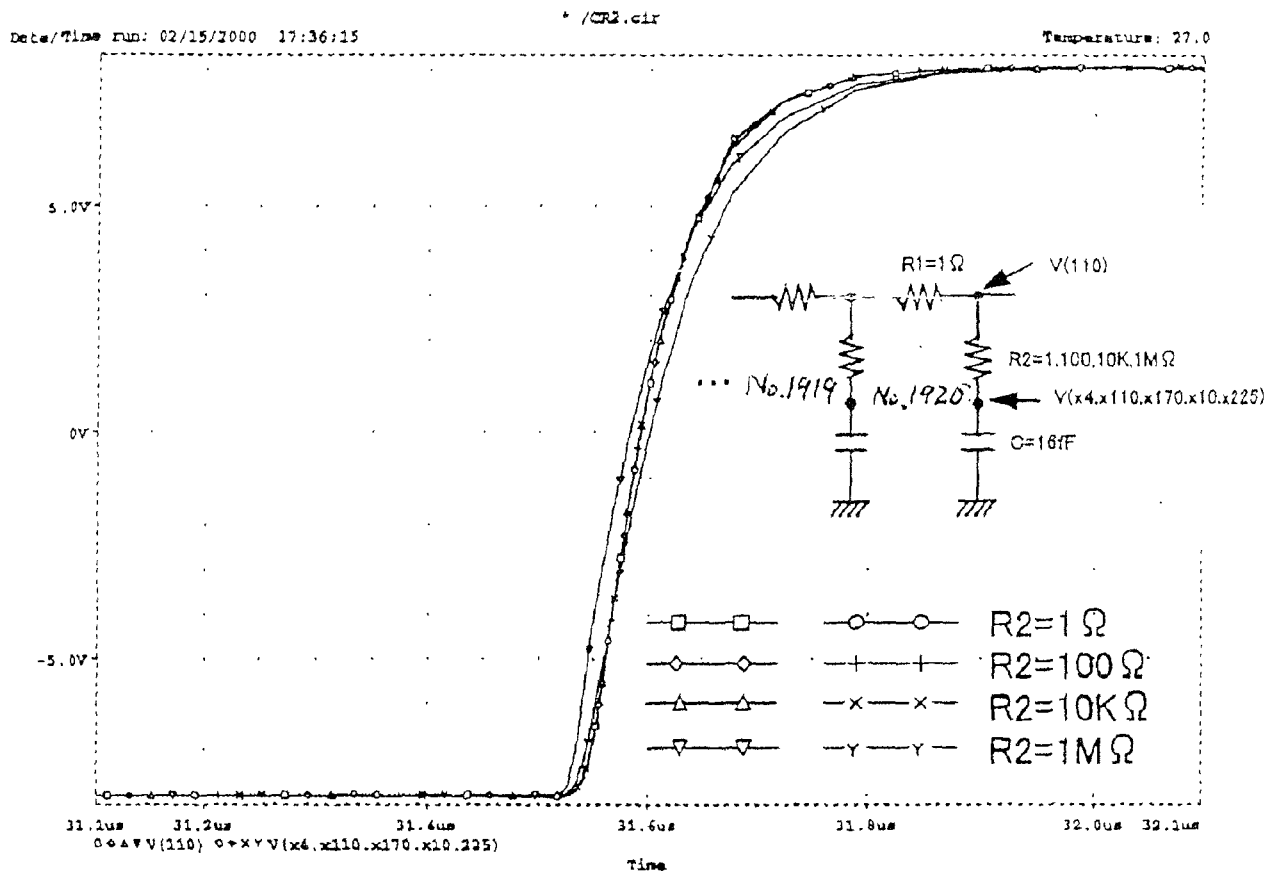


图 26A

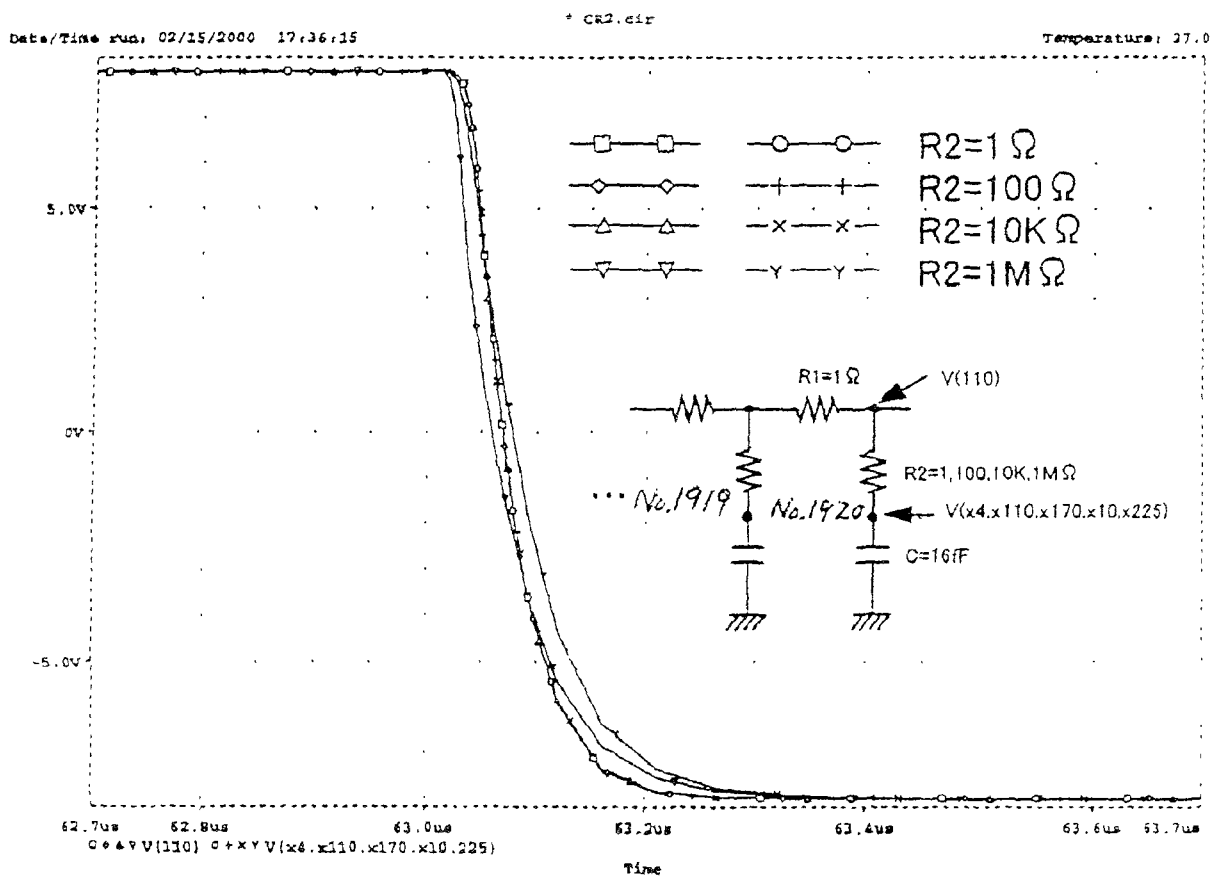


图 26B