СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1603395 A1

(51)5 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

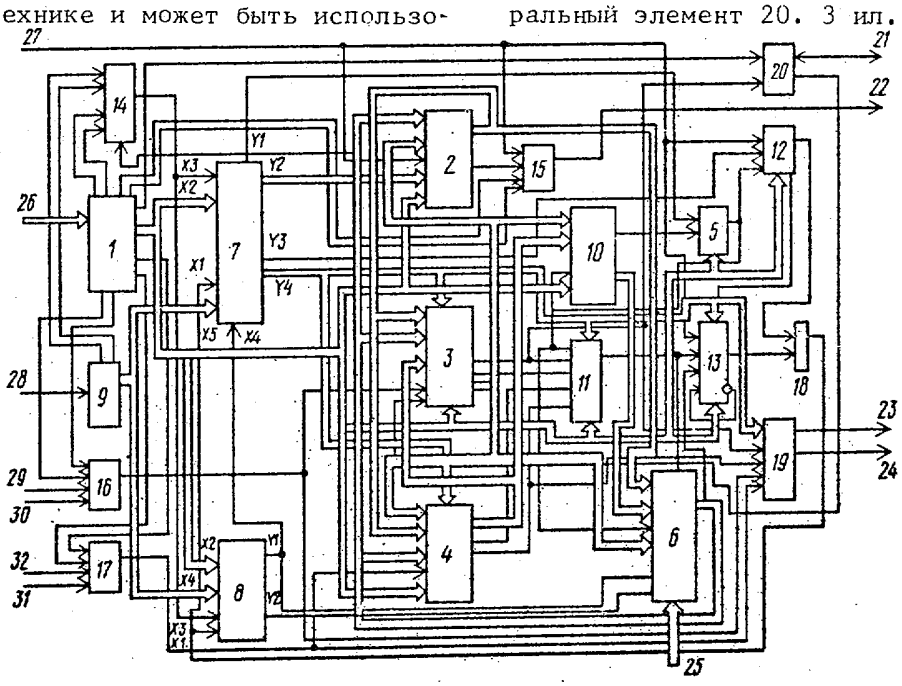
1

(21) 4343719/24-24
(22) 12.10.87
(46) 30.10.90. Бюл. № 40
(72) А.И. Садовников, А.Н. Хрусталев и В.В. Бутузов
(53) 681.325(088.8)
(56) Однородные вычислительные среды. Архитектура и реализация: Докл. Всесоюзн. школы-семинара по параллельной обработке информации. Львов, 1981. - (Препринт/ФМИ АН УССР; № 41).

Syctolic array chip matches the pace of high-Speed processing. - Electronic Design, 1984, October 31.

(54) ПРОЦЕССОР МАТРИЧНОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ

(57) Изобретение относится к вычислительной технике и может быть использовано в составе специализированных быстродействующих вычислительных систем обработки изображений. Цель изобретения - увеличение быстродействия. Поставленная цель достигается тем, что процессор матричной вычислительной структуры содержит дешифратор 1, регистр 2 входа-выхода, регистр 3 первого операнда, регистр 4 второго операнда, триггер 5 переноса, блок 6 оперативной памяти, первый и второй блоки 7 и 8 управления, распределитель 9 импульсов, арифметико-логический блок 10, триггер 11 переполнения, триггер 12 флага активности, триггер 13 маски, триггер 14 загрузки, с первого по третий элементы 2 И-ИЛИ 15-17, элемент ИЛИ 18, коммутатор 19, магистральный элемент 20. 3 ил.



Фиг.1

(19) SU (11) 1603395 A1

Изобретение относится к вычислительной технике и может быть использовано в составе специализированных быстродействующих вычислительных систем обработки изображений.

Цель изобретения - повышение быстродействия.

На фиг. 1 представлена схема процессора; на фиг. 2 - схема первого блока управления; на фиг. 3 - схема второго блока управления.

Процессор содержит дешифратор 1, регистр 2 входа-выхода, регистр 3 первого операнда, регистр 4 второго операнда, триггер 5 переноса, блок 6 оперативной памяти, первый 7 и второй 8 блоки, управления, распределитель 9 импульсов, арифметико-логический блок 10, триггер 11 переполнения, триггер 12 флага активности, триггер 13 маски, триггер 14 загрузки, первый элемент 2И-ИЛИ 15, второй элемент 2И-ИЛИ 16, третий элемент 2И-ИЛИ 17, элемент ИЛИ 18, коммутатор 19, магистральный элемент 20, вход-выход 21 признака, информационный выход 22, выход 23 первого операнда, выход 24 второго операнда, адресный вход 25, вход 26 кода операции, первый информационный вход 27, тактовый вход 28, со второго по пятый информационные входы 29-32 процессора. Первый блок управления содержит с первого по двадцать третий элементы И 33-55, с первого по двенадцатый элементы ИЛИ 56-67, с первого по третий элементы 2И-ИЛИ 68-70, второй блок управления содержит триггер 71, с первого по третий элементы ИЛИ 72-74, элемент И 75 и элемент 2И-ИЛИ 76.

Устройство работает следующим образом.

Микрокоманда, поступающая на дешифратор 1 через входы 26, разбита на пять полей и обеспечивает параллельное выполнение пяти операций в процессоре.

Первое поле управляет работой регистра 2 входа-выхода, второе и третье - работой регистров 3 и 4 и триггеров переполнения 11, флага активности 12 и маски 13, четвертое - работой триггеров переноса 5 и загрузки 14, пятое - работой блока 6 оперативной памяти. Загрузка процессора информацией выполняется одновременно с обработкой информации.

Триггеры флага активности 12 и маски 13 позволяют блокировать выполнение операцией в процессоре. Блокировка выполнения микрокоманд происходит единичными сигналами с выходов триггеров флага активности 12 и маски 13, которые, поступая на входы элемента ИЛИ 18, формируют на его выходе сигнал блокировки. Этот сигнал запрещает формирование сигналов, позволяющих выполнить в процессоре соответствующую микрокоманду.

Выполнение одной микрокоманды осуществляется за два периода импульсов тактовой частоты, поступающих на вход 28 тактовой частоты. Распределитель 9 импульсов из последовательности импульсов тактовой частоты формирует последовательность сигналов : ТИ1 - на время длительности первого полупериода, ТИ2 - на время длительности второго полупериода, ТИ3 - на время длительности третьего полупериода, которые синхронизируют работу процессора, поступая на блоки 7 и 8 управления и триггер 14 загрузки.

Триггер 14 загрузки позволяет производить загрузку информации, поступающей через вход 27 в процессор, не прекращая ее обработку. Установка триггера 14 загрузки в режим загрузки осуществляется по сигналу, приходящему с соответствующего выхода дешифратора 1 на вход триггера 14 загрузки, который формируется дешифратором 1 при расшифровке им микрокоманды приема информации с входа 27 в регистр 2 входа-выхода, простробированному импульсом ТИ1, который поступает с соответствующего выхода распределителя 9 импульсов или по сигналу, который формируется дешифратором 1 при расшифровке им микрокоманды записи информации (единицы) из блока 6 памяти в триггер 14 загрузки, простробированному импульсом ТИ3.

Так как прием информации осуществляется обычно с экрана по строкам, то и в матрицу процессоров системы информация загружается по строкам или по столбцам. Таким образом, устанавливая в "1" триггеры загрузки необходимой строки (столбца), осуществляется запись информации в процессоры системы, т.е. происходит загрузка матрицы. Наличие триггера 14 загрузки позволяет существенно сократить объем буфера для промежуточного хранения информации, поступающей с экрана, так как в

этом случае необходим буфер не на весь экран, а только на одну строку.

Сброс режима загрузки осуществляется по микрокоманде записи информации из блока 6 в триггер 14 загрузки в случае, если в триггер 14 записывается ноль.

Регистр 2 входа-выхода служит для преобразования последовательной информации, поступающей через вход 27, в параллельную и передачи ее на выход 22. Регистр 2 входа-выхода осуществляет прием входной информации, прием информации с регистра 3 первого операнда, прием информации из блока 6.

Прием последовательной информации, поступающей через вход 27 в регистр 2 входа-выхода, осуществляется по соответствующей микрокоманде. По этой микрокоманде дешифратор 1 вырабатывает сигнал, устанавливающий триггер 14 загрузки в режим загрузки. Единичный сигнал с выхода триггера 14 загрузки поступает на второй вход элемента И 36 и на первый вход элемента И 42. На первый вход элемента И 36 поступает сигнал ТИ1, а на второй вход элемента И 42 – сигнал ТИ2, который вырабатывается распределителем 9 импульсов. С выхода элемента И 42 сигнал поступает на один из входов элемента ИЛИ 56. В результате этого на выходах элементов И 36 и ИЛИ 56 формируются импульсы, которые поступают на регистр 2 входа-выхода и осуществляют запись в него информации, приходящей с входа 27.

Во время выполнения микрокоманды приема входной информации в регистр 2 входа-выхода осуществляется выдача информации, содержащейся в младшем разряде этого регистра, с его выхода на третий вход элемента 2И-ИЛИ 15. На первый вход элемента 2И-ИЛИ 15 поступает единичный сигнал с соответствующего выхода дешифратора 1, который показывает, что выполняется микрокоманда приема входной информации, и разрешает прохождение содержимого младшего разряда регистра 2 входа-выхода через элемент 2И-ИЛИ 15 на выход 22 процессора.

В процессоре предусмотрена микрокоманда, которая позволяет осуществлять передачу информации, поступающей через вход 27 на выход 22, минуя регистр 2 входа-выхода. Во время ее выполнения информация с входа 27 поступает на второй вход элемента 2И-ИЛИ 15, а на четвертый его вход поступает единичный сигнал соответствующего выхода дешифратора 1 и разрешает прохождение информации с выхода элемента 2И-ИЛИ 15 на выход 22 процессора.

Выполнение микрокоманд обнуления содержимого регистра 2 входа-выхода осуществляется только в режиме загрузки. С выхода триггера 14 загрузки единичный сигнал проходит на третий вход элемента И 34. На два других входа этого элемента поступают сигнал с дешифратора 1, показывающий, что выполняется микрокоманда обнуления регистра 2 входа-выхода и сигнал ТИ1 с распределителя 9 импульсов. На выходе элемента И 34 формируется сигнал, который, поступая на регистр 2 входа-выхода, осуществляет его обнуление.

Запись информации, содержащейся в регистре 3 первого операнда или в блоке 6, в регистр 2 входа-выхода происходит при выполнении процессором соответствующих микрокоманд. Дешифратор 1 расшифровывает код одной из этих микрокоманд и вырабатывает единичный сигнал, поступающий на второй вход второго элемента И элемента 2И-ИЛИ 68 элемента при осуществлении переписи информации в регистр 2 входа-выхода из регистра 3 первого операнда, или единичный сигнал, поступающий на второй вход первого элемента И элемента 2И-ИЛИ 68 при осуществлении записи информации в регистр 2 входа-выхода из блока 6. На первые входы первого и второго элементов И элемента 2И-ИЛИ 68 поступают стробирующие импульсы ТИ3 и ТИ2 соответственно, вырабатываемые распределителем 9 импульсов, а на третий вход первого элемента И элемента 2И-ИЛИ 68 поступает единичный сигнал выборки с выхода элемента 2И-ИЛИ 76. Сформировавшиеся единичные сигналы с выхода элемента 2И-ИЛИ 68 поступают на вход элемента И 33. Если на его инверсном входе находится нулевой уровень (выполнение этих микрокоманд не замаскировано), то с выхода элемента И 33 единичный сигнал поступает на второй вход элемента ИЛИ 56, а с его выхода – регистр 2 входа-выхода, осуществляя запись с него информации.

Регистр 3 первого операнда служит для преобразования последовательной информации, поступающей через входы

29, 30 или через вход-выход 21, в параллельную и передачи ее на выход 23 первого операнда или на вход-выход 21.

По соответствующим микрокомандам в регистре 3 первого операнда может быть выполнен сдвиг его содержимого вправо (в сторону младших разрядов) или влево (в сторону старших разрядов) с занесением содержимого выдвигаемого разряда в триггер 11 переполнения, а также может быть записана единица в младший разряд регистра 3 первого операнда.

Прием информации в регистр 3 первого операнда с входов 29 и 30 и входа-выхода 21 осуществляется по микрокомандам.

Информация с входов 29 и 30 поступает на второй и третий входы элемента 2И-ИЛИ 16. На первый и четвертый входы этого элемента поступают единичные сигналы с соответствующих выходов дешифратора 1, которые показывают, что выполняется одна из микрокоманд приема информации в регистр 3 первого операнда с входов 29 и 30 и разрешают прохождение информации с одного из этих входов через элемент 2И-ИЛИ 16 на вход регистра 3 первого операнда.

При выполнении микрокоманды записи информации, поступающей через вход-выход 21 на магистральный элемент 20, в регистр 3 первого операнда дешифратор 1 вырабатывает единичный сигнал, который разрешает прохождение информации с его выхода на вход регистра 3 первого операнда.

Запись информации в регистр 3 первого операнда выполняется в два этапа. Сначала по импульсу ТИ1 с распределителя 9 импульсов, информация записывается во вспомогательный регистр, а затем по импульсу ТИ2 с распределителя 9 импульсов - в основной. Единичный сигнал с дешифратора 1, определяющий, что выполняется одна из этих микрокоманд, поступает на первый, второй или четвертый вход элемента ИЛИ 61, формируя при наличии импульса ТИ1 и отсутствии маскирования через элемент И 37 сигнал записи во вспомогательный регистр, а при наличии сигнала ТИ2 и отсутствии маскирования через элементы ИЛИ 60, 2И-ИЛИ 70 и И 43 - сигнал записи информации в основной регистр 3 первого операнда.

При выполнении операций сдвига и записи единицы в младший разряд регистра 3 первого операнда дешифратор 1 вырабатывает единичные сигналы, которые поступают на третий, пятый и шестой входы элемента ИЛИ 61 в зависимости от кода выполняемой микрокоманды. С его выхода единичный сигнал приходит на третий вход элемента ИЛИ 60 и на второй вход элемента И 37. Далее сигналы, позволяющие выполнить одну из этих микрокоманд, формируются аналогично рассмотренным выше.

Микрокоманды записи в регистр 3 первого операнда информации из блока 6, из регистров 2 - и 4 выполняются следующим образом. Дешифратор 1 вырабатывает единичные сигналы, которые поступают на второй вход первого элемента И элемента 2И-ИЛИ 70 при выполнении операции записи информации из блока 6 или на первый или второй входы элемента ИЛИ 60 при выполнении операций записи информации из регистров 2 или 4 соответственно в регистр 3 первого операнда.

Регистр 4 второго операнда служит для преобразования последовательной информации, поступающей через входы 32 или 31, в параллельную и передачи ее на вход 24 второго операнда. Регистр 4 второго операнда осуществляет прием информации, поступающей через входы 32 или 31, прием информации с регистров 2 и 3 и прием информации из блока 6.

По соответствующим микрокомандам в регистре 4 второго операнда может быть выполнен сдвиг его содержимого вправо (в сторону младших разрядов) или влево (в сторону старших разрядов) с занесением (без занесения) содержимого выдвигаемого разряда в триггер 11 переполнения, а также может быть записана единица в младший разряд регистра 4 второго операнда.

Информация с входов 32 и 31 поступает на второй и третий входы элемента 2И-ИЛИ 17. На первый и четвертый входы этого элемента поступают единичные сигналы с соответствующих выходов дешифратора 1, которые показывают, что выполняется одна из микрокоманд приема информации в регистр 4 второго операнда с входов 32, 31, и разрешают прохождение информации с одного из этих входов на вход регистра 4 второго операнда.

Единичный сигнал с дешифратора 1 поступает на первый или второй входы

элемента ИЛИ 63, формируя сигнал записи во вспомогательный регистр, а при наличии ТИ2 и отсутствии маскирования - сигнал записи информации в основной регистр.

При выполнении операций сдвига и записи единицы в младший разряд регистра 4 первого операнда дешифратор 1 вырабатывает сигналы, которые поступают на третий, четвертый, пятый и шестой входы элемента ИЛИ 63 в зависимости от кода выполняемой микрокоманды. С его выхода единичный сигнал приходит на первые входы элементов И 45 и ИЛИ 62. Далее сигналы, позволяющие выполнить одну из этих микрокоманд, формируются аналогично рассмотренным выше.

Микрокоманды записи в регистр 4 второго операнда информации из блока 6, из регистров входа-выхода 2 и первого операнда 3 выполняются следующим образом. Дешифратор 1 вырабатывает единичные сигналы, которые поступают на второй вход первого элемента И элемента 2И-ИЛИ 69 при выполнении операции записи информации из блока 6 или на второй или третий входы элемента ИЛИ 62 при выполнении операций записи информации из регистров входа-выхода 2 или первого операнда 3, формирующие сигнал записи в основной регистр информации.

При выполнении процессором микрокоманд приема информации в регистр 3 первого операнда с входов 29 или 30 происходит выдача информации, содержащейся в младшем разряде регистра 3 первого операнда, на вход коммутатора 19, а затем на выход 23 первого операнда в случае, если выполнение этих микрокоманд не маскируется единичным сигналом с выхода элемента ИЛИ 18.

Единичный сигнал с выхода элемента И 52 поступает на коммутатор 19 и разрешает выдачу информации из младшего разряда регистра 3 первого операнда через коммутатор 19 на выход 23 первого операнда.

Если на инверсный вход элемента И 52 поступает единичный сигнал с выхода элемента ИЛИ 18, то выполнение микрокоманд записи информации в регистр 3 первого операнда с входа 29 или 30 блокируется. В этом случае этот единичный сигнал поступает на первый вход элемента И 54, на второй его вход поступает единичный сигнал с выхода элемента ИЛИ 66. В результате на выходе элемента И 54 формируется единичный сигнал, который разрешает прохождение информации на выход 23 первого операнда с входа 29 или 30 в зависимости от кода поступающей микрокоманды.

Таким образом, если выполнение микрокоманд записи информации в регистр 3 первого операнда маскируется в процессоре, то информация с этих входов в зависимости от кода выполняемой микрокоманды поступает на выход 23 первого операнда без занесения ее в регистр 3 первого операнда.

При выполнении процессором микрокоманд приема информации в регистр 4 второго операнда с входов 32 или 31 происходит выдача информации, содержащейся в младшем разряде регистра 4 второго операнда на информационный вход коммутатора 19, а затем на выход 24 второго операнда в случае, если выполнение этих микрокоманд не маскируется единичным сигналом с выхода элемента ИЛИ 18.

Единичный сигнал с выхода элемента И 53 поступает на коммутатор 19 и разрешает выдачу информации из младшего разряда регистра 4 второго операнда через коммутатор 19 на выход 24 второго операнда.

Если на инверсный вход элемента И 53 поступает единичный сигнал с выхода элемента ИЛИ 18, то выполнение микрокоманд записи информации в регистр 4 второго операнда с входов 32 или 31 блокируется. В этом случае единичный сигнал поступает на первый вход элемента И 55, на второй его вход поступает единичный сигнал с выхода элемента ИЛИ 67. В результате на выходе элемента И 55 формируется единичный сигнал, который поступает на коммутатор 19, разрешая прохождение информации на выход 24 второго операнда с входов 32 или 31 (в зависимости от кода поступающей микрокоманды).

Таким образом, если выполнение микрокоманд записи информации в регистр 4 второго операнда маскируется в процессоре, то информация с этих входов в зависимости от кода выполняемой микрокоманды поступает на выход 24 второго операнда без занесения ее в регистр 4 второго операнда.

Обнуление регистров 3 и 4 выполняется по микрокомандам. Дешифратор 1

при расшифровке кодов этих микрокоманд вырабатывает единичные сигналы, которые поступают на вторые входы элементов И 38 при обнулении регистров 3 первого операнда и И 39 при обнулении регистра 4 второго операнда. На первые входы этих элементов поступают импульсы ТИ1, вырабатываемые распределителем 9 импульсов. Если на инверсные входы элементов И 38 и 39 поступает нулевой сигнал с выхода элемента ИЛИ 18, то на выходах элементов И 38 и 39 формируются единичные сигналы, которые поступают на регистры 3 и 4 и производят обнуление этих регистров.

Арифметико-логический блок 10 выполняет следующие операции над 4-разрядными операндами: логическое сложение, логическое умножение, сложение, вычитание, суммирование по mod 2, инверсия. Выполнение этих операций над 4-разрядными операндами, поступающими на арифметико-логический блок 10, осуществляется в нем постоянно, а результат выполнения одной из этих операций записывается в блок 6 только при наличии соответствующей микрокоманды.

Блок 6 оперативной памяти предназначен для хранения информации, поступающей с регистров 2 и 3 и с арифметико-логического блока 10, а также содержимого триггеров 5 и 14. Передача информации из блока 6 может происходить во все регистры процессора и триггеры 13 и 14 по соответствующим микрокомандам.

В процессоре выполняются семь микрокоманд записи информации в блок 6 оперативной памяти: результат логического сложения, результат суммирования по mod 2, результат логического умножения, результат суммы (разности) и пять микрокоманд чтения информации из блока 6: в регистр 2 входа-выхода, в регистр 3 первого операнда, в регистр 4 второго операнда, в триггер 13 маски и триггер 14 загрузки.

При выполнении одной из микрокоманд записи информации в блок 6 дешифратор 1 в зависимости от кода микрокоманды вырабатывает единичный сигнал, который поступает на один из восьми входов элемента ИЛИ 74. С его выхода этот сигнал поступает на инверсный вход элемента ИЛИ 72, а с его выхода нулевым сигналом на соответствующий вход блока 6.

При выполнении одной из микрокоманд чтения информации из блока 6 дешифратор 1 в зависимости от кода микрокоманды вырабатывает сигнал, который поступает на один из пяти входов элемента ИЛИ 73. С его выхода этот сигнал поступает на вход элемента ИЛИ 72, а с его выхода единичным сигналом – на соответствующий вход блока 6.

Элемент 2И-ИЛИ 76 формирует сигнал выборки, который разрешает обращение к блоку 6 при выполнении микрокоманд записи или чтения информации в (из) блок 6. На первые входы первого и второго элементов И элемента 2И-ИЛИ 72 поступают единичные сигналы с выходов элементов ИЛИ 73 и 74 соответственно, определяющие, что выполняется одна из микрокоманд чтения или записи информации из (в) блока 6. На вторые входы первого и второго элементов И элемента 2И-ИЛИ 76 поступает единичный сигнал с триггера 71, длительность которого определяется интервалом между передними фронтами импульсов ТИ2 и ТИ1, вырабатываемыми распределителем 9 импульсов и поступающими на S- и R-входы триггера соответственно. На инверсный вход первого элемента и элемента 2И-ИЛИ 76 поступает сигнал с выхода элемента ИЛИ 18. Если он нулевой, формируется единичный сигнал выборки, поступающий на соответствующий вход блока 6, и, следовательно, выполняется операция чтения информации из блока 6. Если на выходе элемента ИЛИ 18 сформировался единичный сигнал, то он, приходя на инверсный вход первого элемента И элемента 2И-ИЛИ 76, запрещает формирование сигнала выборки и чтение информации из блока 6 не происходит.

Сигнал с выхода элемента ИЛИ 18 приходит также на первый вход элемента И 75, на инверсный его вход приходит сигнал с выхода триггера 14 загрузки. Если на выходе триггера 14 загрузки сформировался нулевой уровень (нет режима-загрузки), то единичный сигнал с выхода элемента ИЛИ 18 проходит на выход элемента И 75 и на инверсный вход второго элемента И элемента 2И-ИЛИ 76, запретив тем самым формирование сигнала выборки на выходе элемента 2И-ИЛИ 76 и, следовательно, выполнение операций записи информации в блок 6. Если на выходе эле-

мента ИЛИ 18 сформировался нулевой сигнал, то осуществляется запись информации в блок 6.

В режиме загрузки на инверсный вход элемента И 75 с выхода триггера 14 загрузки поступает единичный уровень, который формирует на выходе элемента И 75 нулевой сигнал. Этот сигнал, поступая с выхода элемента И 75 на инверсный вход второго элемента И элемента 2И-ИЛИ 76, разрешает формирование сигнала выборки на выходе элемента 2И-ИЛИ 76 и, следовательно, выполнение операции записи информации в блок 6.

Триггер 5 переноса служит для хранения значения переноса (заема), которое возникает при выполнении арифметико-логическим блоком 10 операций сложения (вычитания) над 4-разрядными операндами.

Занесение значения переноса или заема в триггер 5 переноса и записи в него единицы может быть выполнено по соответствующим микрокомандам. Единичный сигнал, вырабатываемый дешифратором 1 поступает на один из трех входов элемента ИЛИ 65. С выхода элемента ИЛИ 65 единичный сигнал поступает на второй вход элемента И 47, на первый вход которого поступает сигнал ТИ1, вырабатываемый распределителем 9 импульсов. Если микрокоманда не маскируется, то на выходе элемента И 47 формируется единичный сигнал, который поступает на триггер 5 переноса и осуществляет запись в него соответствующей информации (переноса, заема или единицы). Сигналы, определяющие какая именно информация должна быть записана в триггер 5, вырабатываются дешифратором 1 при расшифровке кода выполняемой микрокоманды, разрешая прохождение информации на вход триггера 5 переноса.

Обнуление триггера 5 переноса осуществляется по микрокоманде. Дешифратор 1 при выполнении этой микрокоманды вырабатывает единичный сигнал, который поступает на второй вход элемента И 48, а на второй вход этого элемента приходит сигнал ТИ1, формируемый распределителем 9 импульсов. Если на инверсный вход элемента И 48 приходит нулевой сигнал с выхода элемента ИЛИ 18, разрешающий выполнение микрокоманды обнуления триггера 5 переноса, то на выходе элемента И 48 формируется единичный сигнал, осуществляющий его установку в "0".

Триггер 11 переполнения служит для записи и хранения значения выдвигаемых разрядов из регистров 3 и 4 при выполнении в них операций сдвига с занесением выдвигаемой информации в триггер 11 переполнения.

Единичный сигнал, вырабатываемый дешифратором 1 при расшифровке кода одной из микрокоманд сдвига с занесением выдвигаемой информации в триггер 11 переполнения, поступает на один из четырех входов элемента ИЛИ 59. С его выхода единичный сигнал приходит на первый вход элемента И 49, на второй вход которого поступает сигнал ТИ1, формируемый распределителем 9 импульсов. Если на инверсный вход элемента И 48 приходит нулевой сигнал с выхода элемента ИЛИ 18, разрешающий выполнение микрокоманды обнуления триггера 5 переноса, то на выходе элемента И 48 формируется единичный сигнал, осуществляющий его установку в "0".

Триггер 11 переполнения служит для записи и хранения значения выдвигаемых разрядов из регистров 3 и 4 при выполнении в них операций сдвига с занесением выдвигаемой информации в триггер 11 переполнения.

Единичный сигнал, вырабатываемый дешифратором 1 при расшифровке кода одной из микрокоманд сдвига с занесением выдвигаемой информации в триггер 11 переполнения, поступает на один из четырех входов элемента ИЛИ 59. С его выхода единичный сигнал приходит на первый вход элемента И 49, на второй вход которого поступает сигнал ТИ1, формируемый распределителем 9 импульсов. Если на инверсный вход элемента И 49 приходит нулевой сигнал с выхода элемента ИЛИ 18, разрешающий выполнение микрокоманды сдвига, то на выходе элемента И 49 формируется единичный сигнал, который поступает на триггер переполнения и осуществляет запись в него информации, выдвигаемой из регистра 3 или 4 в зависимости от выполняемой микрокоманды.

Выдвигаемая из регистров 3 и 4 информация поступает на соответствующие входы триггера 11 переполнения. Сигналы, определяющие какая именно информация должна быть записана в триггер 11 переполнения, формируются де-

шифратором 1 и определяются кодом выполняемой микрокоманды.

По соответствующей микрокоманде выполняется перезапись информации, содержащейся в триггере 5 переноса в триггер 11 переполнения. При выполнении этой микрокоманды дешифратор 1 формирует единичный сигнал, который поступает на первый вход элемента И 50, на второй его вход приходит сигнал ТИ3, формируемый распределителем 9 импульсов. Если на инверсный вход элемента И 50 приходит нулевой сигнал с выхода элемента ИЛИ 18, разрешающий выполнение микрокоманды, то на выходе элемента И 50 формируется единичный сигнал, который осуществляет запись триггера 11 переполнения информации с выхода триггера 5 переноса.

Если на выходе одного из триггеров 12 и 13 будет единичный сигнал, то этот сигнал блокирует выполнение микрокоманд.

Обработка информации в матрице, построенной на основе процессоров происходит параллельно. При реализации конкретных алгоритмов не все процессоры должны выполнять поступающие на них микрокоманды. Для реализации используется триггер 13 маски. Если он установлен в единичное состояние, то выполнение микрокоманд процессором блокируется.

При использовании матрицы процессоров в качестве ассоциативной памяти необходим триггер 12 флага активности, который позволяет по какому-то ключу или признаку устанавливать процессоры в активное или пассивное состояние.

По соответствующим микрокомандам в триггер 12 флага активности записывается либо содержимое триггера 5 переноса, либо единица, либо информация, поступающая через вход 27.

При выполнении в процессоре микрокоманды записи единицы в триггер 12 флага активности дешифратор 1 вырабатывает единичный сигнал, поступающий на второй вход элемента И 51. На первый вход этого элемента поступает импульс ТИ1, формируемый распределителем 9 импульсов. Если на инверсном входе элемента И 51 находится нулевой сигнал, то на выходе элемента И 51 формируется единичный сигнал, который приходит на соответствующий вход триггера 12 флага активности и осуществляет запись единицы в триггер 12 флага активности.

Запись информации в триггер 12 флага активности с входа 27 или из триггера 5 переноса осуществляется при соответствующей микрокоманде. Единичный сигнал, вырабатываемый дешифратором 1, поступает на один из входов элемента ИЛИ 64, с выхода которого он приходит на второй вход элемента И 46, на первый вход этого элемента поступает импульс ТИ1, формируемый распределителем 9 импульсов. Если на инверсный вход элемента И 46 поступает нулевой сигнал с выхода элемента ИЛИ 18, разрешающий выполнение этих микрокоманд, то на выходе элемента И 46 вырабатывается единичный сигнал, разрешающий выполнение микрокоманды записи информации в триггер 12 флага активности с входа 27 или из триггера 5 переноса.

Выполнение микрокоманды записи информации в триггер 13 маски из блока 6 происходит следующим образом. Дешифратор 1 вырабатывает единичный сигнал, поступающий на первый вход элемента И 40, на второй вход которого поступает импульс ТИ3, формируемый распределителем 9 импульсов, а на третий его вход поступает единичный сигнал выборки, который формируется на выходе элемента 2И-ИЛИ 76. В результате на выходе элемента И 40 формируется единичный сигнал, который поступает на первый вход элемента ИЛИ 57, а с его выхода - на вход триггера 13 маски, осуществляя запись информации в него из блока 6.

Запись содержимого триггера 11 переполнения в триггер 13 маски происходит по микрокоманде, во время которой дешифратор 1 вырабатывает единичный сигнал, который поступает на первый вход элемента И 41, на второй вход этого элемента поступает сигнал ТИ2, формируемый распределителем 9 импульсов. С выхода элемента И 41 единичный сигнал приходит на третий вход элемента ИЛИ 57, с выхода которого он поступает на вход триггера 13 маски, осуществляя запись в него информации из триггера 11 переполнения.

При выполнении в процессоре микрокоманд записи в триггер 13 маски дешифратор 1 вырабатывает единичные сигналы, поступающие на один из трех входов элементов ИЛИ 58 в зависимости от выполняемой микрокоманды. С выхода элемента ИЛИ 58 единичный сигнал приходит на второй вход элемента И 35,

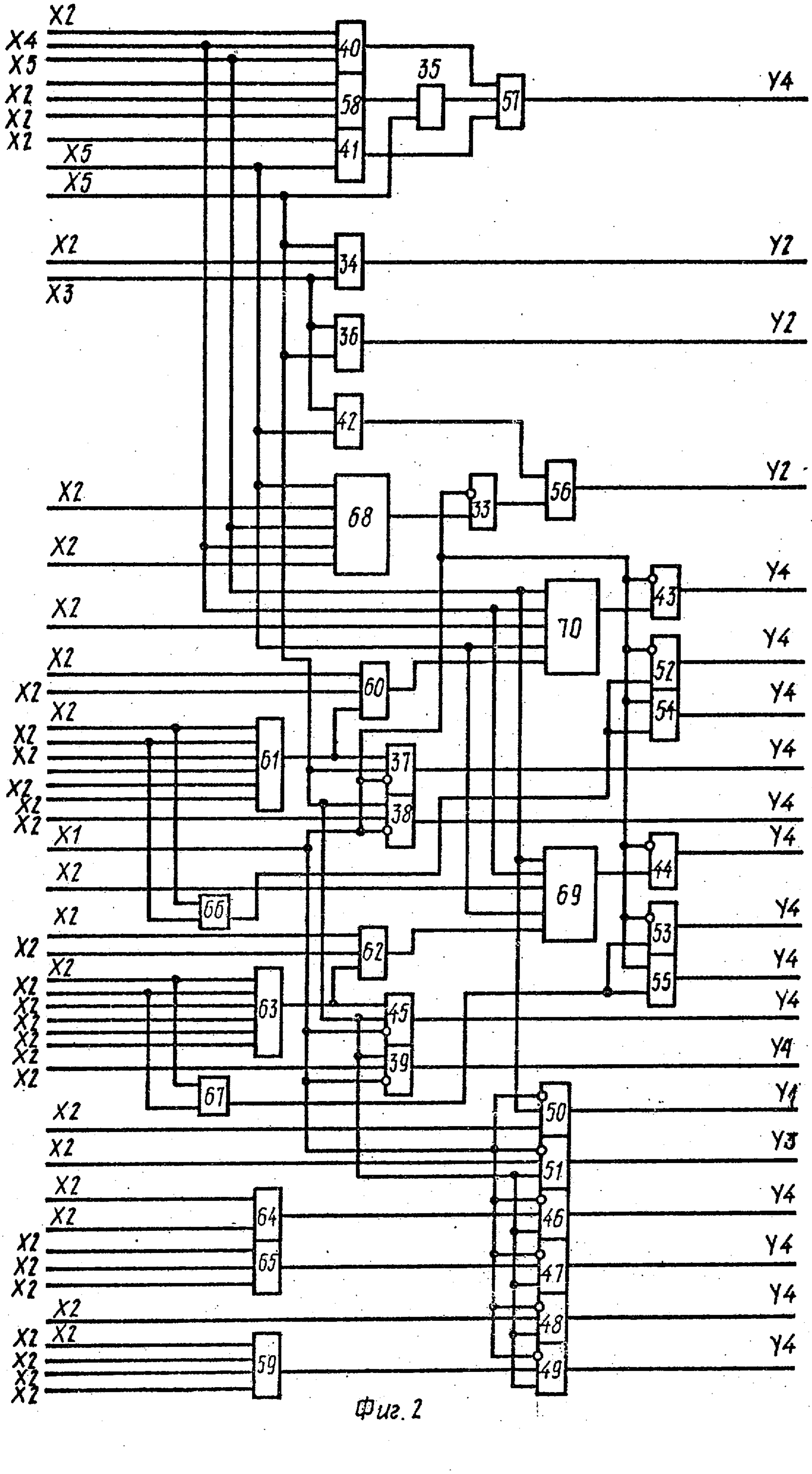
на первый вход которого поступает импульс ТИ1, вырабатываемый распределителем 9 импульсов. С выхода элемента И 35 единичный импульс поступает на второй вход элемента ИЛИ 57, с выхода которого он поступает на вход триггера 13 маски, осуществляя в нем выполнение рассматриваемых микрокоманд.

Выдача информации на вход-выход 21 происходит с первого выхода регистра 3 первого операнда по соответствующей микрокоманде. Информация с первого выхода регистра 3 первого операнда поступает на информационный вход магистрального элемента 20. На его управляющий вход поступает единичный сигнал, который разрешает прохождение информации с выхода регистра 3 первого операнда на вход-выход 21.

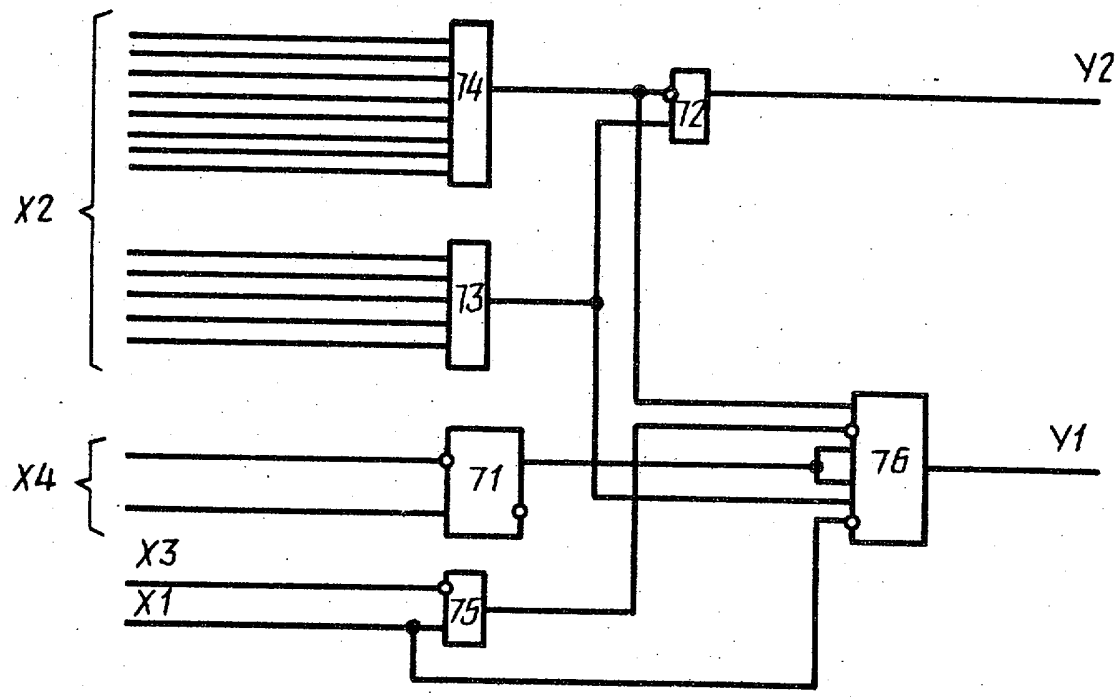
Формула изобретения

Процессор матричной вычислительной системы, содержащий регистр входа-выхода, регистр первого операнда, регистр второго операнда, блок оперативной памяти, триггер переноса и дешифратор, причем вход кода операции процессора подключен к входу дешифратора, вход режима процессора подключен к адресному входу блока памяти, первый информационный вход процессора подключен к первому информационному входу регистра входа-выхода, первый, второй и третий выходы дешифратора подключены соответственно к входам синхронизации регистра входа-выхода, регистра первого операнда и регистра второго операнда, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, он содержит распределитель импульсов, с первого по третий элементы 2И-ИЛИ, первый и второй блоки управления, триггер загрузки, триггер переполнения, триггер переноса, триггер флага активности, триггер маски, элемент ИЛИ, магистральный элемент, коммутатор и арифметико-логический блок, причем первый информационный вход процессора подключен к первому входу первого элемента 2И-ИЛИ, к первому информационному входу триггера флага и к первому информационному входу триггера маски, прямой выход которого подключен к первому входу элемента ИЛИ, выход которого подключен к первым входам режима первого и второго блоков управления, с первого по четырнадцатый выходы первого блока управления подключены соответственно к первому информационному входу триггера переноса, к входу записи / считывания и к входу установки в "0" регистра входа-выхода, к входу установки в "1" триггера флага активности, к входу записи / считывания и к входу установки в "0" регистра первого операнда, к входу записи-считывания и к входу установки в "0" регистра второго операнда, к входу синхронизации и входу установки в "0" триггера переполнения, к входу синхронизации и к входу установки в "0" триггера маски, к входу записи триггера флага активности и к управляющему входу коммутатора, первый и второй выходы которого подключены соответственно к выходам первого и второго операндов процессора, с четвертого по одиннадцатый выходы дешифратора подключены соответственно к второму входу режима первого блока управления, к второму входу режима второго блока управления, к входу кода операции арифметико-логического блока, к входу разрешения триггера переполнения, к входу разрешения триггера маски, к входу синхронизации и к входу установки в "0" триггера переноса и к входу синхронизации триггера флага активности, выход которого подключен к второму входу элемента ИЛИ, второй и третий информационные входы процессора подключены соответственно к первому и второму входам второго элемента 2И-ИЛИ, выход которого подключен к первому информационному входу коммутатора и первому информационному входу регистра первого операнда, первый выход которого подключен к первому информационному входу триггера переполнения, к второму информационному входу коммутатора и к информационному входу магистрального элемента, выход которого подключен к второму информационному входу регистра первого операнда, второй вход которого подключен к второму информационному входу триггера переполнения, выход которого подключен к второму информационному входу триггера маски и к первому информационному входу блока оперативной памяти, выходы с первого по пятый которого подключены соответственно к третьему информационному входу триггера маски, к второму информационному

входу регистра входа-выхода, к третьему информационному входу регистра первого операнда, к первому информационному входу регистра второго операнда и к информационному входу триггера загрузки, выход которого подключен к третьим входам режима первого и второго блоков управления, первый выход второго блока управления подключен к четвертому входу режима первого блока управления и к входу синхронизации блока оперативной памяти, второй выход второго блока управления подключен к входу чтения/записи блока оперативной памяти, четвертый и пятый информационные входы процессора подключены соответственно к первому и второму входам третьего элемента 2И-ИЛИ, выход которого подключен к третьему информационному входу коммутатора и к второму информационному входу регистра второго операнда, первый выход которого подключен к третьему информационному входу регистра переполнения, второй выход регистра второго операнда подключен к четвертому информационному входу коммутатора и к четвертому информационному входу триггера переполнения, выходы с двенадцатого по двадцатый дешифратора подключены соответственно к первому и второму входам разрешения триггера загрузки, к второму и третьему входам первого элемента 2И-ИЛИ, к управляющему входу магистрального элемента, к третьему и четвертому входам третьего элемента 2И-ИЛИ, к третьему и к четвертому входам второго элемента 2И-ИЛИ, тактовый вход процессора подключен к входу режима распределителя импульсов, первый и второй выходы которого подключены соответственно к первому и второму входам синхронизации триггера загрузки, третий выход распределителя импульсов подключен к пятому входу режима первого блока управления и четвертому входу режима второго блока управления, третий выход регистра первого операнда подключен к первому информационному входу арифметико-логического блока, к третьему информационному входу регистра входа-выхода, к третьему информационному входу регистра второго операнда и к второму информационному входу блока оперативной памяти, третий информационный вход которого подключен к информационному выходу арифметико-логического блока, выход переноса/заема которого подключен к второму информационному входу триггера переноса, выход которого подключен к второму информационному входу триггера флага активности, к второму информационному входу арифметико-логического блока, к пятому информационному входу триггера переполнения и к четвертому информационному входу блока оперативной памяти, третий выход регистра второго операнда подключен к третьему информационному входу арифметико-логического блока и к четвертому информационному входу регистра первого операнда, первый выход регистра входа-выхода подключен к пятому информационному входу регистра первого операнда и к четвертому информационному входу регистра второго операнда, второй выход регистра входа-выхода подключен к четвертому входу первого элемента 2И-ИЛИ, выход которого подключен к информационному выходу процессора, вход-выход признака которого подключен к информационному входу-выходу магистрального элемента.


X2
X4
X5
X2
X2
X2
X5
X5
40
58
41
35
57
Y4
X2
X3
34
36
42
Y2
Y2
68
33
56
Y2
X2
X2
70
43
Y4
X2
60
52
54
Y4
Y4
61
37
38
Y4
Y4
X1
66
69
44
Y4
62
53
55
Y4
Y4
63
45
39
Y4
Y4
67
50
51
Y1
Y3
64
65
46
47
Y4
Y4
48
49
59
Y4
Y4

Фиг. 2



Фиг.3

Составитель В. Смирнов
Редактор Т. Лазоренко Техред М.Ходанич Корректор О. Ципле

Заказ 3387 Тираж 568 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101