



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

223009

(11)

(B1)

(51) Int. Cl.³
H 04 B 13/00

(22) Přihlášeno 14 11 80

(21) (PV 7747-80)

(40) Zveřejněno 30 07 82

(45) Vydáno 15 03 86

(75)
Autor vynálezu

KOKEŠ ANTONÍN RNDr. CSc., PRAHA

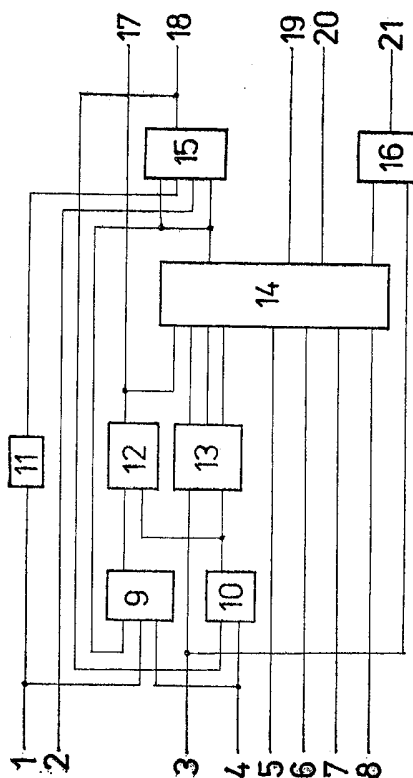
(54) Zapojení pro vysílání a porovnání sériově přenášených dat s generátorem speciálních znaků

1

Vynález řeší jednak sériové vysílání dat a speciálních znaků s doprovodnými signály, jednak porovnává přijímané znaky se vzorovými nebo speciálními znaky.

Jednotlivé bity znaků jsou čítány čítačem (13), jehož výstupy adresují paměť konstant (14), jejíž další dva adresové vstupy slouží k volbě speciálních znaků, další pak pro vzorová data a pro porovnávaná data. Výstupy paměti konstant (14) slouží k detekci nesouhlasu vzorových a porovnávaných dat (15), dále jako výstup vysílaných dat (19), výstup doprovodných signálů (20) a výstup označující poslední bit zpracovávaného znaku (16).

2



Vynález se týká elektronického číslicového zapojení, který jednak sériově vysílá data podle vzorových dat a speciální znaky s doprovodnými signály, jednak porovnává přijímané znaky se vzorovými nebo speciálními znaky.

Při přijímání sériových dat je důležité najít takové řetězce dat, které vyhovují syntaktickým pravidlům přenosu. K těmto účelům byla vypracována řada součástkově náročných obvodů. Obvody pro vysílání bývají odděleně řešeny, i když obsahují části společných vlastností jako obvody pro porovnání. Nevýhodou dosud známých řešení je větší nárok na součástky, případně použití cenově nákladných mikroprocesorů.

Výše uvedené nedostatky odstraňuje zapojení pro vysílání a porovnání sériově přenášených dat podle vynálezu, jehož podstata spočívá v tom, že první výstup paměti konstant je spojen s prvním vstupem prvního součinnového hradla a s datovým a s nulovacím vstupem klopného obvodu D, jehož výstup spojený s prvním vstupem druhého součinnového hradla tvoří výstupní svorku chybového signálu. Nastavovací vstup klopného obvodu D tvoří vstupní svorku pro vnější nulovací signál, zatím co jeho hodinový vstup je připojen k výstupu invertoru, jehož vstup spojený s druhým vstupem prvního součinnového hradla tvoří vstupní svorku pro vzorkovací pulsy. Vstupní svorka pro řídicí kmitočet je tvořena druhým vstupem třetího součinnového hradla spojeným s čítacím vstupem čítače modulo osm, jehož tři výstupy jsou spojeny s druhým, třetím a čtvrtým adresovým vstupem paměti konstant, zatím co její první adresový vstup je spojen s výstupem čítače modulo dvě a tvoří výstupní svorku pro indikaci prvního, nebo druhého souboru speciálních znaků. Vstupní svorka pro volbu funkce vysílání nebo porovnání je tvořena třetím vstupem prvního součinnového hradla spojeným s druhým vstupem druhého součinnového hradla, jehož výstup je spojen s nulovacími vstupy obou čítačů. Čítací vstup prvního součinnového hradla. Pátý a šestý vstup paměti konstant tvoří první a druhou vstupní svorku pro volbu speciálních znaků. Sedmý adresový vstup paměti konstant tvoří vstupní svorku pro porovnávaná data, zatím co její osmý adresový vstup tvoří vstupní svorku vzorových dat. Druhý výstup paměti konstant tvoří výstupní svorku vysílaných dat. Třetí výstup paměti konstant tvoří výstupní svorku doprovodných dat a čtvrtý výstup paměti konstant je spojen s prvním vstupem třetího součinnového hradla, jehož výstup tvoří výstupní svorku signálu úspěšně dokončeného cyklu.

Výhodou zapojení je nízký počet součástek a snadná změna souboru speciálních znaků výměnou paměti konstant.

Na výkresu je zapojení obvodu podle vy-

nálezu, kde první výstup paměti konstant 14 je spojen s prvním vstupem prvního součinnového hradla 9 a s datovým a s nulovacím vstupem klopného obvodu D 15, jehož výstup spojený s prvním vstupem druhého součinnového hradla 10 tvoří výstupní svorku chybového signálu 18. Nastavovací vstup klopného obvodu D 15 tvoří vstupní svorku pro vnější nulovací signál 2, zatím co jeho hodinový vstup je připojen k výstupu invertoru 11, jehož vstup spojený s druhým vstupem součinnového hradla 9 tvoří vstupní svorku pro vzorkovací pulsy 1. Vstupní svorka pro řídicí kmitočet 3 je tvořena druhým vstupem třetího součinnového hradla 16 spojeným s čítacím vstupem čítače modulo osm 13, jehož tři výstupy jsou spojeny s druhým, třetím a čtvrtým adresovým vstupem paměti konstant 14, zatím co její první adresový vstup je spojen s výstupem čítače modulo dvě 12 a tvoří výstupní svorku pro indikaci prvního nebo druhého souboru speciálních znaků 17. Vstupní svorka pro volbu funkce vysílání nebo porovnání 4 je tvořena třetím vstupem prvního součinnového hradla 9 spojeným s druhým vstupem druhého součinnového hradla 10, jehož výstup je spojen s nulovacími vstupy obou čítačů 12, 13. Čítací vstup čítače modulo dvě 12 je spojen s výstupem prvního součinnového hradla 9. Pátý a šestý adresový vstup paměti konstant 14 tvoří první a druhou vstupní svorku pro volbu speciálních znaků 5, 6. Sedmý adresový vstup paměti konstant 14 tvoří vstupní svorku pro porovnávaná data 7, zatím co její osmý adresový vstup tvoří vstupní svorku vzorových dat. Druhý výstup paměti konstant 14 tvoří výstupní svorku vysílaných dat 19. Třetí výstup paměti konstant 14 tvoří výstupní svorku doprovodných dat 20 a čtvrtý výstup paměti konstant je spojen s prvním vstupem třetího součinnového hradla 16, jehož výstup tvoří výstupní svorku signálu úspěšně skončeného cyklu 21. Čítač modulo osm 13 provádí výběr jednotlivých bitů zpracovávaných znaků. Při funkci vysílání je ovládán pouze řídicím kmitočtem, takže na výstupní svorce vysílaných dat 19 se objevují buď jednotlivé bity speciálních znaků, nebo vzorová data. Při maximální hodnotě čítače se na čtvrtém výstupu paměti konstant 14 objeví puls, který je vzorkován řídicím kmitočtem pomocí třetího součinnového hradla 16. Při funkci porovnání je na prvním výstupu paměti konstant výsledek porovnání hodnot na vstupní svorce pro porovnávaná data buď se vzorovými daty, nebo se speciálními znaky uloženými v paměti konstant 14. Při nesouhlasu se nejdříve přes součinnové hradlo 9 překlápí čítač modulo dvě 12, čímž se volí druhý soubor speciálních znaků; je-li opět nesouhlas, překlápí se na konci vzorkovacího pulsu klopný obvod D 15, což způsobí generaci chybového signálu, který přes druhé sou-

činové hradlo 10 nuluje oba čítače a vyhledávání znaku porovnáváním začíná znova. Aplikace tohoto zapojení je vhodná tam,

kde se používá sériového přenosu s vyhledáváním znaků.

PŘEDMĚT VYNÁLEZU

Zapojení pro vysílání a porovnání sériově přenášených dat s generátorem speciálních znaků, vyznačené tím, že první výstup paměti konstant (14) je spojen s prvním vstupem prvního součinového hradla (9) a s datovým a s nulovacím vstupem klopného obvodu D (15), jehož výstup spojený s prvním vstupem druhého součinového hradla (10) tvoří výstupní svorku chybového signálu (18), přičemž nastavovací vstup klopného obvodu D (15) tvoří vstupní svorku pro vnější nulovací signál (2), zatím co jeho hodinový vstup je připojen k výstupu invertoru (11), jehož vstup spojený s druhým vstupem prvního součinového hradla (9) tvoří vstupní svorku pro vzorkovací pulsy (1), zatím co vstupní svorka pro řídicí kmitočet (3) je tvořena druhým vstupem třetího součinového hradla (16) spojeným s čítacím vstupem čítače modulo osm (13), jehož tři výstupy jsou spojeny s druhým, třetím a čtvrtým adresovým vstupem paměti konstant (14) zatím co její první adresový vstup je spojen s výstupem čítače modulo dvě (12) a tvoří výstupní svorku pro indi-

kaci prvního, nebo druhého souboru speciálních znaků (17), přičemž vstupní svorka pro volbu funkce vysílání nebo porovnání (4) je tvořena třetím vstupem prvního součinového hradla (9) spojeným s druhým vstupem druhého součinového hradla (10), jehož výstup je spojen s nulovacími vstupy obou čítačů (12) a (13), přičemž čítací vstup čítače modulo dvě (12) je spojen s výstupem prvního součinového hradla (9), dále pak pátý a šestý adresový vstup paměti konstant (14) tvoří první a druhou vstupní svorku pro volbu speciálních znaků (5) a (6), sedmý adresový vstup paměti konstant (14) tvoří vstupní svorku pro porovnávaná data (7), zatím co její osmý adresový vstup tvoří vstupní svorku vzorových dat (8), druhý výstup paměti konstant (14) tvoří výstupní svorku vysílaných dat (19), třetí výstup paměti konstant (14) tvoří výstupní svorku doprovodných dat (20) a čtvrtý výstup paměti konstant (14) je spojen s prvním vstupem třetího součinového hradla (16), jehož výstup tvoří výstupní svorku signálu úspěšně skončeného cyklu (21).

