

申請日期： 90.9.19

案號： 90122984

類別：

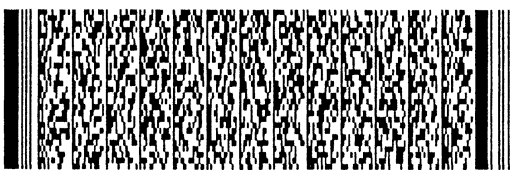
H01L 27/06, H01L 21/8

(以上各欄由本局填註)

發明專利說明書

508797

一、 發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME
二、 發明人	姓名 (中文)	1. 牧幸生
	姓名 (英文)	1. Yukio MAKI
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

2001/02/06 2001-029779

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明之領域]

本發明關於半導體裝置及其製造方法，尤其關於具有整個活性區域表面為圓形的MOS(Metal Oxide Semiconductor：金屬氧化物半導體)電晶體的半導體裝置及其製造方法。

[先前之技術]

圖21顯示一例先前之MOS電晶體的剖面結構。如該圖所示，在半導體基板1的主表面有選擇地形成隔離氧化膜5，並且在位於隔離氧化膜5之間的活性區域11上介由氧化膜8形成閘極9。

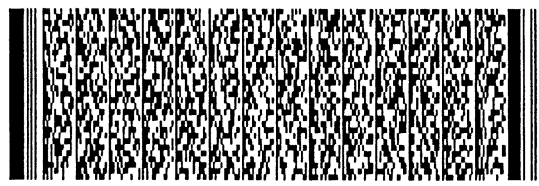
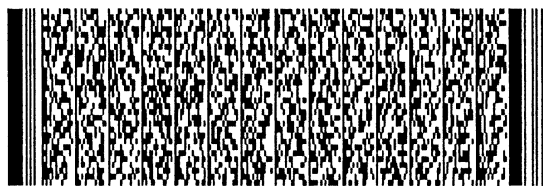
下面，用圖22和圖23說明圖21所示MOS電晶體的製造方法。圖22和圖23為顯示上述MOS電晶體製造步驟特徵的第1和第2步驟的剖面圖。

首先，在半導體基板1的主表面上形成光罩膜(圖中未顯示)，利用該光罩膜進行氧化處理，從而如圖22所示，形成隔離氧化膜5。接著，如圖22所示，形成防止離子植入時損壞用的氧化膜7，進行形成MOS電晶體用的離子植入。

然後，如圖23所示，借助用HF等的濕式蝕刻去除離子植入時用的氧化膜7。這時，隔離氧化膜5也受到蝕刻，形成環槽部12。

接著，如圖21所示，形成作為MOS電晶體閘極氧化膜的氧化膜8和閘極9。

下面，用圖24A、B～圖26A、B說明其他習知例。圖24A、B為先前SRAM(Static Random Access Memory：靜態隨



五、發明說明 (2)

機存取記憶體)的記憶單元中存取型MOS電晶體部和驅動型MOS電晶體部的剖面結構圖。

SRAM記憶單元中，為了使記憶單元工作穩定，通常需要使用存取型MOS電晶體與驅動型MOS電晶體的電流比大。最好存取型MOS電晶體電流值小，驅動型MOS電晶體電流值大。

因此，驅動型MOS電晶體中活性區域11的寬度 W_d 大於存取型MOS電晶體中活性區域11的寬度 W_a ，驅動型MOS電晶體的閘極長度 L_d 比存取型MOS電晶體的閘極長度 L_a 短。

SRAM記憶單元電晶體要求的特性如下。存取型MOS電晶體最好反向偏置時的臨限值電壓 V_{th} 低，而且由於閘極長度長，最好用抑制反向偏置作用的低能量進行通道雜質植入。

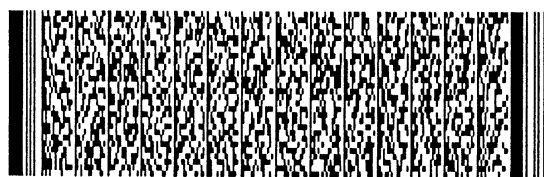
反之，驅動型MOS電晶體則由於閘極長度短，為了抑制擊穿，最好用高能量進行通道雜質植入。

下面，說明圖24A、B所示SRAM記憶單元的製造方法。圖25A、B和圖26A、B為表示圖24A、B所示SRAM記憶單元製造步驟特徵的第1和第2步驟的剖面圖。

與上述MOS電晶體時相同，在半導體基板1上形成光罩膜後，用該光罩膜進行氧化處理，從而形成隔離氧化膜5，如圖25A、B所示。

接著，如圖25A、B所示，形成防止離子植入時損壞用的氧化膜7後，進行形成存取型MOS電晶體和驅動型MOS電晶體用的離子植入。

這時，氧化膜7的厚度，在存取型MOS電晶體形成部與驅



五、發明說明 (3)

動型MOS電晶體形成部上相同。

然後，如圖26A、B所示，以採用HF等的濕式蝕刻去除氧化膜7後，如圖24A、B所示，形成作為存取型MOS電晶體和驅動型MOS電晶體閘極氧化膜的氧化膜8和閘極9。

如上所述，圖21所示MOS電晶體在隔離氧化膜5的邊緣產生環槽部12。由於該環槽部12，MOS電晶體中存在產生洩漏電流的問題。此問題，圖24所示的例子中也同樣會產生。

如上所述，圖24A、B所示存取型MOS電晶體和驅動型MOS電晶體進行通道植入時，其氧化膜7的厚度相同，因而不進行覆蓋存取型MOS電晶體形成區域和驅動型MOS電晶體形成區域之一的光罩膜等處理，則不能改變存取型MOS電晶體和驅動型MOS電晶體的通道摻雜區域深度。

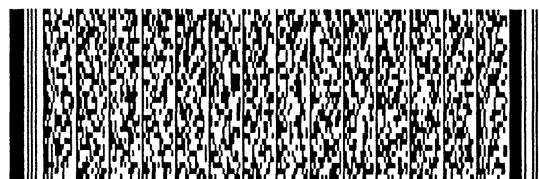
而且，不追加另外的絕緣膜形成步驟，就不能改變存取型MOS電晶體和驅動型MOS電晶體的閘極絕緣膜厚度。

也就是說，不增添新的步驟，難以改善SRAM中記憶單元的性能，並且使其工作穩定。

[發明概要]

本發明是為解決上述課題而完成的。本發明的一個目的在於減小具有MOS電晶體的半導體裝置的洩漏電流。本發明的另一個目的在於不增添新步驟，而改善SRAM記憶單元的性能，並使其工作穩定。

本發明的半導體裝置包含具有活性區域和隔離區域的半導體基板、介由絕緣膜在活性區域上形成的閘極，活性區



五、發明說明 (4)

域表面整個具有圓形，並且隨著靠近隔離區域向下傾斜。

活性區域表面具有上述形狀，從而能使隔離區域附近的上述絕緣膜厚度變厚。因此，隔離區域邊緣上能抑制產生習知例那樣的環槽部。

上述半導體裝置包含SRAM，該SRAM包含存取型MOS電晶體和驅動型MOS電晶體。這種情況下，存取型MOS電晶體的活性區域表面整個成為圓形。

因此，能抑制存取型MOS電晶體中的洩漏電流。

在上述隔離區域形成隔離絕緣膜，該隔離絕緣膜具有延伸到活性區域上的鳥嘴形部。這時，由該鳥嘴形部覆蓋活性區域。

因此，其結果使隔離區域邊緣絕緣膜厚度可變大，能抑制在隔離區域邊緣產生習知例那樣的環槽部。

位於隔離區域附近的上述鳥嘴形部的厚度大於位於活性區域中央部上的鳥嘴形部的厚度。

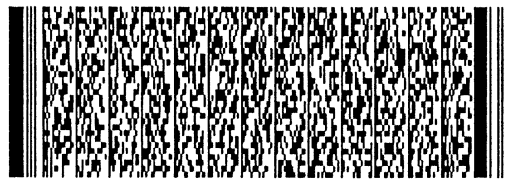
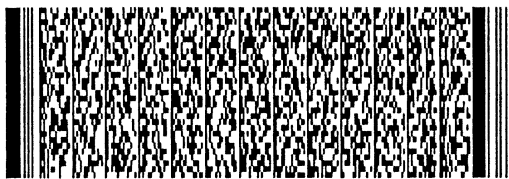
據此，能有效抑制在隔離區域邊緣產生上述環槽部。

上述SRAM中，最好使存取型MOS電晶體的通道摻雜深度比驅動型MOS電晶體的通道摻雜深度淺。

由此，在抑制存取型MOS電晶體反向偏置效應的同時，能抑制驅動型MOS電晶體的擊穿，並且能改善記憶單元的性能。

最好使存取型MOS電晶體的閘極絕緣膜厚度大於驅動型MOS電晶體的閘極絕緣膜厚度。

由此，能減小存取型MOS電晶體的電流量，可謀求記憶



五、發明說明 (5)

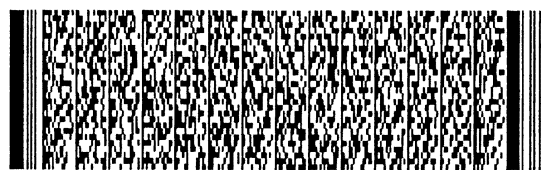
單元工作穩定。

本發明的半導體裝置的製造方法，其一個方面具有以下各步驟。在半導體基板上形成光罩膜，覆蓋活性區域，而半導體基板的隔離區域露出。利用該光罩膜有選擇地使半導體基板氧化，從而形成覆蓋活性區域的鳥嘴形部。去除上述光罩膜後，在鳥嘴形部上形成第1絕緣膜。通過第1絕緣膜和鳥嘴形部在活性區域植入雜質。去除第1絕緣膜後，介由第2絕緣膜在活性區域上形成閘極。

以上那樣在鳥嘴形部上形成第1絕緣膜，則在去除第1絕緣膜時隔離區域邊緣存在厚的絕緣膜，從而能抑制去除第1絕緣膜後在隔離區域邊緣產生環槽部。

鳥嘴形部形成步驟包括形成鳥嘴形部，在活性區域上連接鳥嘴形部，使活性區域表面整個成為圓形。由此，去除第1絕緣膜時，隔離區域邊緣能確保絕緣膜厚，可有效抑制環槽部的產生。

本發明的半導體裝置之製造方法，其另一個方面是製造具有存取型MOS電晶體和驅動型MOS電晶體的半導體裝置的製造方法，該方法具有以下各步驟。在半導體基板上形成第1和第2光罩膜，覆蓋形成存取型MOS電晶體的第1活性區域和形成驅動型MOS電晶體的第2活性區域，而半導體基板的隔離區域露出。用第1和第2光罩膜有選擇地氧化半導體基板，從而形成覆蓋整個第1活性區域並且僅覆蓋第2活性區域邊緣部的鳥嘴形部。去除第1和第2光罩膜後，在第1和第2活性區域分別形成第1和第2絕緣膜。通過第1絕緣膜



五、發明說明 (6)

和鳥嘴形部在第1活性區域植入雜質，同時通過第2絕緣膜在第2活性區域植入雜質。去除第1和第2絕緣膜後，介由第3和第4絕緣膜，在第1和第2活性區域上分別形成第1和第2閘極。

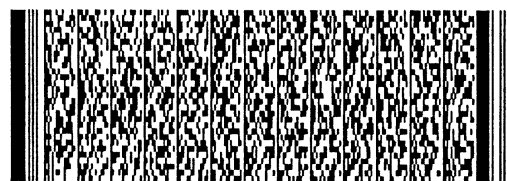
以上那樣用鳥嘴形部覆蓋整個第1活性區域，從而在第1和第2活性區域上形成第1和第2絕緣膜時，能使第1活性區域上形成的絕緣膜厚度大於第2活性區域上形成的絕緣膜厚度。通過該墊底絕緣膜進行通道雜質植入，因而能使通道雜質植入時的墊底絕緣膜厚度在第1活性區域上比在第2活性區域上厚，可使第1活性區域的通道摻雜深度比第2活性區域的該深度淺。即，能使存取型MOS電晶體的通道摻雜深度比驅動型MOS電晶體的通道摻雜深度淺。這時，在第1活性區域上連接鳥嘴形部即可，因而不需要增添新步驟。

鳥嘴形部形成步驟最好包括形成鳥嘴形部，在第1活性區域上連接鳥嘴形部，使第1活性區域表面整個成為圓形。

由此，能抑制存取型MOS電晶體周圍的隔離區域邊緣產生環槽部。

第1和第2絕緣膜去除步驟包括在第1活性區域上留下鳥嘴形部，同時使第2活性區域的表面露出。

由此，能使存取型MOS電晶體的閘極絕緣膜厚度實質上大於驅動型MOS電晶體的閘極絕緣膜厚度，從而能減小存取型MOS電晶體的電流值。結果，能使記憶單元工作穩定。



五、發明說明 (7)

[發明的實施形態]

下面，用圖1～圖20說明本發明的實施形態。

[實施形態1]

圖1為本發明實施形態1的半導體裝置中MOS電晶體部的剖面圖。如圖1所示，本實施形態的MOS電晶體，形成在有用選擇地設置在半導體基板1的主表面上的隔離區域包圍的活性區域上。

隔離區域上形成隔離氧化膜5等隔離絕緣膜。隔離氧化膜5例如用後文講述的LOCOS(Local Oxidation of Silicon：矽局部氧化)法等形成，具有延伸到活性區域上的鳥嘴形部。圖1所示例子中，鳥嘴形部不覆蓋活性區域，但也可做成用鳥嘴形部覆蓋活性區域。

如圖1所示，隔離氧化膜5的邊緣不存在習知例那樣的環槽部，因為隔離氧化膜5邊緣附近的氧化膜(絕緣膜)厚度變大。由此，能抑制MOS電晶體中的洩漏電流。

位於隔離氧化膜5之間的活性區域的表面具有整個向上突出的圓形，並且隨著靠近隔離區域向下傾斜。該活性區域的表面最好用從其中央部向邊緣部具有規定曲率的曲面構成，隨著從上述中央部到邊緣部逐漸向下傾斜。活性區域的表面具有上述結構，也可有助於使隔離區域邊緣的氧化膜厚度大。

在活性區域表面形成通道摻雜區13後，在該活性區域上介由氧化膜8形成閘極9，並且在閘極9的兩側形成作為源/汲極區的一組雜質區域(圖中未顯示)。



五、發明說明 (8)

下面，用圖2～圖7說明本實施形態的半導體裝置之製造方法。圖2～圖7為顯示本實施形態半導體裝置之製造步驟的第1步驟～第6步驟的剖面圖。

如圖2所示，用CVD(Chemical Vapor Deposition：化學氣相沈積)法等在半導體基板1的主表面上形成由氧化矽膜、氮氧化矽膜、聚晶矽膜等組成的緩衝膜2，並且在緩衝膜2上用CVD法等形成氮化膜3。在該氮化膜3上形成保護膜圖案4。

接著，用保護膜圖案4蝕刻氮化膜3和緩衝膜2。由此，如圖3所示，可在活性區域上留下氮化膜3和緩衝膜2的疊層膜(光罩膜)。這時，半導體基板1的主表面受到過蝕刻，形成若干凹部。然後，去除保護膜圖案4。

接著，將氮化膜3和緩衝膜2作為光罩，對半導體基板1進行有選擇的熱氧化，從而形成隔離氧化膜5，如圖4所示。

這時，可通過調整緩衝膜2的材料、膜厚和氮化膜3的膜厚，調整隔離氧化膜5的鳥嘴形部6的長度，從而能在活性區域上連接鳥嘴形部6。如圖4所示，能用鳥嘴形部6覆蓋活性區域。

例如在 H_2 氣體、 O_2 氣體中以 $1050^\circ C$ 的條件進行場氧化到 $400nm$ 以下的程度時，能使鳥嘴形部6的長度為 $0.25\mu m$ 。因此，只要活性區域 $0.5\mu m$ 以下(活性區域寬度為鳥嘴形部6的長度的2倍以下)，就能在活性區域上連接鳥嘴形部6。



五、發明說明(9)

上述場氧化中的緩衝膜2，其材料為氮氧化矽膜(SiON)，膜厚為10nm左右；氮化膜3的膜厚為63nm左右。

如圖4所示，位於隔離區域附近的上述鳥嘴形部6的厚度大於在活性區域中央部上的鳥嘴形部6的厚度，整個活性區域表面為圓形。由此，能使隔離區域邊緣的氧化膜(絕緣膜)的厚度大。

如圖5所示，利用蝕刻等去除氮化膜3和緩衝膜2後，在鳥嘴形部6上形成防止離子植入時損壞用的氧化膜7，如圖6所示。然後，通過氧化膜7和鳥嘴形部6在活性區域植入規定的雜質，進行形成MOS電晶體用的通道摻雜。由此，形成通道摻雜區域13。

接著，如圖7所示，借助採用HF等的濕式蝕刻，去除氧化膜7。這時，如上文所述，隔離區域邊緣的氧化膜厚度變大，因而能抑制隔離區域邊緣產生習知例那樣的環槽部。

然後，利用CVD法等形成作為MOS電晶體閘極氧化膜的氧化膜8和閘極9，取得圖1所示的結構。

下面，用圖8～圖10說明本實施形態1的變換例。圖8為本變換例中MOS電晶體部的剖面圖。

上述實施形態1說明了本發明用於LOCOS型分隔的情況，但本發明的思想對溝渠型分隔也可用。

如圖8所示，本變換例在半導體基板1的主表面形成溝渠10，並且在溝渠10內部形成隔離氧化膜5。除這點以外的結構與實施形態1時大致相同，因而省略重覆說明。圖8所



五、發明說明 (10)

示的本變換例中，鳥嘴形部6在活性區域上也不連續，但也可在活性區域上連接鳥嘴形部6。

下面，用圖9和圖10說明本變換例的製造方法。圖9和圖10為顯示本變換例製造步驟中具有特徵的第1和第2步驟的剖面圖。

首先，用與實施形態1相同的方法在半導體基板1的主表面上形成緩衝膜2、氮化膜3和保護膜圖案4，將保護膜圖案4作為光罩，對緩衝膜2和氮化膜3製作圖案後，再次對半導體基板1進行蝕刻，形成溝渠10，如圖9所示。

接著，去除保護膜圖案4，將緩衝膜2和氮化膜3作為光罩進行有選擇的氧化，並且在活性區域上連接鳥嘴形部6。然後，堆積氧化膜，並且用CMP(Chemical Mechanical Polishing：化學機械研磨)法等對氧化膜進行研磨。由此，如圖10所示，能在溝渠10內埋入氧化膜。

此後，通過與實施形態1相同的步驟，能取得圖8所示的結構。

[實施形態2]

下面，用圖11～圖20說明本發明的實施形態2。圖11A、B為表示本發明實施形態2的半導體裝置中存取型MOS電晶體部和驅動型MOS電晶體部的剖面圖。

本實施形態2將本發明用於SRAM。該SRAM如圖11A、B所示，包含存取型MOS電晶體和驅動型MOS電晶體。而且，與實施形態1時相同，使存取型MOS電晶體形成部的活性區域(以下稱為"第1活性區域")整個表面為向上凸出的圓形。



五、發明說明 (11)

由此，能使隔離區域邊緣的氧化膜厚度變大，與實施形態1時相同，能抑制產生隔離區域邊緣的環槽部。由此，可抑制存取型MOS電晶體中的洩漏電流。

又使存取型MOS電晶體的通道摻雜區域13a的深度D1比驅動型MOS電晶體的通道摻雜區域13b的深度D2淺。

由此，在抑制存取型MOS電晶體反向偏置效應的同時，能抑制驅動型MOS電晶體的擊穿，從而可改善記憶單元的性能。

使存取型MOS電晶體閘極絕緣膜(氧化膜8和鳥嘴形部6的疊層膜)的厚度 t_1 大於驅動型MOS電晶體閘極絕緣膜(氧化膜8)的厚度 t_2 。由此，能減小存取型MOS電晶體的電流量，可謀求記憶單元工作穩定。

使第1活性區域的寬度W1小於驅動型MOS電晶體形成部的活性區域(以下稱為"第2活性區域")的寬度W2。

由此，加大存取型MOS電晶體與驅動型MOS電晶體的電流比，使記憶單元工作穩定，而且在第1活性區域上連接鳥嘴形部6，同時可在第2活性區域上隔開鳥嘴形部6。

下面，用圖12A、B～圖17A、B說明本實施形態2的半導體裝置的製造方法。圖12A、B～圖17A、B為顯示本實施形態2的半導體裝置之製造步驟的第1步驟～第6步驟的剖面圖。

如圖12A、B所示，用CVD法等在半導體基板1的主表面上形成由氧化矽膜、氮氧化矽膜、聚晶矽膜等組成的緩衝膜2，並且在緩衝膜2上利用CVD法等形成氮化膜3。在位於第



五、發明說明 (12)

1 和第2 活性區域上的氮化膜3 上形成保護膜圖案4 。

接著，用保護膜圖案4 對氮化膜3 和緩衝膜2 進行蝕刻。由此，如圖13A、B 所示，可在第1 和第2 活性區域上留下氮化膜3 和緩衝膜2 的疊層膜(第1 和第2 光罩膜)。這時，半導體基板1 的主表面受到過蝕刻，形成若干凹部。然後，去除保護膜圖案4 。

接著，將氮化膜3 和緩衝膜2 作為光罩，對半導體基板1 進行有選擇的熱氧化。由此，如圖14 所示，在第1 和第2 活性區域周圍形成隔離氧化膜5 。

這裏，如上所述，使第1 活性區域寬度 W_1 小於第2 活性區域寬度 W_2 ，從而可在第1 活性區域上連接鳥嘴形部6，在第2 活性區域上隔開鳥嘴形部6。即，可用鳥嘴形部6 覆蓋整個第1 活性區域，又用鳥嘴形部6 僅覆蓋第2 活性區域的邊緣部。

例如，在與實施形態1 時相同的條件下，進行場氧化到400nm 以下的程度時，使第1 活性區域寬度 W_1 為 $0.5 \mu\text{m}$ 以下，第2 活性區域寬度 W_2 為約 $0.7 \mu\text{m}$ 以上。由此，能使鳥嘴形部6 在第1 活性區域上連接，同時在第2 活性區域上隔開。

如上所述，用鳥嘴形部6 覆蓋整個第1 活性區域，從而如圖14A、B 所示，整個第1 活性區域的表面為圓形。

接著，如圖15A、B 所示，利用蝕刻等去除氮化膜3 和緩衝膜2。這時，用鳥嘴形部覆蓋第1 活性區域，但第2 活性區域露出。



五、發明說明 (13)

接著，如圖16A、B所示，在鳥嘴形部6上和第2活性區域上，形成防止離子植入時損壞用的氧化膜7。然後，在各活性區域植入規定的雜質，進行形成存取型MOS電晶體和驅動型MOS電晶體用的通道摻雜。

這時，通過氧化膜7和鳥嘴形部6在第1活性區域植入雜質，通過氧化膜7在第2活性區域植入雜質。氧化膜7和鳥嘴形部6的總厚度 t_3 例如為30nm左右，大於第2活性區域上的氧化膜7的厚度 t_4 (例如15nm左右)，因而能在第1活性區域的淺位置進行通道摻雜，同時又能在第2活性區域的深位置進行通道摻雜。

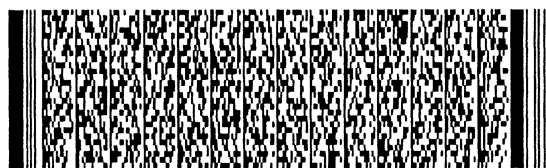
由此，能使存取型MOS電晶體通道摻雜區域13a的深度 D_1 (例如130nm左右)比驅動型MOS電晶體通道摻雜區域13b的深度 D_2 (例如145nm左右)淺。

而且，可僅在第1活性區域上留下鳥嘴形部6，因而不需要新的步驟。

接著，如圖17A、B所示，借助採用HF等的濕式蝕刻去除氧化膜7。這時，存取型MOS電晶體形成部在氧化膜7下存在厚的鳥嘴形部6。因而上述濕式蝕刻後，能在第1活性區域上留下鳥嘴形部6，同時又能去除第2活性區域上的氧化膜7。

而且，存取型MOS電晶體隔離區域邊緣上隔離氧化膜5的厚度變大，因而能抑制存取型MOS電晶體隔離區域邊緣產生環槽部。

然後，利用CVD法等形成作為各MOS電晶體閘極氧化膜的



五、發明說明 (14)

氧化膜8和閘極9，取得圖11A、B的結構。這時，第1活性區域上在氧化膜8形成前存在鳥嘴形部6，因而能使存取型MOS電晶體閘極氧化膜的厚度大於驅動型MOS電晶體閘極氧化膜的厚度。

本實施形態的思想也可用於溝渠分隔。圖18A、B顯示用於溝渠分隔的變換例。

如圖18A、B所示，本變換例在溝渠10內形成隔離氧化膜5。除這點以外的結構與圖11所示的情況大致相同。因而省略重覆說明。本變換例的情況下，也能取得與上述實施形態2相同的效果。

下面，用圖19A、B和圖20A、B說明本變換例的製造方法。

如圖19A、B所示，經過與實施形態2相同的步驟，在半導體基板1的主表面上形成緩衝膜2、氮化膜3和保護膜圖案4。用該保護膜圖案4對氮化膜3和緩衝膜2製作圖案，進一步對半導體基板1的主表面進行蝕刻。由此，如圖19A、B所示，在隔離區域形成溝渠10。

接著，去除保護膜圖案4，並將緩衝膜2和氮化膜3作為光罩進行有選擇的氧化後，在存取型MOS電晶體形成部的活性區域上連接鳥嘴形部6。然後，堆積氧化膜，用CMP法等研磨該氧化膜。由此，如圖20A、B所示，在溝渠10內埋入氧化膜。其後，經過與實施形態2相同的步驟，能取得圖18所示的結構。

如以上那樣，已說明本發明的實施形態，但應認為這裏



五、發明說明 (15)

揭示的實施形態全部都是示例，而不是限制。本發明的範圍由申請專利範圍的範圍表示，並且包含與申請專利範圍的範圍同等的意義和範圍內的所有變換。

根據本發明所關於的半導體裝置，能抑制在隔離區域邊緣產生習知例那樣的環槽部，因而可抑制洩漏電流。由此，提高半導體裝置的可靠性。

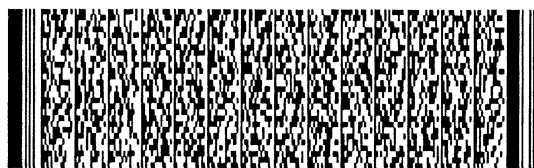
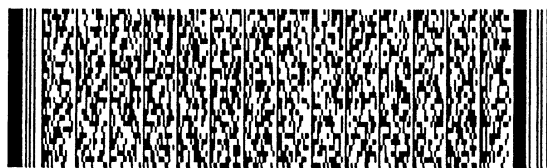
根據本發明一個方面的半導體裝置之製造方法，利用僅在活性區域上連接鳥嘴形部，能抑制隔離區域邊緣產生環槽部，因而能提高半導體裝置的可靠性，而不增添新步驟。

根據本發明另一個方面的半導體裝置之製造方法，利用僅形成鳥嘴形部，覆蓋作為存取型MOS電晶體活性區域的第1活性區域，因而能使存取型MOS電晶體通道摻雜深度比驅動型MOS電晶體的該深度淺。由此，能改善SRAM的記憶單元的性能，而不增添新步驟。

而且，在留有覆蓋第1活性區域的上述鳥嘴形部的情況下，不增添新步驟，就能使存取型MOS電晶體的閘極絕緣膜厚度大於驅動型MOS電晶體的閘極絕緣膜厚度。因此，能使SRAM記憶單元工作穩定，而不增添新步驟。

〔元件編號之說明〕

- | | |
|---|-------|
| 1 | 半導體基板 |
| 2 | 緩衝膜 |
| 3 | 氮化膜 |
| 4 | 保護膜圖案 |



五、發明說明 (16)

- 5 隔離氧化膜
- 6 鳥嘴形部
- 7 氧化膜
- 8 氧化膜
- 9 閘極
- 10 溝渠
- 11 活性區域
- 12 環槽部
- 13 通道摻雜區域
- 13a 存取型MOS電晶體通道摻雜區域
- 13b 驅動型MOS電晶體通道摻雜區域



圖式簡單說明

圖1為本發明實施形態1的半導體裝置的剖面圖。

圖2～圖7為顯示圖1所示半導體裝置之製造步驟中的第1～第6步驟的剖面圖。

圖8為圖1中半導體裝置變換例的剖面圖。

圖9和圖10為顯示圖8所示半導體裝置的製造步驟特徵的第1和第2步驟的剖面圖。

圖11A、B為本發明實施形態2的半導體裝置的剖面圖。

圖12A、B～圖17A、B為顯示圖11所示半導體裝置的製造步驟中第1～第6步驟的剖面圖。

圖18A、B為圖11所示半導體裝置變換例的剖面圖。

圖19A、B和圖20A、B為顯示圖18所示半導體裝置的製造步驟特徵的第1和第2步驟的剖面圖。

圖21為先前半導體裝置的剖面圖。

圖22和圖23為顯示圖21所示半導體裝置的製造步驟特徵的第1和第2步驟的剖面圖。

圖24A、B為先前半導體裝置其他例的剖面圖。

圖25A、B和圖26A、B為顯示圖24所示半導體裝置的製造步驟特徵的第1和第2步驟的剖面圖。

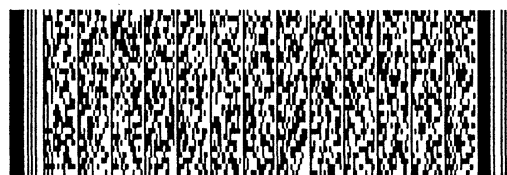
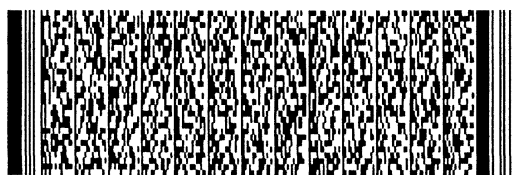


四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明之半導體裝置係包含：具有活性區域和隔離區域的半導體基板(1)、介由氧化膜(8)在活性區域上形成的閘極(9)、以及形成在閘極(9)兩側的一組雜質區域；而活性區域表面整個具有圓形，並且隨著靠近隔離區域向下傾斜。可通過形成隔離氧化膜(5)時，在活性區域上連接鳥嘴形部，從而形成該圓形。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME)

A semiconductor device according to the present invention includes: a semiconductor substrate including an active region and an isolation region; a gate electrode formed on the active region with an oxide film interposed therebetween; and a set of impurity regions formed on both sides of the gate electrode. A surface of the active region is entirely rounded so as to be inclined downward toward the isolation region. This rounded shape can be formed by forming an isolation oxide



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

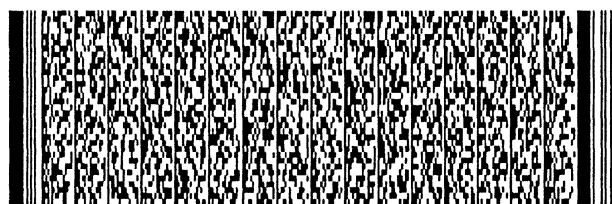
英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME)

film such that a bird's beak portion is connected on the active region.



六、申請專利範圍

1. 一種半導體裝置，其包含：
具有活性區域和隔離區域的半導體基板；以及
介由絕緣膜在上述活性區域上形成的閘極；
上述活性區域表面整個具有圓形，並且隨著靠近上述隔離區域向下傾斜。
2. 如申請專利範圍第1項之半導體裝置，其中，上述半導體裝置包括SRAM(靜態隨機存取記憶體)，
上述SRAM包含存取型MOS(金屬氧化物半導體)電晶體和驅動型MOS電晶體，
上述存取型MOS電晶體在上述活性區域表面整個具有圓形。
3. 如申請專利範圍第1項之半導體裝置，其中，上述隔離區域上形成隔離絕緣膜，
上述隔離絕緣膜具有在上述活性區域上延伸的鳥嘴形部，
用上述鳥嘴形部覆蓋上述活性區域。
4. 如申請專利範圍第3項之半導體裝置，其中，位於上述隔離區域附近的上述鳥嘴形部的厚度大於位於上述活性區域中央部上的上述鳥嘴形部的厚度。
5. 如申請專利範圍第2項之半導體裝置，其中，使上述存取型MOS電晶體的通道摻雜深度比上述驅動型MOS電晶體的通道摻雜深度淺。
6. 如申請專利範圍第2項之半導體裝置，其中，使上述存取型MOS電晶體的閘極絕緣膜厚度大於上述驅動型MOS電



六、申請專利範圍

晶體的閘極絕緣膜厚度。

7. 一種半導體裝置之製造方法，其特徵為，包含以下步驟：

在上述半導體基板上形成光罩膜，覆蓋活性區域，而使半導體基板的隔離區域露出；

用上述光罩膜有選擇地氧化上述半導體基板，從而形成覆蓋上述活性區域的鳥嘴形部；

去除上述光罩膜後，在上述鳥嘴形部上形成第1絕緣膜；

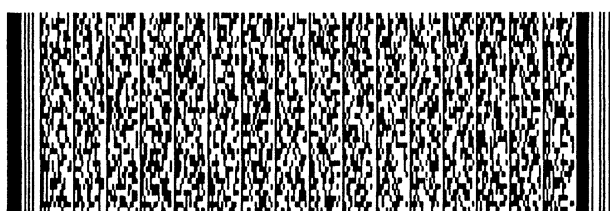
通過上述第1絕緣膜和上述鳥嘴形部，在上述活性區域植入雜質；

去除上述第1絕緣膜後，介由第2絕緣膜在上述活性區域上形成閘極。

8. 如申請專利範圍第7項之半導體裝置之製造方法，其中，上述鳥嘴形部形成步驟包含形成上述鳥嘴形部，以便在上述活性區域上連接上述鳥嘴形部，使上述活性區域表面整個為圓形的步驟。

9. 一種半導體裝置之製造方法，其係具有存取型MOS電晶體和驅動型MOS電晶體，上述製造方法的特徵為具有以下步驟：

在上述半導體基板上形成第1和第2光罩膜，覆蓋形成上述存取型MOS電晶體的第1活性區域和形成上述驅動型MOS電晶體的第2活性區域，而使半導體基板的隔離區域露出；



六、申請專利範圍

用上述第1和第2光罩膜有選擇地氧化上述半導體基板，從而形成覆蓋全部上述第1活性區域而且僅覆蓋上述第二活性區域邊緣部的鳥嘴形部；

去除上述第1和第2光罩膜後，在上述第1和第2活性區域分別形成第1和第2絕緣膜；

通過上述第1絕緣膜和上述鳥嘴形部，在上述第1活性區域植入雜質，同時通過上述第2絕緣膜在上述第2活性區域植入雜質；

去除上述第1和第2絕緣膜後，介由第3和第4絕緣膜在上述第1和第2活性區域上形成第1和第2閘極。

10. 如申請專利範圍第9項之半導體裝置之製造方法，其中，上述鳥嘴形部形成步驟包括：形成上述鳥嘴形部，以便在上述第1活性區域上連接上述鳥嘴形部，使上述第1活性區域表面整個為圓形的步驟。

11. 如申請專利範圍第9項之半導體裝置之製造方法，其中，上述第1和第2絕緣膜去除步驟包括：在上述第1活性區域上留下上述鳥嘴形部，同時使上述第2活性區域的表面露出的步驟。

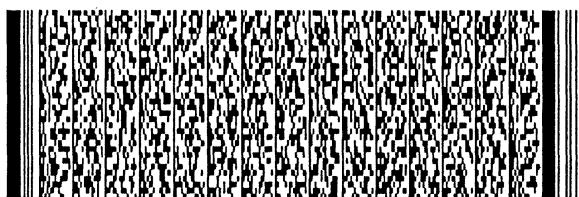


圖 1

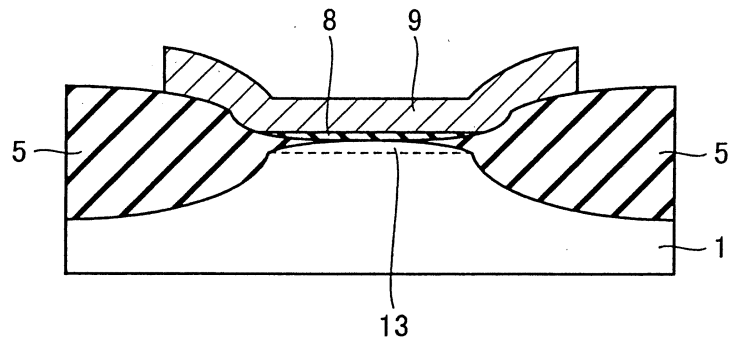


圖 2

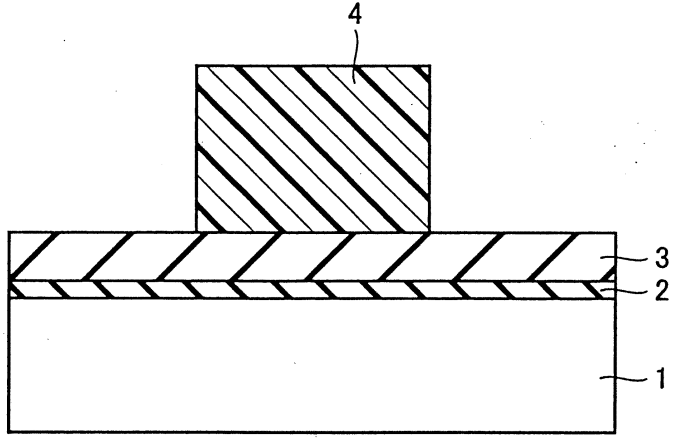


圖 3

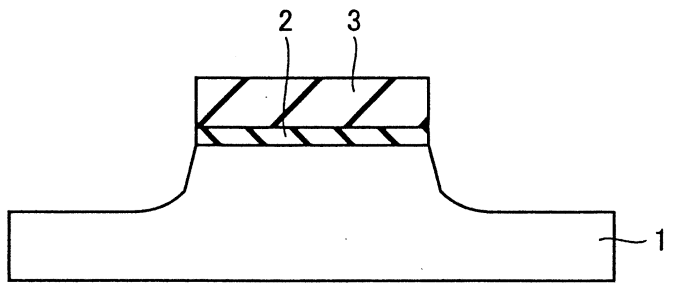


圖 4

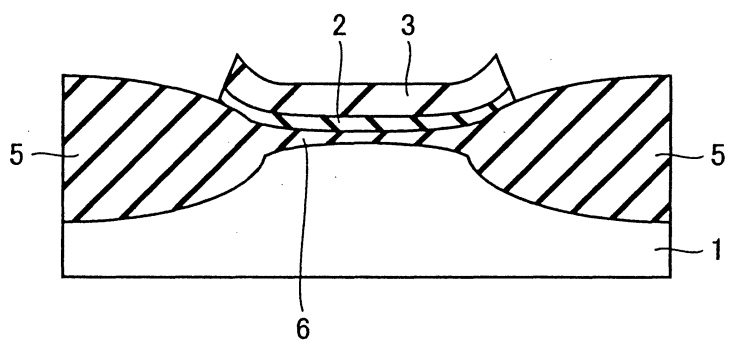


圖 5

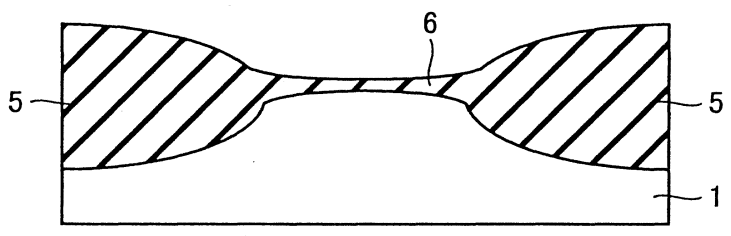


圖 6

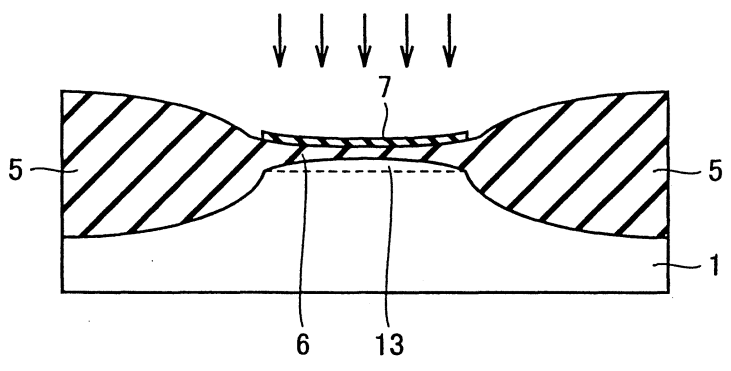


圖 7

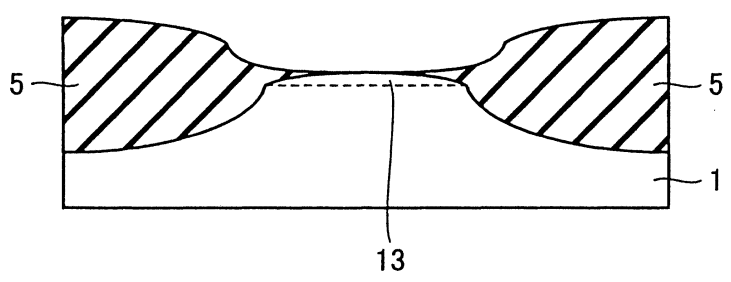


圖 8

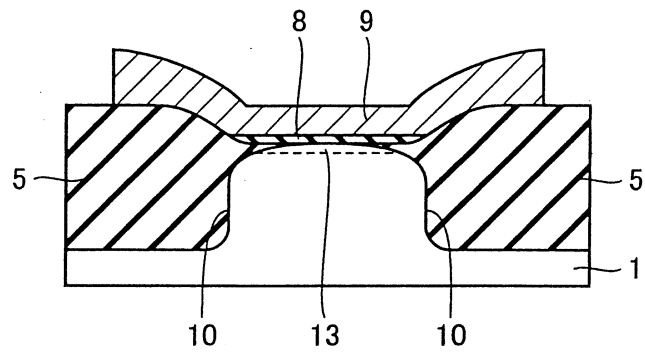


圖 9

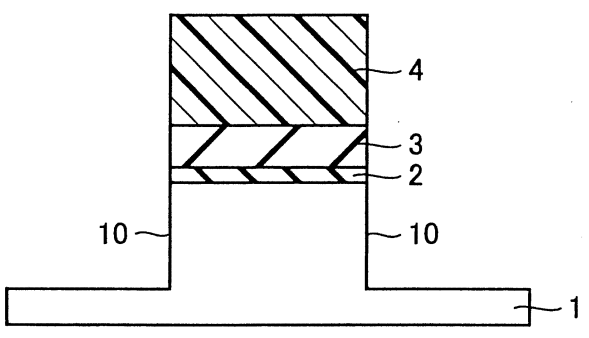


圖 10

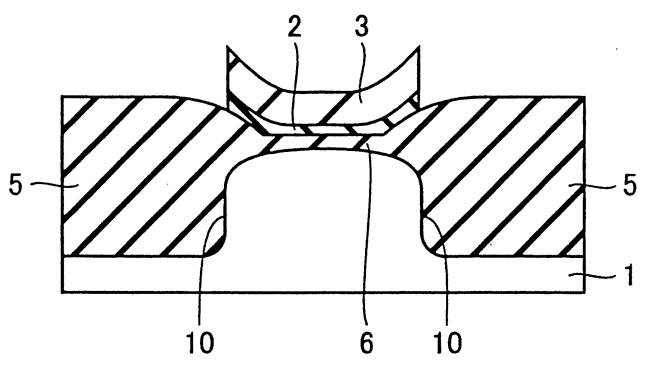


圖11A

< 存取型 MOS 電晶體部 >

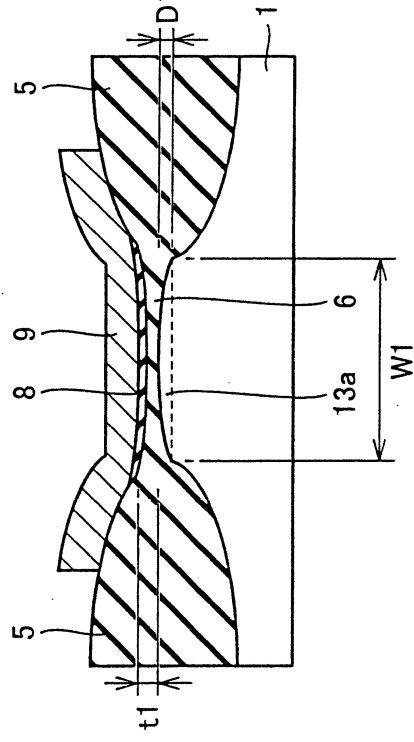


圖11B

< 驅動型 MOS 電晶體部 >

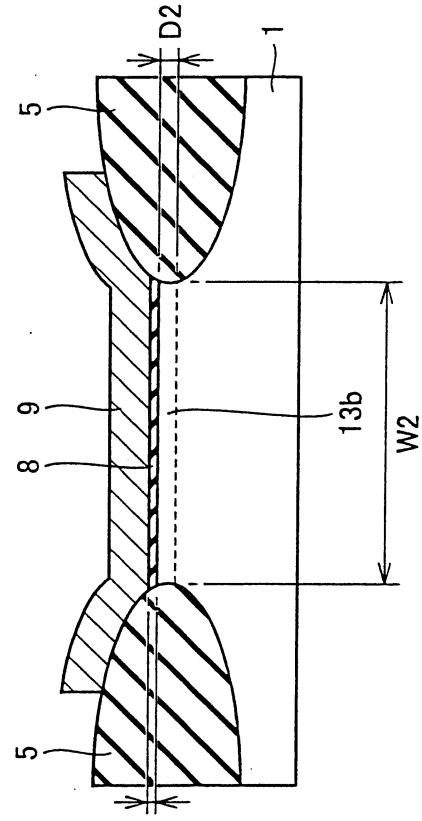


圖12A

〈存取型 MOS 電晶體部〉

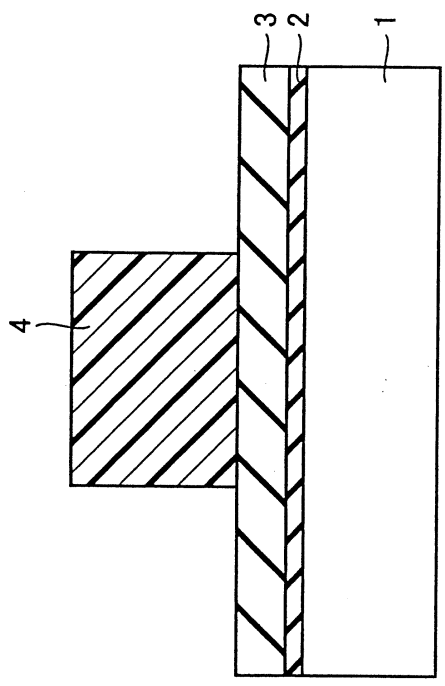


圖12B

〈驅動型 MOS 電晶體部〉

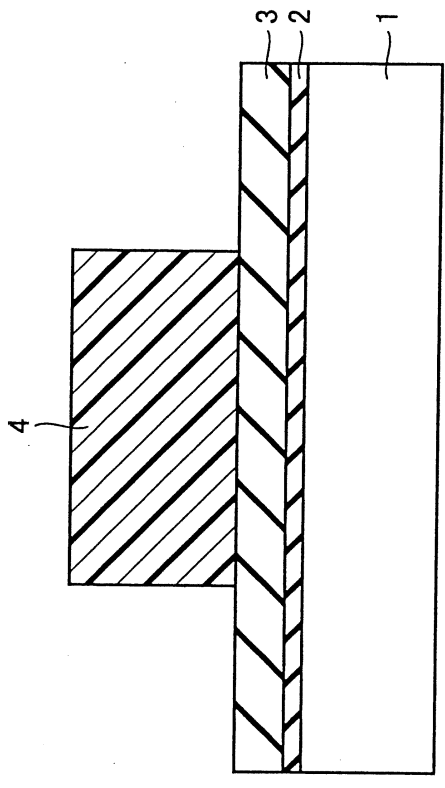


圖13A

〈存取型 MOS 電晶體部〉

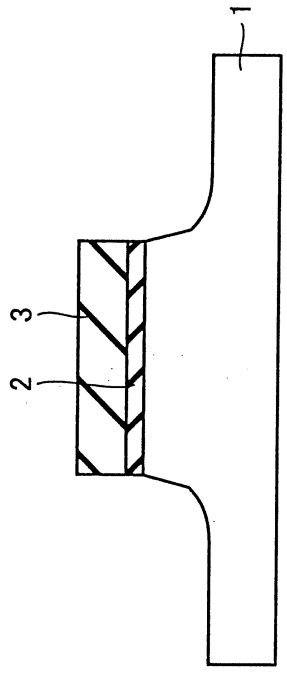


圖13B

〈驅動型 MOS 電晶體部〉

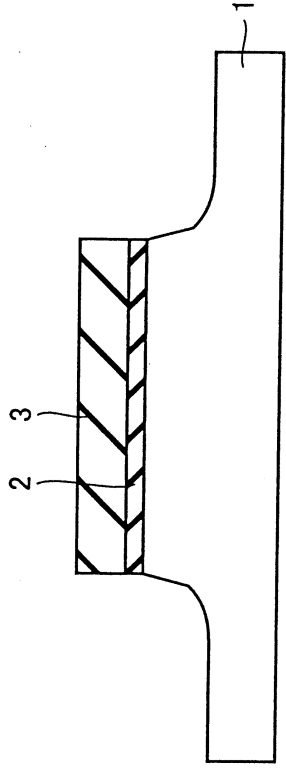


圖14A

< 存取型 MOS 電晶體部 >

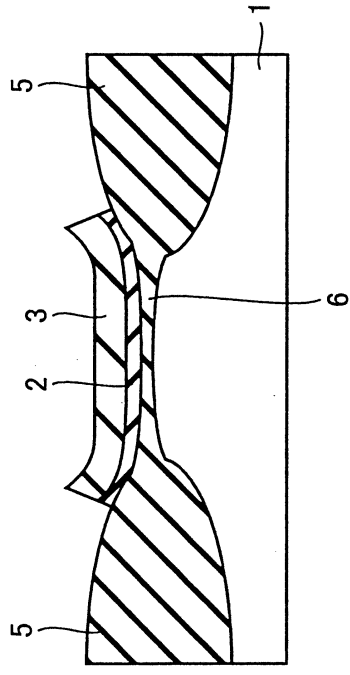


圖14B

< 驅動型 MOS 電晶體部 >

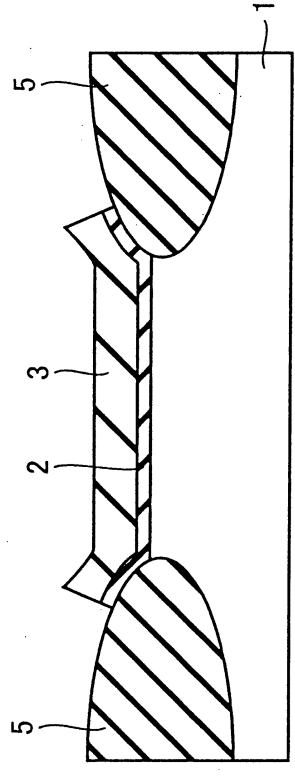


圖 15A

〈存取型 MOS 電晶體部〉

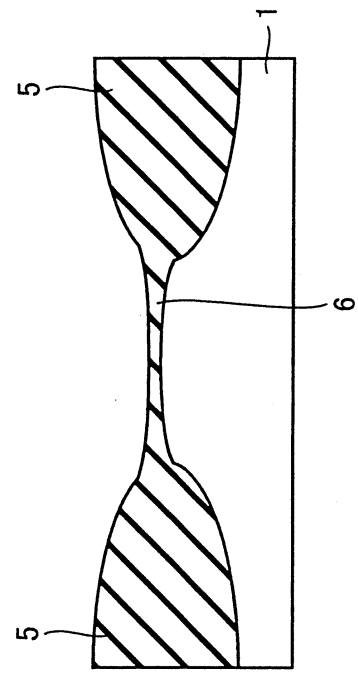


圖 15B

〈驅動型 MOS 電晶體部〉

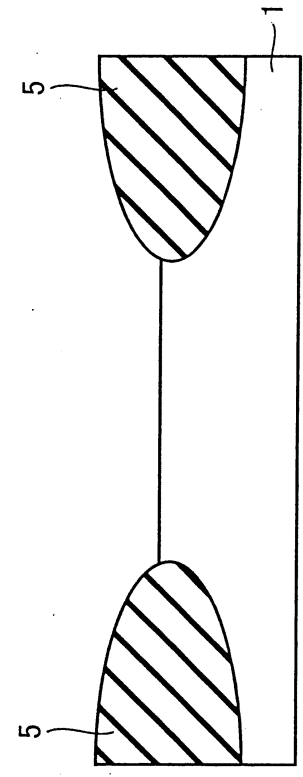


圖 16A

< 存取型 MOS 電晶體部 >

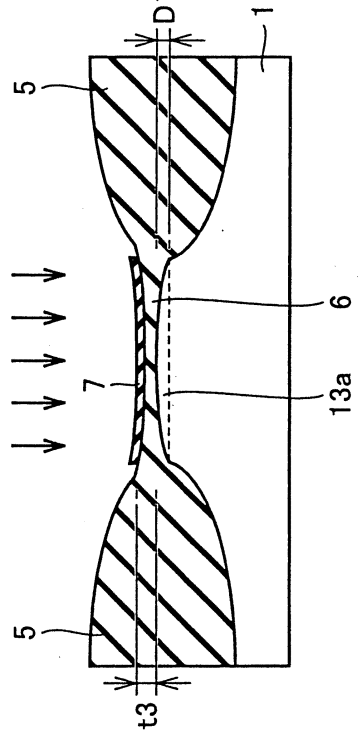


圖 16B

< 驅動型 MOS 電晶體部 >

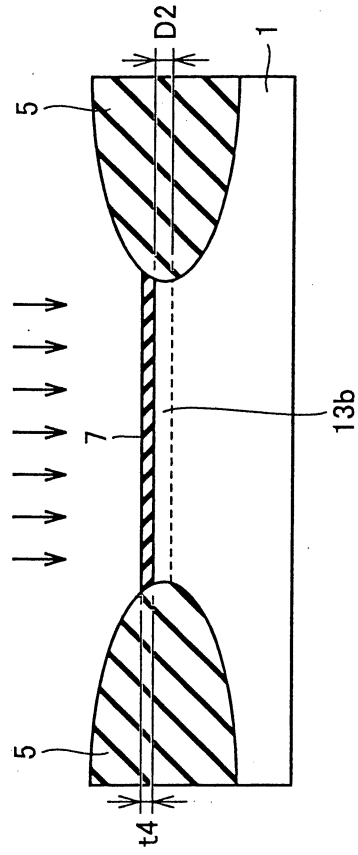


圖17A

< 存取型 MOS 電晶體部 >

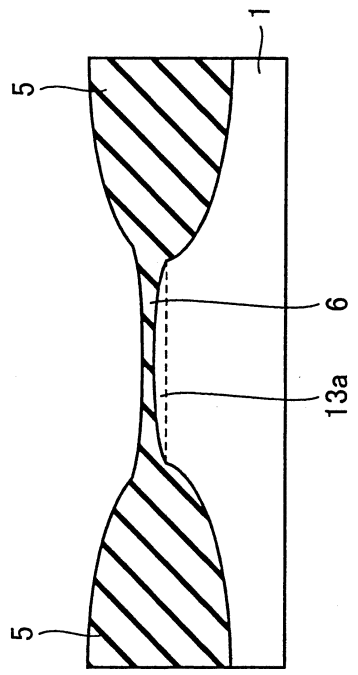


圖17B

< 驅動型 MOS 電晶體部 >

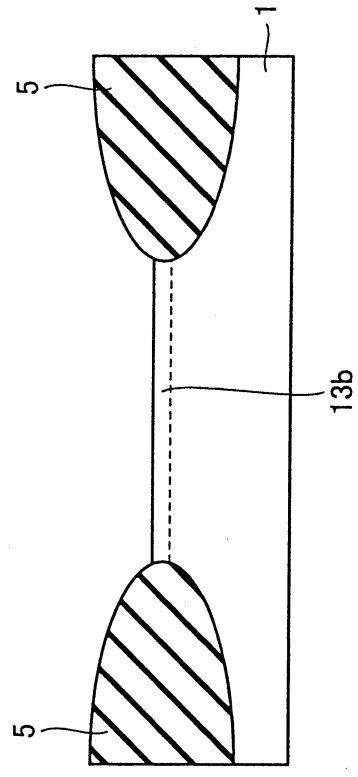


圖 18A

〈存取型 MOS 電晶體部〉

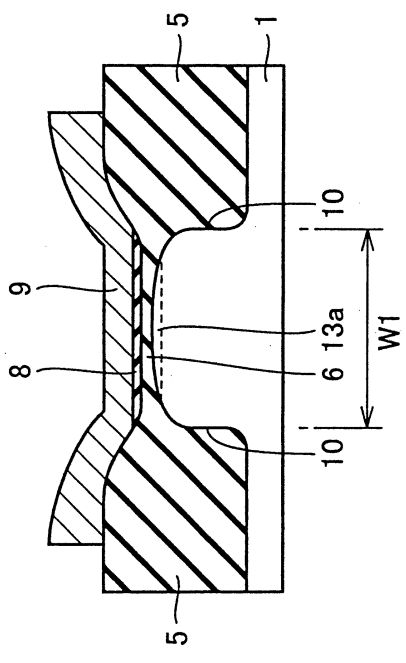


圖 18B

〈驅動型 MOS 電晶體部〉

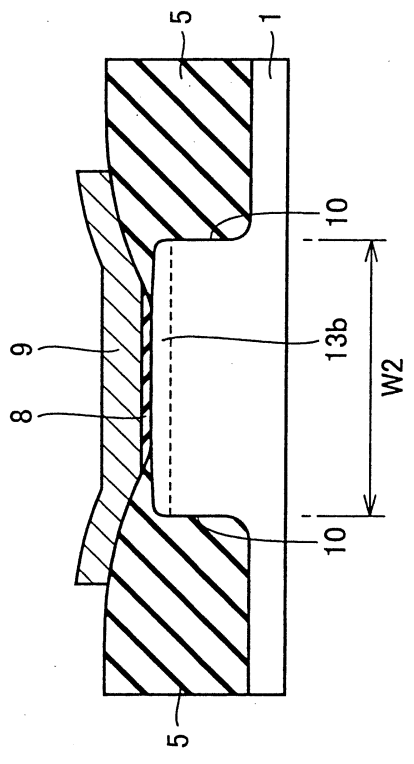


圖19A

〈存取型 MOS 電晶體部〉

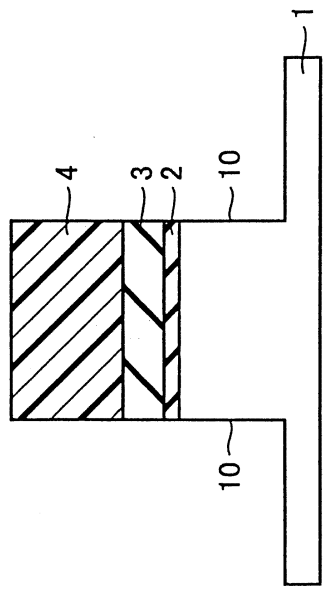


圖19B

〈驅動型 MOS 電晶體部〉

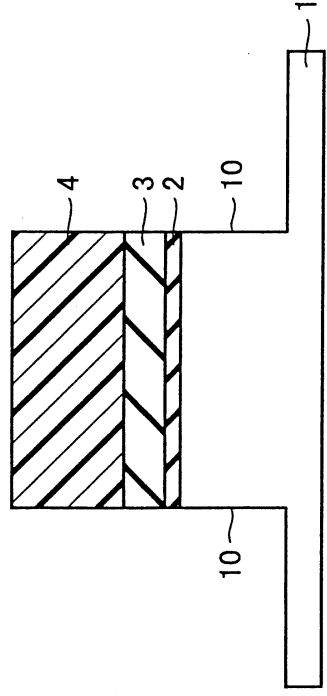


圖 20A

〈存取型 MOS 電晶體部〉

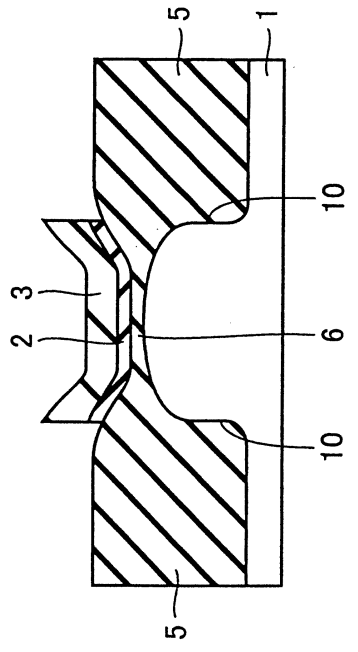
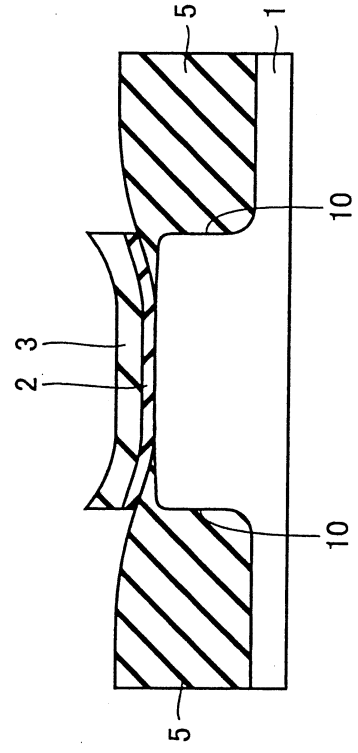
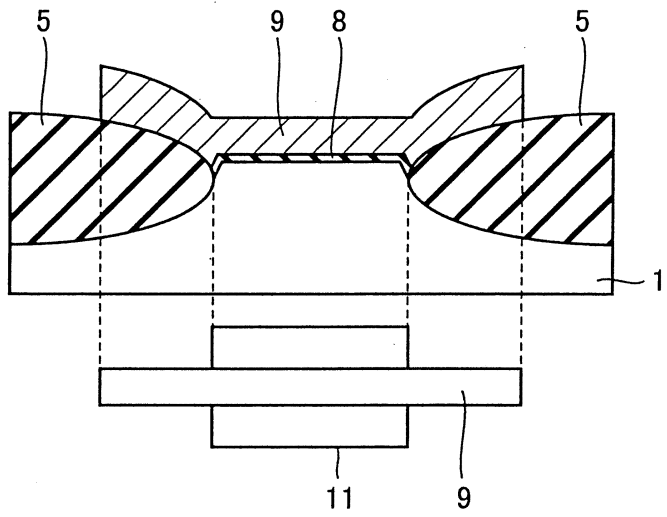


圖 20B

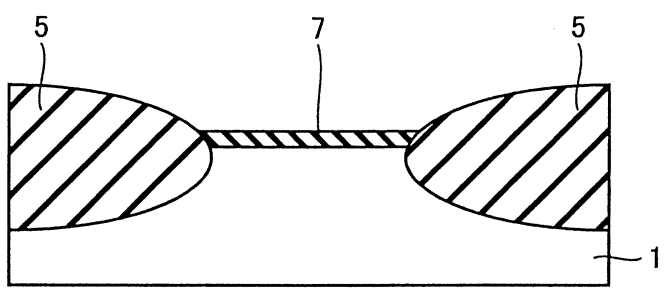
〈驅動型 MOS 電晶體部〉



21



22



23

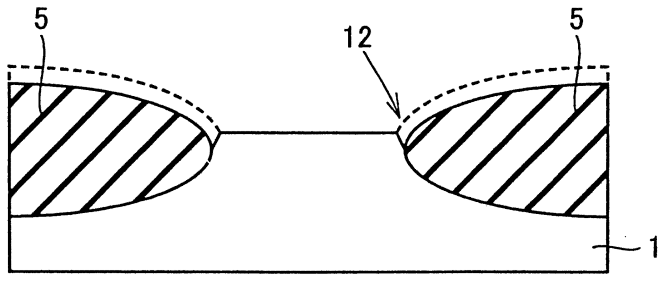


圖 24A

〈存取型 MOS 電晶體部〉

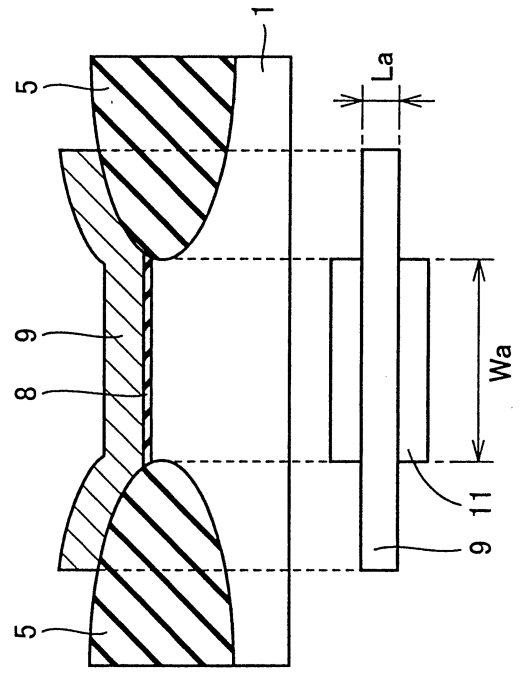


圖 24B

〈驅動型 MOS 電晶體部〉

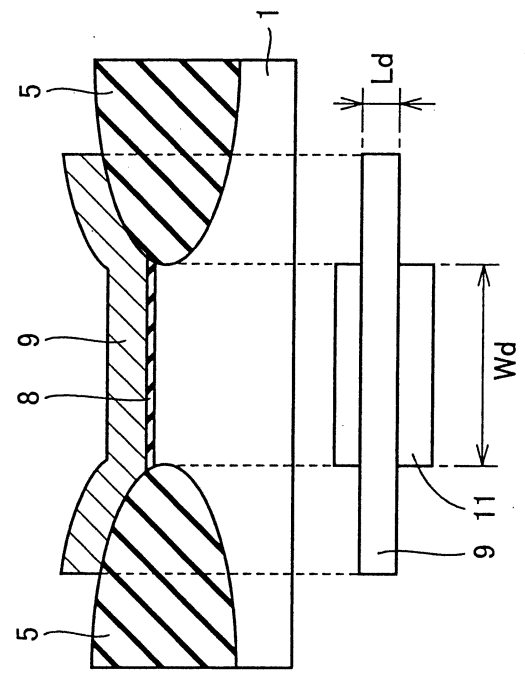


圖 25A

〈存取型 MOS 電晶體部〉

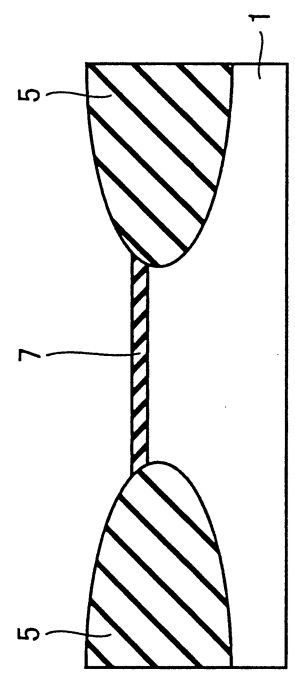


圖 25B

〈驅動型 MOS 電晶體部〉

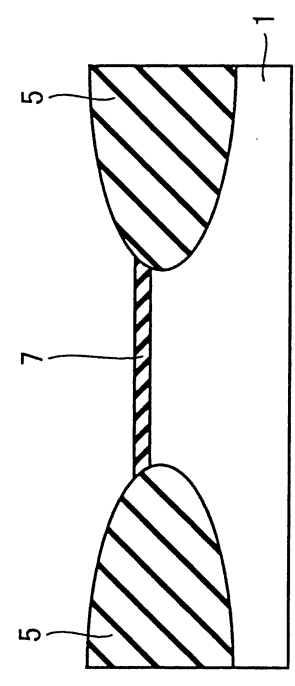


圖 26A

〈存取型 MOS 電晶體部〉

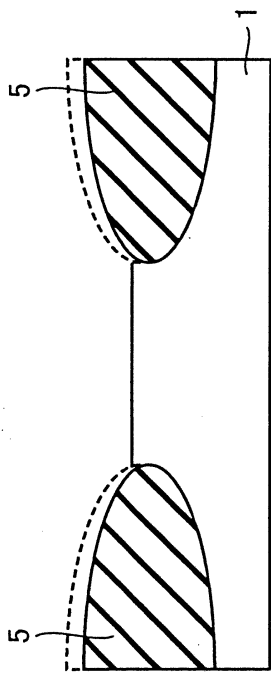


圖 26B

〈驅動型 MOS 電晶體部〉

