

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G11C 11/40

[12] 发明专利申请公开说明书

[21] 申请号 99103356.6

[43]公开日 1999年9月29日

[11]公开号 CN 1229994A

[22]申请日 99.3.16 [21]申请号 99103356.6

[30]优先权

[32]98.3.16 [33]JP [31]065175/98

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 小椋刚

[74]专利代理机构 中原信达知识产权代理有限责任公司

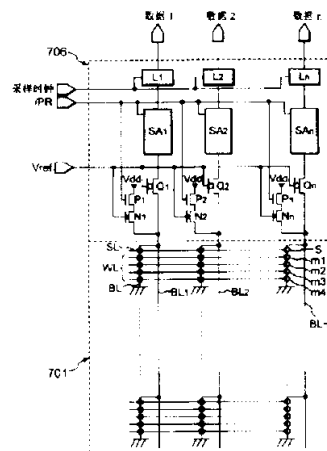
代理人 穆德骏 余 滕

权利要求书 3 页 说明书 13 页 附图页数 10 页

[54]发明名称 半导体存储器件

[57]摘要

一可在—宽范围的电源电压下操作,且能够稳定地检测数据的半导体存储器件,包括:—电势检测器,用于检测—哑位线的电势,该哑位线具有等位线的寄生电容的寄生电容;和相应于各位线提供的多个第二预充电电路,用于响应于—预充电信号对各位线预充电,并响应于电势检测器的输出终止该预充电操作。

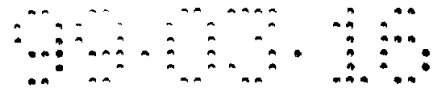


ISSN 1008-4274



权 利 要 求 书

1. 半导体存储器件，包括：
多个位线，分别有多个存储单元连接其上；
- 5 相应上述各位线提供的多个第一预充电装置，用于响应一预充电信号，将上述各位线预充电至第一电势；和
 相应于上述各位线提供的多个第二预充电装置，用于响应于预充电信号，将上述各位线预充至第二电势。
- 10 2. 如权利要求 1 所述的半导体存储器件，还包括用于检测上述位线的电势升至预定电势的电势检测装置，其中当上述电势检测装置检测到上述位线的电势升高至预定电势时，上述第二预充电装置停止预充电操作。
- 15 3. 如权利要求 2 所述的半导体存储器件，还包括哑位线，它具有与上述包括上述存储单元的上述各位线的寄生电容相应的电容，其中上述电势检测装置能检测出上述哑位线的电势上升至一预定电势。
4. 如权利要求 3 所述的半导体存储器件，其中上述哑位线连接到
- 20 与上述各位线的上述存储单元的一部分相应的哑存储单元上。
5. 半导体存储器件，包括：
 多个位线；
 分别在上述位线和第一电源线之间设置的多个存储单元，并连接到
- 25 多个字线上；
 多个第一预充电电路，用于在预充电信号为有效的的时间周期内将上述位线预充电至参考电压，且在预充电信号为无效的时间周期检测上述位线的电势；和
 独立于多个上述第一预充电电路提供的多个第二预充电电路。
- 30



6. 如权利要求 5 所述的半导体存储器件，其特征在于每个上述第二预充电电路包括：连接在上述位线和第一节点之间的第一晶体管，其栅极提供有参考电压，以及在上述第一节点与第二电源线间的第二晶体管，其栅极提供有预充电信号。

5

7. 如权利要求 5 所述的半导体存储器件，其特征在于每个上述第二预充电电路包括一停止电路，用于检测上述位线的电势，且在上述位线的电势等于参考电压时终止上述位线的预充电操作。

10

8. 如权利要求 5 所述的半导体存储器件，其特征在于每个上述第二预充电电路包括：连接在上述位线和第二电源线之间的第一晶体管，其栅极提供有控制信号；和输入有预充电信号的电路，连接到上述位线上，上述电路用于输出一控制信号，该信号在预充电信号为有效且上述位线的电势低于参考电压的时间周期中，使上述第一晶体管导电；且输出控制信号，在预充电信号为无效或上述位线的电势等于参考电压时，使上述第一晶体管为非导电状态。

15

9. 半导体存储器件，包括：

多个位线；

20

多个存储单元，设置于多个位线和第一电源线之间，且分别连接到多个字线上；

多个哑位线；

多个哑存储单元，设置于上述哑位线和上述第一电源线之间，且分别连接到多个字线上；

25

多个第一预充电电路，用于在预充电信号为有效的的时间周期内将上述位线和上述哑位线预充电至参考电压，且在预充电信号为无效的时间周期内检测并输出多个上述位线的电势；

多个第二预充电电路，用于在预充电信号为有效的的时间周期内将上述位线和上述哑位线预充电至参考电压；和

30

多个电路，用于检测上述哑位线的电势，且当上述哑位线的电势等

于参考电压时，用于终止上述第二预充电电路对上述位线的预充电操作。

说明书

半导体存储器件

5 本发明涉及一种半导体存储器件，更具体地说，涉及一种带有预充电电路的半导体存储器件，用于将位线预先充电到一预定的电压。

10 近来半导体存储器件的使用领域大大拓宽，半导体存储器件在各种电子设备中使用，如个人计算机、电视接收器和便携式电话机等。尽管
15 这些电子设备的电源电压主要是 5V，随着最近便携式电话机的流行，电源电压变成 2 至 3V 那样低。因此，要求最近的半导体存储器件可在 1.8V 至 5V 宽的电源电压范围内操作。这种半导体存储器件可包含各种存储
器，如只读存储器(ROM)；读/写存储器，如动态随机访问存储器(DRAM)和静态随机访问存储器(SRAM)以及象可擦可编程
ROM(EPROM)和电子可擦 PROM(EEPROM)那样的存储器，它们可在断电情况下保持存储的信息。特别地，由于它们中存储在 SRAM 中的信息是使用两个互补信号线(位线)读出的，即使电源电压改变了，也能相当稳定地读出信息。

20 然而，ROM 或 EPROM 中，通常每个存储单元行只提供一个位线。一读出放大器连接到位线上，该读出放大器将从一存储单元读出的一个小信息放大，并覆盖最初存储的信息“0”或“1”。在这样的读出放大器中，为了确定存储的信息是“0”还是“1”，从一存储单元读出的存储信息
25 与一特定参考相比较。因此，尽管当存储单元侧和参考侧相对于一电压变化做相似变化时没有问题，如果一侧的特性的变化程度与另外一侧不同时，就不可能恢复最初存储的信息。

30 日本未决专利申请 No.Hei 7-130189 揭示了一能够解决上述问题的半导体存储器件。所揭示的半导体存储器件做为“现有技术 1”。根据现有技术 1，扩展一读出放大器电路的电压操作范围，以便即使在低电



压下仍能执行一常规的读操作。即，在现有技术 1 中，提供了一偏置电路，它由一预充电电路组成，该预充电电路用于预充电一通过各自选择器开关和用于控制预充电电流的切换装置连接到多个数据线的公共数据线，当电源电压降低时，预充电电路受到限制。

5

ROM 主要用于读出一存储于其中的特定数据，通常数据写只能做一次。即使有可能在其中多次写数据，也要花费相当长的时间。例如，在一 ROM 中，一个程序的执行是通过在晶片制造中所使用的掩模中写一用户要求的特定数据实现的。nMos 晶体管通常用作构造一掩模 ROM 的存储单元，电压读出型读出电路或者电流读出型读出电路用于读出存储单元的数据。

10

在现有技术 1 中，读出放大器属于电流读出型。由于电流读出型读出放大器，先前存储的信息是通过检测位线的电流变化确定的，确定要求的读出时间不依靠放电速率，因此数据可以高速率读出。然而，为获得高速率读出，有必要流动一大电流，导致电量消耗的增加。因此，在如电池驱动的便携式电话机这样的电子设备中，电池的使用期限缩短了。电压读出型读出放大器在降低读出放大器电耗方面更可取。

15

图 7 是一方块图，示出了电压读出型半导体存储器件的一般结构，示于图 7 的半导体存储器件包括一存储单元矩阵 701 和一外围电路部分 702。外围电路部分 702 包括：输入 X 地址的 X 译码器 703；输入 Y 地址的 Y 译码器 704；数据锁存电路部分 706，用于从由 X 地址和 Y 地址指定的特定存储单元读出数据；和时钟发生器电路 705，响应于外部时钟信号和控制信号，用于产生包括预充电信号和采样时钟信号的内部时钟信号。

20

25

图 8 是一方块图，示出了现有技术 2 的数据锁存电路部分 706 和存储单元阵列 701 的结构。存储阵列 701 是由多个按矩阵排列的存储块构成的，每个存储块由存储单元 m1 至 m4 和一选择器晶体管 S 构成。选

30



5 择器晶体管 S 和存储单元 m1 至 m4 串行连接于子位线 SubBL 上，存储单元 m4 的源级接地。存储块是通过一行方向上的位线 BL 和列方向上的一字线 WL 和一选择线 SL 选择的。数据锁存电路部分 706 是由预充电晶体管 Q1 至 Qn，读出放大器 SA1 至 SAn 和锁存电路 L1 至 Ln 构成，它们是相应于为存储矩阵 701 的各行安排的位线 BL1 至 BLn 排列的。

10 在从存储单元读出数据中，预充电晶体管 Q1 至 Qn 最初响应于由时钟发生器电路 705 产生的预充电信号/PR 同步打开(turn on)，以将各位线 BL1 至 BLn 预充电至一预定的电势 Vref，其中/PR 中的符号“/”是一杠，/PR 指出一有效低信号。在该例中，晶体管 Q1 至 Qn 的电压通常为 0V，栅电压 Vref 是其源极处的输出。

15 接着，在数据读周期，由存储单元阵列中的 X 地址指定的一个选择线变成“1”，选择一相应的存储块，连接到被选存储块的一个字线 WL(由 X 地址指定)变成“0”，其余的字线变成“1”。字线 WL 连接到存储单元的栅极，字线 WL 和选择线 SL 变成“1”的一个存储单元和一选择晶体管被打开。

20 字线 WL 变成“0”的存储单元，根据其中的存储内容决定是否有电流流过。当电流流过被选的存储单元时，预充电的电荷通过选择晶体管 S 和存储单元 m1 至 m4 放电。因此，位线 BL 的电势变为 L。相反，当没有电流流过被选存储单元时，预充的电荷被保持，因此，位线 BL 的电势保持在 H(高)。该电势由读出放大器 SA 判断，在采样时钟 CLK 的边缘的“H”或“L”由各锁存电路 L1 至 Ln 锁存并通过数据总线向外部输出。

25

30 图 9(a)示出了示于图 7 的时钟发生器电路 705 的预充电信号发生器部分的详图。预充电信号发生器部分由一模拟延时电路构成，该模拟延时电路由多个串行连接的反相器 901(用于获得一期望的延时)和一或门 902 组成。奇数个反相器串行连接的反相器 901 有一阈值电压，偶数个



反相器有另一阈值电压，因此每个反相器段的延迟时间变大。奇数个反相器的输出响应于采样时钟 CLK 的上升沿下降，而偶数个反相器的输出上升；奇数个反相器的输出响应于采样时钟 CLK 的下降沿上升，而偶数个反相器的输出下降。

5

图 9(b)示出了预充电信号/PR 的时序表。预充电信号/PR 是通过输入时钟信号 CLK 和延迟信号 DEL 的或操作产生的。为了设计反相器 901，以便在高电源电压 Vdd(如 5V)下获得最优延迟时间，每个反相器段的阈值可设置为 4V 或 1V。在这种情况下，当电源电压降到 2V 时，前一反相器的输出不会超过下一反相器的阈值，因此，串行连接的反相器 901 不工作。另一方面，由于或门 902 的阈值被设置为电源电压的一半，即使当电源电压变为 2V 时，预充电信号发生器部分仍能运行。因此，一个与采样时钟 CLK 基本相同的信号作为预充电信号/PR 输出。

10

15

相反，如果串行连接的反相器 901 的设计使得最优延迟时间在低电源电压 Vdd(如 2V)下获得，每个反相器段的阈值可设置为 1.5V 或 0.8V。在这种情况下，当电源电压增至 5V 时，前一反相器的输出立刻超过下一反相器的阈值，因此不可能获得一足够的延迟时间。即使执行这个延迟时间和采样时钟 CLK 的或操作，预充电信号/PR 为 L(低)的时间周期变得很短。

20

图 9(c)示出了相同的读出放大器 SA1 至 SAn 的每个的电路构造，以读出放大器 SA1 为例，它是由以下构成：连接在锁存电路 L2 和晶体管 Q1 之间串行连接的反相器 801 和 802；PMOS 晶体管 803，它具有一连接在反相器 801 的输入和提供电源电压的电源线之间的一源极-漏极电路和提供有预充电信号/PR 的栅极。当预充电信号/PR 有效时，即，它变为低电平，以通过 PMOS 晶体管 Q1，将位线 BL1 预充电至参考电压 Vref，读出放大器 SA1 的 PMOS 晶体管 803 导电。因此，读出放大器 SA1 操作，使得当预充电信号/PR 变成无效、即高电平时，其输出响应于穿过由反相器 801 和 802 组成的电路的位线的电势的变化，变成高

25

30



电平或低电平。在该例中，假定提供电流的功能小于 PMOS 晶体管 801，即选择晶体管 SL 和构成存储单元的晶体管 m1 至 m4。

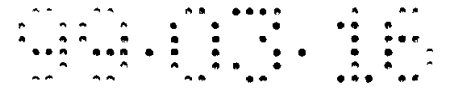
5 图 10(a) 示出了在传统的半导体存储器件中，当电源电压正常时，预充操作中的信号时序图，图 10(b) 示出了当电源电压降低时，为高电源电压设计的半导体存储器件的信号时序图，图 10(c) 示出了当电源电压升高时，为低电源电压设计的半导体存储器件的信号时序图。在 10 (a)，10 (b)，10 (c) 的每个图中，假定在第一读周期存储单元的内容为“0” (ON)，在第二读周期为“1” (OFF)。

10 在图 10 (a) 中，位线 BL 在时间周期 (t_p) (预充电信号/PR 为有效) 被预充电至一参考电压 V_{ref} ，且通常在一采样时间周期 (t_s) 放电，以使读出放大器正确识别位线的“H”或“L”状态。这里应该注意的是响应于预充电信号/PR 的上升，一地址提供给存储单元。

15 在图 10 (b) 中，当电源电压降低时，预充电信号/PR 的脉冲宽度变宽，预充时间周期 (t_p) 变长。因此，在响应于预充电信号/PR 的上升时提供的地址而执行的第一个读周期的采样时间周期 (t_s) 中，位线上的电荷不能充分放电，使得位线的电压不能降低于预充电晶体管 (Q1 至 Qn) 的阈值电压 V_{th} 。因此，即使存储在选中的存储单元中的信息是“0” (ON)，它也会被错误的判断为“1” (OFF)。

20 在图 10 (c) 中，预充电信号发生器部分的或门 902 的输出变得比期望的预充电信号/PR 的输出脉冲宽度 (t_p) 窄。因此，在预充电时间周期 (t_p) 期间位线不能充分放电，位线电势降低到预充电晶体管 (Q1 至 Qn) 的阈值电压 V_{th} 以下，因此，即使存储在选中的存储单元中的信息是“1”，它也会被错误地判断为“0”。

25 如上所述，用于半导体存储器件的电源电压降低，要求半导体存储器件可在 1.8V 至 5V 宽的范围内的电源电压下操作。为使半导体存储器



件在这么宽的电源电压范围内可操作，有必要解决由于时钟发生器电路部分产生的预充电信号的宽度而导致的位线上信号被错误检测的问题。

5 本发明的一个目的是提供半导体存储器件，它可在较宽范围的电源电压下操作且能够稳定地检测数据。

 为实现上述目的，根据本发明的半导体存储器件包括：多个位线，多个存储单元连接其上；和相应于各位线提供的多个第一预充电装置，
10 用于响应于预充电信号，将各位线预充电至第一电势。该半导体存储器件的特征在于包括相应于各位线提供的多个第二预充电装置，用于响应于预充电信号，将各位线预充电至第二电势。

 本发明的半导体存储器件还包括多个电势检测装置，每个用来对位
15 线电势增加至预定的电势进行检测，其中，当电势检测装置检测到位线的电势增加至预定的电势时，第二预充电装置最好终止它们的预充操作。

 本发明的半导体存储器件还包括多个哑位线，它具有与包括存储单
20 元的各位线的寄生电容相一致的电容，其中电势检测装置优选检测哑位线的电势上升至预定电势。在这种情况下，哑位线优选连接到对应于连接到各位线的存储单元的一部分的哑存储单元。

 在提供有第二预充电装置的本发明的半导体存储器件中，即使当电
25 源电压降低或上升时，也可获得一稳定的预充电，因此，可能在一宽范围的操作电压下稳定地读出存储内容。

 图 1 是根据本发明第一实施例的半导体存储器件的电路图；
 图 2 是时序图，示出了示于图 1 的半导体存储器件的操作；
30 图 3 是根据本发明第二实施例的半导体存储器件的电路图；

图 4 是一时序图，示出了示于图 3 的半导体存储器件的操作；

图 5 是根据本发明第三实施例的半导体存储器件的电路图；

图 6 是一时序图，示出了示于图 5 的半导体存储器件的操作；

图 7 是一方块图，示出了一通常的半导体存储器件的基本构成；

5 图 8 是一第一现有技术半导体存储器件的电路图；

图 9 (a) 是图 8 所示第一现有技术的半导体存储器件的预充电信号时钟发生器电路；

图 9 (b) 是图 9 (a) 所示的预充电信号时钟发生器电路的时序图；

10 图 9 (c) 示出了图 8 所示的第一现有技术半导体存储器件的读出放大器电路；

图 10 (a) 是当电源电压正常时，一第二现有技术半导体存储器件的预充电时序图；

图 10 (b) 是当电源电压升高时，一第二现有技术半导体存储器件的预充电时序图；和

15 图 10 (c) 是当电源电压降低时，一第二现有技术半导体存储器件的预充电时序图；

20 在本发明中，参考图 10 (b) 描述的问题是通过优化图 9 的预充电信号发生器部分的构造，使得即使当电源电压降低时也可进行正常的存储单元内容的读来解决的。这种优化可通过使构成现有技术的预充电信号发生器部分的晶体管的阈值电压的绝对值小来实现。然而，对这样的电路构造，参考图 10 (c) 描述的问题发生了。因此，根据本发明，图 10 (b) 所示的问题可通过前述方法优化预充电信号发生器的构成，同时通过向现有技术的半导体存储器件的预充电电路并行提供多个第二预充电电路来解决。

25

30 现在，将参考附图详细描述本发明。根据本发明的半导体存储器件的基本构成类似于图 7 中所示的构成。即，该半导体存储器件是由存储单元矩阵部分 701 和外围电路部分 702 构成的。外围电路部分 702 包括：输入有一 X 地址的 X 译码器 703；输入有一 Y 地址的 Y 译码器 704；

用于从由 X 和 Y 地址指定存储单元读出一存储数据的数据锁存电路 706；和时钟发生器电路 705，它输入有外部时钟信号，用于产生包括预充电信号和采样时钟信号的内部时钟信号。

5 图 1 示出了本发明的第一实施例，如图 1 所示，存储单元矩阵部分 701 包括按照列和行阵列排列的多个存储单元，和按存储单元的列排列的多个位线（BL1 至 BLn）。多个子位线 SubBL（每个包括多个单元晶体管组，每个晶体管组包括一选择晶体管 S 和 4 个单元晶体管 m1 至 m4，它们所有的都是串行连接）被以异或(NOR)方式连接到每个位线
10 BL。为选择与每个位线相关的存储单元之一，相应的选择晶体管 S 被打开，相应的字线 WL 被激活（“L”），其它字线 WL 置为非激活态（“H”）。当这样选择的存储单元的内容为“1”（OFF）时，位线的电势在采样时间点变成“H”，当它为“0”（ON）时，位线电势在采样时间点变成“L”。

15 数据锁存电路部分 706 是由以下构成：预充电晶体管 Q1 至 Qn，读出放大器 SA1 至 SAn，锁存电路 L1 至 Ln 和 P 型晶体管 P1 至 Pn，n 型晶体管 N1 至 Nn，所有的都是根据各位线 BL1 至 BLn 排列的。P 型晶体管 P1 至 Pn 和 n 型晶体管 N1 至 Nn 分别构成了第二预充电电路部分。
20

 在从所选的存储单元读出数据时，当预充电信号/PR 为有效时，数据锁存电路部分 706 给穿过预充电晶体管（Q1 至 Qn）的位线充电。由于参考电压 Vref 被用于预充电晶体管（Q1 至 Qn）的栅极，每个位线被
25 充电至一电压，该电压是通过从参考电压 Vref 中减去预充电晶体管的阈值电压得到的。在该实施例中，阈值电压 Vth 是 0V，位线的电势变成 Vref。读出放大器（SA1 至 SAn）检测位线在采样时间的电压变化并输出“H”或“L”。即，当位线电势大于阈值电压 Vth（为参考电压 Vref 的一半）时，读出放大器输出“H”数据，当它小于阈值电压 Vth
30 时，读出放大器输出“L”数据。

下面将参考图 1 和图 2 描述第一实施例的操作，图 1 和图 2 为一信号时序图。当预充电信号/PR 变成“L”时，P 型晶体管（P1 至 Pn）打开。栅极提供有参考电压 V_{ref} 的 n 型晶体管（N1 至 Nn）也被打开。因此，除了通过构成第一预充电装置的读出放大器（SA1 至 SAn）和 n 型晶体管（Q1 至 Qn）充电之外，还启动了通过第二预充电装置的充电，从而使位线电势增加至一电势 $V_{ref}-V_{th}$ ，其中 V_{th} 是 n 型晶体管的阈值电压。由于在这种情况下阈值电压是 0V，位线电势升至 V_{ref} 。

响应于预充电信号/PR 的上升沿，相应于该地址的一字线被选中，且当存储在被选存储单元的信息是“0”时，那个位线的电荷被放电，当该信息是“1”时，位线电荷未放电。在图 2 所示的例子中，在第一和第三读周期存储在所选存储单元的信息是“0”，位线被充电至预充电电压，接着电势减小。在第二读周期，存储在所选存储单元的信息是“1”。因此，位线被充电至预充电电压，随后基本没有放电，使得位线保持在高电势。

位线的电势由读出放大器（SA1, ..., SAn）在采样时钟变为“H”时检测。在这种情况下，它在采样时钟 CLK 的上升沿判断存储在所选存储单元的信息是“0”还是“1”。该判断的数据被保持在锁存电路（L1, ..., Ln），接着向外输出。

在该实施例的半导体存储器件中，位线是通过第一预充电电路（为传统电路）和第二预充电电路预充电的。因此即使当在高电源电压下预充电信号的脉冲宽度较小时也能在短时间内获得一足够的预充电电压。结果，在第一至第三读周期没有读出放大器（SA1, ..., SAn）的检测错误发生。预充在位线上的电荷是从电源 V_{dd} 穿过晶体管 Pn 和 Nn 提供的。由于晶体管 Pn 和 Nn 的驱动性能大，有可能在一短时间内预充电，且由于晶体管 Nn 的栅电压是 V_{ref} ，源极电势即位线电势不会大于 V_{ref} 。因此，通过晶体管 Pn 和 Nn 的预充电自动停止，使不必要的电流

不会流过，功耗限制在最小。

图 3 示出了根据本发明的第二实施例的半导体存储器件的构造。示于图 3 的半导体存储器件区别于示于图 1 的半导体存储器件在于：第二预充电电路是由一反相器 I、与非门电路（NAND1 至 NANDn），比较器（CMP1 至 CMPn）和 P 型晶体管（P1 至 Pn）构成。根据示于图 3 的第二实施例的半导体存储器件的其余部分类似于示于图 1 的第一实施例的构成。

预充电信号/PR 被提供为反相器 In 的一输入，反相器的输出被连接到与非门（NAND1 至 NANDn）的一输入。比较器（CMP1 至 CMPn）的正输入被连接到参考电压 Vref，其负输入被连接到各位线（BL1 至 BLn）。比较器的输出被连接到各与非门（NAND1 至 NANDn）的其它输入。

与非门（NAND1 至 NANDn）的输出被连接到各 P 型晶体管（P1 至 Pn）的栅极，各 P 型晶体管的源极被连接到各位线（BL1 至 BLn）。

下面将参考图 4 描述根据图 3 所示第二实施例的半导体存储器件的操作，图 4 示出了一信号时序图。当预充电信号/PR 为“H”时，反相器 In 的输出变成“L”，与非门（NAND1 至 NANDn）的输出变成“H”。因此，P 型晶体管（P1 至 Pn）处于 OFF 态。当预充电信号/PR 变成“L”时，反相器 In 的输出变成“H”，比较器（CMP1 至 CMPn）的反相的输入，即，位线的电势分别与参考电压 Vref 比较。当位线的电势低于参考电压 Vref 时，比较器 CMP 的输出（图 4 中的节点 A1，…，An）变成“H”，与非门的输出变成“L”。因此，P 型晶体管（P1，…，Pn）被打开，迅速从电源 Vdd 向位线（BL，…，BLn）充电。

当位线（BL，…，BLn）的电势高于参考电压 Vref 时，比较器的输出被反相成“L”，与非门（NAND1 至 NANDn）的输出（节点 A1，…，

An) 变成“H”，从而使 P 型晶体管 (P1, ..., Pn) 被关闭，以终止位线的充电。通过 n 型晶体管 (Q1, ..., Qn) 的预充电持续一个时间周期，其中预充电信号/PR 为“L”。

5 在该实施例中，位线从电源 Vdd 快速充电的同时通过比较器 CMP 检测位线电势。因此，即使电源电压升高，预充电信号/PR 的宽度变小，仍可在一短时间内获得足够的预充电电压。结果，没有读出放大器 (SA1, ..., SAn) 的检测错误发生。

10 图 5 示出了根据本发明的第三实施例的一半导体存储器件的构成。该第三实施例的半导体存储器件区别于本发明第二实施例的半导体存储器件之处在于：提供了一哑电路部分 707，以控制第二预充电电路。哑电路部分 707 是由一 P 型晶体管 Pd，一或门 (ORd)，一比较器 CMP 和一与门 (AND1) 组成。第二预充电电路是由 P 型晶体管 (P1 至 Pn) 和或门 (OR1 至 ORn) 组成。示于图 5 的半导体存储器件的其余电路部分的构成类似于图 3 所示的第二实施例。

15

 哑电路部分 707 的哑或门 (ORd) 的一个输入提供有一预充电信号 /PR，其输出被连接到 P 型晶体管 Pd 的栅极和各位线的 OR 门 (OR1 至 ORn) 的一输入端。比较器 CMP 的一反相的输入被连接到参考电压 Vref，其正输入被连接到哑位线 BLd。比较器 CMP 的一个输出被连接到或门 ORd 的另一输入。或门 (OR1 至 ORn) 的其它输入被连接到各锁存电路(L1 至 Ln)。

20

25 下面将参考图 6 描述示于图 5 的根据第三实施例的半导体存储器件的操作，图 6 示出了一信号时序图。当预充电信号/PR 为“H”时，或门 ORd (图 6 中的节点 Bd) 的输出为“H”，P 型晶体管 Pd 处于 OFF 态。

30 当任何一个选择线 SL 被选中时，与门 (AND1) 的输出变为“H”，

在哑位线上充电的电势被通过哑子位线 SubBL 预充电, 该哑子位线具有相应于所有存储单元 (m1-m4) 的数据的信息, 该信息为 “0”。

5 当预充电信号/PR 变为 “L” 时哑或门 PRd 的一个输入变为 “L”。哑位线 BLd 的电势与参考电压 Vref 相比较, 当它低于参考电压时, 比较器 CMP 的输出变为 “L”, 或门 ORd (图 6 中的节点 Bd) 的输出也变为 “L”。这样, P 型晶体管 Pd 被打开, 从电源 Vdd 向哑位线 BLd 快速充电。

10 位线的或门 (OR1 至 ORn) 的一个输入提供有在前一读周期读出的数据, 其它的输入提供有哑或门 ORd 的输出。当在前一读周期读出的数据为 “0” 时, 位线 (图 6 中的 BL5) 上的电势被放电。在这种情况下, 或门 (OR1 至 ORn) 的输出 (图 6 中节点 BL1 至 BLn) 变成 “L”。因此, P 型晶体管 (P1 至 Pn) 被打开, 从电源 Vdd 向位线 (BL1 至 BLn) 快速充电。当哑位线 BL 的电势变得比参考电压 Vref 高的时候, 比较器
15 CMP 的输出变为 “H”, 或门 ORd 的输出 (图 6 中的节点 B1 至 Bn) 也变成 “H”。因此, P 型晶体管 Pd 被关闭, 停止向位线充电。另外, 通过 n 型晶体管 Q1 至 Qn 的预充电持续一个周期, 其中预充电信号/PR 为 “L”。

20 当在前一读周期读出的数据是 “1” 时, 位线 (图 6 中的 BL) 不放电。在这种情况下, 或门 (OR1, ..., ORn) 的输出变成 “H” (图 6 中的 B1, ..., Bn), P 型晶体管 (P1, ..., Pn) 保持为 OFF。因此, 不从电源 Vdd 向位线充电。

25 在该实施例中, 哑位线被快速从电源 Vdd 充电, 同时由比较器 CMP 读出 (检测) 哑位线的电势, 证实由或电路进行的前一次预充电。因此, 即使在电源电压升高, 预充电信号宽度变小的情况下, 仍可在一短时间内获得足够的预充电电压。结果, 没有读出放大器 (SA1 至 SAn) 的检测
30 错误。

说明书附图

图 1

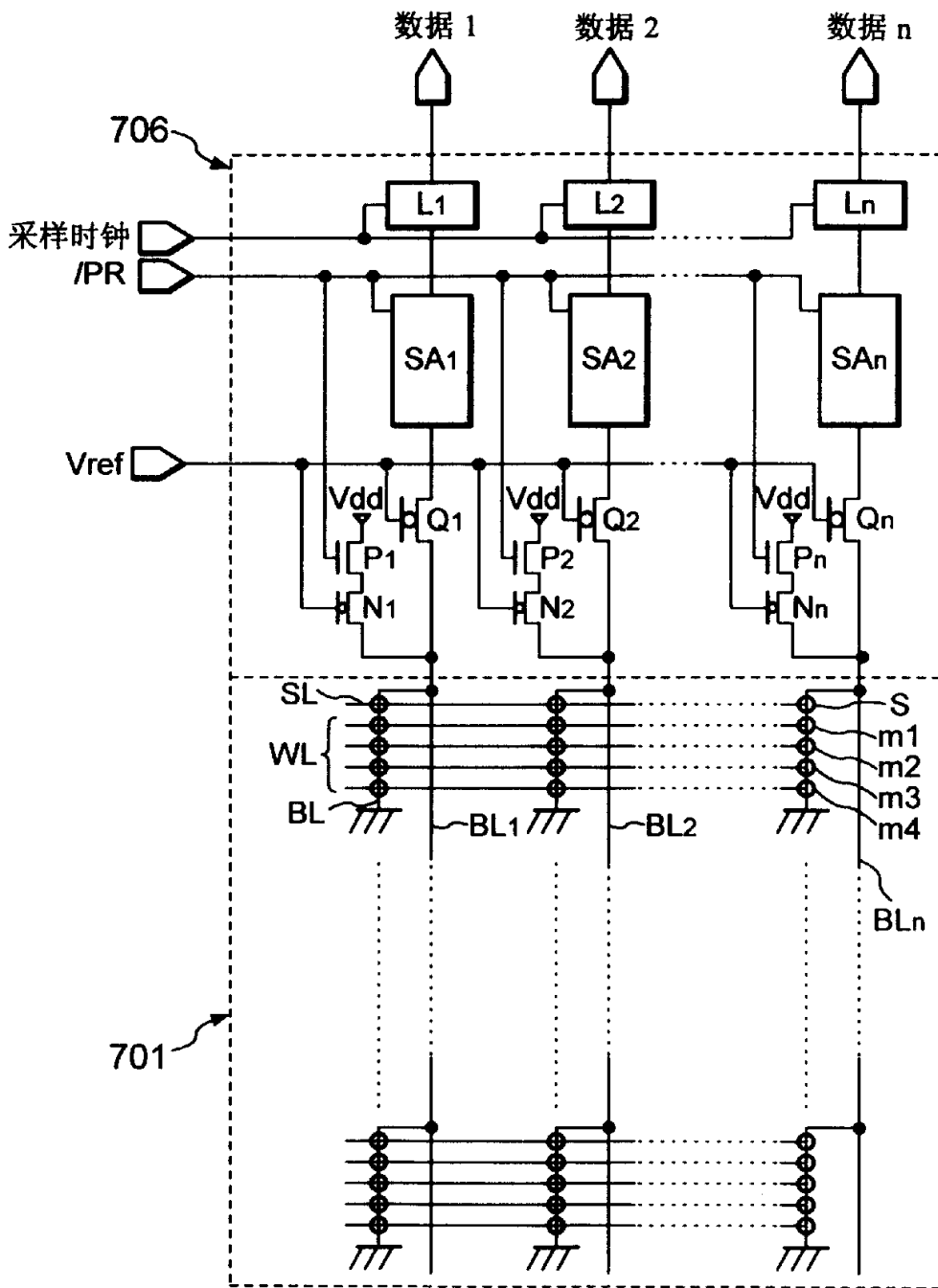


图 3

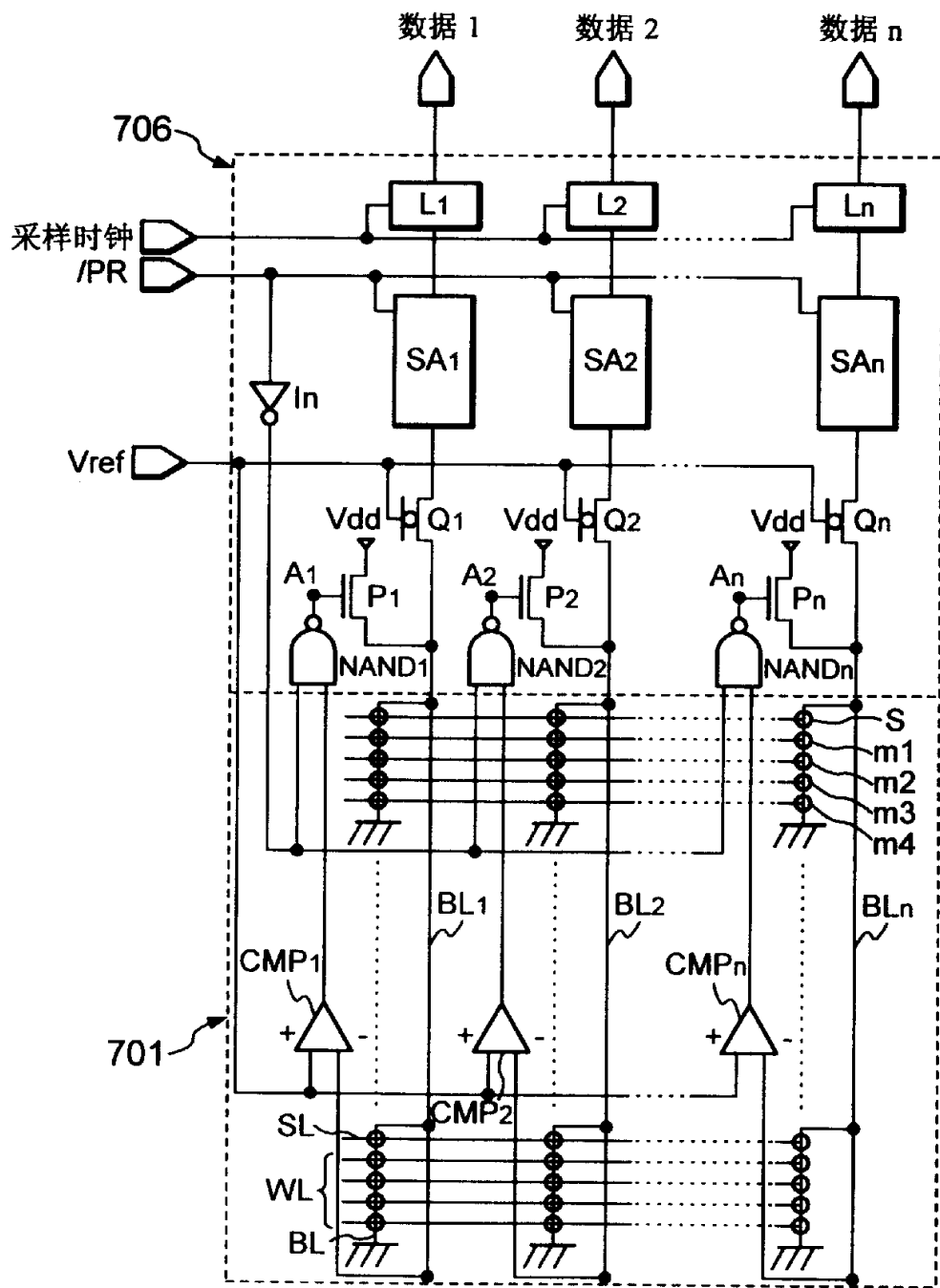


图 4

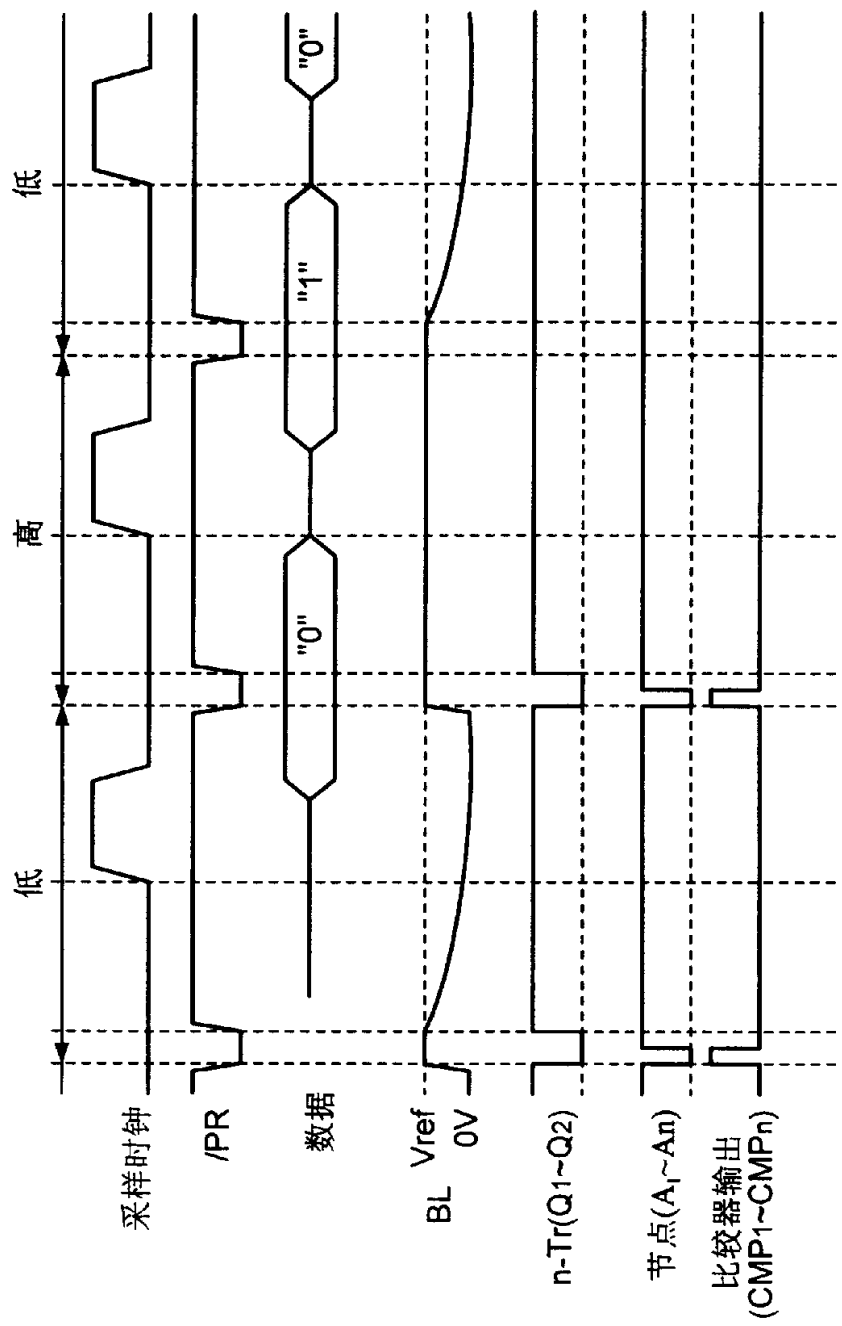


图 5

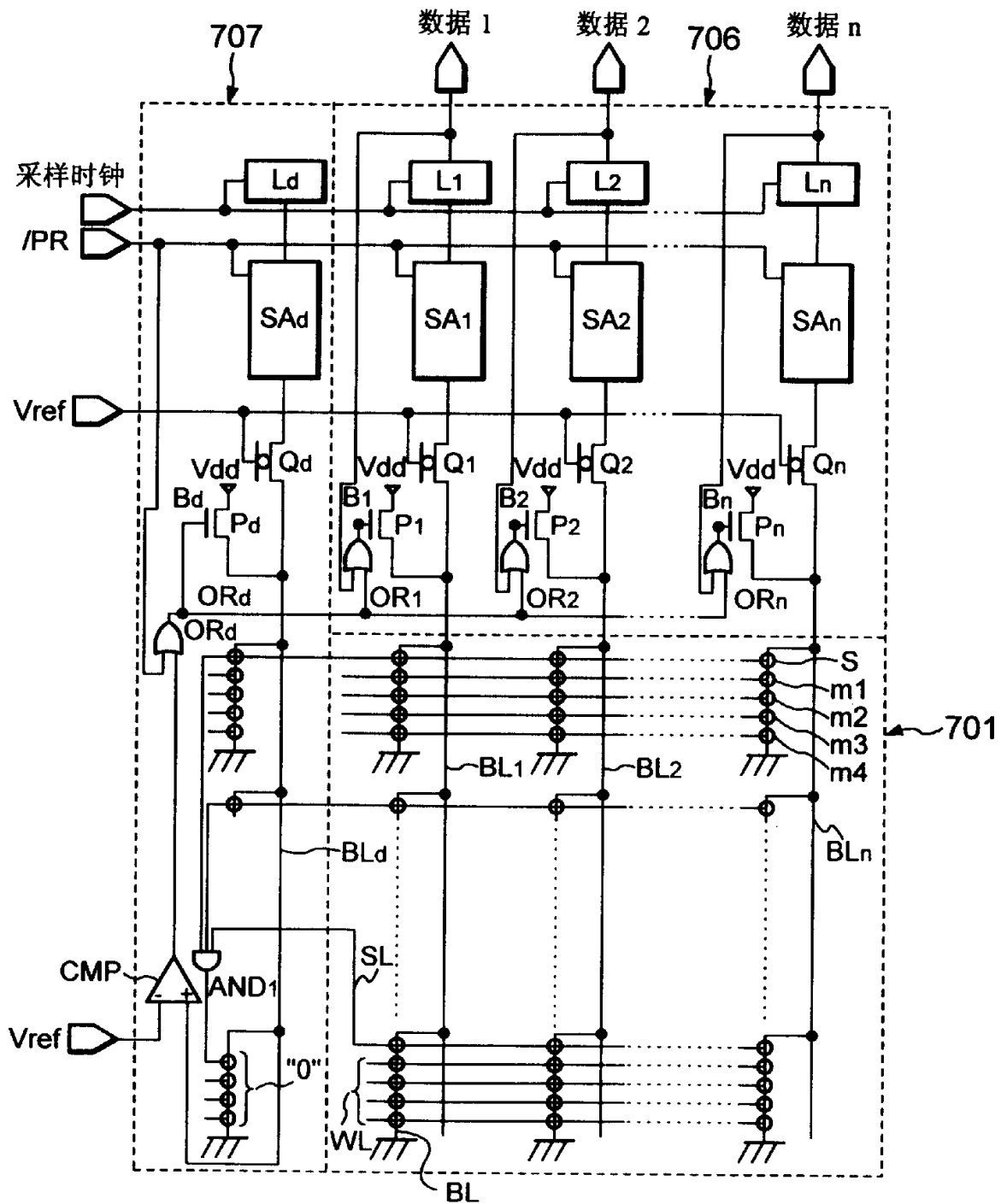


图6

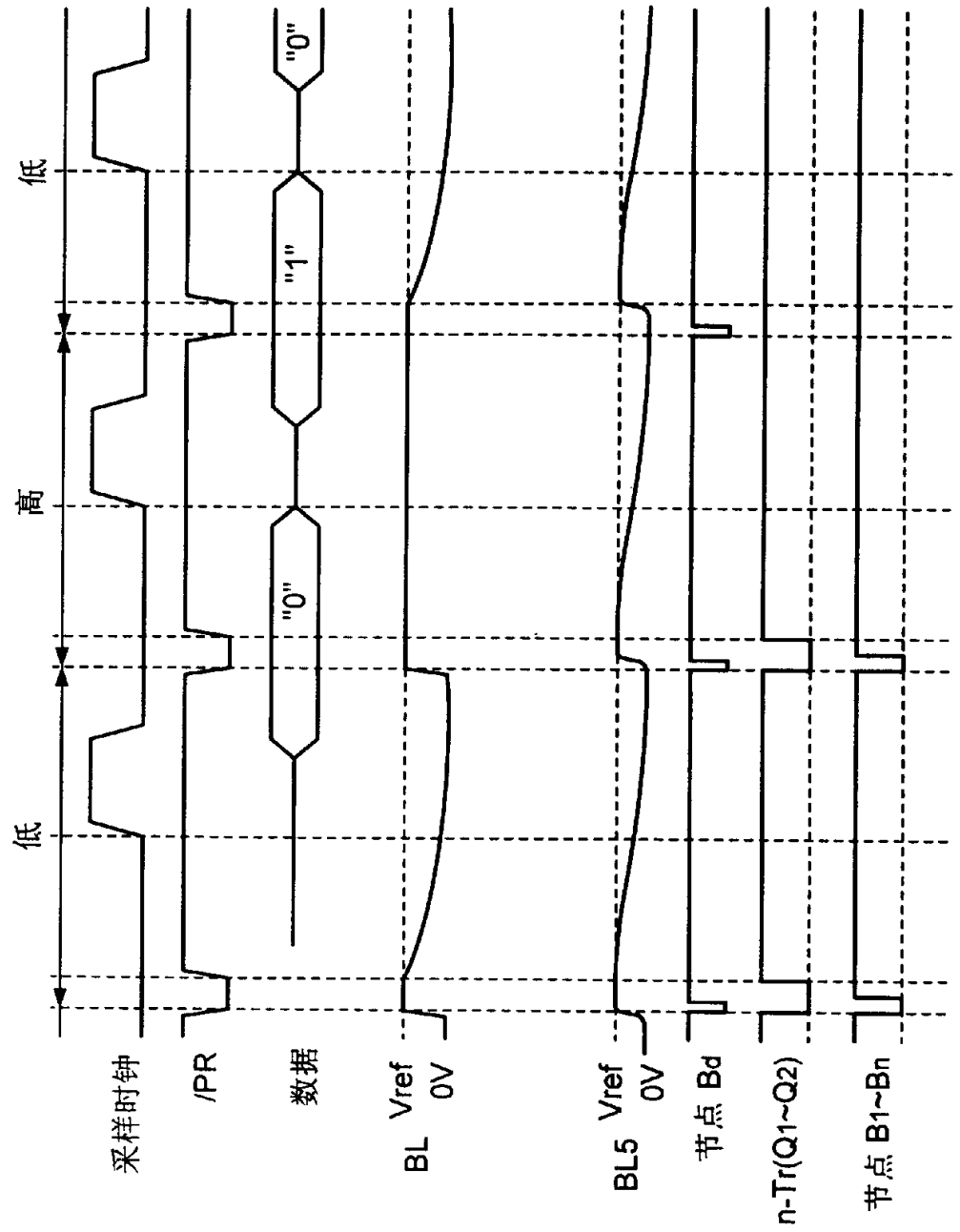


图 7

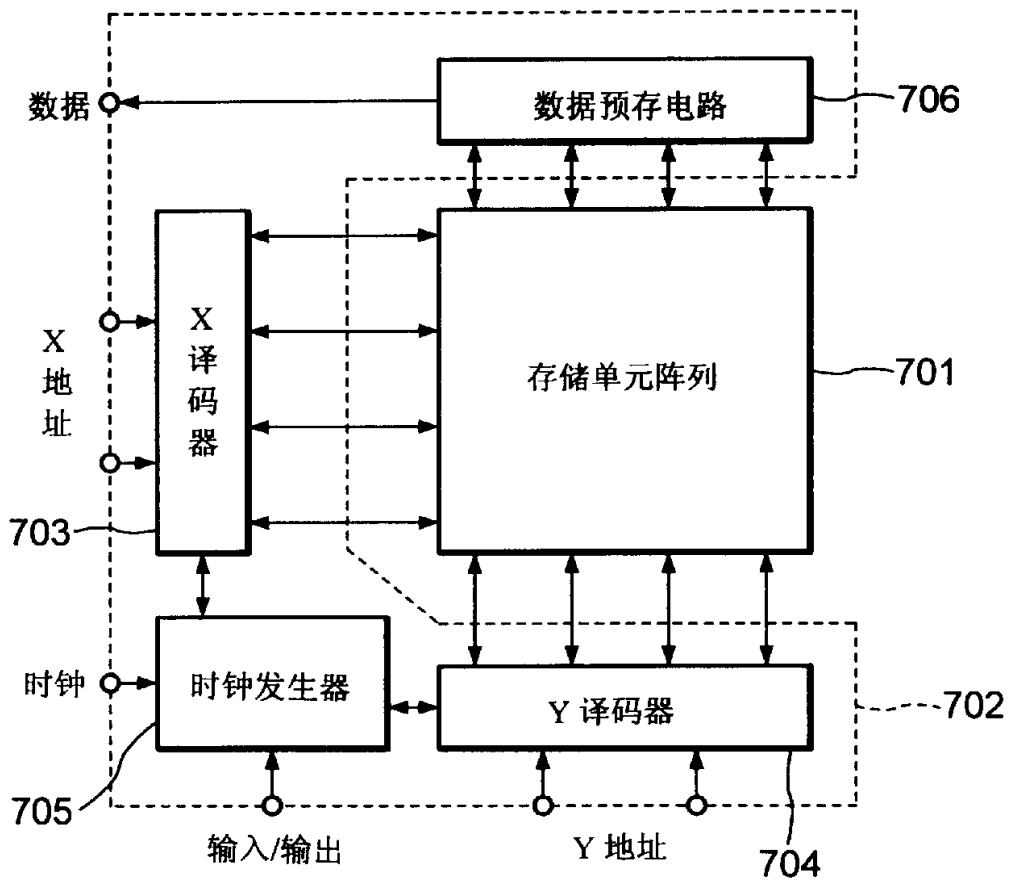


图 8

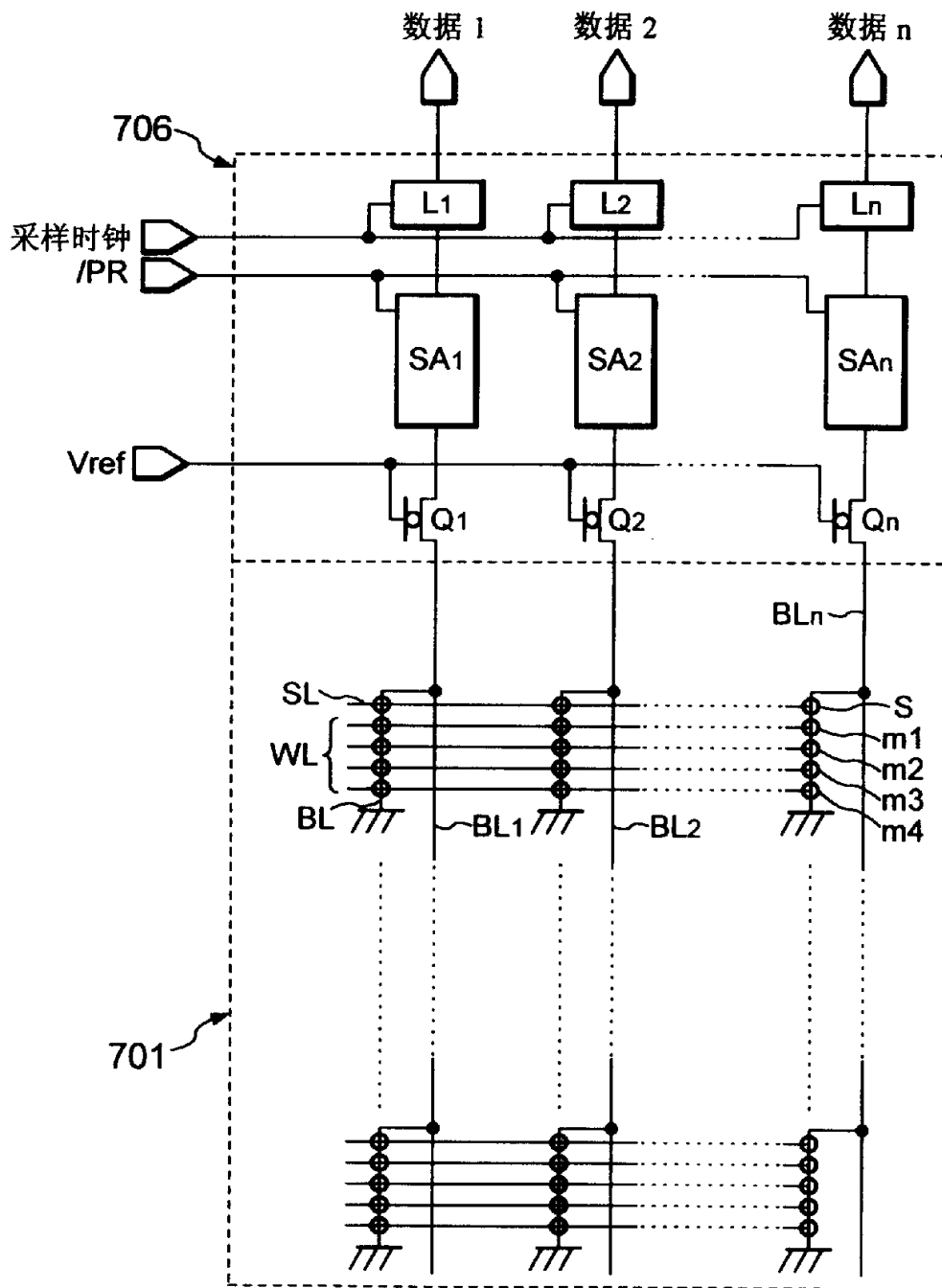


图 9a

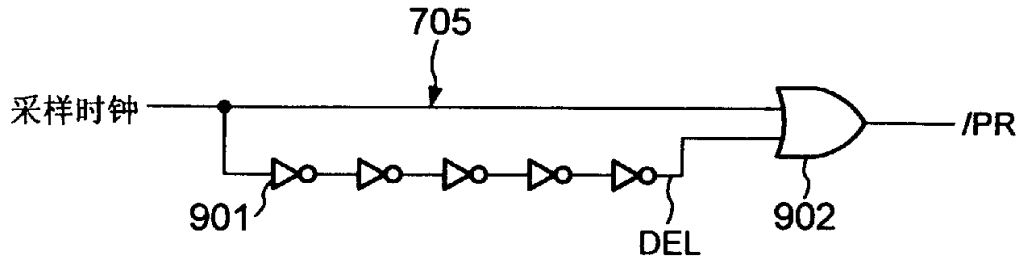


图 9b

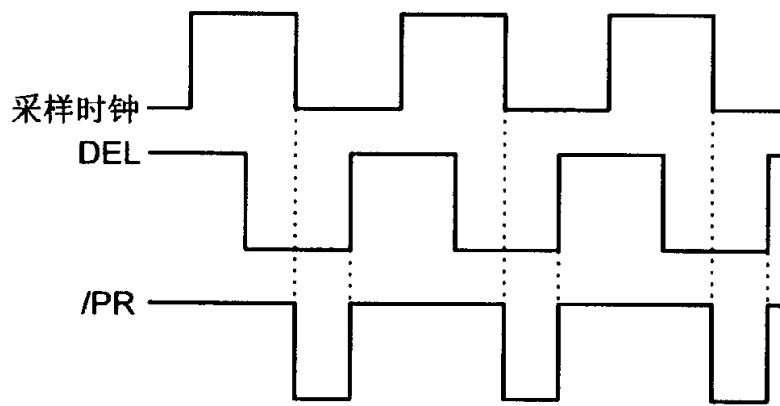


图 9c

