

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 974 420**

51 Int. Cl.:

H03K 19/17764 (2010.01)

H03K 19/17768 (2010.01)

G21D 3/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **08.03.2018 PCT/EP2018/055817**

87 Fecha y número de publicación internacional: **13.09.2018 WO18162668**

96 Fecha de presentación y número de la solicitud europea: **08.03.2018 E 18708146 (8)**

97 Fecha y número de publicación de la concesión europea: **03.01.2024 EP 3593360**

54 Título: **Circuito lógico programable de control de una instalación eléctrica, en particular una instalación nuclear y dispositivo asociado**

30 Prioridad:

08.03.2017 FR 1751903

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

27.06.2024

73 Titular/es:

**FRAMATOME (100.0%)
1 Place Jean Millier Tour Areva
92400 Courbevoie, FR**

72 Inventor/es:

**ALLORY, MATHIEU y
DUPUY, NICOLAS**

74 Agente/Representante:

PONTI & PARTNERS, S.L.P.

ES 2 974 420 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito lógico programable de control de una instalación eléctrica, en particular una instalación nuclear y dispositivo asociado

5

[0001] La presente invención se refiere a un circuito lógico programable de control de una instalación eléctrica, en particular una instalación nuclear, comprendiendo el circuito lógico programable una unidad funcional que comprende:

- 10 - una pluralidad de tipos de bloques funcionales, siendo dos tipos de bloques funcionales distintos capaces de ejecutar al menos una función distinta,
- al menos un módulo de tratamiento capaz de recibir al menos una secuencia de bloque o bloques funcionales para su ejecución, y
- al menos una memoria interna configurada para almacenar al menos dicha secuencia.

15

[0002] Además, la presente invención se refiere también a un dispositivo de control de una instalación eléctrica, en particular una instalación nuclear, comprendiendo el dispositivo de control al menos dicho circuito lógico programable.

20 **[0003]** El documento US 2015/0204944 A1 describe un circuito lógico programable de control de una instalación nuclear.

[0004] Por el documento EP 2 988 420 A1 se conoce un sistema de control de instalación eléctrica basado en una tarjeta electrónica que comprende dos circuitos lógicos programables FPGA (del inglés *Field Programmable Gate Array*).

25

[0005] Un primer FPGA desempeña el papel de maestro y comprende un conjunto de bloques funcionales que comprende tantos bloques funcionales del mismo tipo, por ejemplo de tipo «Y», como el número de instancias de este tipo de bloque para una aplicación dada de instrumentación y control de una instalación nuclear. El segundo FPGA está conectado punto a punto con las entradas y la salida del primer FPGA y desempeña el papel de matriz de conexión física de los bloques funcionales del primer FPGA.

30

[0006] Para cada modificación de la aplicación de instrumentación y control considerada o en caso de cambio de aplicación de instrumentación y control, es necesaria una reprogramación en lenguaje de descripción de hardware VHDL (del inglés *very high speed integrated circuit (VHSIC) hardware description language (HDL)*) o Verilog y una recualificación del segundo FPGA que conecte entre sí los bloques funcionales.

35

[0007] De hecho, en un contexto de instrumentación y control de instalación nuclear, cada diseño de FPGA debe cualificarse con mucho detenimiento empleando procedimientos complejos de desarrollo y de verificación.

40

[0008] Dicha etapa de reprogramación en lenguaje de descripción de hardware, VHDL o Verilog, por ejemplo, requiere que el operador tenga conocimientos de este lenguaje, y la recualificación requiere tiempo y esfuerzos de verificación.

45 **[0009]** Con el fin de paliar estos inconvenientes se describe una solución en el documento EP 3 107 212 A1 basada en la implementación de una FPGA que comprende también un conjunto de bloques funcionales ejecutados en paralelo según varios ciclos sucesivos para obtener el resultado de una aplicación dada de instrumentación y control de una instalación nuclear. Según esta solución el circuito FPGA comprende al menos tantos bloques funcionales del mismo tipo como el número de instancias de este tipo de bloque. Además, en este documento, un transportador de datos permite hacer transitar valores binarios y analógicos entre los bloques funcionales que presentan cada uno una arquitectura específica que les permite respectivamente extraer del transportador y transmitir al transportador sus datos de entrada y de salida.

50

[0010] Sin embargo, esta solución requiere un número de bloques funcionales del mismo tipo importante y definido de manera empírica a partir de la experiencia adquirida en el diseño de sistemas de instrumentación y control de instalación nuclear. Además, la ejecución en paralelo de los bloques funcionales en el curso de varios ciclos sucesivos necesarios para obtener el resultado asociado a una aplicación requiere la implementación de una sincronización, especialmente por medio de temporizaciones, de manera que garantice el determinismo de los datos que transitan entre cada bloque funcional y entre cada ciclo.

60

[0011] El objeto de la invención es, por tanto, proponer una solución alternativa para la instrumentación y control de una instalación nuclear, basada en la implementación de un circuito lógico programable para la cual, en caso de cambio de aplicación de instrumentación y control, se evita una reprogramación en lenguaje VHDL o una recualificación del módulo de tratamiento, a la vez que se reduce el número de recursos lógicos implementados y se

responde de manera más sencilla a las exigencias de demostración determinista de seguridad requeridas para un dispositivo de seguridad, tal como un dispositivo de control de una instalación nuclear.

[0012] Para este fin, la invención tiene por objeto un circuito lógico programable según la reivindicación 1.

5

[0013] El circuito lógico programable según la invención permite así reducir significativamente el número de recursos lógicos y, por tanto, el tamaño y el consumo energético del circuito lógico programable, a la vez que se garantiza el determinismo de la aplicación de instrumentación y control mediante la ejecución en serie de bloques funcionales denominados según su secuencia (es decir, orden) de ejecución en el curso de un único ciclo (correspondiendo un ciclo a un tiempo durante el cual los datos de entrada del circuito lógico programable se fijan en memoria y solo se reevaluarán en el ciclo siguiente). Dicho de otro modo, según la presente invención, para obtener el resultado de una aplicación de instrumentación y control dada se necesita un solo ciclo, correspondiente a la ejecución de la serie de bloques funcionales listada en la secuencia.

10

15 **[0014]** Según otros aspectos ventajosos de la invención, el circuito lógico programable es según cualquiera de las reivindicaciones 2 a 9.

[0015] La invención tiene también por objeto un dispositivo de control según la reivindicación 10.

20 **[0016]** Según otros aspectos ventajosos de la invención, el dispositivo de control es según cualquiera de las reivindicaciones 11 a 18.

[0017] Estas características y ventajas de la invención se desprenderán de la lectura de la descripción que se ofrece a continuación, proporcionada únicamente a modo de ejemplo no limitativo, y hecha en referencia a los dibujos adjuntos, en los que:

25

- la figura 1 es una representación esquemática de un circuito lógico programable según la invención;
- la figura 2 es una representación que ilustra un ejemplo de aplicación de instrumentación y control para su ejecución;
- la figura 3 es una representación esquemática de la conexión del circuito lógico programable según la invención a un módulo de mantenimiento y de diagnóstico;
- la figura 4 es una representación esquemática de un dispositivo de control según la invención que comprende, según una realización, el circuito lógico programable de la figura 1;
- las figuras 5 y 6 representan respectivamente dos variantes de dispositivos de control que comprenden una pluralidad de circuitos lógicos programables representados en la figura 1.

30

35

[0018] En la figura 1, el circuito lógico programable 10 es un módulo de tratamiento (PM del inglés *Processing Module*). Más en concreto, el circuito lógico programable 10 está hecho en forma de una estructura electrónica, tal como una red de puertas programables o FPGA (del inglés *Field-Programmable Gate Array*).

40

[0019] Dicha FPGA 10 comprende un módulo 12 de control de las señales de entrada, una unidad funcional 14 (OPU del inglés *Operating Unit*) y un módulo 16 de control de las señales de salida.

[0020] La unidad funcional 14 comprende una pluralidad 18 de N tipos de bloques funcionales $FB_1, \dots, FB_i, \dots, FB_N$ distintos con N un número entero e i el índice de tipo de bloque funcional comprendido entre uno y N .

45

[0021] Dos tipos de bloques funcionales distintos son capaces de ejecutar al menos una función distinta. Por «función» se entiende una función que puede ser implementada por una FPGA.

[0022] Según la presente invención, la unidad funcional comprende un solo bloque funcional de cada tipo.

50

[0023] Cada bloque funcional es cualificado además definitivamente durante el diseño del circuito lógico programable y, según la presente invención, en lo sucesivo será invocado únicamente para ser ejecutado en el curso de una aplicación de instrumentación y control sin que sea necesaria ninguna recualificación en caso de cambio/modificación de aplicación de instrumentación y control.

55

[0024] Cada instancia de bloque puede disponer además, si fuera necesario, de un espacio de memoria interna 20 dedicado de un módulo 22 de ejecución de la unidad funcional 14, que permite almacenar valores persistentes de un ciclo de ejecución a otro.

60

[0025] El conjunto de las funciones que pueden ser implementadas por una FPGA según la presente invención son así implementadas (es decir, programadas según una etapa preliminar) definitivamente en VHDL. Sus características se enumeran y memorizan, por ejemplo, dentro de un archivo de biblioteca 100 almacenado dentro de una memoria, no representada, de un generador automático 110 de datos de configuración de una central de mantenimiento 76 (ilustrada en la figura 3) alejada y distinta del circuito lógico programable 10 según la presente

invención.

[0026] Dicho de otro modo, el archivo de biblioteca 100 describe las características de las funciones que pueden ser implementadas por cada bloque funcional tal como ha sido programado.

5

[0027] Dicho archivo de biblioteca 100 comprende por ejemplo para cada bloque funcional:

- su tipo,
- la descripción de al menos una función que es capaz de implementar,
- 10 - su identificador correspondiente a un código arbitrario predeterminado,
- su número y/o clase de entradas,
- su número y/o clase de salidas,
- su número y/o clase de parámetros que es capaz de usar.

15 **[0028]** Dicho archivo de biblioteca 100 es elaborado previamente y usado por un generador automático 110 de datos de configuración de la central de mantenimiento 76, que permite traducir automáticamente un conjunto de diagramas funcionales 120 en el programa de aplicación 34.

[0029] La figura 2 ilustra un diagrama funcional 120 de un ejemplo de aplicación de instrumentación y control para su ejecución. Dicha aplicación corresponde a la detección de temperatura límite en cuatro puntos distintos de un reactor nuclear.

20 **[0030]** Dicha aplicación es generada por un operador a partir de un editor gráfico conectado al generador automático 110 del programa de aplicación 34 sin requerir conocimientos especiales en el lenguaje de descripción de hardware VHDL o Verilog.

25 **[0031]** El generador automático 110 de programa de aplicación 34 es capaz de convertir los datos de dicho diagrama funcional 120 por el generador 110 de programa de aplicación 34 en al menos una secuencia 46 de bloques funcionales para su ejecución, de manera que cada bloque funcional de la secuencia implementa las funciones de acuerdo con las previamente programadas y clasificadas en el archivo de biblioteca 100.

30 **[0032]** Se necesitan cuatro tipos 24, 26, 28, 30 de bloques funcionales distintos para la implementación de dicha aplicación de instrumentación y control, en concreto, los cuatro tipos LIN, THR, VOTER y AND que están conectados gráficamente por enlaces orientados que representan las relaciones de causalidad entre bloques funcionales.

35 **[0033]** Expuesto con mayor precisión, el operador define gráficamente el número de señales de entrada de la aplicación de instrumentación y control, en concreto, E1, E2, E3 y E4 que corresponden, por ejemplo, a diferentes puntos de medida de un reactor nuclear.

40

[0034] Según esta aplicación de instrumentación y control, las señales eléctricas de los puntos E_i ($i=1$ a 4) pueden, cada una, a continuación ser convertidas por medio de un bloque funcional de tipo LIN en un dato físico, en este caso una temperatura.

45 **[0035]** Después, la temperatura obtenida en salida del bloque funcional 24 de tipo LIN se compara con un umbral de temperatura por medio de un bloque funcional 26 de tipo THR que tiene como parámetro este umbral de temperatura en concreto, por ejemplo 100°C.

[0036] La aplicación de instrumentación y control contemplada comprende a continuación una función de voto implementada por el bloque funcional 28 VOTER aplicada a las cuatro señales asociadas a cada punto de entrada. La función de voto es, por ejemplo, una función de voto 2/4 apta para confirmar o invalidar (es decir, resultado binario) la comparación con el umbral de temperatura, a partir del momento en que al menos dos comparaciones entre cuatro tienen el mismo resultado.

55 **[0037]** Finalmente, la aplicación de instrumentación y control contemplada puede tener en cuenta, por medio de un bloque funcional 30 AND, la activación de un botón pulsador 32 (que puede ser accionado manualmente por un operador) inhibidor de resultado. Dicho de otro modo, el bloque funcional 30 AND recibe dos entradas binarias que corresponden respectivamente a las señales de salida del botón pulsador 32 y del bloque funcional 28 VOTER y suministra en salida el resultado 33 binario del bloque funcional VOTER si el botón pulsador 32 no ha sido accionado, y si ha sido accionado, el resultado 33 binario contrario.

60

[0038] Así, para este ejemplo de aplicación de instrumentación y control, el archivo de biblioteca 100 usado por el generador automático 110 está, por ejemplo, en forma de la tabla siguiente:

Tipo	Código arbitrario de FB	Descripción de función	Entradas	Salidas	Parámetros
LIN	0x01	Conversión lineal de una señal eléctrica en un dato físico	1 analógica	1 analógica	Ninguno
THR	0x02	Comparación con un valor umbral	1 analógica	1 binaria	1 analógico: valor de umbral
VOTER	0x03	Función de voto 2/4	4 binarias	1 binaria	ninguno
AND	0x04	Función lógica «Y» entre dos entradas	2 binarias	1 binaria	ninguno

[0039] En relación con la figura 1, el bloque funcional FB es, por ejemplo, de tipo LIN y se le asigna el código 0x01 en la tarjeta FPGA, el bloque funcional $FB_{i=5}$ es de tipo THR y se le asigna el código 0x02, el bloque funcional $FB_{i=12}$ es de tipo VOTER y se le asigna el código 0x03, y el bloque funcional $FB_{i=18}$ es de tipo AND y se le asigna el código 0x04.

[0040] A partir del diagrama representado en la figura 2, y del archivo de biblioteca 100 descrito anteriormente, se genera automáticamente un conjunto de archivos informáticos de configuración que forman un programa de aplicación 34.

[0041] Dicho programa de aplicación 34 comprende especialmente:

- un archivo de configuración 36 de la memoria 38 de la unidad funcional 14 correspondiente a una tabla que asocia a al menos una señal de entrada/salida del circuito lógico programable 10 una dirección en su memoria,
- un archivo 40 de valor o valores de parámetros de bloque o bloques funcionales capaces de ejecutar al menos una función que usa un parámetro,
- un archivo 42 que recoge, para cada bloque funcional, la o las direcciones de memoria asignadas a una o más entradas de este bloque funcional,
- un archivo 44 que recoge, para cada bloque funcional, la o las direcciones de memoria asignadas a una o más salidas de este bloque funcional,
- una secuencia 46 de bloque o bloques funcionales para su ejecución.

[0042] La memoria 38 de la unidad funcional 14 comprende al menos dos espacios 48 y 50 de almacenamiento de datos dedicados respectivamente a datos binarios (booleanos codificados en dos bits distintos) y a datos analógicos (números flotantes codificados, por ejemplo, en treinta y dos bits). En una variante no representada, la memoria 38 de la unidad funcional 14 comprende además un espacio de almacenamiento de datos dedicado a los valores de parámetros del archivo 40.

[0043] El espacio 48 de almacenamiento de datos binarios está a su vez jerarquizado en al menos tres subespacios, que son: un primer subespacio 52 dedicado a los datos binarios de entradas del circuito lógico programable 10, un segundo subespacio 54 dedicado a los datos binarios temporales obtenidos durante la ejecución de la secuencia 46 y un tercer subespacio 56 dedicado a los datos binarios de salidas del circuito lógico programable.

[0044] Asimismo, el espacio 50 de almacenamiento de datos analógicos está a su vez jerarquizado en al menos tres subespacios, que son: un primer subespacio 58 dedicado a los datos de entrada analógicos del circuito lógico programable 10, un segundo subespacio 60 dedicado a los datos analógicos temporales obtenidos durante la ejecución de la secuencia 46 y un tercer subespacio 62 dedicado a los datos analógicos de salidas del circuito lógico programable.

[0045] El archivo de configuración 36 de la memoria 38 está configurado para ser leído por el módulo de ejecución 22 de la unidad funcional 14 en el curso de un único ciclo de ejecución de la aplicación de instrumentación y control (correspondiente, por ejemplo, a la representada en la figura 2).

[0046] Durante la ejecución de la secuencia 46, el módulo de ejecución 22 lee en el archivo de configuración 36 en el que están almacenados en la memoria 38 los valores de las entradas y salidas de la aplicación en su conjunto.

[0047] Dicho de otro modo, el archivo de configuración 36 es una tabla de asignación, en los diferentes subespacios (es decir, registros) de memoria, de las direcciones de memoria en las entradas y salidas del circuito lógico programable 10.

[0048] Los cinco valores de entradas son, según el ejemplo de aplicación de instrumentación y control representado en la figura 2, cuatro valores analógicos ina_E1, ina_E2, ina_E3 e ina_E4 correspondientes a las señales eléctricas representativas de medidas de temperatura respectivamente en los puntos E1 a E4 y un valor binario inb_P1 representativo de la activación/desactivación del botón pulsador 32.

5

[0049] El valor de salida outb_ACT es suministrado después de la ejecución de los bloques funcionales según la secuencia 46 de bloques funcionales.

[0050] Así, para este ejemplo de aplicación de instrumentación y control ilustrado en la figura 2, el archivo de configuración 36 está, por ejemplo, en la forma de la tabla siguiente:

10

Tipo de espacio de almacenamiento	Analógico 50				Binario 48	
Subespacio	Entrada 58				Entrada 52	Salida 56
Direcciones de memoria	0x0001 a 0x0004	0x0005 a 0x0008	0x0009 a 0x0012	0x0013 a 0x0014	0x0000	0xF800
Nombre del valor	ina_E1	ina_E2	ina_E3	ina_E4	inb_P1	outb_ACT

[0051] Según la presente invención, la secuencia 46 de bloque o bloques funcionales para su ejecución es un archivo informático que recoge, a partir de los enlaces de causalidad del diagrama, el orden de instanciación de los bloques funcionales para su ejecución en serie por el módulo de ejecución 22 de la unidad funcional 14 con el fin de realizar la aplicación de instrumentación y control deseada.

15

[0052] La secuencia 46 es un archivo informático, por ejemplo, representado en la forma de la tabla ordenada siguiente:

20

CÓDIGO de FB	FB_TIPO	Instancia
0x01	LIN	LIN ₁
0x02	THR	THR ₁
0x01	LIN	LIN ₂
0x02	THR	THR ₂
0x01	LIN	LIN ₃
0x02	THR	THR ₃
0x01	LIN	LIN ₄
0x02	THR	THR ₄
0x03	VOTER	VOTER
0x04	AND	AND
0x00	STOP	STOP

[0053] Dicho de otro modo, según la presente invención se ejecuta a la vez un solo bloque funcional FB (cuyo código se indica en el archivo de biblioteca descrito anteriormente), según las instancias sucesivas de la serie de bloques funcionales indicada en el archivo informático de secuencia 46 mostrado anteriormente.

25

[0054] Dicha ejecución en serie garantiza el determinismo de ejecución de la aplicación de instrumentación y control, ya que los datos de salida de cada bloque funcional se almacenan y/o reinyectan en la entrada del bloque funcional siguiente para las sucesivas instancias.

[0055] Según la técnica anterior, para realizar la aplicación de instrumentación y control representada en la figura 2, es necesario que el FPGA comprenda cuatro bloques funcionales de tipo LIN, cuatro bloques funcionales de tipo THR, un bloque funcional de tipo VOTER y un bloque funcional de tipo AND para un total de aproximadamente

30

diez bloques funcionales distintos.

5 **[0056]** Por el contrario, según la presente invención se necesita un solo bloque funcional de cada tipo y es «invocado» cuantas veces sean necesarias según la aplicación de instrumentación y control para su ejecución. Así, en relación con el ejemplo de aplicación de la figura 2, el número de bloques funcionales necesarios para ejecutar dicha aplicación se reduce de diez a cuatro, lo que permite una reducción del tamaño del FPGA (es decir, optimización de la compacidad) y/o la posibilidad de integrar en él bloques funcionales que pueden ser invocados por otras aplicaciones de instrumentación y control.

10 **[0057]** Dicho de otro modo, la huella de hardware (por ejemplo, huella VHDL) del circuito lógico programable según la invención es única y permanente, de manera que un bloque funcional cualificado puede reutilizarse de una aplicación de instrumentación y control a otra. Según la invención, solo el programa de aplicación 34 es distinto de una aplicación de instrumentación y control a otra, siendo, por ejemplo, un mismo bloque funcional invocado en primera instancia para una primera aplicación de instrumentación y control y en última instancia para una segunda aplicación de instrumentación y control diferente de la primera.

15 **[0058]** El archivo informático 40 de valor o valores de parámetros de bloques funcionales comprende por su parte los valores de los parámetros necesarios durante la ejecución de la secuencia 46, estando estos valores de parámetros ordenados teniendo en cuenta la secuencia 46 de ejecución de los bloques funcionales.

20 **[0059]** El archivo informático 40 de valores de parámetros se representa, por ejemplo en la forma de la tabla ordenada siguiente:

Valor de parámetro	Instancia del bloque funcional	Valor de parámetro
0x0000000042c80000	THR ₁	100,0
0x0000000042c80000	THR ₂	100,0
0x0000000042c80000	THR ₃	100,0
0x0000000042c80000	THR ₄	100,0

25 **[0060]** Dicho de otro modo, para el ejemplo de aplicación de instrumentación y control representado en la figura 2, el mismo bloque funcional FB_{i=5} de tipo THR se instancia cuatro veces con el mismo valor de parámetro, que es una temperatura de 100°C.

30 **[0061]** Según otros ejemplos de aplicaciones de instrumentación y control, pueden asociarse valores diferentes de parámetros a las diferentes instancias del bloque funcional FB_{i=5} de tipo THR. Así, sin modificación de la huella de hardware (por ejemplo, huella VHDL), y en consecuencia sin recualificación del circuito programable, la presente invención permite un cambio de parámetro de un mismo bloque funcional durante la vida de un sistema de instrumentación y control, o de una aplicación a otra. Se facilita así la evolución de funcionamiento del circuito programable.

35 **[0062]** Además, como se indica anteriormente, el programa de aplicación 34 comprende también dos archivos informáticos 42 y 44 que recogen respectivamente para cada bloque funcional por una parte la o las direcciones de memoria 38 asignadas a uno o más operandos de entradas de este bloque funcional, y por otra parte la o las direcciones de memoria asignadas a uno o más operandos de salida de este bloque funcional.

40 **[0063]** En relación con la aplicación representada en la figura 2, estos dos archivos informáticos 42 y 44 tienen, por ejemplo, respectivamente la forma siguiente:

Direcciones de memoria	Nombre del valor de entrada	Usada en entrada de:	Direcciones de memoria	Nombre del valor de salida	Usada en salida de:
0x0001	ina_E1	LIN	0x0800	wa_a1	LIN
0x0800	wa_a1	THR	0x0804	wa_b1	THR
0x0005	ina_E2	LIN	0x0805	wa_a2	LIN
0x0805	wa_a2	THR	0x0809	wb_b2	THR
0x0009	ina_E3	LIN	0x080A	wa_a3	LIN

(continuación)

Direcciones de memoria	Nombre del valor de entrada	Usada en entrada de:	Direcciones de memoria	Nombre del valor de salida	Usada en salida de:
0x080A	wa_a3	THR	0x080E	wb_b3	THR
0x0013	ina_E4	LIN	0x080F	wa_a4	LIN
0x080F	wa_a4	THR	0x0813	wb_b4	THR
0x0804	wb_b1	VOTER	0x0814	wb_c	VOTER
0x0809	wb_b2	VOTER	0xF800	outb_ACT	AND
0x080E	wb_b3	VOTER			
0x0813	wb_b4	VOTER			
0x0000	lnb_P1	AND			
0x0814	wb_c	AND			

5 **[0064]** El módulo de ejecución 22 funciona así como una máquina de estados y distribuye y/o almacena automáticamente para cada instancia de bloque funcional los valores de entradas y de salida en las direcciones de memoria indicadas en los archivos 42 y 44 del programa de aplicación 34.

10 **[0065]** Un puntero permite que el módulo de ejecución 22 conozca para cada instancia de bloque funcional el emplazamiento de inicio de las direcciones de los valores de entradas y de salidas que se leen en los archivos 42 y 44. Al final de la ejecución de cada instancia de bloque funcional, este actualiza el puntero en función del número de valores de entrada leídos y del número de valores de salida generados, lo que permite que el módulo de ejecución 22 conozca las direcciones que se leerán en los archivos 42 y 44 para la instancia de bloque siguiente.

15 **[0066]** Dicho de otro modo, los archivos informáticos del programa de aplicación 34 tienen un efecto de sinergia de manera que el módulo de ejecución 22 está configurado para tenerlos en cuenta a todos en paralelo con el fin de implementar una ejecución en serie sin que se cree físicamente ningún enlace entre los diferentes bloques funcionales.

20 **[0067]** Así, en relación con el ejemplo de aplicación de instrumentación y control ilustrado en la figura 2, el módulo de ejecución 22 está configurado para leer la secuencia 46 y determinar cuál es el primer bloque funcional que se ha de ejecutar.

25 **[0068]** Este primer bloque es el bloque funcional FB, de tipo LIN, y el módulo de ejecución 22 se configura entonces para distribuir en entrada, de acuerdo con el archivo informático 42 asociado a los datos de entrada de cada bloque funcional, el valor analógico de ina_E1 que se memoriza en la dirección 0x0001 del subespacio 58 dedicado a los datos analógicos de entrada de la memoria 38.

30 **[0069]** Se ejecuta entonces el bloque funcional FB, de tipo LIN y el valor analógico de wa_a1 suministrado en salida se almacena en la dirección 0x0800 del subespacio de memoria 60 dedicado a los datos analógicos temporales de acuerdo con el archivo informático 44 asociado a los datos de salida de cada bloque funcional.

35 **[0070]** Después, el módulo de ejecución 22 se configura para leer la secuencia 46 y determinar cuál es el segundo bloque funcional que se ha de ejecutar. Este segundo bloque es el bloque funcional FB_{i=5} de tipo THR y se le asigna el código 0x02 en la tarjeta FPGA. El módulo de ejecución 22 se configura entonces para distribuir en entrada el valor de wa_a1 que se memoriza en la dirección 0x0800 así como el valor de parámetro 100,0 que es el siguiente valor en la pila de valores de parámetros analógicos.

40 **[0071]** Se ejecuta entonces el bloque funcional FB₅ de tipo THR y el valor binario de wb_b1 suministrado en salida es escrito y almacenado, por el módulo de ejecución 22, en la dirección 0x0804 del subespacio 54 dedicado a los datos binarios temporales.

45 **[0072]** A continuación, de acuerdo con la secuencia 46, el tercer bloque funcional que se ha de ejecutar es de nuevo el bloque funcional FB, de tipo LIN. Durante esta segunda instancia de este mismo bloque funcional FB, de tipo LIN, el módulo de ejecución 22 se configura entonces para distribuir en entrada el valor analógico de ina_E2 que se memoriza en la dirección 0x0005 del subespacio 58 dedicado a los datos analógicos de entrada de la memoria 38.

[0073] Se ejecuta entonces el bloque funcional FB, de tipo LIN por segunda vez y el valor analógico de wa_a2 suministrado en salida se almacena en la dirección 0x0805 del subespacio de memoria 60 dedicado a los datos

analógicos temporales, y así sucesivamente hasta que el conjunto de la secuencia 46 se haya ejecutado por completo (es decir, hasta que el código 0x00 de detención sea leído por el módulo de ejecución 22).

5 **[0074]** Así, según la presente invención se ejecuta un solo bloque funcional a la vez en un instante dado.

[0075] Según el ejemplo representado en la figura 1, la unidad funcional 14 comprende además una pluralidad 64 de M unidades de cálculo en coma flotante (FPU del inglés «*floating point units*») paralelizables, con M un número entero.

10 **[0076]** Dichas unidades de cálculo son capaces, por ejemplo, de implementar cálculos de raíz cuadrada o de logaritmo y se paralelizan, para la implementación de cálculos complejos requeridos durante la ejecución de un bloque funcional tal como la determinación de la relación entre el flujo térmico de aparición de la crisis de ebullición y el flujo térmico real en el núcleo de un reactor denominada relación de flujo térmico crítico/RFTC (DBNR del inglés *Departure from Nucleate Boiling Ratio*). Dicho conjunto de unidades de cálculo en coma flotante es compartido para el conjunto 15 de los bloques funcionales de la unidad funcional 14 y permite acelerar la capacidad de cálculo de un bloque funcional cuando este está configurado para realizar un cálculo analógico complejo. En consecuencia, aumenta la escalabilidad del circuito lógico programable 10.

20 **[0077]** La unidad funcional 14 comprende también una interfaz 66 de entrada-salida capaz de recibir y de retransmitir respectivamente los datos de entrada ina_E1, ina_E2, ina_E3, ina_E4 y de salida inb_P1 y outb_ACT clasificados en el archivo de configuración 36, y asociados a la aplicación de instrumentación y control en su conjunto.

25 **[0078]** La interfaz 66 es capaz de recibir el programa de aplicación 34 por medio de un bus de configuración interna (ICB del inglés *Internal Configuration Bus*) conectado al módulo 12 de control de las señales de entrada y de transmitir a través de este mismo bus de datos los datos de control y de diagnóstico al módulo 16 de control de las 30 señales de salida.

[0079] El módulo 12 de control de las señales de entrada y el módulo 16 de control de las señales de salida son externos a la unidad funcional 14 y pueden comunicarse con aparatos y/o circuitos externos al circuito lógico 30 programable 10.

[0080] Este módulo de control de las señales de entrada 12 y este módulo de control de las señales de salida 16 son a su vez, cada uno, una máquina de estados que comprende uno o varios espacios de memoria dedicados 35 respectivamente a datos analógicos y binarios no representados.

[0081] Entre estos espacios de memoria dedicados, algunos están dedicados al control de los datos de entrada y de salida intercambiados con una red de comunicación y capaces de recibir/transmitir datos emitidos/transmitidos de manera asíncrona con respecto al ciclo de funcionamiento del circuito lógico programable 10. Para ello, estos espacios de memoria dedicados específicamente a los datos de redes son registros de báscula o básculas síncronas 40 (es decir, de doble puerto, del inglés *flip-flop*) de manera que almacenan los datos de redes recibidos/transmitidos durante el ciclo actual mientras los datos de redes recibidos/transmitidos durante el ciclo anterior son usados por la unidad funcional 14 en el curso del ciclo actual. El circuito lógico programable 10 posee así un cierto número de conectores de fibra óptica que permiten emitir/recibir estos datos en redes de comunicación.

45 **[0082]** Los módulos 12 y 16 están configurados especialmente para asegurar la comunicación con un módulo 68 de mantenimiento y de diagnóstico (SMD del inglés *Service Maintenance Diagnosis Module*) representado en la figura 3.

50 **[0083]** Dicho módulo de mantenimiento y de diagnóstico 68 permite especialmente cargar, en el circuito lógico programable 10, el programa de aplicación 34 asociado a la aplicación que se va a ejecutar o realizar cambios de parámetros de bloques funcionales (por ejemplo, un cambio de umbral de temperatura de 100°C a 120°C), lanzar periódicamente tests de mantenimiento en el circuito lógico programable 10 o transferir del circuito lógico programable 10 según la invención al módulo de mantenimiento y de diagnóstico 68 datos de tratamiento. Estos intercambios de 55 datos entre el circuito lógico programable 10 y el módulo de mantenimiento y de diagnóstico 68 están asegurados por medio de un enlace tal como un bus 70 conectado a la cara posterior (del inglés *backplane bus*) de las cajas que alojan respectivamente el circuito lógico programable 10 y el módulo de mantenimiento y de diagnóstico 68.

60 **[0084]** El módulo de mantenimiento y de diagnóstico 68 comprende también un circuito lógico programable 72, por ejemplo FPGA, y un microprocesador 74, y es capaz de comunicarse según un procedimiento seguro con una central de mantenimiento 76 que comprende, por ejemplo, el generador automático 110, por medio de un enlace 78 de tipo Ethernet y un conmutador 80 capaz de comunicarse con otros dispositivos de control de instalación eléctrica, comprendiendo un dispositivo de control al menos un circuito lógico programable 10 según la invención tal como se describe anteriormente.

[0085] La central de mantenimiento 76 está, por ejemplo, alejada de la instalación eléctrica nuclear en la cual se implementa el circuito lógico programable 10. Dentro de esta central de mantenimiento 76, un operador de mantenimiento realiza por medio de un editor gráfico (que no requiere conocimientos previos en el lenguaje VHDL o Verilog) las aplicaciones de instrumentación y control que se van a implementar dentro de la instalación eléctrica nuclear, en forma de diagramas funcionales 120 como se representa, por ejemplo, en la figura 2. Como se indica anteriormente, los diagramas funcionales 120 se convierten a continuación en el programa de aplicación 34, por medio del generador automático 110 que usa el archivo de biblioteca 100 para garantizar que el programa de aplicación 34 se ejecutará sin afectar a la configuración cualificada del circuito lógico programable 10. El programa de aplicación 34 se carga a continuación por medio del módulo de mantenimiento y de diagnóstico 68 en el circuito lógico programable 10.

[0086] En las figuras 4 a 6 se representan respectivamente tres variantes de arquitecturas de dicho dispositivo de control 81.

[0087] En la figura 4, el dispositivo de control 81 es «mono-» circuito lógico programable 10. Dicho de otro modo, el dispositivo de control 81 comprende un alojamiento 82 (del inglés *rack*) que forma una caja, por ejemplo de tamaño 6U (siendo U la unidad de altura de un rack), en el que se integra un solo circuito lógico programable 10. El alojamiento 82 puede comprender además un módulo de alimentación 84, y módulos auxiliares, en concreto, uno o más módulos 86 dedicados a la adquisición de datos de entrada distintos, y uno o más módulos 88 dedicados a la publicación de datos de salida distintos, y uno o más módulos de mantenimiento y de diagnóstico 68 como se describe anteriormente. Además, el circuito lógico programable 10 comprende conectores (por ejemplo, siete conectores no representados) que permiten, por ejemplo mediante fibra o fibras ópticas, una conexión a una red de comunicación.

[0088] Puede establecerse una conexión del generador automático 110 de programa de aplicación 34 al dispositivo de control 81 a través del o de los módulos de mantenimiento y de diagnóstico 68, que está configurado especialmente para cargar la secuencia 46 de bloques funcionales que se va a ejecutar en el dispositivo de control 81 una vez que se establece dicha conexión.

[0089] Dentro del alojamiento 82, el circuito lógico programable 10 es maestro y controla la comunicación con los módulos auxiliares 86, 88, y 68 a través de un bus 70 que usa como ejemplo no limitativo enlaces de transmisión diferencial de baja tensión (M-LVDS del inglés *Multipoint-Low Voltage Differential Signaling*), que operan por ejemplo a 50 MHz, y dedicados respectivamente a los datos de entrada binarios y analógicos y a los datos de salida binarios y analógicos del circuito lógico programable 10. Ventajosamente, cada tipo de datos (entrada o salida) dispone de un enlace de transmisión independiente para los datos binarios y los datos analógicos. En este caso, se establecen así cuatro enlaces de transmisión diferencial de baja tensión.

[0090] Podrán implementarse numerosas variantes de realización no representadas sin salir por ello del alcance de la invención. Por ejemplo, los módulos 86 dedicados a la adquisición de los datos de entrada y los módulos 88 dedicados a la publicación de los datos de salida podrán alojarse en una misma tarjeta electrónica del tipo «GPIO» (del inglés *general purpose input-output*) conocida por otra parte.

[0091] El módulo de alimentación 84 suministra una alimentación estabilizada en potencia a los otros módulos del alojamiento 82 y está configurado también para implementar una conversión de tensión, por ejemplo de 24 voltios de corriente continua a 5 voltios para alimentar cada módulo del alojamiento 82.

[0092] Las figuras 5 y 6 representan dos variantes de dispositivos de control 81 que comprenden una pluralidad de circuitos lógicos programables 10 representados en la figura 1.

[0093] Dicha arquitectura «multi-» circuitos lógicos programables 10 permite aumentar el número de interfaz de red por dispositivo de control, duplicar operaciones de instrumentación y control en al menos dos circuitos lógicos programables 10 con fines de control de seguridad que impone reglas de redundancia u optimizar el encaminamiento entre módulos dentro de un alojamiento 82.

[0094] En dicha arquitectura «multi-» circuitos lógicos programables 10, la pluralidad de circuitos lógicos programables 10 está sincronizada, con esta sincronización realizada por medio de un circuito lógico maestro 10a entre los circuitos lógicos programables 10, conectado a un reloj.

[0095] El circuito lógico programable maestro 10a puede especialmente emitir, por medio del módulo 12 de control de señales representado en la figura 1, un impulso de sincronización al principio y/o al final de ciclo (teniendo un ciclo, por ejemplo, una duración de 2 ms) y una petición de estado hacia los módulos 86 dedicados a datos de entrada distintos, los módulos 88 dedicados a datos de salida distintos o hacia los otros circuitos lógicos programables 10 con el fin de sincronizar y refrescar en cada ciclo los datos de entrada/salidas del ciclo siguiente (nueva iteración de la misma aplicación de instrumentación y control). En consecuencia, al contrario que los intercambios por redes de comunicación, estos intercambios de datos dentro de una misma pluralidad de circuitos lógicos programables se

efectúan en un modo síncrono.

[0096] Así, todos los circuitos lógicos programables 10 de la pluralidad están configurados para funcionar simultáneamente dentro de un mismo ciclo.

5

[0097] En las figuras 5 y 6 se representan a modo de ilustración dos variantes no limitativas de dicha arquitectura «multi-» circuitos lógicos programables 10.

[0098] En la figura 5, tres circuitos lógicos programables, que comprenden un circuito lógico programable maestro 10a y otros dos circuitos lógicos programables 10, se alojan en el mismo alojamiento 82, de manera que los circuitos lógicos programables 10 y 10a pueden comunicarse entre sí y con los módulos auxiliares 86, 88, 68 del alojamiento 82 de manera síncrona. En la realización representada por la figura 5 los circuitos lógicos programables 10a y 10 se comunican entre sí de manera síncrona por fibra óptica 92, estando los conectores dedicados específicamente a esta comunicación entre circuitos lógicos programables dentro de una arquitectura «multi-» - circuitos. Además, el circuito lógico programable 10a maestro se comunica de manera síncrona con los módulos auxiliares 86, 88, 68 del alojamiento 82 por medio del bus 70.

[0099] En la figura 6 se representa una arquitectura de dispositivo de control 81 «multi-» circuito lógico programable 10a y 10 y «multi-» alojamientos 90A, 90B, 90C. Según esta arquitectura multi-circuito y multi-alojamiento, cada alojamiento 90A, 90B, 90C corresponde a una disposición descrita en la figura 4 (Mono-Circuit) o en la figura 5 (Multi-Circuit).

[0100] Cada alojamiento puede comprender además módulos auxiliares 86, 88, 68.

[0101] De forma preferida, uno de los alojamientos 90A es «maestro» y comprende el circuito lógico programable maestro 10a para el conjunto de los circuitos lógicos programables 10 del dispositivo de control 81 multi-circuitos y multi- alojamientos, y asegura la sincronización de los módulos auxiliares 86, 88, 68 de su alojamiento por medio del bus 70A.

[0102] Los circuitos lógicos programables 10 del dispositivo de control 81 pueden comunicarse de un alojamiento a otro y dentro de un mismo alojamiento de manera síncrona por fibra óptica 92.

[0103] Cada alojamiento 90B, 90C «esclavo» del alojamiento maestro 90A comprende entre sus circuitos lógicos programables 10 un circuito lógico programable de sincronización 10b para sincronizar los módulos auxiliares 86, 88, 68 de su alojamiento por medio del bus 70B, 70C del alojamiento.

[0104] En las realizaciones de las figuras 5 y 6, y sin que sea una limitación del alcance de la invención, se implementa un solo módulo de mantenimiento y de diagnóstico 68 por dispositivo de control 81, independientemente del número de circuitos lógicos programables 10 o del número de alojamientos que comprenda.

40

[0105] En las realizaciones de las figuras 5 y 6, y sin que sea una limitación del alcance de la invención, solo el circuito lógico programable maestro 10a y los circuitos lógicos programables de sincronización 10b están conectados con los módulos auxiliares 86, 88, 68 de su alojamiento respectivo 90A, 90B, 90C por medio de su bus respectivo 70A, 70B, 70C. Los otros circuitos lógicos programables 10 de un alojamiento están conectados con los módulos auxiliares 86, 88, 68 de su alojamiento por medio, respectivamente, del circuito lógico programable maestro 10a o del circuito lógico programable de sincronización 10b, y de la red de fibra óptica 92. En esta configuración, un bus 70A, 70B, 70C comprende ventajosamente cuatro enlaces de transmisión diferencial de baja tensión (M-LVDS del inglés *Multipoint-Low Voltage Differential Signaling*), que operan por ejemplo a 50 MHz en cada sentido de transmisión.

[0106] En otra realización no representada, los buses 70A, 70B, 70C pueden dimensionarse de manera que permitan que cada circuito lógico programable 10 se conecte a los módulos auxiliares 86, 88, 68 de su alojamiento a través del bus 70A, 70B, 70C.

50

REIVINDICACIONES

1. Circuito lógico programable (10) de control de una instalación eléctrica, en particular una instalación nuclear, comprendiendo el circuito lógico programable una unidad funcional (14) que comprende:
 - una pluralidad de tipos de bloques funcionales (FB₁, FB_i, FB_N), siendo dos tipos de bloques funcionales distintos capaces de ejecutar al menos una función distinta,
 - al menos un módulo de tratamiento capaz de recibir al menos una secuencia (46) de bloque o bloques funcionales para su ejecución, siendo la secuencia (46) de bloque o bloques funcionales para su ejecución un archivo informático que recoge un orden de instanciación de los bloques funcionales para su ejecución en serie con el fin de realizar una aplicación de instrumentación y control,
 - al menos una memoria (38) interna configurada para almacenar al menos dicha secuencia (46), comprendiendo el circuito lógico programable un solo bloque funcional de cada tipo, de manera que un mismo bloque funcional puede ser invocado varias veces, y un módulo de ejecución (22) configurado para ejecutar en serie el o los bloques funcionales invocados según dicha secuencia (46).
2. Circuito lógico programable (10) según la reivindicación 1, en el que el circuito lógico programable (10) es de tipo FPGA.
3. Circuito lógico programable (10) según la reivindicación 1 o 2, en el que el módulo de ejecución (22) es una máquina de estados.
4. Circuito lógico programable (10) según cualquiera de las reivindicaciones anteriores, en el que la unidad funcional (14) comprende además una pluralidad (64) de unidades de cálculo en coma flotante (FPU) paralelizables.
5. Circuito lógico programable (PM) según cualquiera de las reivindicaciones anteriores, en el que al menos un módulo de tratamiento es capaz de recibir un programa de aplicación (34) correspondiente a un grupo de archivos informáticos de configuración que comprenden dicha secuencia y al menos otro archivo informático que pertenece al grupo que comprende:
 - un archivo de configuración (36) de la memoria (38) correspondiente a una tabla que asocia a al menos una señal de entrada/salida del circuito lógico programable (PM) una dirección en su memoria (38),
 - un archivo (40) de valor o valores de parámetros de bloque o bloques funcionales capaces de ejecutar al menos una función que usa un parámetro,
 - un archivo (42) que recoge, para cada bloque funcional, la o las direcciones de memoria asignadas a una o más entradas de este bloque funcional,
 - un archivo (44) que recoge, para cada bloque funcional, la o las direcciones de memoria asignadas a una o más salidas de este bloque funcional.
6. Circuito lógico programable (PM) según la reivindicación 5, en el que los valores de parámetros están ordenados dentro de su archivo (40) en función de dicha secuencia de bloque o bloques funcionales para su ejecución.
7. Circuito lógico programable (PM) según cualquiera de las reivindicaciones anteriores, en el que la memoria (38) comprende al menos dos espacios (48, 50) de almacenamiento de datos dedicados respectivamente a datos binarios y a datos analógicos.
8. Circuito lógico programable (PM) según la reivindicación 7, en el que cada espacio (48, 50) de almacenamiento comprende al menos tres subespacios dedicados:
 - al menos un subespacio (52,58) dedicado a los datos de entradas del circuito lógico programable (10),
 - al menos un subespacio (56,62) dedicado a los datos de salidas del circuito lógico programable (10),
 - al menos un subespacio (54,60) dedicado a datos temporales obtenidos durante la ejecución de dicha secuencia (46).
9. Circuito lógico programable (PM) según la reivindicación 8, en el que los subespacios (52, 58) dedicados a los datos de entrada o los subespacios dedicados (56, 62) a los datos de salida son registros de báscula o básculas síncronas.
10. Dispositivo de control de una instalación eléctrica, en particular una instalación nuclear, **caracterizado porque** el dispositivo de control comprende al menos un circuito lógico programable (10) según cualquiera de las reivindicaciones anteriores 1 a 9.
11. Dispositivo de control de una instalación eléctrica según la reivindicación 10, en el que el dispositivo de control comprende una pluralidad de circuitos lógicos programables (10) según cualquiera de las reivindicaciones

anteriores 1 a 9.

12. Dispositivo de control de una instalación eléctrica según las reivindicaciones 10 u 11 que comprende además:

5

- al menos un módulo de alimentación (84),
- módulos auxiliares entre uno o más módulos (86) dedicados a la adquisición de datos de entrada distintos, uno o más módulos (88) dedicados a la publicación de datos de salida distintos y uno o más módulos de mantenimiento y de diagnóstico (68), y

10 - un bus de comunicación (70) configurado para conectar el o los circuitos lógicos programables (10) a los módulos auxiliares (86, 88, 68).

13. Dispositivo de control de una instalación eléctrica según la reivindicación 12 en el que el bus de comunicación (70) comprende cuatro enlaces de transmisión diferencial de baja tensión (M-LVDS) dedicados respectivamente a los datos de entrada y a los datos de salida de cada circuito lógico programable (10) en cada sentido de transmisión.

14. Dispositivo de control de una instalación eléctrica según cualquiera de las reivindicaciones 11 a 13, que comprende una red de comunicación de fibra óptica (92) configurada para conectar la pluralidad de circuitos lógicos programables (10).

15. Dispositivo de control de una instalación eléctrica según cualquiera de las reivindicaciones 11 a 14, en el que un circuito lógico programable maestro (10a), entre la pluralidad de circuitos lógicos programables (10), puede ser conectado a un reloj y está configurado para sincronizar los otros circuitos lógicos programables de la pluralidad de circuitos lógicos programables (10) por medio de la red de comunicación de fibra óptica (92).

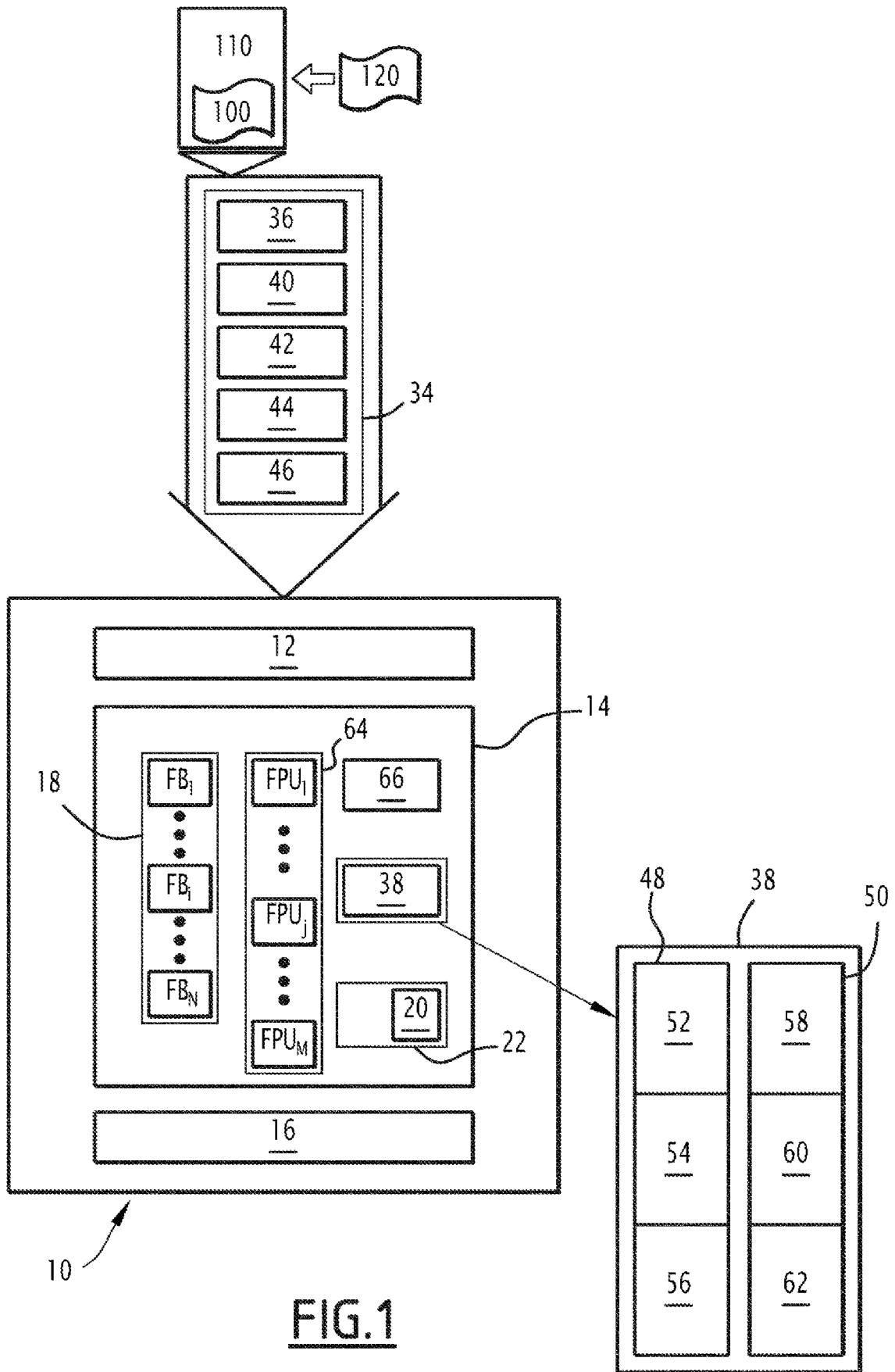
16. Dispositivo de control de una instalación eléctrica según la reivindicación 15, en el que el circuito lógico programable maestro (10a) está configurado también para sincronizar los módulos auxiliares por medio del bus de comunicación (70).

30

17. Dispositivo de control de una instalación eléctrica según cualquiera de las reivindicaciones 11 a 16, en el que la pluralidad de circuitos lógicos programables (10, 10a, 10b) está alojada en un mismo alojamiento (82).

18. Dispositivo de control de una instalación eléctrica según cualquiera de las reivindicaciones 11 a 17, en el que los circuitos lógicos programables (10, 10a, 10b) de la pluralidad de circuitos lógicos programables están separados en al menos dos alojamientos distintos (90_A, 90_B, 90_C).

35



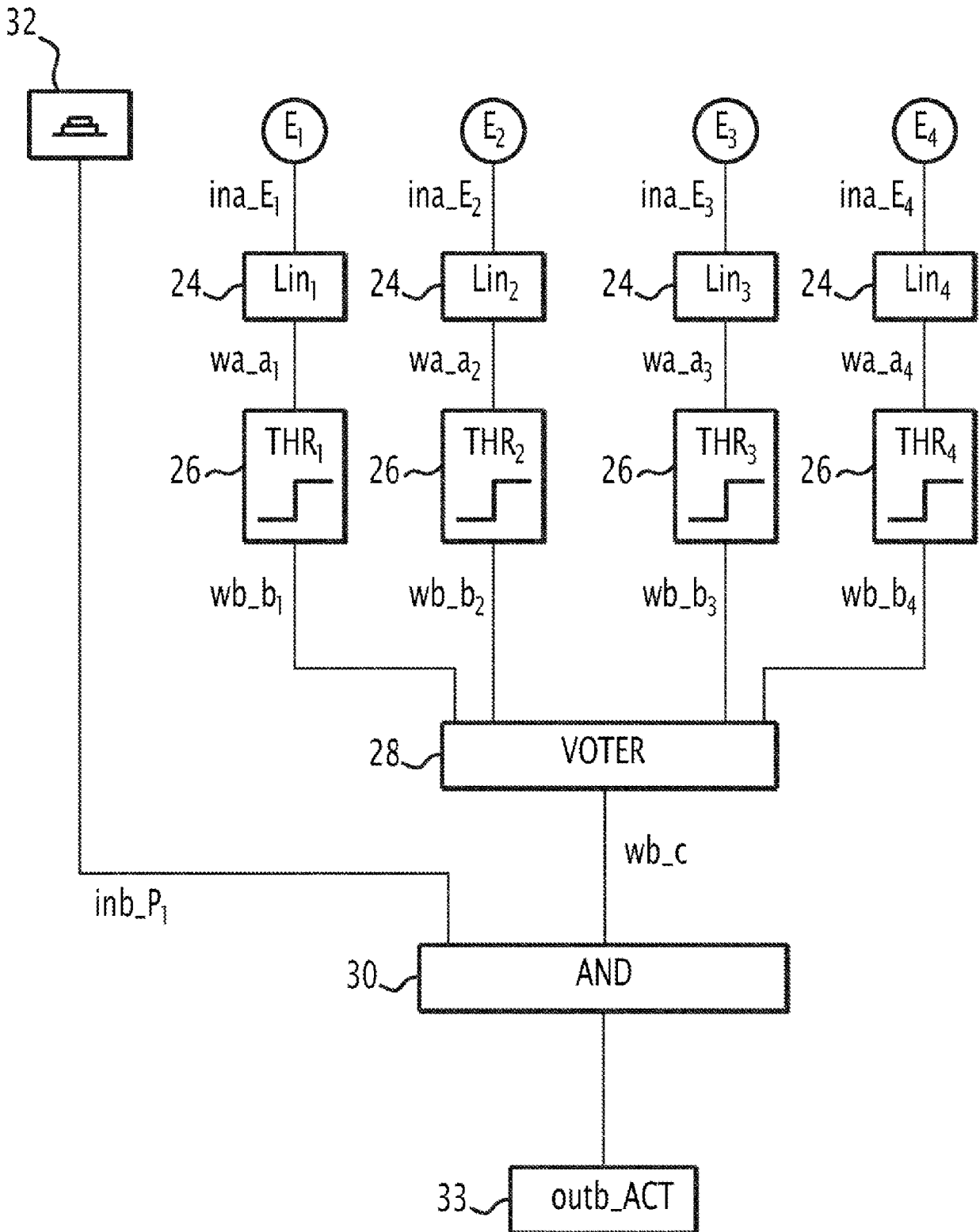


FIG. 2

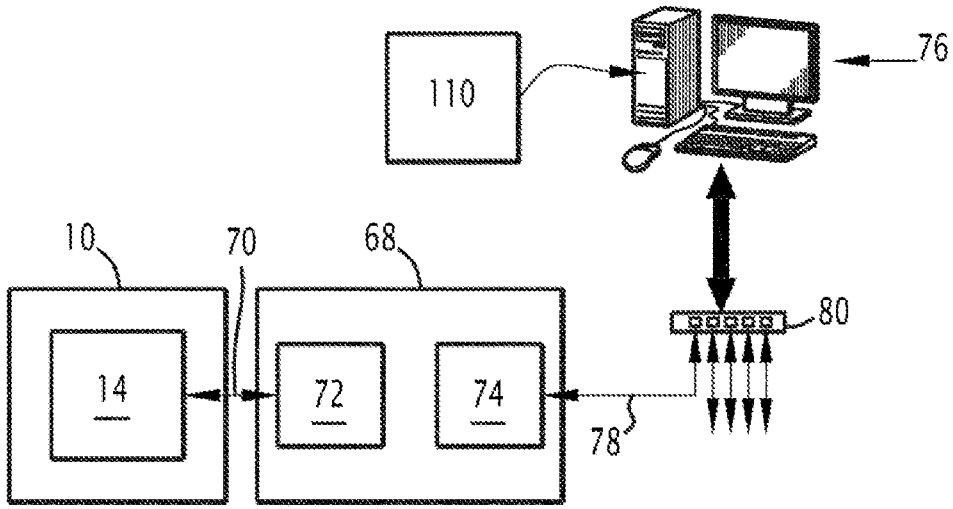


FIG. 3

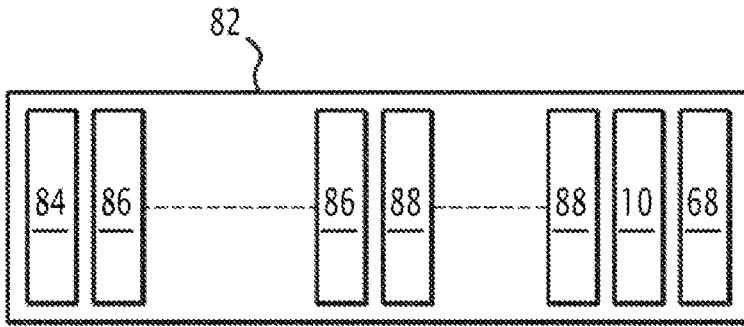


FIG. 4

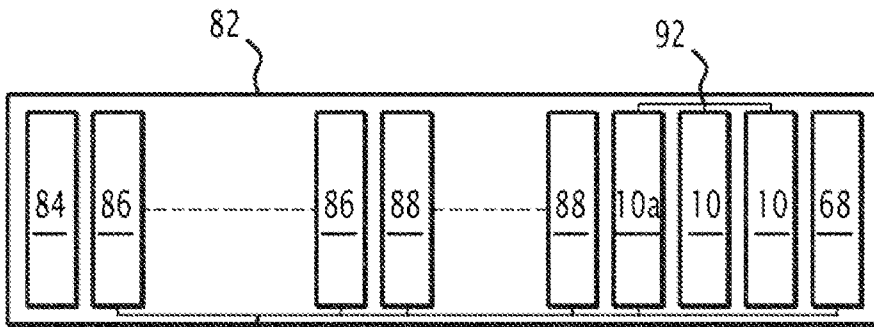


FIG. 5

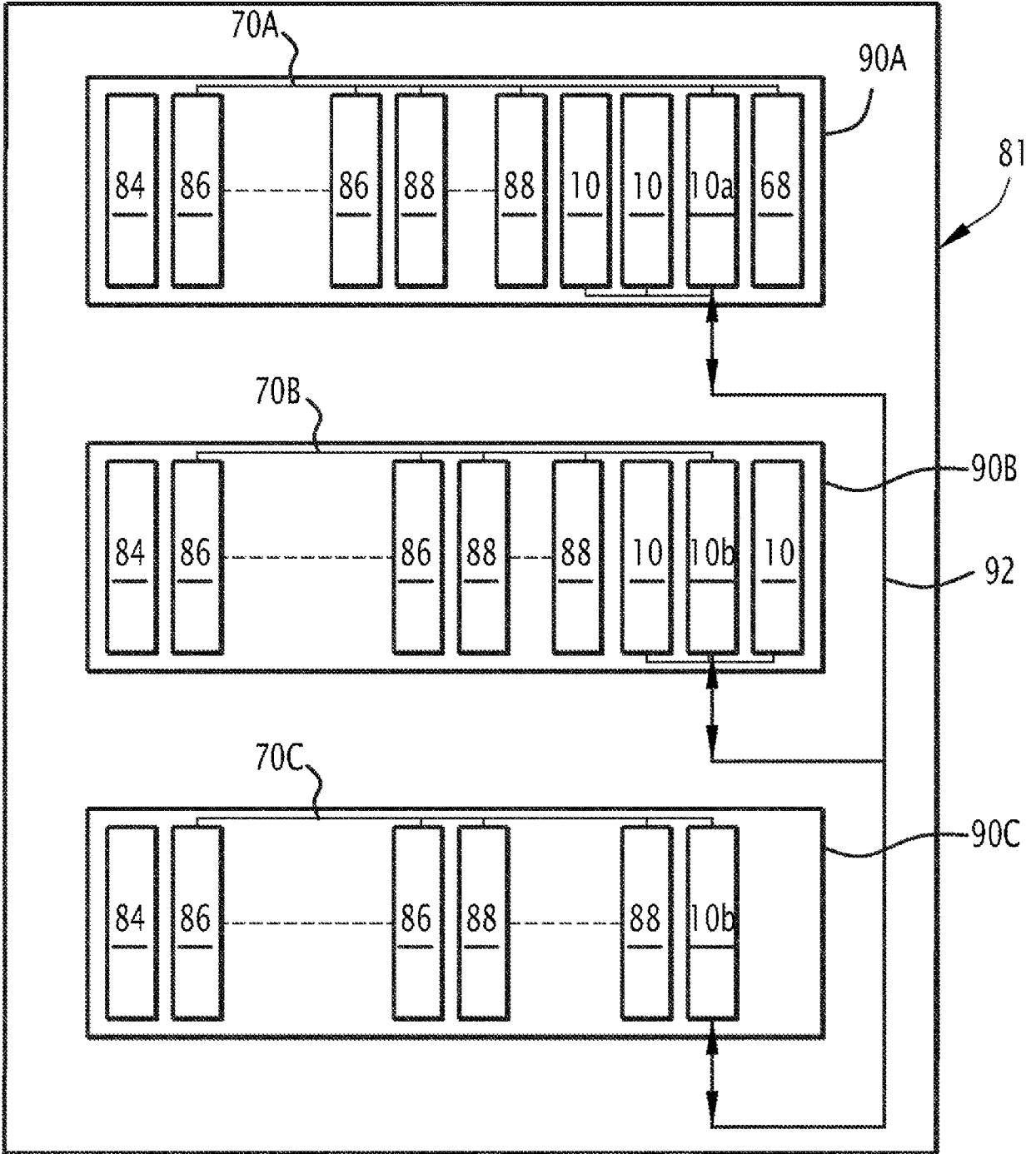


FIG.6