

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-162884

(P2017-162884A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int.Cl.	F I	テーマコード(参考)
HO1L 25/07 (2006.01)	HO1L 25/04 C	5H770
HO1L 25/18 (2006.01)	HO2M 7/48 Z	
HO2M 7/48 (2007.01)		

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願2016-43778 (P2016-43778)
 (22) 出願日 平成28年3月7日(2016.3.7)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 今井 誠
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 (72) 発明者 小川 宗利
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 Fターム(参考) 5H770 AA15 AA22 BA01 CA06 DA03
 DA41 JA19X QA01 QA05 QA06
 QA08

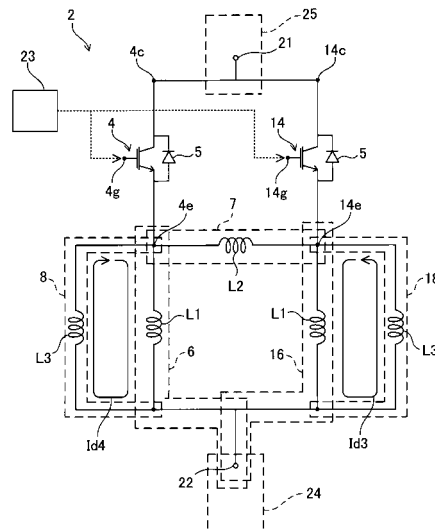
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】複数のスイッチング素子が第1接続点と第2接続点の間に並列に接続されており、当該複数のスイッチング素子に同一の駆動信号が供給される半導体装置において、スイッチング時の誘導電流に起因する発振現象を抑制する。

【解決手段】半導体装置2では、スイッチング素子のエミッタ端子4e(14e)が第1インダクタンスL1を有する主導体6(16)を介して第2接続点22に接続されている。スイッチング素子4のエミッタ端子4eが第2インダクタンスL2を有する基板7を介してスイッチング素子14のエミッタ端子14eに接続されている。さらに、スイッチング素子4(14)のエミッタ端子4e(14e)と第2接続点22との間で主導体6(16)と並列に、第3インダクタンスL3を有する副導体8(18)が接続されている。第1インダクタンスL1と第3インダクタンスL3のいずれも第2インダクタンスL2よりも小さい。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

主電流の入力端と出力端を備える複数のスイッチング素子が第 1 接続点と第 2 接続点の間に並列に接続されており、当該複数のスイッチング素子に同一の駆動信号が供給される半導体装置であり、

前記複数のスイッチング素子の前記入力端が前記第 1 接続点に接続されており、

夫々の前記スイッチング素子に対して第 1 インダクタンスを有する第 1 インダクタ要素が備えられており、各スイッチング素子の前記出力端が対応する第 1 インダクタ要素を介して前記第 2 接続点に接続されており、

前記複数のスイッチング素子の一のスイッチング素子の前記出力端が第 2 インダクタンスを有する第 2 インダクタ要素を介して他の夫々の前記スイッチング素子の前記出力端に接続されており、

夫々の前記スイッチング素子に対して第 3 インダクタンスを有する第 3 インダクタ要素が備えられており、各スイッチング素子の前記出力端と前記第 2 接続点との間で前記第 1 インダクタ要素と並列に、対応する前記第 3 インダクタ要素が接続されており、

前記第 1 インダクタンスと前記第 3 インダクタンスのいずれも前記第 2 インダクタンスよりも小さい、半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本明細書は、複数のスイッチング素子が並列に接続されており、同一の駆動信号が供給されることによって複数のスイッチング素子があたかもひとつのスイッチング素子のごとく動作する半導体装置に関する。

【背景技術】**【0002】**

コンバータやインバータなどでは、電力の大容量化を目指して、複数のスイッチング素子を並列に接続することがある。複数のスイッチング素子には同一の駆動信号が供給され、それら複数のスイッチング素子はあたかも一つのスイッチング素子のごとく動作する。複数のスイッチング素子で電力を分担することで、全体で大電力を扱うことが可能となる。特許文献 1、2 に、スイッチング素子を並列に接続した半導体装置の例が開示されている。

【0003】

並列に接続される複数のスイッチングには、同一性能の素子が使われる。しかしながら、スイッチング素子の製造誤差により、同一の駆動信号が供給されても複数のスイッチング素子の間でスイッチングのタイミングにわずかなずれが生じ得る。スイッチングのタイミングのずれは、電流のアンバランスを生じ、そのアンバランスによってスイッチング素子の発振現象が生じることがある。スイッチング素子と他のデバイスや端子を接続する導体の製造誤差によっても電流のアンバランスが生じることがある。

【0004】

図 4 を参照して発振現象を説明する。半導体装置 102 は、第 1 接続点 121 と第 2 接続点 122 の間に、同一性能の 2 個のスイッチング素子 104、114 が並列に接続されている。なお、各スイッチング素子には、還流ダイオード 5 が逆並列に接続されている。スイッチング素子 104、114 は、例えば、IGBT (Insulated Gate Bipolar Transistor) であり、コレクタ端子 104c、114c が主電流の入力端に相当し、エミッタ端子 104e、114e が、主電流の出力端に相当する。夫々のスイッチング素子 104、114 は、ゲート端子 104g、114g を備えており、駆動回路 123 から同一の駆動信号が供給される。

【0005】

夫々のスイッチング素子 104、114 のコレクタ端子 104c、114c は、第 1 接続点 121 に接続されている。夫々のスイッチング素子 104、114 のエミッタ端子 1

10

20

30

40

50

04e、114eは、第1インダクタンスL1を有する導体106、116を介して第2接続点122に接続されている。また、一方のスイッチング素子104のエミッタ端子104eは、第2インダクタンスL2を有する導体107を介して他方のスイッチング素子114のエミッタ端子114eに接続されている。導体106、116は、物理的には、スイッチング素子のチップのエミッタ端子と出力端子とを接続する金属導体である。導体107は、物理的には、スイッチング素子のチップを搭載する基板などである。導体106、116、107は、わずかなインダクタンスを有するので、インダクタ要素と称することができる。第1接続点121は、例えば、2個のスイッチング素子を封止したIPM (Intelligent Power Module)の本体から外部へと延びる入力端子125であり、第2接続点122は、IPMの本体から外部へと延びる出力端子124である。なお、スイッチング素子104、114のコレクタ端子104c、114cと第1接続点121の間をつなぐ導体にもインダクタンスが存在するが、以下では、エミッタ側(出力端側)の電流に着目して説明する。

10

【0006】

並列に接続された2個のスイッチング素子104、114は、同一性能を有しており、同一の駆動信号が供給されるので、理論的には同一のタイミングでスイッチングする。それゆえ、並列に接続された2個のスイッチング素子104、114は、あたかも一つのスイッチング素子のごとく振る舞う。しかしながら、スイッチング素子104、114は、製造誤差などにより固体差があり、同一の駆動信号に対してスイッチングのタイミングにわずかなずれが生じ得る。

20

【0007】

今、スイッチング素子104、114が共にオンしており、導体106、116には同一の大きさの主電流が流れている状態を想定する。スイッチング素子をオンからオフに切り換える同一の駆動信号が同時にスイッチング素子104、114に供給されるが、固体差により、スイッチング素子114がスイッチング素子104よりも先にオフした場合を想定する。スイッチング素子114がオフすると、導体116を流れる主電流が減少するので、導体116が有するインダクタンスL1により誘導電流 I_{d1} が生じる。誘導電流 I_{d1} は、導体116、導体106、導体107のループを回る(図4の実線矢印曲線 I_{d1} 参照)。この誘導電流 I_{d1} により、スイッチング素子104のエミッタ端子104eの電位が上昇し、逆に、スイッチング素子114のエミッタ端子114eの電位が下がる。スイッチング素子104ではゲート/エミッタ間の電位差が小さくなり、スイッチング素子104はオフする。逆に、スイッチング素子114ではゲート/エミッタ間の電位差が大きくなり、一旦オフしたスイッチング素子114は再度オンする。そうすると、導体106を流れる主電流が減少し、導体116を流れる主電流が増大する。このときの電流変化に応じて導体106、116のインダクタンスL1により、先ほどの誘導電流 I_{d1} とは逆回りの誘導電流 I_{d2} が生じる(図4の実線矢印曲線 I_{d2} 参照)。この誘導電流 I_{d2} により、先程とは逆に、スイッチング素子104のエミッタ端子104eの電位が下がり、スイッチング素子114のエミッタ端子114eの電位が上がる。スイッチング素子104ではゲート/エミッタ間の電位差が大きくなり、スイッチング素子104はオンする。スイッチング素子114ではゲート/エミッタ間の電位差が小さくなり、スイッチング素子114は再びオフする。こうして、先にスイッチング素子114がオフすることにより、スイッチング素子104、114はオンとオフを繰り返す。先にスイッチング素子104がオフしても同じ現象が生じ得る。また、両方のスイッチング素子がオフしており、いずれかのスイッチング素子が先にオンしても同様の現象が生じ得る。この現象は、PNP型のスイッチング素子であってもNPN型のスイッチング素子であっても生じ得る。

30

40

【0008】

発振現象は、スイッチングスピードが速いほど生じ易くなる。特許文献1には、ゲートに供給する駆動信号のパルスの立ち上がり(立下り)を緩やかにして発振現象を抑制する技術が開示されている。

50

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平08-186976号公報

【特許文献2】特開2009-278772号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

特許文献1の技術は、駆動信号のパルス立ち上がりを緩やかにすることで発振現象を抑制する。特許文献1の技術では、発振現象は抑制できるが、スイッチングスピードが犠牲になる。本明細書が開示は、駆動信号を調整するのではなく、スイッチング素子のエミッタ端子（出力端）側の接続関係を工夫することで、スイッチングスピードを犠牲にすることなく発振現象を抑制する技術を提供する。

10

【課題を解決するための手段】

【0011】

本明細書が開示する半導体装置は、主電流の入力端と出力端を備える複数のスイッチング素子が第1接続点と第2接続点の間に並列に接続されており、当該複数のスイッチング素子に同一の駆動信号が供給されるデバイスである。この半導体装置では、複数のスイッチング素子の入力端が第1接続点に接続されている。夫々のスイッチング素子に対して第1インダクタンスを有する第1インダクタ要素が備えられおり、各スイッチング素子の出力端が対応する第1インダクタ要素を介して第2接続点に接続されている。複数のスイッチング素子の一のスイッチング素子の出力端が第2インダクタンスを有する第2インダクタ要素を介して複数のスイッチング素子の他の夫々のスイッチング素子の出力端に接続されている。本明細書が開示する半導体装置では、さらに、夫々のスイッチング素子に対して第3インダクタンスを有する第3インダクタ要素が備えられており、各スイッチング素子の出力端と第2接続点との間で第1インダクタ要素と並列に、対応する第3インダクタ要素が接続されている。そして、第1インダクタンスと第3インダクタンスのいずれも第2インダクタンスよりも小さい。

20

【0012】

上記した半導体装置では、各スイッチング素子の出力端と第2接続点の間に第1インダクタ要素と第3インダクタ要素のループが構成される。第1インダクタンスと第3インダクタンスのいずれもが第2インダクタンスよりも小さいので、各スイッチング素子の出力端と第2接続点の間のループの総インダクタンスが、第2インダクタ要素を含むループの総インダクタンスよりも小さくなる。それゆえ、スイッチングのタイミングのずれにより生じた誘導電流は、主に第1インダクタ要素と第3インダクタ要素のループを流れ、第2インダクタ要素を流れる電流成分が減少する。先に説明したように、発振現象は、複数のスイッチング素子の出力端の電位に差が生じることに起因する。出力端間の電位差は、出力端間を電流（誘導電流）が流れることによって生じる。本明細書が開示する半導体装置では、スイッチング素子の出力端同士を接続する第2インダクタ要素を流れる電流が減少するので、複数のスイッチング素子の出力端の間に生じる電位差が小さくなり、その結果、発振現象が抑制される。

30

40

【0013】

第1～第3インダクタ要素は、スイッチング素子や端子を接続する導体であってよい。典型的には、複数のスイッチング素子が封止されたIPM（Intelligent Power Module）において、パッケージ内部の配線導体や基板が、第1～第3インダクタ要素であってよい。なお、第2インダクタ要素は、2個の導体が物理的に接触していなくとも近接していることによって生じる寄生インダクタであってよい。すなわち、一のスイッチング素子の出力端と別のスイッチング素子の出力端は、近接している導体間の寄生インダクタンスを通じてスイッチング時の電流高周波成分が伝達されればよい。一のスイッチング素子の出力端が第2インダクタ要素を介して別のスイッチング素子の出力端に接続されている、と

50

は、それら出力端同士が必ずしも導体で物理的に接続されていることを要せず、寄生インダクタンスを介して電流高周波成分が伝達可能であればよい。本明細書が開示する技術の詳細とさらなる改良は以下の「発明を実施するための形態」にて説明する。

【図面の簡単な説明】

【0014】

【図1】実施例の半導体装置を含むインバータの回路図である。

【図2】実施例の半導体装置の回路図である。

【図3】実施例の半導体装置のハードウェアの平面図である。

【図4】従来半導体装置の回路図である。

【発明を実施するための形態】

10

【0015】

図面を参照して実施例の半導体装置2を説明する。図1に、半導体装置2が適用されたインバータ90の回路図を示す。インバータ90は、バッテリー91の直流電力を交流に変換して負荷95へ供給するデバイスである。負荷95は、例えばモータである。インバータ90の直流端には、平滑コンデンサ92が並列に接続されている。また、インバータ90の直流端の正極と負極の間に、2個のスイッチング素子93a、93bの直列接続が3組並列に接続されている。各スイッチング素子93a、93bには、還流ダイオード94が逆並列に接続されている。各スイッチング素子93a、93bに与える駆動信号を適宜に調整すると、2個のスイッチング素子93a、93bの直列接続の midpoint から交流が出力される。図1の回路図においては、スイッチング素子93aは一つのデバイスであるが、その実体は2個のスイッチング素子の並列接続で実現されている。その2個のスイッチング素子の並列接続が、実施例の半導体装置2に相当する。なお、半導体装置2は、スイッチング素子93aに逆並列に接続されている還流ダイオード94も含んでいる。図1のスイッチング素子93bも同様であり、並列に接続された2個のスイッチング素子で実現されている。図1には6個のスイッチング素子93a、93bが描かれているが、そのいずれもが半導体装置2で構成されている。

20

【0016】

図2に、半導体装置2の回路図を示す。なお、駆動回路23(ゲートドライバ)は、半導体装置2には含まれない。半導体装置2では、第1接続点21と第2接続点22の間に、同一性能の2個のスイッチング素子4、14が並列に接続されている。各スイッチング素子4、14には、還流ダイオード5が逆並列に接続されている。スイッチング素子4、14は、例えば、IGBT(Insulated Gate Bipolar Transistor)であり、コレクタ端子4c、14cが主電流の入力端に相当し、エミッタ端子4e、14eが、主電流の出力端に相当する。夫々のスイッチング素子4、14は、ゲート端子4g、14gを備えており、駆動回路23から同一の駆動信号が供給される。同一の駆動信号により、2個のスイッチング素子4、14は、同じタイミングでスイッチングする。従って、第1接続点21と第2接続点22の間には、理論上、電流容量がスイッチング素子4の2倍の一つのスイッチング素子が存在しているように見える。その理論上の一つのスイッチング素子が、図1に示したスイッチング素子93a(93b)に相当する。

30

【0017】

夫々のスイッチング素子4、14のコレクタ端子4c、14cは、第1接続点21に接続されている。スイッチング素子4のエミッタ端子4eは、第1インダクタンスL1を有する主導体6を介して第2接続点22に接続されている。スイッチング素子14のエミッタ端子14eは、第1インダクタンスL1を有する主導体16を介して第2接続点22に接続されている。即ち、半導体装置2は、スイッチング素子4、14の夫々に対して主導体6、16を備えており、スイッチング素子4のエミッタ端子4eが主導体6を介して第2接続点22に接続されている。また、スイッチング素子14のエミッタ端子14eが主導体16を介して第2接続点22に接続されている。

40

【0018】

また、一方のスイッチング素子4のエミッタ端子4eは、第2インダクタンスL2を有

50

する基板 7 を介して他方のスイッチング素子 1 4 のエミッタ端子 1 4 e に接続されている。スイッチング素子 4 のエミッタ端子 4 e と第 2 接続点 2 2 の間で主導体 6 と並列に副導体 8 が接続されている。スイッチング素子 1 4 のエミッタ端子 1 4 e と第 2 接続点 2 2 の間で主導体 1 6 と並列に副導体 1 8 が接続されている。副導体 8、1 8 は、夫々、インダクタンス L_3 を有している。図 2 の回路図では、主導体 6、1 6、副導体 8、1 8、基板 7、入力端子 2 5、出力端子 2 4 などのハードウェアは、破線で描いてある。

【0019】

主導体 6、1 6 は、スイッチング素子のチップに設けられたエミッタ端子（エミッタ電極）と半導体装置 2 の出力端子を接続するバスバ（金属板）である。副導体 8、1 8 も、スイッチング素子のチップに設けられたエミッタ端子（エミッタ電極）と半導体装置 2 の出力端子との間を接続するバスバ（金属板）である。主導体 6、1 6、副導体 8、1 8 は、導体ではあるが、わずかなインダクタンスを有するので、インダクタ要素と称することができる。

10

【0020】

スイッチング素子 4 のエミッタ端子 4 e とスイッチング素子 1 4 のエミッタ端子 1 4 e は、実際に第 2 インダクタンス L_2 を備える基板 7 で直接に接続されていてもよく、あるいは、以下の構造で電氣的に接続されていてもよい。即ち、スイッチング素子 4 のエミッタ端子 4 e とスイッチング素子 1 4 のエミッタ端子 1 4 e は、基板 7 を介して物理的に接続されているのではなく、基板 7 と、それに近接している別の導体との間に生じる寄生インダクタンスを介して導通していてもよい。別言すれば、スイッチング素子 4 のエミッタ端子 4 e とスイッチング素子 1 4 のエミッタ端子 1 4 e の間では、基板 7 とその近傍に位置する別の導体に生じる寄生インダクタンスを介してスイッチング時に生じる電流高周波成分が伝達される。本明細書では、寄生インダクタンスを介して電流高周波成分が伝達されることも、（電氣的に）接続されている、と表現する。以下では、基板 7 と、それに近接している別の導体との間に生じる寄生インダクタンスを単純に基板 7 の寄生インダクタンスと称する場合がある。基板 7 の寄生インダクタンスが第 2 インダクタンス L_2 に相当する。第 2 インダクタンス L_2 （寄生インダクタンス）を有する基板 7 も、インダクタ要素と称することができる。

20

【0021】

第 1 接続点 2 1 と第 2 接続点 2 2 は、それぞれ、2 個のスイッチング素子 4、1 4 と還流ダイオード 5 を封止した I P M（Intelligent Power Module）の入力端子 2 5 と出力端子 2 4 に相当する。スイッチング素子 4、1 4 のコレクタ端子 4 c、1 4 c と第 1 接続点 2 1（入力端子 2 5）の間をつなぐ導体にもインダクタンスが存在するが、以下では、エミッタ側（出力端側）の電流に着目して説明する。

30

【0022】

主導体 6、1 6 のインダクタンス L_1 、副導体 8、1 8 のインダクタンス L_3 は、いずれも、基板 7 のインダクタンス L_2 よりも小さい。主導体 6（主導体 1 6）に並列に接続された副導体 8（副導体 1 8）と、上記したインダクタンス L_1 、 L_2 、 L_3 の関係により、半導体装置 2 では発振現象が抑制される。以下、発振現象が抑制される原理を説明する。

40

【0023】

例えば、スイッチング素子 1 4 がオンからオフに変化すると、主導体 1 6 を流れる主電流が減少する。そうすると、インダクタンス L_1 により、主導体 1 6 には誘導電流 I_{d3} が生じる。誘導電流 I_{d3} が流れ得る経路には、次の 3 種類がある。即ち、主導体 1 6 と副導体 1 8 のループ、主導体 1 6、主導体 6、及び、基板 7 のループ、及び、主導体 1 6、副導体 8、基板 7 のループである。主導体 6、1 6 のインダクタンス L_1 と副導体 8、1 8 のインダクタンス L_3 がいずれも基板 7 のインダクタンス L_2 よりも小さいので、3 種類のループのうち、主導体 1 6 と副導体 1 8 のループの総インダクタンスが最も小さくなる。電流はインダクタンスの小さい方へ流れるので、スイッチング素子 1 4 のスイッチングに起因して主導体 1 6 に発生した誘導電流 I_{d3} は、主に、主導体 1 6 と副導体 1 8

50

のループに流れる。図 2 において、実線矢印曲線 I d 3 が、誘導電流 I d 3 の主な電流成分の経路を表している。その結果、スイッチング素子 1 4 のスイッチングに起因して主導体 1 6 に発生した誘導電流 I d 3 のうち、基板 7 を流れる電流成分は小さくなる。同様に、スイッチング素子 4 で発生した誘導電流 I d 4 は、主に主導体 6 と副導体 8 のループに流れ、基板 7 に流れる電流成分は小さくなる。図 2 において実線矢印曲線 I d 4 が、誘導電流 I d 4 の主な電流成分の経路を表している。

【 0 0 2 4 】

上記の現象は、スイッチング素子がオフからオンに変化する場合にも同様に生じる。前述したように、同一の駆動信号で並列動作するスイッチング素子 4、1 4 の発振現象は、2 個のスイッチング素子のエミッタ端子 4 e、1 4 e (出力端) の間の電位差に起因する。主導体 6 (主導体 1 6) に副導体 8 (副導体 1 8) を並列に接続することで、スイッチング時に基板 7 を流れる誘導電流が抑制され、エミッタ端子 4 e、1 4 e の間の電位差が小さくなり、発振現象が抑制される。

10

【 0 0 2 5 】

次に、半導体装置 2 のハードウェア構成の一例を説明する。図 3 に半導体装置 2 のハードウェアの平面図を示す。半導体装置 2 は、図 2 のスイッチング素子 4 (スイッチング素子 1 4) に相当するトランジスタチップ 3 4 (トランジスタチップ 4 4) と、還流ダイオード 5 に相当するダイオードチップ 3 5 (ダイオードチップ 4 5) を樹脂で封止した I P M (Intelligent Power Module) である。図 3 では、トランジスタチップ 3 4、4 4 とダイオードチップ 3 5、4 5 を樹脂する樹脂パッケージ 3 0 は仮想線で描いてある。説明の都合上、図中の座標系の Z 軸正方向を「上方」に対応させ、Z 軸負方向を「下方」に対応させる。

20

【 0 0 2 6 】

トランジスタチップ 3 4、4 4 は、平板状のチップであり、下面にコレクタ端子が露出しており、上面にエミッタ端子 4 e、1 4 e が露出している。エミッタ端子 4 e、1 4 e が、図 2 のエミッタ端子 4 e、1 4 e に対応する。ダイオードチップ 3 5、4 5 も平板状であり、下面にアノード電極が露出しており、上面にカソード電極が露出している。トランジスタチップ 3 4 とダイオードチップ 3 5 の下面には、コレクタ電極とアノード電極に接するように金属平板の正極バスバ 5 1 が取り付けられている。トランジスタチップ 4 4 とダイオードチップ 4 5 の下面には、コレクタ電極とアノード電極に接するように金属平板の正極バスバ 6 1 が取り付けられている。正極バスバ 5 1、6 1 は、半導体装置 2 の入力端子 2 5 に接続している、入力端子 2 5 の一部は樹脂パッケージ 3 0 から露出しており、他のデバイスあるいは直流電源の正極が接続される。先に述べたように、入力端子 2 5 は、図 1 の第 1 接続点 2 1 に相当する。

30

【 0 0 2 7 】

トランジスタチップ 3 4 とダイオードチップ 3 5 の上面には、エミッタ端子 4 e とカソード電極に接するように金属平板の主負極バスバ 6 が取り付けられている。トランジスタチップ 4 4 とダイオードチップ 4 5 の上面には、エミッタ端子 1 4 e とカソード電極に接するように、金属平板の主負極バスバ 1 6 が取り付けられている。主負極バスバ 6、1 6 は、半導体装置 2 の出力端子 2 4 に接続している、出力端子 2 4 の一部は樹脂パッケージ 3 0 から露出しており、他のデバイスあるいは直流電源の負極が接続される。主負極バスバ 6、1 6 が図 1 の主導体 6、1 6 に相当し、第 1 インダクタンス L 1 を有している。出力端子 2 4 は、図 1 の第 2 接続点 2 2 に相当する。

40

【 0 0 2 8 】

トランジスタチップ 3 4 のエミッタ端子 4 e には、ボンディングワイヤ 3 1 を介して副エミッタ端子 3 3 が接続されている。副エミッタ端子 3 3 と出力端子 2 4 は、副負極バスバ 8 で接続されている。副負極バスバ 8 は、主負極バスバ 6 と並列に接続されることになり、ループを形成する。トランジスタチップ 4 4 のエミッタ端子 1 4 e には、ボンディングワイヤ 4 1 を介して副エミッタ端子 4 3 が接続されている。副エミッタ端子 4 3 と出力端子 2 4 は、副負極バスバ 1 8 で接続されている。副負極バスバ 1 8 は、主負極バスバ 1

50

6と並列に接続されることになり、ループを形成する。副負極バスバ8、18が図1の副導体8、18に相当し、第3インダクタンスL3を有している。

【0029】

符号52が示す端子群は、トランジスタチップ34のゲート端子や内蔵温度センサ電極に接続されている制御端子群である。符号62が示す端子は、トランジスタチップ44のゲート端子や内蔵温度センサ電極に接続されている制御端子群である。

【0030】

トランジスタチップ34、44、主負極バスバ6、16、副負極バスバ8、18の上には不図示の基板7が配置されている。トランジスタチップ34、44と基板7は近接しており、両者の間には寄生インダクタンスが発生する。その寄生インダクタンスが図1の第2インダクタンスL2に相当する。図3では、基板7とそのインダクタンスL2を模式的に点線で描いてある。

【0031】

主負極バスバ6、16の第1インダクタンスL1と副負極バスバ8、18の第3インダクタンスL3は、いずれも基板7の第2インダクタンスL2よりも小さい。

【0032】

トランジスタチップ34のエミッタ端子4eと出力端子24は、インダクタンスL1を有する主負極バスバ6とインダクタンスL3を有する副負極バスバ8で接続されており、主負極バスバ6と副負極バスバ8がループを構成する。トランジスタチップ34（スイッチング素子4）のスイッチング時の電流変化に起因する誘導電流は主に主負極バスバ6と副負極バスバ8のループに流れるため、誘導電流の基板7を通して流れる電流成分は小さくなる。また、トランジスタチップ44のエミッタ端子14eと出力端子24の間は、インダクタンスL1を有する主負極バスバ16とインダクタンスL3を有する副負極バスバ18で接続されており、主負極バスバ16と副負極バスバ18がループを構成する。トランジスタチップ44（スイッチング素子14）のスイッチング時の電流変化に起因する誘導電流は主に主負極バスバ16と副負極バスバ18のループに流れるため、誘導電流の基板7を通して流れる電流成分は小さくなる。従って、スイッチング時の誘導電流に起因するエミッタ端子4eと14eの間の電位差が小さくなり、発振現象が抑制される。

【0033】

実施例で説明した技術に関する留意点を述べる。図3の半導体装置2において、副負極バスバ8のかわりに、導電性ワイヤでエミッタ端子4eと出力端子24を接続してもよい。同様に、副負極バスバ18のかわりに、導電性ワイヤでエミッタ端子14eと出力端子24を接続してもよい。即ち、副導体8、18は、インダクタンスL3が基板7のインダクタンスL2よりも小さければ、金属板で実現されてもよいし、導電性ワイヤで実現されてもよい。

【0034】

実施例の半導体装置2は、第1接続点21と第2接続点22の間に2個のスイッチング素子が並列に接続されている構成を備えている。本明細書が開示する技術は、第1接続点21と第2接続点22の間に、同じ特性を有する3個以上のスイッチング素子が並列に接続されている半導体装置に適用することも好適である。そのような半導体装置は、次の構成を備えている。複数のスイッチング素子の入力端が第1接続点に接続されている。夫々のスイッチング素子に対して第1インダクタンスを有する第1インダクタ要素が備えられており、各スイッチング素子の出力端が当該第1インダクタ要素で第2接続点に接続されている。複数のスイッチング素子の一のスイッチング素子の出力端が第2インダクタンスL2を有する第2インダクタ要素を介して別のいずれかのスイッチング素子の出力端に接続されている。一のスイッチング素子の出力端と別のスイッチング素子の出力端は寄生インダクタを介して高周波成分が伝搬するように導通していればよい。夫々のスイッチング素子に対して第3インダクタンスを有する第3インダクタ要素が備えられており、各スイッチング素子の出力端と第2接続点との間を第1インダクタ要素と並列に、前記第3インダクタ要素が接続している。そして、第1インダクタンスL1と第3インダクタンスL3

10

20

30

40

50

のいずれも第2インダクタンスL2よりも小さい。

【0035】

実施例では、スイッチング素子として、コレクタ端子からエミッタ端子へ主電流が流れるIGBTを想定した。本明細書が開示する技術は、IGBTにかぎらず、他のタイプのスイッチング素子（例えばMOSFET）に適用することも可能である。スイッチング素子はPNP型でもNPN型でもよい。即ち、本明細書が開示する技術は、エミッタ端子からコレクタ端子へ主電流が流れるタイプのスイッチング素子に適用することもできる。

【0036】

実施例の主負極バスバ（主導体）6、16が請求項の「第1インダクタ要素」の一例に相当し、副負極バスバ（副導体）8、18が請求項の「第3インダクタ要素」の一例に相当する。また、実施例の基板7が、請求項の「第2インダクタ要素」の一例に相当する。実施例のコレクタ端子4c、14cが請求項の「入力端」の一例に相当する。実施例のエミッタ端子4e、14eが請求項の「出力端」の一例に相当する。

10

【0037】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性

20

【符号の説明】

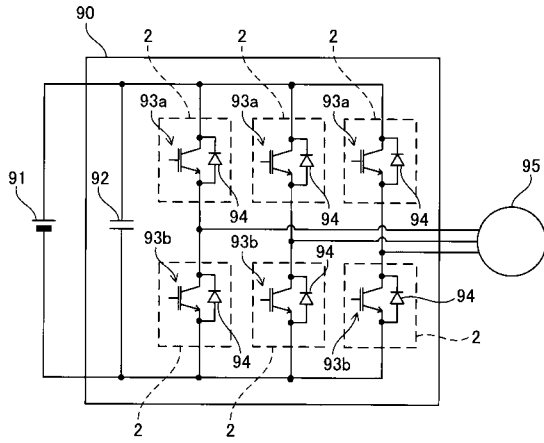
【0038】

- 2：半導体装置
- 4、14：スイッチング素子
- 4c、14c：コレクタ端子
- 4e、14e：エミッタ端子
- 4g、14g：ゲート端子
- 5：還流ダイオード
- 6、16：主負極バスバ（主導体）
- 7：基板
- 8、18：副負極バスバ（副導体）
- 21：第1接続点
- 22：第2接続点
- 23：駆動回路
- 24：出力端子
- 25：入力端子
- 30：樹脂パッケージ
- 33、43：副エミッタ端子
- 34、44：トランジスタチップ
- 35、45：ダイオードチップ
- 51、61：正極バスバ
- 90：インバータ
- 91：バッテリー
- 92：平滑コンデンサ
- 93a、93b：スイッチング素子
- 94：還流ダイオード
- 95：負荷

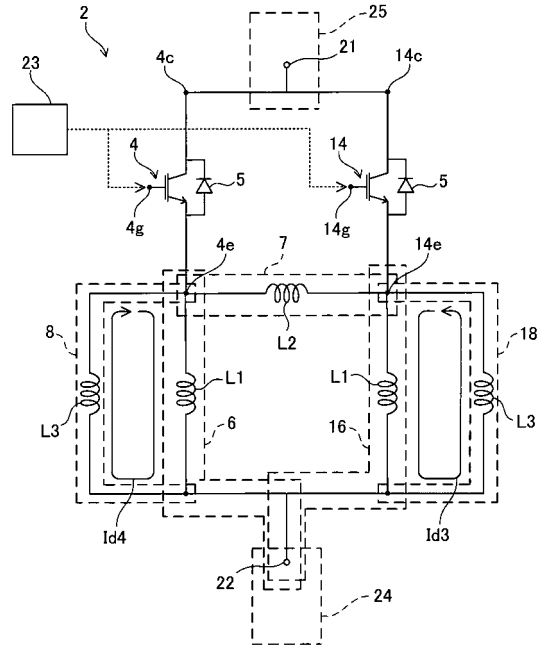
30

40

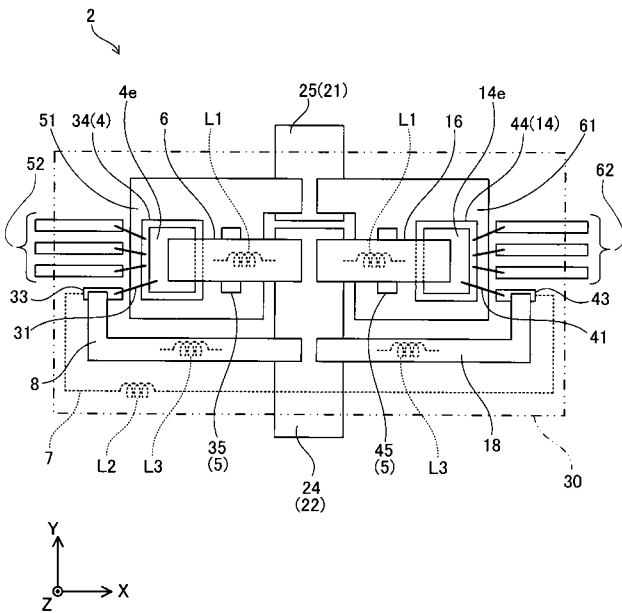
【図1】



【図2】



【図3】



【図4】

