

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号  
特開2023-44647  
(P2023-44647A)

(43)公開日 令和5年3月30日(2023.3.30)

(51)国際特許分類  
H 0 1 L 27/146(2006.01)

F I  
H 0 1 L 27/146  
H 0 1 L 27/146

テーマコード(参考)  
4 M 1 1 8  
A  
D

審査請求 未請求 請求項の数 10 O L (全28頁)

(21)出願番号 (22)出願日 (31)優先権主張番号 (32)優先日 (33)優先権主張国・地域又は機関 韓国(KR)	特願2022-137001(P2022-137001) 令和4年8月30日(2022.8.30) 10-2021-0125031 令和3年9月17日(2021.9.17) 韓国(KR)	(71)出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路12 9 129, Samsung-ro, Yeo ngtong-gu, Suwon-si , Gyeonggi-do, Repub lic of Korea (74)代理人 100107766 弁理士 伊東 忠重 (74)代理人 100070150 弁理士 伊東 忠彦 (74)代理人 100135079
--	--	--

最終頁に続く

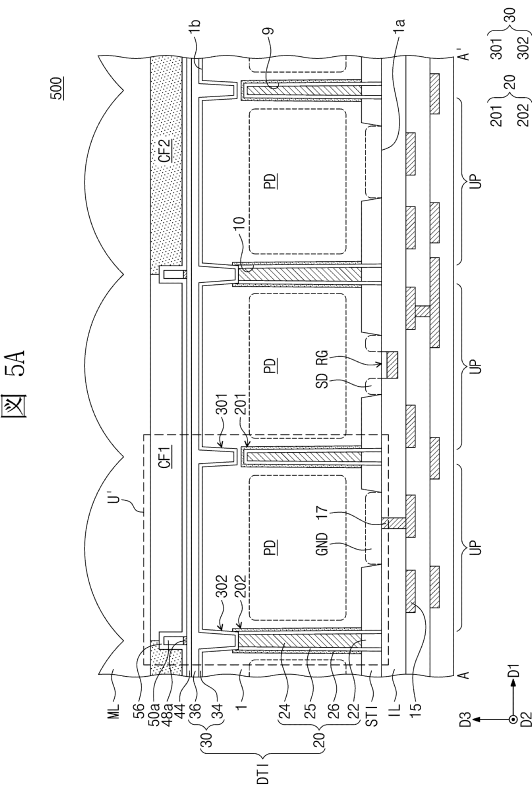
(54)【発明の名称】 イメージセンサー

(57)【要約】 (修正有)

【課題】ゲート電極のサイズを増加と同時にピクセル間のクロストークを最小化するイメージセンサーを提供する。

【解決手段】イメージセンサー500は、第1面1aとそれに反対になる第2面1bを有し、第1ピクセル及び隣接する第2ピクセルを含む基板1、基板内に配置され、第1ピクセル及び第2ピクセルを分離する深い素子分離部DTI、第1面上に配置される伝送ゲート、第1ピクセル及び第2ピクセルの中で何れか1つに選択的に配置される接地領域、第2面上に順に積層される第1カラーフィルターCF1及びマイクロレンズアレイ層MLを含む。深い素子分離部は、垂直に重畳され、互いに離隔する第1分離部20及び第2分離部30を含む。第1分離部は、第1面から第2面に延長される導電パターン24、導電パターン上の高濃度ドーピングパターン26及び導電パターンと高濃度ドーピングパターンとの間のライナー絶縁パターン25を含む。

【選択図】図5A



**【特許請求の範囲】****【請求項 1】**

第 1 面とそれに反対になる第 2 面を有する基板であって、第 1 ピクセル、及び前記第 1 ピクセルと隣接する第 2 ピクセルを含む基板と、

前記基板内に配置され、前記第 1 ピクセル及び前記第 2 ピクセルを分離する深い素子分離部と、

前記第 1 ピクセル及び前記第 2 ピクセルで各々前記第 1 面上に配置される伝送ゲートと、

前記第 1 ピクセル及び前記第 2 ピクセルの中でいずれか 1 つに選択的に配置される接地領域と、

前記第 2 面上に順に積層される第 1 カラーフィルタとマイクロレンズアレイ層と、を含み、

前記深い素子分離部は、

垂直に重畳され、互いに離隔する第 1 分離部及び第 2 分離部を含み、

前記第 1 分離部は、前記第 1 面から前記第 2 面に延長される第 1 導電パターンと、

前記第 1 導電パターン上の前記基板内に提供される高濃度ドーピングパターンと、

前記第 1 導電パターンと前記高濃度ドーピングパターンとの間の絶縁パターンと、を含み、

前記接地領域及び前記高濃度ドーピングパターンは、互いに同一な導電型を有する不純物でドーピングされる、イメージセンサー。

**【請求項 2】**

前記第 1 ピクセル及び第 2 ピクセルは、同一な色のカラーフィルタを共有する、請求項 1 に記載のイメージセンサー。

**【請求項 3】**

前記第 1 ピクセルには接地領域が提供され、

前記第 2 ピクセルには接地領域が提供されない、請求項 1 又は 2 に記載のイメージセンサー。

**【請求項 4】**

前記基板内に提供される第 3 ピクセルであって、前記第 2 ピクセルを介して前記第 1 ピクセルと第 1 方向に沿って互いに離隔する第 3 ピクセルと、

前記第 3 ピクセル上の第 2 カラーフィルタと、をさらに含み、

前記深い素子分離部は、

前記基板内に配置され、前記第 2 ピクセル及び前記第 3 ピクセルを分離し、垂直に重畳する第 3 分離部及び第 4 分離部をさらに含み、

前記第 1 カラーフィルタ及び前記第 2 カラーフィルタは、互いに異なる色を含む、請求項 1 に記載のイメージセンサー。

**【請求項 5】**

前記第 3 分離部及び前記第 4 分離部は、互いに離隔する、請求項 4 に記載のイメージセンサー。

**【請求項 6】**

前記第 3 分離部及び前記第 4 分離部は、互いに接触する、請求項 4 に記載のイメージセンサー。

**【請求項 7】**

第 1 面とそれに反対になる第 2 面を有する基板を含むイメージセンサーであって、

前記基板は、前記基板の第 1 面に平行である第 1 方向及び前記第 1 面と平行であり、前記第 1 方向と交差する第 2 方向に沿って 2 次元的に配列される第 1 ピクセルグループ、第 2 ピクセルグループ、及び一対の第 3 ピクセルグループを含み、

前記第 1 ピクセルグループの上には第 1 カラーフィルタが配置され、

前記第 2 ピクセルグループの上には第 2 カラーフィルタが配置され、

前記一対の第 3 ピクセルグループの上には第 3 カラーフィルタが各々配置され、

前記第 1 乃至第 3 ピクセルグループの各々は、第 1 方向及び第 2 方向に沿って  $N \times N$  配列をなす  $N^2$  個のピクセルを含み、

前記  $N^2$  個のピクセルの間で及び前記第 1 乃至第 3 ピクセルグループの間で前記基板内には深い素子分離部が提供され、

前記深い素子分離部は、前記第 1 面から前記第 2 面に向かって延長される第 1 分離部及び前記第 2 面から前記第 1 面に向かって延長される第 2 分離部を含み、

前記第 1 分離部は、前記  $N^2$  個のピクセルの間に提供される第 1 分離パターン及び前記第 1 乃至第 3 ピクセルグループの間に提供される第 2 分離パターンを含み、

前記第 2 分離部は、前記  $N^2$  個のピクセルの間に提供される第 3 分離パターン及び前記第 1 乃至第 3 ピクセルグループの間に提供される第 4 分離パターンを含み、

前記第 1 分離パターン及び前記第 3 分離パターンは、垂直方向に整列され ( a l i g n e d )、互いに離隔し、

前記第 2 分離パターン及び前記第 4 分離パターンは、垂直方向に整列され、

第 1 乃至第 4 ピクセルの中でいずれか 1 つは、選択的に接地領域を含み、

前記第 1 分離部は、前記第 1 面から前記第 2 面に延長される第 1 導電パターンと、

前記第 1 導電パターン上の高濃度ドーピングパターンと、

前記第 1 導電パターンと前記高濃度ドーピングパターンとの間の絶縁パターンと、を含み、

前記  $N$  は 2 以上の自然数である、イメージセンサー。

#### 【請求項 8】

前記第 1 分離パターンは、前記第 1 方向に沿う第 1 幅を有し、

前記第 3 分離パターンは、前記第 1 方向に沿う第 2 幅を有し、

前記第 1 幅は、前記第 2 幅より小さい、請求項 7 に記載のイメージセンサー。

#### 【請求項 9】

前記第 1 分離パターンの長さは、前記第 2 分離パターンの長さより小さい、請求項 7 又は 8 に記載のイメージセンサー。

#### 【請求項 10】

第 1 面とそれに反対になる第 2 面を有する基板であって、第 1 ピクセル、及び前記第 1 ピクセルと隣接する第 2 ピクセルを含む基板と、

前記基板内に配置され、前記第 1 ピクセル及び前記第 2 ピクセルを分離する深い素子分離部と、

前記第 1 ピクセル及び前記第 2 ピクセルで各々前記第 1 面上に配置される伝送ゲートと、

前記第 1 ピクセル及び前記第 2 ピクセルの中でいずれか 1 つに選択的に配置される接地領域と、

前記第 2 面上に順に積層されるカラーフィルターとマイクロレンズアレイ層と、を含み、

前記深い素子分離部は、

垂直に重畳され、互いに離隔する第 1 分離部及び第 2 分離部を含み、

前記第 1 分離部は、前記第 1 面から前記第 2 面に延長される第 1 導電パターンと、

前記第 1 導電パターン上の高濃度ドーピングパターンと、

前記第 1 導電パターンと前記高濃度ドーピングパターンとの間の絶縁パターンと、を含み、

前記高濃度ドーピングパターンは、前記第 1 ピクセル及び前記第 2 ピクセルの間に連続する ( c o n t i n u o u s )、イメージセンサー。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明はイメージセンサーに関する。

#### 【背景技術】

## 【 0 0 0 2 】

イメージセンサーは光学映像 (Optical image) を電気信号に変換する半導体素子である。最近になって、コンピュータ産業と通信産業の発達につれてデジタルカメラ、ビデオカメラ、PCS (Personal Communication System)、ゲーム機器、警備用カメラ、医療用マイクロカメラ等の様々な分野で性能が向上されたイメージセンサーの需要が増大している。イメージセンサーはCCD (Charge coupled device) 型及びCMOS (Complementary metal oxide semiconductor) 型に分類されることができる。CMOS型イメージセンサーはCIS (CMOS image sensor) と略称される。前記CISは2次元的に配列された複数のピクセルを具備する。前記ピクセルの各々はフォトダイオード (photodiode、PD) を含む。前記フォトダイオードは入射される光を電気信号に変換する役割をする。前記複数のピクセルはこれらの間に配置される深い素子分離パターン (deep isolation pattern) によって定義される。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 3 】

【 特許文献 1 】 米国特許第 10, 868, 070 B2 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

20

## 【 0 0 0 4 】

本発明に達成しようとする一つの技術的課題はゲート電極のサイズを増加させることと同時にピクセル間のクロストーク (crosstalk) を最小化するイメージセンサーの構造及び製造方法を提供することにある。

## 【 0 0 0 5 】

本発明が解決しようとする他の技術的課題は高集積化が容易であるイメージセンサー及びその製造方法を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

本発明の実施形態によるイメージセンサーは第1面とそれに反対になる第2面を有する基板であって、第1ピクセル及び前記第1ピクセルと隣接する第2ピクセルを含む基板と、前記基板内に配置され、前記第1ピクセル及び前記第2ピクセルを分離する深い素子分離部と、前記第1ピクセル及び前記第2ピクセルで各々前記第1面上に配置される伝送ゲートと、前記第1ピクセル及び前記第2ピクセルの中でいずれか1つに選択的に配置される接地領域と、前記第2面上に順に積層される第1カラーフィルタとマイクロレンズアレイ層とを含み、前記深い素子分離部は、垂直に重畳され、互いに離隔する第1分離部及び第2分離部を含み、前記第1分離部は、前記第1面から前記第2面に延長される第1導電パターン、前記第1導電パターン上の前記基板内に提供される高濃度ドーピングパターン、及び前記第1導電パターンと前記高濃度ドーピングパターンとの間の絶縁パターンを含み、前記接地領域及び前記高濃度ドーピングパターンは、互いに同一な導電型を有する不純物でドーピングされることができる。

30

40

## 【 0 0 0 7 】

一部の実施形態によるイメージセンサーは第1面とそれに反対になる第2面を有する基板を含むイメージセンサーであって、前記基板は前記基板の第1面に平行である第1方向及び前記第1面と平行であり、前記第1方向と交差する第2方向に沿って2次元的に配列される第1ピクセルグループ、第2ピクセルグループ、及び一対の第3ピクセルグループを含み、前記第1ピクセルグループの上には第1カラーフィルタが配置され、前記第2ピクセルグループの上には第2カラーフィルタが配置され、前記一対の第3ピクセルグループの上には第3カラーフィルタが各々配置され、前記第1乃至第3ピクセルグループの各々は第1方向及び第2方向に沿って $N \times N$ 配列をなす $N^2$ 個のピクセルを含み、前

50

記  $n^2$  個のピクセルの間で及び前記第 1 乃至第 3 ピクセルグループの間で前記基板内には深い素子分離部が提供され、前記深い素子分離部は前記第 1 面から前記第 2 面に向かって延長される第 1 分離部及び前記第 2 面から前記第 1 面に向かって延長される第 2 分離部を含み、前記第 1 分離部は前記  $N^2$  個のピクセルの間に提供される第 1 分離パターン及び前記第 1 乃至第 3 ピクセルグループの間に提供される第 2 分離パターンを含み、前記第 2 分離部は前記  $N^2$  個のピクセルの間に提供される第 3 分離パターン及び前記第 1 乃至第 3 ピクセルグループの間に提供される第 4 分離パターンを含み、前記第 1 分離パターン及び前記第 3 分離パターンは垂直方向に整列され (aligned) され、互いに離隔し、前記第 2 分離パターン及び前記第 4 分離パターンは垂直方向に整列され、第 1 乃至第 4 ピクセルの中でいずれか 1 つは選択的に接地領域を含み、前記第 1 分離部は前記第 1 面から前記第 2 面に延長される第 1 導電パターン、前記第 1 導電パターン上の高濃度ドーピングパターン、及び前記第 1 導電パターンと前記高濃度ドーピングパターンとの間の絶縁パターンを含み、前記  $N$  は 2 以上の自然数であり得る。

10

#### 【0008】

一部の実施形態によるイメージセンサーは第 1 面とそれに反対になる第 2 面を有する基板であって、第 1 ピクセル及び前記第 1 ピクセルと隣接する第 2 ピクセルを含む基板と、前記基板内に配置され、前記第 1 ピクセル及び前記第 2 ピクセルを分離する深い素子分離部と、前記第 1 ピクセル及び前記第 2 ピクセルで各々前記第 1 面上に配置される伝送ゲートと、前記第 1 ピクセル及び前記第 2 ピクセルの中でいずれか 1 つに選択的に配置される接地領域と、前記第 2 面上に順に積層されるカラーフィルタとマイクロレンズアレイ層とを含み、前記深い素子分離部は、垂直に重畳され、互いに離隔する第 1 分離部及び第 2 分離部を含み、前記第 1 分離部は、前記第 1 面から前記第 2 面に延長される第 1 導電パターン、前記第 1 導電パターン上の高濃度ドーピングパターン、及び前記第 1 導電パターンと前記高濃度ドーピングパターン間の絶縁パターンを含み、前記高濃度ドーピングパターンは前記第 1 ピクセル及び前記第 2 ピクセル間で連続的であり得る。

20

#### 【発明の効果】

#### 【0009】

本発明の概念によれば、ピクセルグループの各々は接地領域を共有することができる。4 つのピクセルが 1 つのピクセルグループをなす場合、4 つのピクセルの中で 1 つのピクセルに選択的に接地領域が提供されることができる。ピクセルを分離する深い素子分離部は互いに垂直に重畳され、離隔する第 1、第 2 分離パターンを含むことができる。接地領域が提供されないピクセルであっても、第 1 分離パターンの高濃度ドーピングパターンを通じて正電荷が移動されることができる。結果的に、3 つのピクセルは接地領域が無くとも、第 1 分離パターンを通じて正電荷が接地領域を通じて抜け出すことができる。また、残りの 3 つのピクセルは接地領域が不要であるので、これに代えてイメージセンサーを構成するゲート電極の面積が増加することができる。

30

#### 【図面の簡単な説明】

#### 【0010】

【図 1】本発明の実施形態によるイメージセンサーを説明するためのブロック図である。

【図 2】本発明の実施形態によるイメージセンサーのアクティブピクセルセンサーアレイの回路図である。

40

【図 3】本発明の実施形態によるイメージセンサーの平面図である。

【図 4】図 3 に対応するイメージセンサーの平面図である。

【図 5 A】本発明の実施形態にしたがって図 4 を A - A' 線に沿って切断した断面図である。

【図 5 B】本発明の実施形態にしたがって図 4 を B - B' 線に沿って切断した断面図である。

【図 5 C】本発明の実施形態にしたがって図 4 を B - B' 線に沿って切断した断面図である。

【図 6】図 5 A の U' の拡大図である。

50

【図 7】本発明の一部の実施形態によるイメージセンサーの平面図である。

【図 8 A】本発明の実施形態にしたがって図 7 を A - A' 線に沿って切断した断面図である。

【図 8 B】本発明の実施形態にしたがって図 7 を B - B' 線に沿って切断した断面図である。

【図 9】一部の実施形態によるイメージセンサーの平面図である。

【図 10 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 10 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 11 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 11 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

10

【図 12 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 12 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 13 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 13 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 14 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 14 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 15 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 15 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 16 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 16 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

20

【図 17 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 17 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 18 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 18 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 19 A】図 5 A のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 19 B】図 5 B のイメージセンサーを製造する過程を順次的に示す断面図である。

【図 20】本発明の一部の実施形態によるイメージセンサーの平面図である。

【図 21】図 20 の I - I' 線に沿って切断した断面図である。

【発明を実施するための形態】

【0011】

30

以下、本発明をより具体的に説明するために本発明による実施形態を添付図面を参照しながら、より詳細に説明する。

【0012】

図 1 は本発明の実施形態によるイメージセンサーを説明するためのブロック図である。

【0013】

図 1 を参照すれば、イメージセンサーは、アクティブピクセルセンサーアレイ (Active Pixel Sensor array) 1001、行デコーダー (row decoder) 1002、行ドライバー (row driver) 1003、列デコーダー (column decoder) 1004、タイミング発生器 (timing generator) 1005、相関二重サンプラー (CDS: Correlated Double Sampler) 1006、アナログデジタルコンバータ (ADC: Analog to Digital Converter) 1007、及び入出力バッファ (I/O buffer) 1008 を含むことができる。

40

【0014】

アクティブピクセルセンサーアレイ 1001 は、2 次元的に配列された複数の単位ピクセルを含み、光信号を電氣的信号に変換することができる。アクティブピクセルセンサーアレイ 1001 は、行ドライバー 1003 からピクセル選択信号、リセット信号、及び電荷伝送信号のような複数の駆動信号によって駆動されることができる。また、変換された電氣的信号は、相関二重サンプラー 1006 に提供されることができる。

【0015】

50

行ドライバー１００３は、行デコーダー１００２でデコーディングされた結果に応じて多数の単位ピクセルを駆動するための多数の駆動信号をアクティブピクセルセンサーアレイ１００１に提供することができる。単位ピクセルが行列形状に配列された場合には各行別に駆動信号が提供されることができる。

【００１６】

タイミング発生器１００５は、行デコーダー１００２及び列デコーダー１００４にタイミング（t i m i n g）信号及び制御信号を提供することができる。

【００１７】

相関二重サンプラー（ＣＤＳ）１００６は、アクティブピクセルセンサーアレイ１００１で生成された電気信号を受信して維持（h o l d）及びサンプリングすることができる。相関二重サンプラー１００６は、特定の雑音レベル（n o i s e l e v e l）と電気的  
10 信号による信号レベルを二重にサンプリングして、雑音レベルと信号レベルの差分に該当する差分レベルを出力することができる。

【００１８】

アナログデジタルコンバータ（ＡＤＣ）１００７は、相関二重サンプラー１００６から出力された差分レベルに該当するアナログ信号をデジタル信号に変換して出力することができる。

【００１９】

入出力バッファ１００８は、デジタル信号をラッチ（l a t c h）し、ラッチされた信号は、列デコーダー１００４でのデコーディング結果に応じて順次的に映像信号処理部（  
20 未図示）にデジタル信号を出力することができる。

【００２０】

図２は、本発明の実施形態によるイメージセンサーの回路図である。具体的には、図１のアクティブピクセルセンサーアレイ１００１の回路図である。図２を参照すれば、複数のピクセルグループ（例えば、ＧＲＰ１：第１ピクセルグループ）の各々は、第１乃至第４光電変換部ＰＤ１、ＰＤ２、ＰＤ３、ＰＤ４、第１乃至第４トランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４、及びロジックトランジスタＲＸ、ＳＸ、ＤＸを含む  
30 ことができる。ここで、ロジックトランジスタは、リセットトランジスタＲＸ（r e s e t t r a n s i s t o r）、選択トランジスタＳＸ（s e l e c t i o n t r a n s i s t o r）、及びドライフトランジスタＤＸを含むことができる。第１乃至第４トランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４、リセットトランジスタＲＸ、及び  
35 選択トランジスタＳＸのゲート電極は、駆動信号ラインＴＧ１、ＴＧ２、ＴＧ３、ＴＧ４、ＲＧ、ＳＧに各々連結されることができる。

【００２１】

第１乃至第４トランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４の各々は、第１乃至第４ゲート電極ＴＧ１、ＴＧ２、ＴＧ３、ＴＧ４及び第１乃至第４光電変換部Ｐ  
40 Ｄ１、ＰＤ２、ＰＤ３、ＰＤ４を含むことができる。実施形態によれば、第１乃至第４トランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４は、フローティング拡散領域ＦＤ（Ｆl o a t i n g D i f f u s i o n r e g i o n）と各々連結されることができる。

【００２２】

ピクセルグループ（例えば、ＧＲＰ１）内にトランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４と各々連結される複数のフローティング拡散領域ＦＤが提供されることができる。他の一例によれば、１つのピクセルグループ（例えば、ＧＲＰ１）内に１つの  
45 フローティング拡散領域ＦＤが形成されることができる。１つのピクセルグループ（例えば、ＧＲＰ１）内のトランスファートランジスタＴＸ１、ＴＸ２、ＴＸ３、ＴＸ４は、１つのフローティング拡散領域ＦＤを共有することができる。

【００２３】

第１乃至第４光電変換部ＰＤ１、ＰＤ２、ＰＤ３、ＰＤ４は、外部から入射された光の量に比例して光電荷を生成及び蓄積することができる。第１乃至第４光電変換部ＰＤ１、  
50

P D 2、P D 3、P D 4は、フォトダイオード ( p h o t o d i o d e )、フォトランジスタ ( p h o t o t r a n s i s t o r )、フォトゲート ( p h o t o g a t e )、ピン留めフォトダイオード ( P i n n e d P h o t o D i o d e ; P P D ) 又はこれらの組合を含むことができる。

【 0 0 2 4 】

フローティング拡散領域 F D は、第 1 乃至第 4 光電変換部 P D 1、P D 2、P D 3、P D 4 で生成された電荷が伝送されて累積的に格納することができる。フローティング拡散領域 F D に蓄積された光電荷の量に応じてドライブトランジスタ D X が制御されることができる。

【 0 0 2 5 】

リセットトランジスタ R X は、フローティング拡散領域 F D に蓄積された電荷を周期的にリセットさせることができる。詳細には、リセットトランジスタ R X のドレーン電極はフローティング拡散領域 F D と連結され、ソース電極は電源電圧 V D D に連結されることができる。リセットトランジスタ R X がターンオンされれば、リセットトランジスタ R X のソース電極と連結された電源電圧 V D D がフローティング拡散領域 F D に伝達されることができる。したがって、リセットトランジスタ R X がターンオン ( t u r n - o n ) されるとき、フローティング拡散領域 F D に蓄積された電荷が排出されてフローティング拡散領域 F D がリセットされることができる。

【 0 0 2 6 】

ドライブトランジスタ D X は、フローティング拡散領域 F D での電位変化を増幅し、選択トランジスタ S X を通じて増幅された又はピクセル信号を出力ライン V O U T に出力することができる。ドライブトランジスタ D X は、ゲート電極に入力される光電荷量に比例してソース - ドレーン電流を発生させるソースフォロワーバッファ増幅器 ( s o u r c e f o l l o w e r b u f f e r a m p l i f i e r ) であり得る。ドライブトランジスタ D X のゲート電極はフローティング拡散領域 F D に連結され、ドライブトランジスタ D X のドレーンは電源電圧 V D D に連結され、ドライブトランジスタ D X のソースは選択トランジスタ S X のドレーンと連結されることができる。

【 0 0 2 7 】

選択トランジスタ S X は、行単位に読み出すピクセルを選択することができる。選択トランジスタ S X がターンオンされるとき、ドライブトランジスタ D X のドレーン電極と連結された電源電圧 V D D が選択トランジスタ S X のドレーン電極に伝達されることができる。

【 0 0 2 8 】

図 3 は本発明の実施形態によるイメージセンサーの平面図を示す。

【 0 0 2 9 】

図 3 を参照すれば、本例によるイメージセンサー 5 0 0 は、第 1 方向 D 1 と第 2 方向 D 2 に沿って 2 次的に配列される第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 を含むことができる。前記第 1 ピクセルグループ G R P 1 上には第 1 カラーフィルター C F 1 が配置されることができる。前記第 2 ピクセルグループ G R P 2 上には第 2 カラーフィルターが配置されることができる。前記第 3 ピクセルグループ G R P 3 上には第 3 カラーフィルターが配置されることができる。前記第 1 乃至第 3 カラーフィルターは互いに異なる色であり得る。例えば、前記第 2 カラーフィルターは緑色であり得る。前記第 1 カラーフィルターと前記第 3 カラーフィルターの中で 1 つは赤色であり、他の 1 つは青色であり得る。図 3 の第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 の配列は、1 つのグループ単位をなし、複数のグループ単位で提供されて第 1 方向 D 1 と第 2 方向 D 2 に沿って 2 次的に配列されることができる。

【 0 0 3 0 】

前記第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 は、各々第 2 方向 D 2 に沿って N 行を成し、第 1 方向 D 1 に沿って N 列をなす  $N \times N$  配列の  $N^2$  個のピクセルを含むことができる。N は 2 以上の自然数であり得る。

10

20

30

40

50



## 【 0 0 3 1 】

一例として、図 3 のように、第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 は、各々第 2 方向 D 2 に沿って 2 行を成し、第 1 方向 D 1 に沿って 2 列をなす 2 × 2 配列の第 1 乃至第 4 ピクセル P X 1 ~ P X 4 を含むことができる。前記第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 で各々前記第 1 及び第 2 ピクセル P X 1、P X 2 は、第 2 方向 D 2 に沿って順に配列され、第 1 列を構成することができる。前記第 3 及び第 4 ピクセル P X 3、P X 4 は、第 2 方向 D 2 に沿って順に配列され、第 2 列を構成することができる。第 1、3 ピクセル P X 1、P X 3 は、第 1 方向 D 1 に沿って順に配列され、第 1 行を構成することができる。第 2、4 ピクセル P X 2、P X 4 は、第 1 方向 D 1 に沿って順に配列され、第 2 行を構成することができる。第 1 乃至第 4 ピクセル P X 1 ~ P X 4 内には各々光電変換部 P D が配置されることができる。第 1 乃至第 4 ピクセル P X 1 ~ P X 4 の光電変換部 P D は各々、図 5 A 乃至図 5 C の光電変換部 P D に対応することができる。

10

## 【 0 0 3 2 】

第 1 乃至第 4 ピクセル P X 1 ~ P X 4 上には各々マイクロレンズアレイ層 M L が配置されることができる。第 1 乃至第 4 ピクセル P X 1 ~ P X 4 の間、そして前記第 1 乃至第 3 ピクセルグループ G R P 1、G R P 2、G R P 3 の間で基板 1 内には深い素子分離部 D T I が介在されることができる。

## 【 0 0 3 3 】

図 4 は図 3 に対応するイメージセンサーの平面図を示す。図 5 A は本発明の実施形態にしたがって図 4 を A - A ' 線に沿って切断した断面図である。図 5 B は本発明の実施形態にしたがって図 4 を B - B ' 線に沿って切断した断面図である。図 5 C は本発明の実施形態にしたがって図 4 を C - C ' 線に沿って切断した断面図である。図 6 は図 5 A の U ' の拡大図である。

20

## 【 0 0 3 4 】

図 4、図 5 A、図 5 B、及び図 5 C を参照すれば、本発明の実施形態によるイメージセンサー 5 0 0 は基板 1 を含む。前記基板 1 は、例えばシリコン単結晶ウエハ、シリコンエピタキシャル層又は S O I ( s i l i c o n o n i n s u l a t o r ) 基板であり得る。前記基板 1 は、例えば第 1 導電型の不純物でドーピングされることができる。例えば、前記第 1 導電型は P 型であり得る。前記基板 1 は互いに反対になる第 1 面 1 a と第 2 面 1 b を含む。前記基板 1 は図 1 のようなアクティブピクセルセンサーアレイ 1 0 0 1 を含み、図 3 の第 1 乃至第 4 ピクセル P X 1 ~ P X 4 が各々単位ピクセル U P に対応することができる。

30

## 【 0 0 3 5 】

前記ピクセルで前記基板 1 には深い素子分離部 D T I が配置されて前記単位ピクセル U P を分離 / 限定することができる。前記深い素子分離部 D T I は平面的にネットの形状を有することができる。

## 【 0 0 3 6 】

前記単位ピクセル U P で前記基板 1 内には光電変換部 P D が各々配置されることができる。前記光電変換部 P D は前記第 1 導電型と反対になる第 2 導電型の不純物でドーピングされることができる。前記第 2 導電型は、例えば N 型であり得る。前記光電変換部 P D にドーピングされた N 型の不純物は、周辺の基板 1 にドーピングされた P 型の不純物と P N 接合を成してフォトダイオードを提供することができる。

40

## 【 0 0 3 7 】

前記基板 1 内には前記第 1 面 1 a に隣接する浅い素子分離部 S T I が配置されることができる。前記浅い素子分離部 S T I は前記深い素子分離部 D T I によって貫通されることができる。前記浅い素子分離部 S T I は各単位ピクセル U P で前記第 1 面 1 a に隣接する活性領域 A C T を限定することができる。前記活性領域 A C T は、図 2 のトランジスタ T X、R X、D X、S X のために提供されることができる。

## 【 0 0 3 8 】

50

各単位ピクセルUPで前記基板1の前記第1面1a上には伝送ゲートTGが配置されることができる。前記伝送ゲートTGの一部は前記基板1内に延長されることができる。前記伝送ゲートTGはVertical（垂直）タイプである。又は前記伝送ゲートTGは前記基板1内に延長されなく、平坦な形状であるPlanar（平面）タイプであってもよい。前記伝送ゲートTGと前記基板1の間にはゲート絶縁膜Goxが介在されることができる。前記伝送ゲートTGの一側で前記基板1内にはフローティング拡散領域FDが配置されることができる。前記フローティング拡散領域FDには、例えば前記第2導電型（一例として、N型）の不純物がドーピングされることができる。

【0039】

前記イメージセンサー500は背面受光イメージセンサーであり得る。光は、前記基板1の第2面1bを通じて前記基板1内に入射されることができる。入射された光によって前記PN接合で電子・正孔対が生成されることができる。このように生成された電子は、前記光電変換部PDに移動されることができる。前記伝送ゲートTGに電圧を印加すれば、前記電子は前記フローティング拡散領域FDに移動されることができる。

【0040】

1つの単位ピクセル（第1単位ピクセル）UPで前記第1面1a上に伝送ゲートTGに隣接して接地領域GNDが提供されることができる。接地領域GNDは、基板1と同一の導電性を有することができる。接地領域GNDは、第1導電型の不純物がドーピングされた領域であり得る。他の1つの単位ピクセル（第2単位ピクセル）UPで伝送ゲートTGに隣接してリセットゲートRGが配置されることができる。その他の単位ピクセル（第3単位ピクセル）UPで前記第1面1a上に伝送ゲートTGに隣接してソースフォロワーゲートSFが配置されることができる。その他の単位ピクセル（第4単位ピクセル）UPで伝送ゲートTGに隣接して選択ゲートSELが配置されることができる。前記ゲートTG、RG、SF、SELは各々図2のトランジスタTX、RX、DX、SXのゲートに対応することができる。リセットゲートRG、ソースフォロワーゲートSF、及び選択ゲートSELの各々のゲートを基準にソース/ドレイン領域SDが提供されることができる。前記接地領域GND及びゲートTG、RG、SF、SELは、前記活性領域ACTと重畳されることができる。第1乃至第4単位ピクセルUPは、ピクセルグループ（例えば、GRP1、GRP2、GRP3）を構成することができる。

【0041】

前記第1面1aは、第1層間絶縁膜ILで覆われることができる。前記第1層間絶縁膜ILは、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、多孔性低誘電膜の中から選択される少なくとも1つの膜の多層膜で形成されることができる。前記第1層間絶縁膜ILの間又は内には配線15が配置されることができる。接地領域GNDは、コンタクトプラグ17及び配線15の中で対応する配線15と電氣的に連結されることができる。前記コンタクトプラグ17は、前記第1層間絶縁膜ILの中で前記第1面1aに最も近い（最下層の）第1層間絶縁膜ILを貫通することができる。接地電圧が、前記対応する配線15及び接地領域GNDを通じて基板1に印加されることができる。接地領域GNDは、深い素子分離部DTIと隣接するように配置されることができる。接地領域GNDのレイアウト形状は、多様にすることができ、一例として

（外1）  
“┐、L”

のような形状を有することができる。フローティング拡散領域FDは、コンタクトプラグ17及び配線15の中で対応する配線15と電氣的に連結されることができる。

【0042】

前記深い素子分離部DTIは、第1分離部20及び第2分離部30を含むことができる。第1分離部20は、第1分離パターン201及び第2分離パターン202を含むことができる。第2分離部30は、第3分離パターン301及び第4分離パターン302を含む

ことができる。第1分離部20は、第1面1aから第2面1bに向かって延長されることができる。第2分離部30は、第2面1bから第1面1aに向かって延長されることができる。

【0043】

第1分離部20は、第1分離パターン201及び第2分離パターン202を含むことができる。第1分離パターン201は、ピクセルグループGRP1、GRP2、GRP3の各々で、隣接する2つの単位ピクセルUPの間に提供されることができる。第2分離パターン202は、ピクセルグループGRP1、GRP2、GRP3の間に提供されることができる。

【0044】

第1分離パターン201の第1方向D1への幅201dは、第2分離パターン202の第1方向D1への幅202dより小さくすることができる。第1分離パターン201は、第2分離パターン202より第1面1aから第2面1bに向かってより少なく延長されることができる。第1分離パターン201の長さは、第2分離パターン202の長さよりさらに短くすることができる。第1分離パターン201及び第2分離パターン202の長さは、基板1の第1面1aから、前記第1面1aと垂直になる第3方向D3への長さを意味する。

【0045】

第2分離部30は、第3分離パターン301及び第4分離パターン302を含むことができる。第3分離パターン301は、ピクセルグループGRP1、GRP2、GRP3の各々で、隣接する2つの単位ピクセルUPの間に提供されることができる。第4分離パターン302は、ピクセルグループGRP1、GRP2、GRP3の間に提供されることができる。

【0046】

第1分離パターン201及び第3分離パターン301は、垂直に重畳（又は整列（aligned））し、互いに離隔することができる。第1分離パターン201及び第3分離パターン301の間の距離Dは、100nm乃至300nmであり得る（図6参照）。第2分離パターン202及び第4分離パターン302は、垂直に重畳（又は整列（aligned））し、互いに接触することができる。

【0047】

第1分離部20は、埋め込み絶縁パターン22、導電パターン24、ライナー絶縁パターン25、及び高濃度ドーピングパターン26を含むことができる。前記埋め込み絶縁パターン22は、前記層間絶縁膜IL上に配置されることができる。導電パターン24は、前記埋め込み絶縁パターン22上に提供され、前記埋め込み絶縁パターン22を介して前記層間絶縁膜ILと離隔することができる。ライナー絶縁パターン25は、前記導電パターン24と前記基板1との間、そして前記埋め込み絶縁パターン22と素子分離部STIとの間に介在されることができる。

【0048】

埋め込み絶縁パターン22及び/又は前記ライナー絶縁パターン25は、例えばシリコン酸化物を含むことができる。前記導電パターン24は前記基板1と離隔されることができる。前記導電パターン24は、不純物がドーピングされたポリシリコン膜やシリコンゲルマニウム膜を含むことができる。前記ポリシリコンやシリコンゲルマニウム膜にドーピングされた不純物は、例えばホウ素、リン、ヒ素の中で1つであり得る。

【0049】

埋め込み絶縁パターン22、導電パターン24、及びライナー絶縁パターン25は、第1深いトレンチ9及び第2トレンチ10を満たすことができる。高濃度ドーピングパターン26は、第1深いトレンチ9及び第2トレンチ10の内壁領域に形成されることができる。高濃度ドーピングパターン26は、第1導電型の不純物でドーピングされた基板1の一領域であり得る。高濃度ドーピングパターン26は、基板1の不純物濃度よりさらに高い不純物濃度を有し、一例として $1 \times 10^{17} / \text{cm}^3$ 乃至 $1 \times 10^{19} / \text{cm}^3$ の濃度

10

20

30

40

50

を有することができる。

【0050】

前記第2分離部30は、第1固定電荷膜34と絶縁パターン36を含むことができる。前記第1固定電荷膜34は、化学量論比より不足している量の酸素又はフッを含む金属酸化膜又は金属フッ化膜の単一膜又は多重膜で構成されることができる。したがって、前記第1固定電荷膜は負の固定電荷を有することができる。前記第1固定電荷膜34は、ハフニウム(Hf)、ジルコニウム(Zr)、アルミニウム(Al)、タンタル(Ta)、チタニウム(Ti)、イットリウム、及びランタノイドを含むグループで選択される少なくとも1つの金属を含む金属酸化物(metal oxide)又は金属フッ化物(metal fluoride)の単一膜又は多重膜で構成されることができる。具体的な例として、前記第1固定電荷膜34は、ハフニウム酸化膜及び/又はアルミニウム酸化膜を含むことができる。前記第1固定電荷膜34によって暗電流とホワイトスポットを改善することができる。第1固定電荷膜34上に絶縁パターン36が提供されることができる。絶縁パターンはシリコン酸化膜を含むことができる。

10

【0051】

前記第1固定電荷膜34は前記基板1の表面と接することができる。前記第1固定電荷膜34は、基板1の第2面1bに形成されたトレンチを覆うことができる。第1固定電荷膜34は、第2分離パターン202のライナー絶縁パターン25及び/又は導電パターン24と接触することができる。第2分離パターン202の高濃度ドーピングパターン26は、第1固定電荷膜34によって連結されなくともよい。これに反して、第1分離パターン201の高濃度ドーピングパターン26は、隣接する単位ピクセルUPの間で連続的(continuous)であり得る。

20

【0052】

図5Bのように、ピクセルグループ(例えば、GRP1)内で隣接する2つの単位ピクセルUPの間で第2面1bから第1分離パターン201の上部面の間までの第1距離は、ピクセルグループ(例えば、GRP1、GRP2、GRP3)内で隣接する4つの単位ピクセルUPが同時に隣接する所CN1での前記第2面1bから第1分離パターンの上部面までの第2距離より大きくすることができる。また、隣接するピクセルグループ(例えば、GRP1、GRP2)の間で隣接する4つの単位ピクセルUPが同時に隣接する所CN2での第2面1bの最下部のレベルは、第2分離パターン202の上部面のレベルより下に位置することができる。

30

【0053】

本発明の概念によれば、ピクセルグループ(例えば、GRP1、GRP2、GRP3)の各々は接地領域GNDを共有することができる。一例として、図3及び図4のように4つのピクセルが1つのピクセルグループをなす場合、4つのピクセルの中で1つのピクセル(例えば、PX2)に選択的に接地領域GNDが提供されることができる。第1分離パターン201及び第3分離パターン301が互いに接触しないので、接地領域GNDが提供されないピクセル(例えば、PX1、PX3、PX4)があるとしても、第1分離パターン201の連続的な(continuous)高濃度ドーピングパターン26を通じて接地領域GNDが提供されたピクセル(例えば、PX2)に正陽電荷が移動されることができる(図6参照)。結果的に、3つのピクセルは、接地領域GNDが無くとも、第1分離パターン201を通じて正電荷が接地領域GNDを通じて抜け出すことができる。また、残りの3つのピクセルは、接地領域GNDが無くとも良いので、ゲート電極TG、RG、SEL、SFの面積が増加することができる。一例として、伝送ゲートTGが占める平面上の面積は単位ピクセル面積の10%以上であり得る。

40

【0054】

本発明の他の一概念によれば、ピクセルグループの間には第2分離パターン202及び第4分離パターン302が互いに接触するので、受光された光が他のピクセルグループに移動できない(図6参照)。したがって、他の色のカラーフィルターを共有する隣接するピクセルの間でのクロストークを防止することができる。

50

## 【 0 0 5 5 】

前記第 2 面 1 b 上には第 1 保護膜 4 4 が提供されることができる。一部の実施形態によれば、第 1 保護膜 4 4 及び絶縁パターン 3 6 の間に第 2 固定電荷膜が介在されることができる。前記第 2 固定電荷膜は、金属酸化膜又は金属フッ化膜の単一膜又は多重膜を含むことができる。前記第 2 固定電荷膜は、例えばハフニウム酸化膜及び / 又はアルミニウム酸化膜を含むことができる。前記第 2 固定電荷膜は、前記第 1 固定電荷膜 3 4 を補強するか、又は接着膜として機能することができる。前記第 1 保護膜 4 4 は、P E T E O S、S i O C、S i O<sub>2</sub>、S i N の中で少なくとも 1 つを含むことができる。前記第 1 保護膜 4 4 は、反射防止膜及び / 又は平坦化膜として機能することができる。

## 【 0 0 5 6 】

前記第 1 保護膜 4 4 上には遮光パターン 4 8 a と低屈折パターン 5 0 a が順に積層されることができる。遮光パターン 4 8 a と低屈折パターン 5 0 a は、平面的にネットの形状を有することができる。前記深い素子分離部 D T I と重畳されることができる。前記遮光パターン 4 8 a は、例えばチタニウムを含むことができる。前記低屈折パターン 5 0 a は有機物質を含むことができる。前記低屈折パターン 5 0 a は、カラーフィルター C F 1、C F 2、C F 3 より小さい屈折率を有することができる。例えば、前記低屈折パターン 5 0 a は、約 1 . 3 以下の屈折率を有することができる。前記低屈折パターン 5 0 a の側壁は、前記遮光パターン 4 8 a の側壁と整列されることができる。前記遮光パターン 4 8 a と前記低屈折パターン 5 0 a は、隣接するピクセルの間のクロストークを防止することができる。

## 【 0 0 5 7 】

前記第 1 保護膜 4 4 上には第 2 保護膜 5 6 が積層される。前記第 2 保護膜 4 5 は、前記低屈折パターン 5 0 a、前記遮光パターン 4 8 a、及び前記連結コンタクト B C A をコンフォーマルに覆うことができる。前記低屈折パターン 5 0 a の間にカラーフィルター C F 1、C F 2、C F 3 が配置されることができる。前記カラーフィルター C F 1、C F 2、C F 3 上にはマイクロレンズアレイ層 M L が配置されることができる。前記マイクロレンズアレイ層 M L は、前記単位ピクセル U P と各々重畳される膨らんでいるレンズ部を含むことができる。

## 【 0 0 5 8 】

図 7 は本発明の一部の実施形態によるイメージセンサーの平面図である。図 8 A は本発明の実施形態にしたがって図 7 を A - A ' 線に沿って切断した断面図である。図 8 B は本発明の実施形態にしたがって図 7 を B - B ' 線に沿って切断した断面図である。以下では説明することを除けば、図 4 乃至図 6 を通じて説明しているので同じ説明を省略する。

## 【 0 0 5 9 】

図 7、図 8 A、及び図 8 B を参照すれば、第 2 分離パターン 2 0 2 の第 1 方向 D 1 への幅 2 0 2 d は、第 1 分離パターン 2 0 1 の第 1 方向 D 1 への幅 2 0 1 d と実質的に同一であることができる。第 2 分離パターン 2 0 2 は、第 1 面 1 a から第 2 面 1 b に向かって第 1 分離パターン 2 0 1 と実質的に同一な深さに延長されることができる。即ち、第 2 分離パターン 2 0 2 の長さは、第 1 分離パターン 2 0 1 の長さを実質的に同一であることができる。

## 【 0 0 6 0 】

第 1 分離パターン 2 0 1 及び第 3 分離パターン 3 0 1 は、垂直に重畳 ( 又は整列 ( a l i g n e d ) ) し、互いに離隔することができる。第 2 分離パターン 2 0 2 及び第 4 分離パターン 3 0 2 は、垂直に重畳 ( 又は整列 ( a l i g n e d ) ) し、互いに離隔することができる。

## 【 0 0 6 1 】

図 8 B のように、隣接するピクセルグループ ( 例えば、G R P 1、G R P 2 ) の間で隣接する 4 つの単位ピクセル U P が同時に隣接する所 C N 2 での第 2 面 1 b の最下部のレベルは、第 2 分離パターン 2 0 2 の上部面のレベルより上 ( a b o v e ) に位置することができる。したがって、第 1 分離パターン 2 0 1 の高濃度ドーピングパターン 2 6 及び第 2

10

20

30

40

50

分離パターン 202 の高濃度ドーピングパターン 26 は、互いに連結されることができる。

【0062】

即ち、本発明の一概念によれば、第 1 ピクセルグループ GRP1 内で接地領域 GND が提供されないピクセルであるとしても、第 1 分離パターン 201 の高濃度ドーピングパターン 26 及び第 2 分離パターン 202 の連続的な (continuous) 高濃度ドーピングパターン 26 を通じて、第 2 ピクセルグループ GRP2 の接地領域 GND に正電荷が移動されることができる。上のように、接地領域 GND を共有するピクセルの数が増加するにつれ、共有するピクセルのゲート電極 TG、RG、SEL、SF の面積が増加することができる。

10

【0063】

図 9 は、一部の実施形態によるイメージセンサーの平面図を示す。

【0064】

図 9 を参照すれば、第 1 乃至第 3 ピクセルグループ GRP1、GRP2、GRP3 は、各々第 2 方向 D2 に沿って 3 行を成し、第 1 方向 D1 に沿って 3 列をなす 3×3 配列の第 1 乃至第 9 ピクセル PX1～PX9 を含むことができる。

【0065】

一部の実施形態によるイメージセンサー 510 は、また図 3 乃至図 8 を通じて説明した同一ピクセルグループ内での接地領域 GND の共有、及び深い素子分離膜 DTI の構造的特徴を含むことができる。

20

【0066】

一部の実施形態によれば、第 1 乃至第 3 ピクセルグループ GRP1、GRP2、GRP3 は、各々第 2 方向 D2 に沿って 4 行を成し、第 1 方向 D1 に沿って 4 列をなす 4×4 配列の第 1 乃至第 16 ピクセルを含むことができる。

【0067】

図 10A 乃至図 19A は図 4A のイメージセンサーを製造する過程を順次的に示す断面図であって、図 4A の A-A' に対応する。図 10B 乃至図 19B は図 4B のイメージセンサーを製造する過程を順次的に示す断面図であって、図 4B の B-B' に対応する。

【0068】

図 10A 及び図 10B を参照すれば、基板 1 を準備する。基板 1 に第 1 蝕刻マスク 3 を利用して、蝕刻工程を進行して第 1 トレンチ 5 を形成する。

30

【0069】

図 11A 及び図 11B を参照すれば、基板 1 の第 2 面 1b を覆う第 1 絶縁膜 8 を形成する。第 1 絶縁膜 8 は、第 1 トレンチ 5 を満たすことができる。第 1 絶縁膜 8 は、一例としてシリコン酸化膜を含むことができる。続いて、第 1 トレンチ 5 を貫通する第 1 深いトレンチ 9 及び第 2 深いトレンチ 10 を形成することができる。第 1 深いトレンチ 9 及び第 2 深いトレンチ 10 は、第 2 マスクパターンの形成、及び第 2 マスクパターンを利用した第 1 絶縁膜 8 及び基板 1 の蝕刻工程を含むことができる。第 1 深いトレンチ 9 及び第 2 深いトレンチ 10 は、グループが交差するネット形状に形成されることができる。第 1 方向 D1 への幅 9D は、第 2 深いトレンチ 10 の第 1 方向 D1 への幅 10D より小さくすることができる。第 1 深いトレンチ 9 の深さ 9H は、第 2 深いトレンチ 10 の深さ 10H はより小さくすることができる (loading effect)。

40

【0070】

このとき、隣接する 2 つのピクセル UP の間で前記基板 1 が蝕刻される量より隣接する 4 つのピクセル UP の間で前記基板 1 が蝕刻される量がさらに多くすることができる。即ち、一对の第 1 深いトレンチ 9 が交差する地点 9a 及び第 2 深いトレンチ 10 と第 1 深いトレンチ 9 又は第 2 深いトレンチ 10 が交差する地点 10a で前記基板 1 の蝕刻量がさらに多くすることができる。第 2 深いトレンチ 10 と第 1 深いトレンチ 9 又は第 2 深いトレンチ 10 が交差する地点 10a での前記基板 1 の蝕刻量 H2 は、一对の第 1 深いトレンチ 9 が交差する地点 9a での蝕刻量 H1 よりさらに多くすることができる (loading

50

e f f e c t )。

【 0 0 7 1 】

図 1 2 A 及び図 1 2 B を参照すれば、基板 1 の第 2 面 1 b に向かって、プラズマドーピング工程 ( P L A D : p l a s m a d o p i n g ) P 1 を通じて、前記半導体基板 1 の一部に第 1 導電型 ( 例えば、p 型 ) の不純物が注入されることができる。一例として、第 1 導電型の不純物は、一例としてホウ素であり得る。プラズマドーピング工程 P 1 の結果、第 1 深いトレンチ 9 及び第 2 深いトレンチ 1 0 内壁にドーピングパターン 2 6 が形成されることができる。

【 0 0 7 2 】

図 1 3 A 及び図 1 3 B を参照すれば、第 1 深いトレンチ 9 及び第 2 深いトレンチ 1 0 を満たすライナー絶縁膜 2 5 a 及び導電膜 2 4 a が形成されることができる。一例としてライナー絶縁膜 2 5 a はシリコン酸化膜を含むことができ、導電膜 2 4 a は、第 1 導電型 ( 例えば、p 型 ) の不純物がドーピングされたポリシリコンを含むことができる。

【 0 0 7 3 】

図 1 4 A 及び図 1 4 B を参照すれば、導電膜 2 4 a の一部が除去されることができる。導電膜 2 4 a の除去工程は、エッチバック ( e t c h - b a c k ) 工程を含むことができる。エッチバック工程によって、導電パターン 2 4 が形成されることができる。続いて、ライナー絶縁膜 2 5 a 上に第 2 絶縁膜 2 2 a が形成されることができる。第 2 絶縁膜 2 2 a は、シリコン酸化膜を含むことができる。

【 0 0 7 4 】

図 1 5 A 及び図 1 5 B を参照すれば、基板 1 の第 2 面 1 b 上に平坦化工程が行われることができる。第 2 絶縁膜 2 2 a の一部が除去されて浅い素子分離部 S T I 及び埋め込み絶縁パターン 2 2 が形成されることができる。また、ライナー絶縁膜 2 5 a の一部が除去されてライナー絶縁パターン 2 5 が形成されることができる。浅い素子分離部 S T I によって活性領域が定義されることができる。

【 0 0 7 5 】

図 1 6 A 及び図 1 6 B を参照すれば、基板 1 にイオン注入工程等を進行して光電変換部 P D を形成する。したがって、単位ピクセル U P が分離されることができる。そして、通常の工程を進行して前記基板 1 の第 1 面 1 a にゲート絶縁膜 G o x 、伝送ゲート T G 、フローティング拡散領域 F D 、コンタクトプラグ 1 7 、配線 1 5 、及び層間絶縁膜 I L を形成することができる。

【 0 0 7 6 】

図 1 7 A 及び図 1 7 B を参照すれば、前記基板 1 を覆して第 2 面 1 b が上に向かうようにする。グラインディング又は C M P ( c h e m i c a l m e c h a n i c a l p o l i s h i n g ) 工程を進行して前記基板 1 の厚さを薄くすることができる。このグラインディング又は C M P 工程は、高濃度ドーピングパターン 2 6 が露出されないように進行することができる。一部の実施形態によれば、当該工程は省略されることができる。

【 0 0 7 7 】

図 1 8 A 及び図 1 8 B を参照すれば、基板 1 の第 2 面 1 b 上に第 3 蝕刻マスクパターンを形成することができる。第 3 蝕刻マスクパターンは、第 1 分離パターン 2 0 1 及び第 2 分離パターン 2 0 2 と重畳される開口部を有するように形成されることができる。第 3 蝕刻マスクパターンを蝕刻マスクとして利用して、基板 1 を蝕刻して第 3 トレンチ 1 1 及び第 4 トレンチ 1 2 を形成することができる。第 3 トレンチ 1 1 は、第 3 トレンチ 1 1 の底面が第 1 分離パターン 2 0 1 の最上部と離隔されるように形成されることができる。第 4 トレンチ 1 2 は、第 4 トレンチ 1 2 の底面が第 2 分離パターン 2 0 2 の最上部を露出させるように形成されることができる。第 4 トレンチ 1 2 の底面のレベルは、第 3 トレンチ 1 1 の底面のレベルより低くすることができる。一部の実施形態によれば、第 4 トレンチ 1 2 の底面も第 2 分離パターン 2 0 2 の最上部を露出させないことができる ( 図 8 A 参照 ) 。

【 0 0 7 8 】

10

20

30

40

50

このとき、隣接する２つのピクセルUPの間で前記基板１が蝕刻される量より隣接する４つのピクセルUPの間で前記基板１が蝕刻される量がさらに多くすることができる。即ち、一对の第３トレンチ１１が交差する地点及び第４トレンチ１２と第３トレンチ１１又は第４トレンチ１２が交差する地点で前記基板１の蝕刻量がさらに多くすることができる。

【００７９】

続いて、第３蝕刻マスクパターンを除去することができる。そして、第２面１ｂ上に第１固定電荷膜３４をコンフォーマルに積層することができる。第１固定電荷膜３４は、第３トレンチ１１の内壁と底及び第４トレンチ１２の内壁と底をコンフォーマルに覆うことができる。第１固定電荷膜３４上に絶縁パターン３６を形成して第３トレンチ１１及び第４トレンチ１２を満たすことができる。

10

【００８０】

図１９Ａ及び図１９Ｂを参照すれば、第２固定電荷膜（図示せず）及び第１保護膜４４を順に積層する。前記第１保護膜４４上に拡散防止膜と第１金属膜を順に積層する。前記第１金属膜を蝕刻して低屈折パターン５０ａを形成する。そして、前記拡散防止膜を蝕刻して遮光パターン４８ａを形成することができる。

【００８１】

再び、図５Ａ及び図５Ｂを参照すれば、前記第１保護膜４４上に第２保護膜５６をコンフォーマルに形成することができる。そして、前記第２保護膜５６上に前記低屈折パターン５０ａの間でカラーフィルターＣＦ１、ＣＦ２、ＣＦ３を形成することができる。前記カラーフィルターＣＦ１、ＣＦ２、ＣＦ３上にマイクロレンズアレイ層ＭＬを形成する。したがって、図５Ａ及び図５Ｂのイメージセンサー５００を製造することができる。

20

【００８２】

図２０は本発明の一部の実施形態によるイメージセンサーの平面図であり、図２１は図２０のⅠ－Ⅰ'線に沿って切断した断面図である。

【００８３】

図２０及び図２１を参照すれば、イメージセンサー７００は、ピクセルアレイ領域ＡＲ、光学ブラック領域ＯＢ、及びパッド領域ＰＲを含む基板１、前記基板１の第１面１００ａ上の配線層２００、前記配線層２００上のベース基板４００、及び前記基板１の第２面１ｂ上の光透過層３００を含むことができる。前記配線層２００は、前記基板１の前記第１面１ａと前記ベース基板４００との間に配置されることができる。前記配線層２００は、前記基板１の前記第１面１ａに隣接する上部配線層２１０、及び前記上部配線層２１０と前記ベース基板４００との間の下部配線層２３０を含むことができる。前記ピクセルアレイ領域ＡＲは、複数のピクセルＰＸ、及びこれらの間に配置される深い素子分離部ＤＴＩを含むことができる。前記深い素子分離部ＤＴＩは、先に説明したイメージセンサー５００、６００と実質的に同様に構成されることができる。

30

【００８４】

第１連結構造体５０、第１コンタクト８１、及びバルクカラーフィルター９０が、前記基板１の前記光学ブラック領域ＯＢ上に配置されることができる。前記第１連結構造体５０は、第１遮光パターン５１、第１低屈折残余膜５３、及び第１キャッピングパターン５５を含むことができる。前記第１遮光パターン５１は、前記基板１の前記第２面１ｂ上に配置されることができる。前記第１遮光パターン５１は、前記第１保護膜４４を覆うことができ、第１トレンチＴＲＡ及び第２トレンチＴＲＢの各々の内壁をコンフォーマルに覆うことができる。前記第１遮光パターン５１は、基板１及び前記上部配線層２１０を貫通することができる。前記第１遮光パターン５１は、前記基板１の前記深い素子分離部ＤＴＩの前記第１分離部２０に連結されることができる。前記上部配線層２１０及び前記下部配線層２３０内の配線に連結されることができる。したがって、前記第１連結構造体５０は、前記基板１及び前記配線層２００を電氣的に連結することができる。前記第１遮光パターン５１は、金属物質（一例として、タングステン）を含むことができる。前記第１遮光パターン５１は、前記光学ブラック領域ＯＢ内に入射される光を遮断することができる。

40

50



## 【 0 0 8 5 】

前記第 1 コンタクト 8 1 は、前記第 1 トレンチ T R A の残部を満たすことができる。前記第 1 コンタクト 8 1 は、金属物質（一例として、アルミニウム）を含むことができる。前記第 1 コンタクト 8 1 は、前記深い素子分離部 D T I の前記第 1 分離部 2 0 に連結されることができる。前記第 1 コンタクト 8 1 を通じて前記第 1 分離部 2 0 にバイアスが印加されることができる。前記第 1 低屈折残余膜 5 3 は、前記第 2 トレンチ T R B の残部を満たすことができる。前記第 1 低屈折残余膜 5 3 は、前記基板 1 を貫通することができ、前記配線層 2 0 0 の一部を貫通することができる。前記第 1 低屈折残余膜 5 3 は絶縁材料を含むことができる。前記第 1 キャッピングパターン 5 5 は、前記第 1 低屈折残余膜 5 3 上に配置されることができる。前記第 1 キャッピングパターン 5 5 は、前記深い素子分離部 D T I の前記埋め込み絶縁パターン 2 2 と同一な物質を含むことができる。

## 【 0 0 8 6 】

前記バルクカラーフィルタ 9 0 が、前記第 1 連結構造体 5 0 及び前記第 1 コンタクト 8 1 上に配置されることができる。前記バルクカラーフィルタ 9 0 は、前記第 1 連結構造体 5 0 及び前記第 1 コンタクト 8 1 を覆うことができる。第 1 保護膜 7 1 が前記バルクカラーフィルタ 9 0 上に提供されて前記バルクカラーフィルタ 9 0 を覆うことができる。

## 【 0 0 8 7 】

追加的な光電変換部 P D ' 及びダミー領域 1 1 1 が、前記光学ブラック領域 O B の対応するピクセル P X 内に提供されることができる。前記追加的な光電変換部 P D ' は、前記基板 1 0 0 の前記第 1 導電型と異なる第 2 導電型の不純物（一例として、N 型不純物）でドーピングされた領域であり得る。前記追加的な光電変換部 P D ' は、前記ピクセルアレイ領域 A R の前記複数のピクセル P X 内光電変換部 P D と類似の構造を有することができるが、前記光電変換部 P D のような動作（即ち、光を受けて電氣的信号を発生させる動作）を遂行しないことがあり得る。前記ダミー領域 1 1 1 は不純物でドーピングされなくともよい。

## 【 0 0 8 8 】

第 2 連結構造体 6 0、第 2 コンタクト 8 3、及び第 2 保護膜 7 3 が、前記基板 1 0 0 の前記パッド領域 P R 上に配置されることができる。前記第 2 連結構造体 6 0 は、第 2 遮光パターン 6 1、第 2 低屈折残余膜 6 3、及び第 2 キャッピングパターン 6 5 を含むことができる。

## 【 0 0 8 9 】

前記第 2 遮光パターン 6 1 は、前記基板 1 の前記第 2 面 1 b 上に配置されることができる。前記第 2 遮光パターン 6 1 は、前記第 1 保護膜 4 4 を覆うことができ、第 3 トレンチ T R C 及び第 4 トレンチ T R D の各々の内壁をコンフォーマルに覆うことができる。前記第 2 遮光パターン 6 1 は、前記基板 1 及び前記上部配線層 2 1 0 を貫通することができる。前記第 2 遮光パターン 6 1 は、前記下部配線層 2 3 0 内の配線に連結されることができる。したがって、前記第 2 連結構造体 6 0 は、前記基板 1 及び前記配線層 2 0 0 を電氣的に連結することができる。前記第 2 遮光パターン 6 1 は金属物質、タングステン（W）を含むことができる。前記第 2 遮光パターン 6 1 は、前記パッド領域 P R 内に入射される光を遮断することができる。

## 【 0 0 9 0 】

前記第 2 コンタクト 8 3 は、前記第 3 トレンチ T R C の残部を満たすことができる。前記第 2 コンタクト 8 3 は、金属物質（一例として、アルミニウム）を含むことができる。前記第 2 パッド端子 8 3 は、イメージセンサーと外部素子との間の電氣的連結通路の役割をすることができる。前記第 2 低屈折残余膜 6 3 は、前記第 4 トレンチ T R D の残部を満たすことができる。前記第 2 低屈折残余膜 6 3 は、前記基板 1 を貫通することができ、前記配線層 2 0 0 の一部を貫通することができる。前記第 2 低屈折残余膜 6 3 は、絶縁材料を含むことができる。前記第 2 キャッピングパターン 6 5 は、前記第 2 低屈折残余膜 6 3 上に配置されることができる。前記第 2 キャッピングパターン 6 5 は、前記深い素子分離

部 D T I の前記埋め込み絶縁パターン 2 2 と同一な物質を含むことができる。前記第 2 保護膜 7 3 は、前記第 2 連結構造体 6 0 を覆うことができる。

【 0 0 9 1 】

前記第 2 コンタクト 8 3 を通じて印加された電流は、前記第 2 遮光パターン 6 1、前記配線層 2 0 0 内の配線、及び前記第 1 遮光パターン 5 1 を通じて前記深い素子分離部 D T I の前記第 1 分離部 2 0 に流れることができる。前記ピクセルアレイ領域 A R の前記複数のピクセル P X 内の前記光電変換部 P D から発生した電気的信号は、前記配線層 2 0 0 内の配線、前記第 2 遮光パターン 6 1、及び前記第 2 コンタクト 8 3 を通じて外部に伝送されることができる。

【 0 0 9 2 】

以上、添付された図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は本発明がその技術的思想や必須の特徴を変更しなくとも他の具体的な形態に実施されることができることを理解することができる。したがって、以上で記述した実施形態はすべての面で例示的なものであり、限定的ではないことと理解しなければならない。

【 符号の説明 】

【 0 0 9 3 】

1 5	配線
1 7	コンタクトプラグ
2 0	第 1 分離部
3 0	第 2 分離部
5 0 0	イメージセンサー
A C T	活性領域
C F 1、C F 2、C F 3	カラーフィルター
D T I	深い素子分離部
F D	フローティング拡散領域
G N D	接地領域
I L	層間絶縁膜
M L	マイクロレンズアレイ層
P D	光電変換部
P X 1 ~ P X 4	ピクセル
S T I	浅い素子分離部
T G	伝送ゲート
U P	単位ピクセル

10

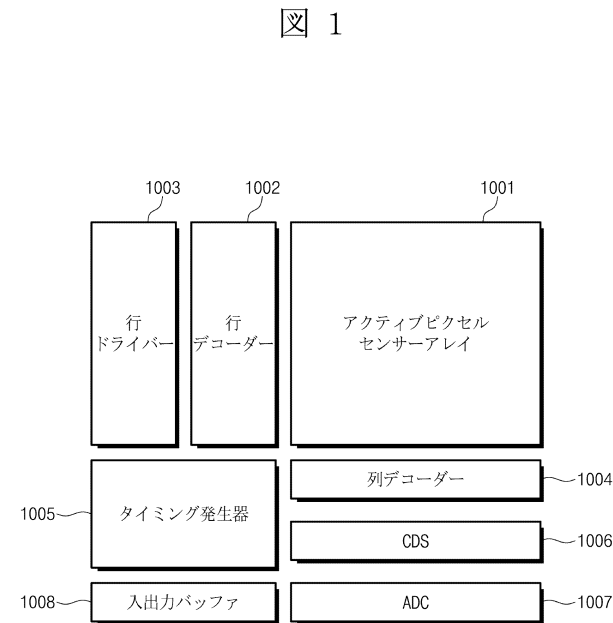
20

30

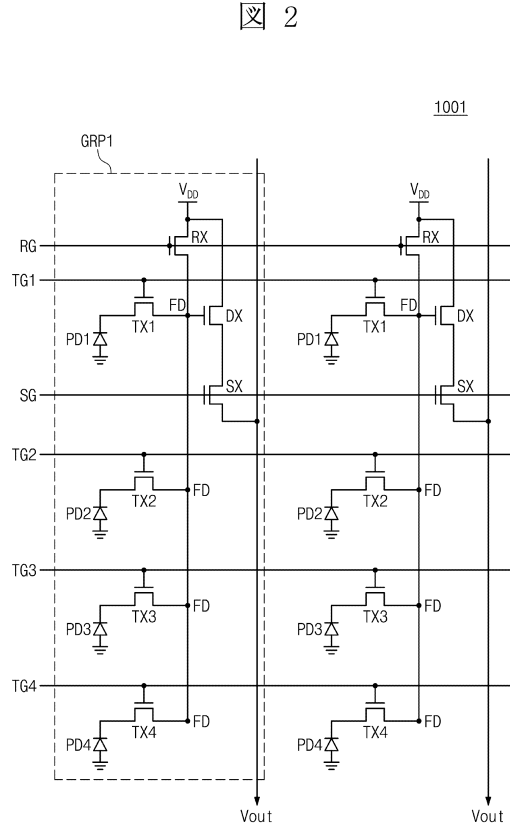
40

50

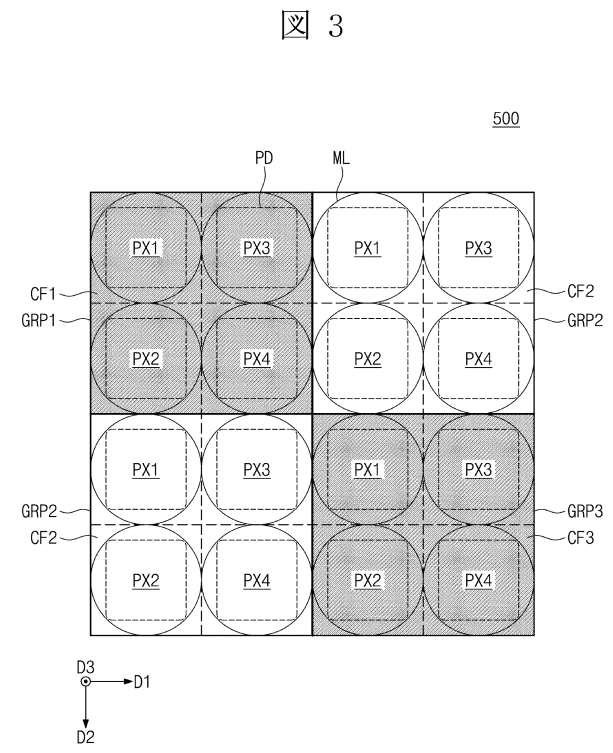
【図面】  
【図 1】



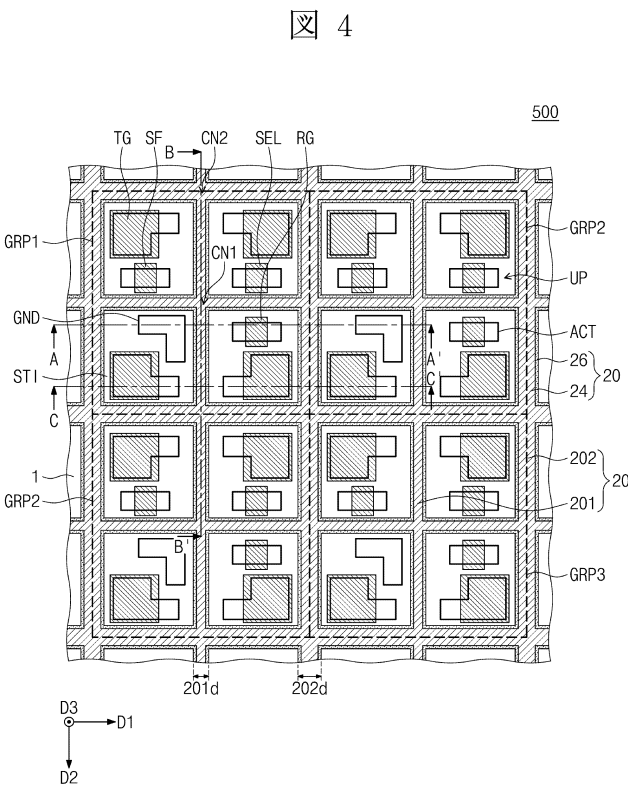
【図 2】



【図 3】



【図 4】



10

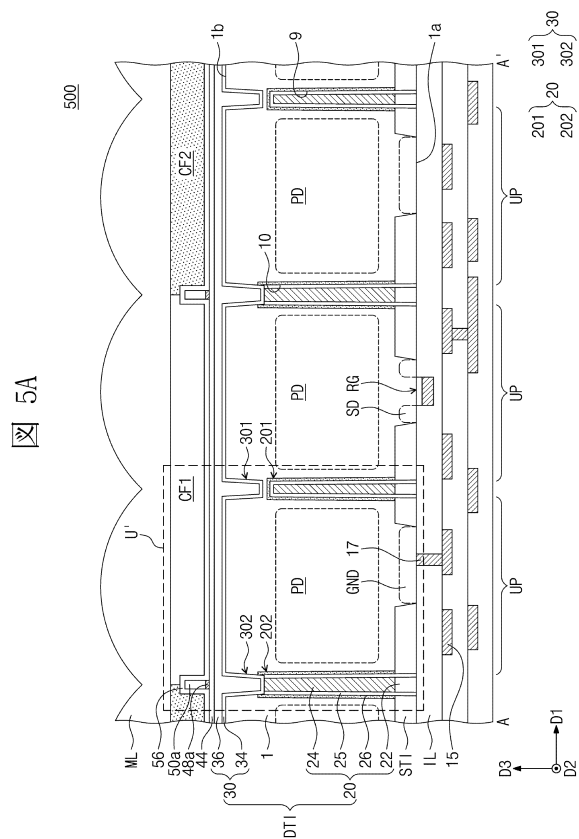
20

30

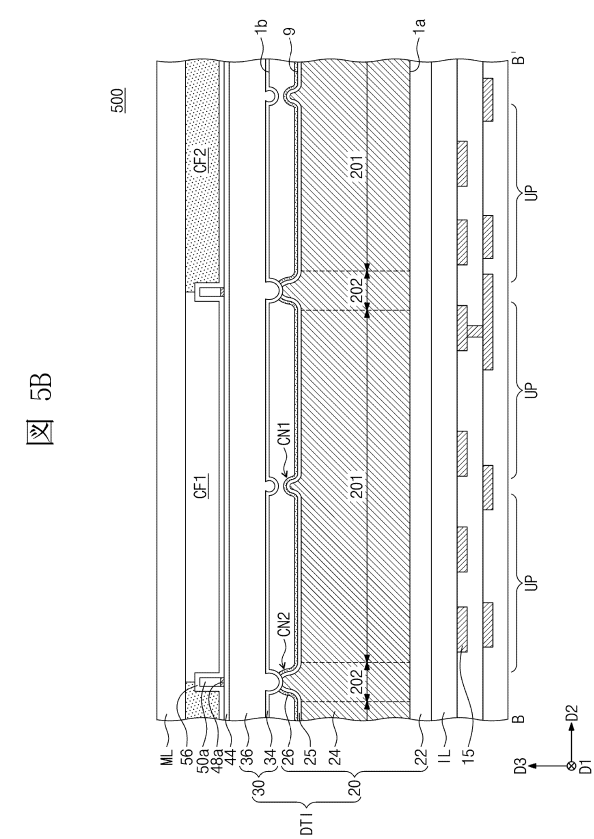
40

50

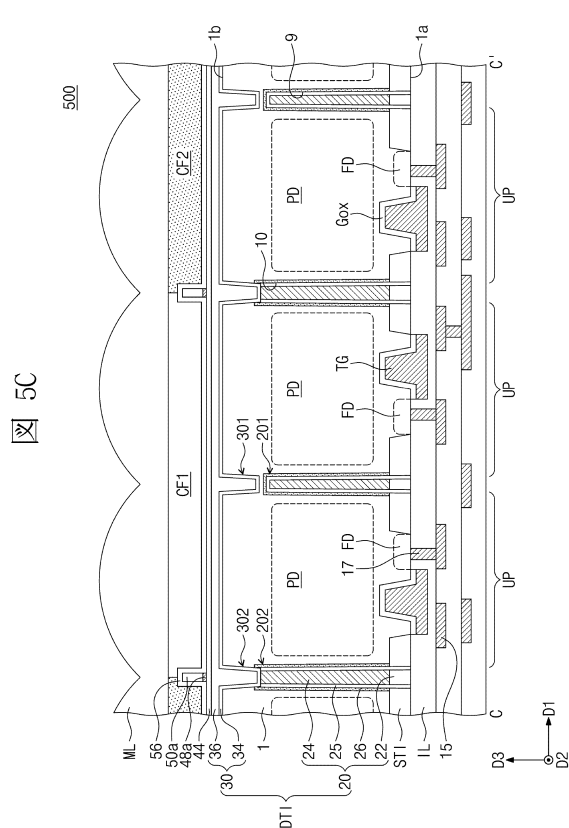
【 図 5 A 】



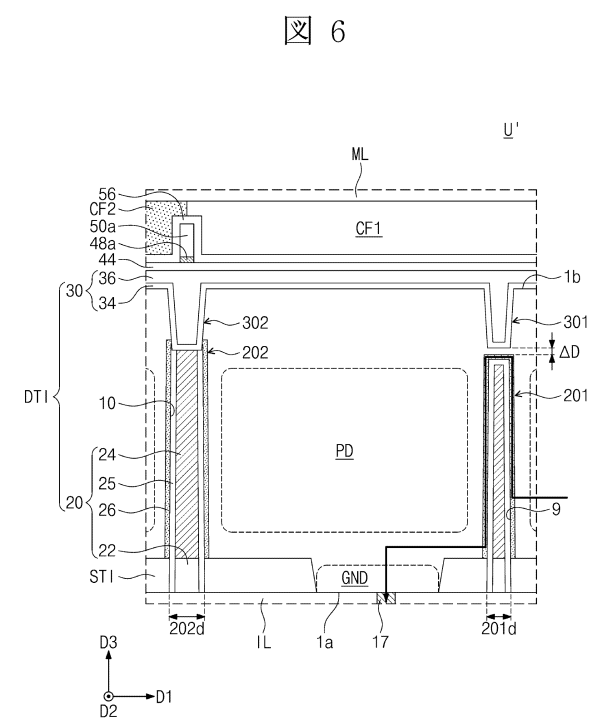
【 図 5 B 】



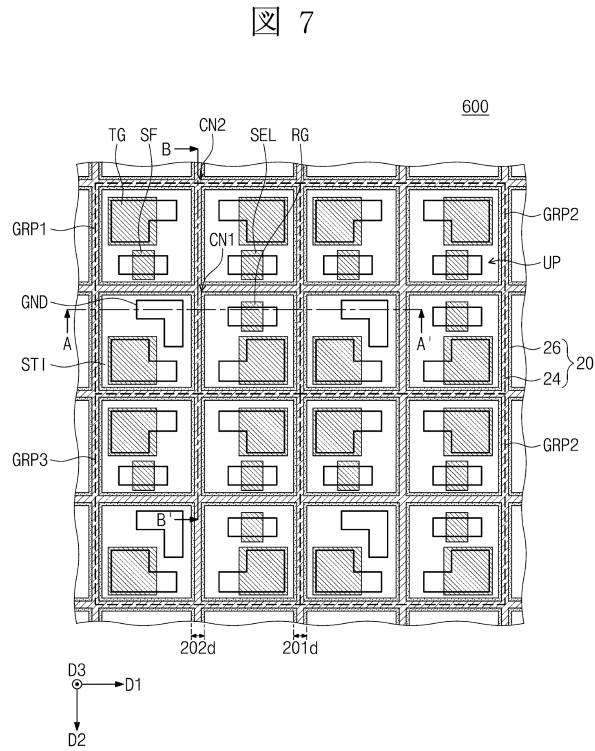
【 図 5 C 】



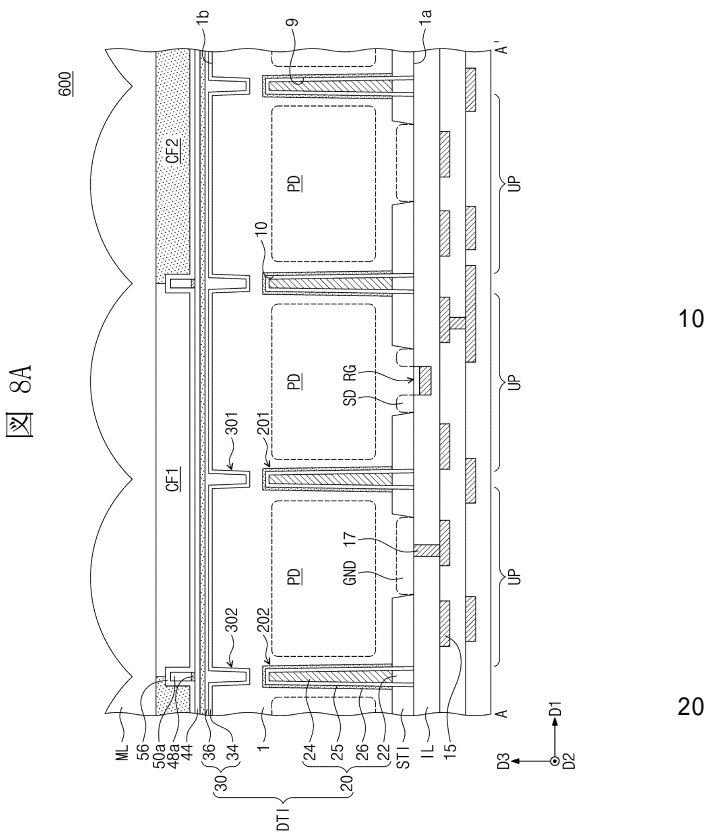
【 図 6 】



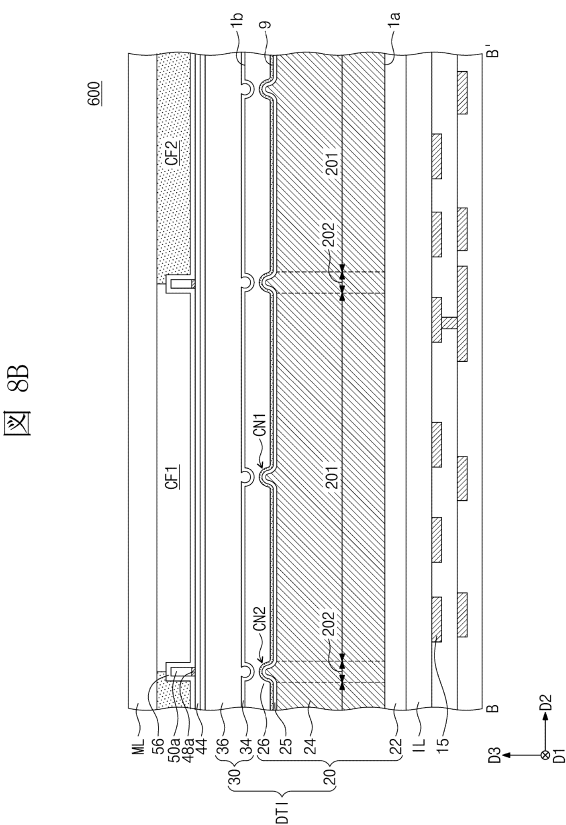
【図 7】



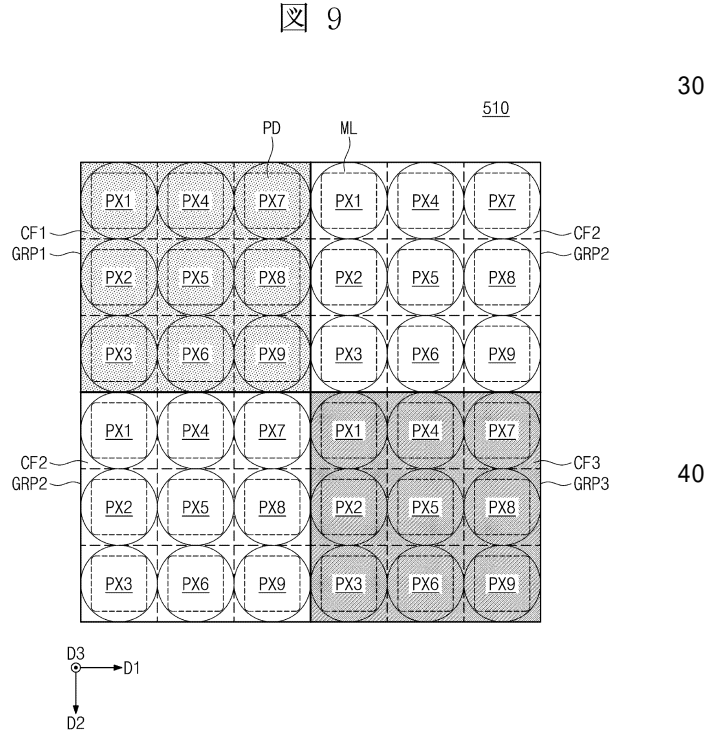
【図 8 A】



【図 8 B】

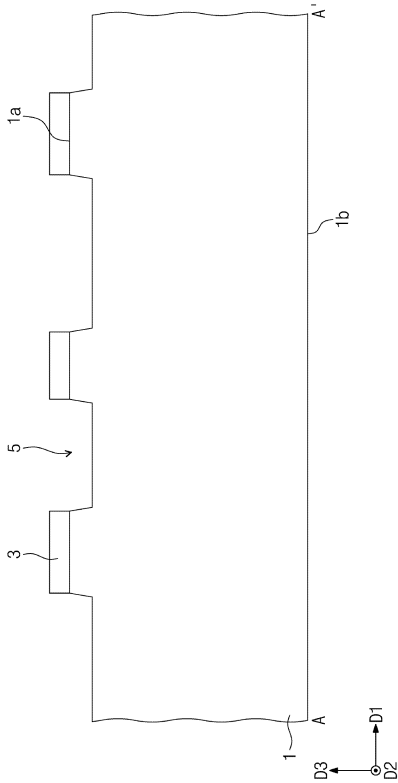


【図 9】



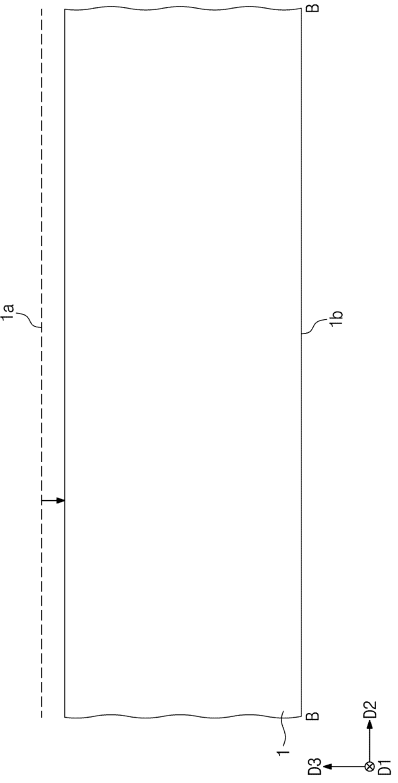
【図 10A】

図 10A



【図 10B】

図 10B

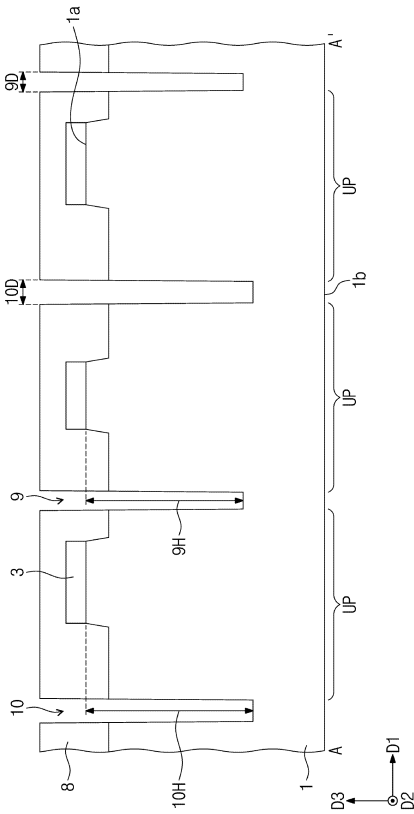


10

20

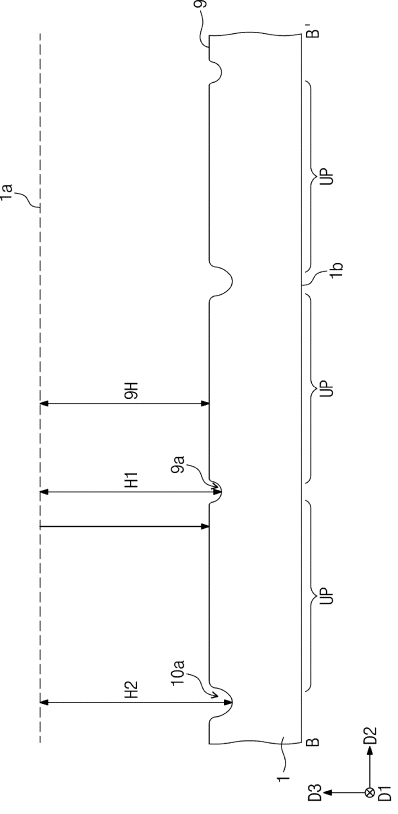
【図 11A】

図 11A



【図 11B】

図 11B



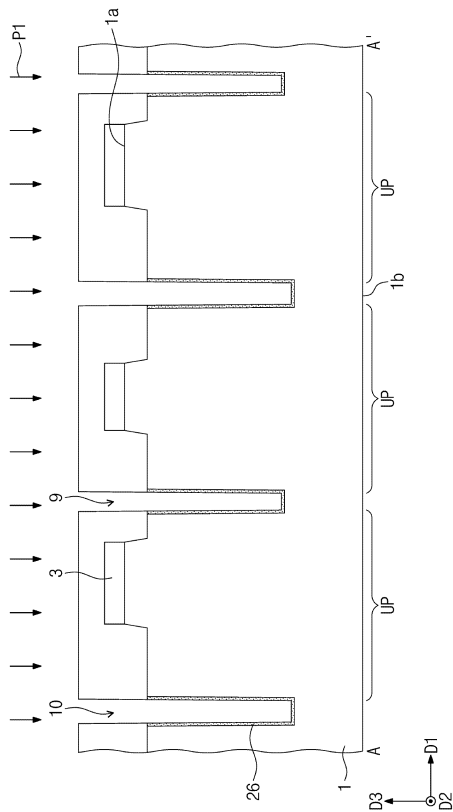
30

40

50

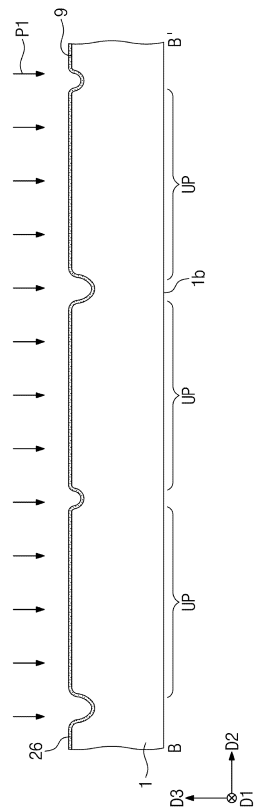
【図 1 2 A】

図 12A



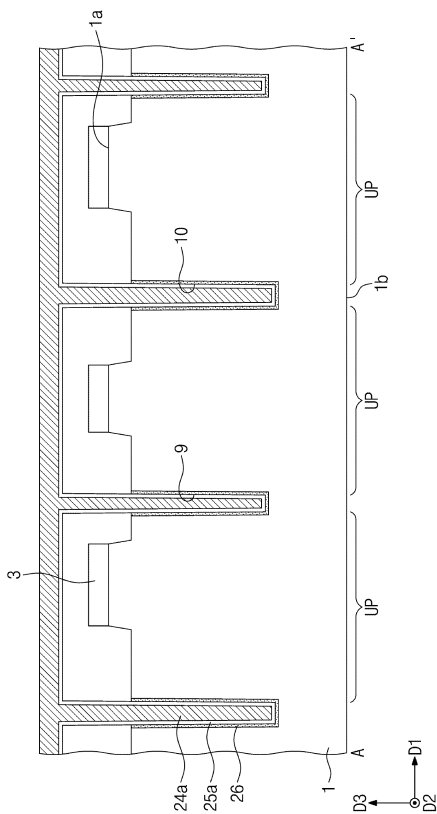
【図 1 2 B】

図 12B



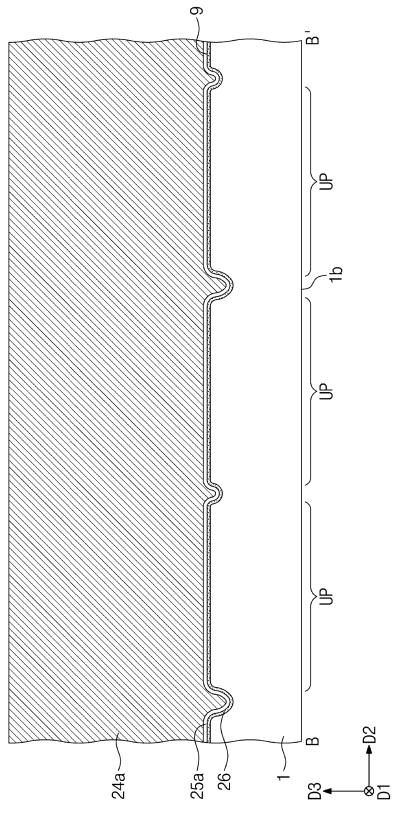
【図 1 3 A】

図 13A



【図 1 3 B】

図 13B



10

20

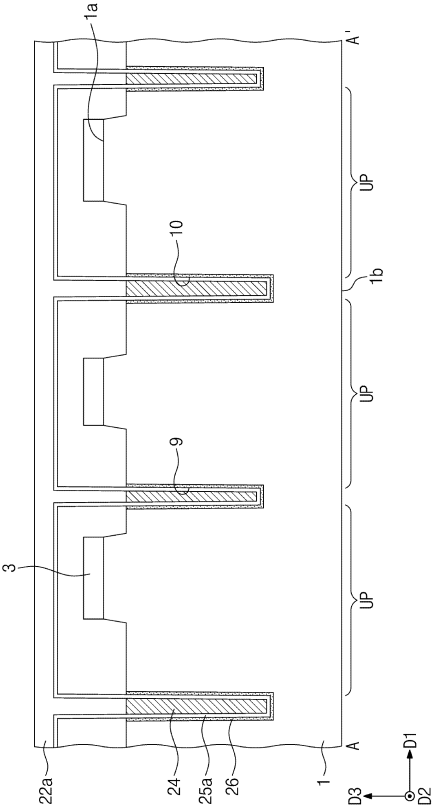
30

40

50

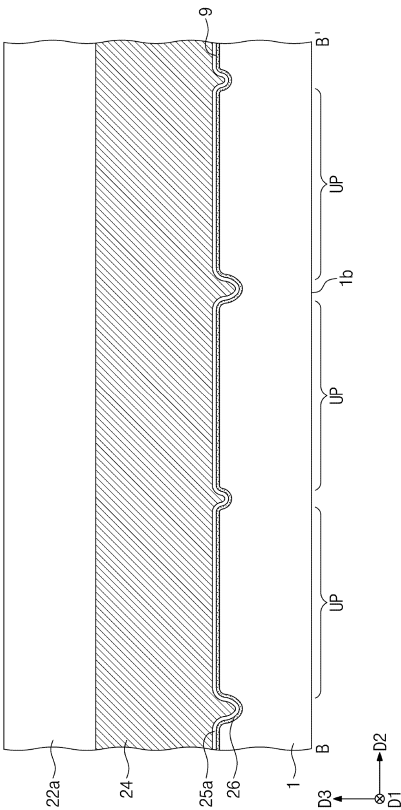
【図 1 4 A】

図 14A



【図 1 4 B】

図 14B

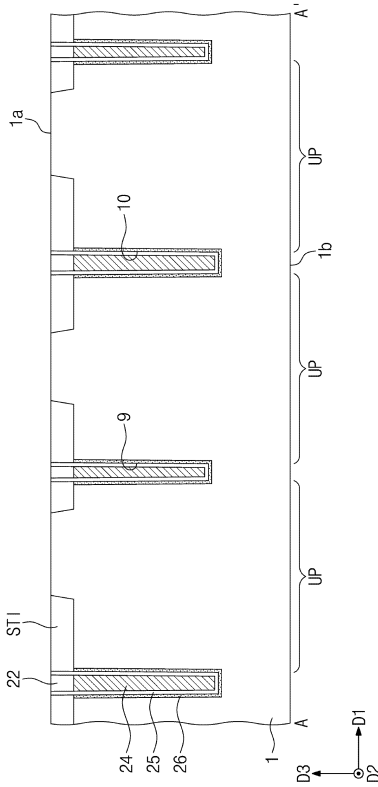


10

20

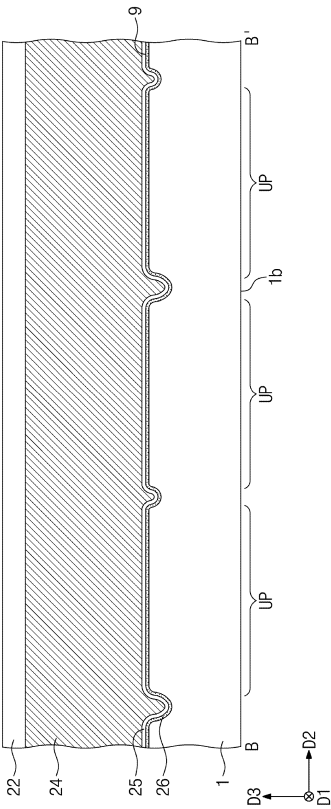
【図 1 5 A】

図 15A



【図 1 5 B】

図 15B



30

40









フロントページの続き

弁理士 宮崎 修  
(72)発明者 朴 海龍  
大韓民国京畿道水原市靈通区三星路 1 2 9  
(72)発明者 崔 性洙  
大韓民国京畿道水原市靈通区三星路 1 2 9  
(72)発明者 朴 鍾銀  
大韓民国京畿道水原市靈通区三星路 1 2 9  
F ターム ( 参考 ) 4M118 AA05 AA10 AB01 BA14 CA03 CA04 CA07 CA09 CA22 CA34  
CB13 DD04 EA01 EA14 FA06 FA27 FA28 FA33 GA02 GB03 GB07  
GB09 GB11 GC08 GD04