



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월25일
(11) 등록번호 10-1138487
(24) 등록일자 2012년04월13일

(51) 국제특허분류(Int. Cl.)

H03B 5/12 (2006.01)

(21) 출원번호 10-2011-0007387

(22) 출원일자 2011년01월25일

심사청구일자 2011년01월25일

(56) 선행기술조사문헌

KR1020090072905 A*

N.J.O et al. Current Reused LC VCOs, IEEE
MICROWAVE AND WIRELESS COMPONENTS LETTERS,
VOL. 15, NO. 11, NOVEMBER 2005, pp. 736-738*

KR100489416 B1

KR100952424 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

윤대열

서울특별시 성동구 행당동 17 한양대학교 공업센터 별관 510호

정유준

부산광역시 북구 덕천3동 128-3 벽산아파트 511호
(뒷면에 계속)

(74) 대리인

특허법인무한

전체 청구항 수 : 총 9 항

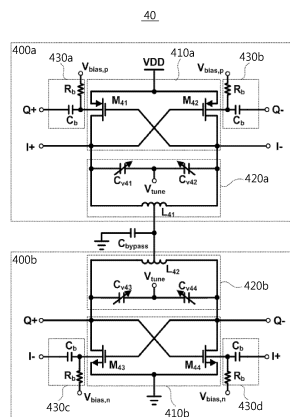
심사관 : 강현일

(54) 발명의 명칭 백게이트 커플링을 이용한 4위상 전압 제어 발진 장치

(57) 요약

4위상 전압 제어 발진 장치가 개시된다. 4위상 전압 제어 발진 장치는, 쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제1 발진신호 및 제2 발진신호를 생성하는 제1 전압 제어 발진부; 쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제3 발진신호 및 제4 발진신호를 생성하는 제2 전압 제어 발진부, 및 제1 전압 제어 발진부, 및 제2 전압 제어 발진부를 캐스코드(cascode) 구조로 연결하는 바이패스 캐패시터(bypass capacitor)를 포함할 수 있다.

대표도 - 도4



(72) 발명자

장호준

부산광역시 금정구 장전온천천로 107 (장전동)

박경섭

인천광역시 연수구 해돋이로84번길 10, 풍림
602-02 (송도동)

이 발명을 지원한 국가연구개발사업

과제고유번호 IITA-2010-C1090-1011-0007

부처명 지식경제부

연구사업명 대학IT연구센터 육성지원사업

연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술

주관기관 인하대학교 산학협력단

연구기간 2010.01.01 ~ 2010.12.31

특허청구의 범위

청구항 1

쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제1 발진신호 및 제2 발진신호를 생성하는 제1 전압 제어 발진부;

쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제3 발진신호 및 제4 발진신호를 생성하는 제2 전압 제어 발진부; 및

상기 제1 전압 제어 발진부, 및 상기 제2 전압 제어 발진부를 캐스코드(cascode) 구조로 연결하는 바이패스 캐패시터(bypass capacitor)

를 포함하고,

제1 전압 제어 발진부는,

한 쌍의 피모스(pMOS) 스위칭 트랜지스터를 이용하여 상기 제1 및 제2 발진신호를 생성하고,

상기 제2 전압 제어 발진부는,

한 쌍의 엔모스(nMOS) 스위칭 트랜지스터를 이용하여 상기 제3 및 제4 발진신호를 생성하는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 및 제2 발진신호는, 상기 제3 및 제4 발진신호와 교차 연결을 통해 형성된 피드백 루프(Feedback Loop)를 이용하여 커플링되는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

청구항 4

제1항에 있어서,

상기 제1 전압 제어 발진부는,

제1 스위칭 트랜지스터와 제2 스위칭 트랜지스터를 교차 연결하여 부성저항을 생성하는 제1 부성저항부; 및

상기 제1 발진신호를 제4 스위칭 트랜지스터의 백게이트에 인가하는 제1 커플링부;

상기 제2 발진신호를 제3 스위칭 트랜지스터의 백게이트에 인가하는 제2 커플링부; 및

상기 제1 부성저항부에서 출력되는 신호의 주파수를 변경하며, 가변 캐패시터로 구성되는 제1 공진부

를 포함하는 4위상 전압 제어 발진 장치.

청구항 5

제4항에 있어서,

상기 제1 커플링부는,

상기 제1 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제1 스위칭 트랜지스터의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제1 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성되고,

상기 제2 커플링부는,

상기 제2 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제2 스위칭 트랜지스터의 백게이트로 DC 전류가 인가

되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제2 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성되는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

청구항 6

제4항에 있어서,

상기 제1 공진부는,

가변 캐패시터에 제어 전압을 공급하여 상기 제1 부성저항부에서 출력되는 신호의 주파수를 변경하는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

청구항 7

제1항에 있어서,

상기 한 쌍의 피모스(pMOS) 스위칭 트랜지스터의 백게이트에는 공급 전압이 바이어싱(biasing)되고,

상기 한 쌍의 엔모스(nMOS) 스위칭 트랜지스터의 백게이트에는 그라운드(ground)가 바이어싱되는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

청구항 8

제1항에 있어서,

상기 제1 발진신호, 상기 제2 발진신호, 상기 제3 발진신호, 및 상기 제4 발진신호는 위상차가 90도이고, 크기가 동일한 직교 위상 발진신호인 것을 특징으로 하는 4위상 전압 발진 장치.

청구항 9

제1항에 있어서,

상기 제2 전압 제어 발진부는,

제3 스위칭 트랜지스터와 제4 스위칭 트랜지스터를 교차 연결하여 부성저항을 생성하는 제2 부성저항부; 및

상기 제3 발진신호를 제1 스위칭 트랜지스터의 백게이트에 인가하는 제3 커플링부;

상기 제4 발진신호를 제2 스위칭 트랜지스터의 백게이트에 인가하는 제4 커플링부; 및

상기 제2 부성저항부에서 출력되는 신호의 주파수를 변경하며, 가변 캐패시터로 구성되는 제2 공진부를 포함하는 4위상 전압 제어 발진 장치.

청구항 10

제9항에 있어서,

상기 제3 커플링부는,

상기 제3 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제3 스위칭 트랜지스터의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제3 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성되고,

상기 제4 커플링부는

상기 제4 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제4 스위칭 트랜지스터의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제4 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성되는 것을 특징으로 하는 4위상 전압 제어 발진 장치.

명세서

기술분야

[0001] 본 발명은 4위상 전압 제어 발진 장치에 관한 것으로, 상세하게는 전류를 재사용하여 4위상 발진신호를 생성하

는 기술에 관한 것이다.

배경 기술

- [0002] 무선 통신 기술이 급속도로 발전함에 따라, 점점 더 많은 주파수 사용이 요구되고 있다. 그러나, 사용할 수 있는 주파수 대역은 한정되어 있기 때문에, 특정 주파수에 대한 라이선싱(Licensing) 비용은 점차 증가하고 있다. 이러한 이유로, 무선 통신 관련 업체 및 연구 단체들은 주파수 사용 효율을 높이기 위한 모뮬레이션(modulation) 방식에 대한 연구를 활발히 진행하고 있다.
- [0003] 일반적으로, RF 송수신 시스템에서 사용 가능한 최대 데이터 속도는 모뮬레이션 방식에 따라 결정된다. 이때, 현재까지는 QAM(Quadrature Amplitude Modulation) 방식의 주파수 사용 효율이 가장 높은 것으로 알려져 있다. QAM 방식의 시스템은 주파수가 같으며 두 신호간의 위상차가 90도인 두 개의 다른 신호를 사용하는 시스템이다. 여기서, 두 신호는 I(In-Phase)신호와 Q(Quadrature-Phase)신호를 포함한다. 이러한 I신호 및 Q신호는 전압 제어 발진장치가 생성하는 신호에 의해 변조 및 복조된다. 이때, 전압 제어 발진장치는 주파수 상향 및 하향 변환에 필요한 신호를 생성한다. 특히, 전압 제어 발진장치의 여러 특성 중 위상 잡음 특성은 수신기 전체의 성능을 좌우하는 주요 인자이다. 이에 따라, 전압 제어 발진장치에 대한 연구는 집적화, 소형화, 저전력화를 목표로 활발히 진행되고 있다.
- [0004] 따라서, 전압 제어 발진장치를 주파수 사용 효율이 가장 좋은 4위상 발진신호를 생성하면서, 전압 제어 발진장치를 집적화, 소형화 및 저전력화할 수 있는 기술이 필요하다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 스위칭 트랜지스터의 백게이트(backgate)를 이용하여 4개의 직교 위상 발진신호를 생성하고, 위상 잡음 및 전력소모를 감소시킬 수 있는 4위상 전압 제어 발진 장치를 제공한다.
- [0006] 본 발명은 두 개의 전압 제어 발진장치를 캐스코드(cascode) 구조로 연결하여 전류를 재사용할 수 있는 4위상 전압 제어 발진 장치를 제공한다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 4위상 전압 제어 발진 장치는, 쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제1 발진신호 및 제2 발진신호를 생성하는 제1 전압 제어 발진부, 쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제3 발진신호 및 제4 발진신호를 생성하는 제2 전압 제어 발진부, 및 상기 제1 전압 제어 발진부, 및 상기 제2 전압 제어 발진부를 캐스코드(cascode) 구조로 연결하는 바이패스 캐패시터(bypass capacitor)를 포함할 수 있다.
- [0008] 또한, 제1 전압 제어 발진부는, 한 쌍의 피모스(pMOS) 스위칭 트랜지스터를 이용하여 상기 제1 및 제2 발진신호를 생성하고, 상기 제2 전압 제어 발진부는, 한 쌍의 엔모스(nMOS) 스위칭 트랜지스터를 이용하여 상기 제3 및 제4 발진신호를 생성할 수 있다.
- [0009] 또한, 상기 제1 전압 제어 발진부는, 제1 스위칭 트랜지스터와 제2 스위칭 트랜지스터를 교차 연결하여 부성저항을 생성하는 제1 부성저항부, 및 상기 제1 발진신호를 제4 스위칭 트랜지스터의 백게이트에 인가하는 제1 커플링부, 상기 제2 발진신호를 제3 스위칭 트랜지스터의 백게이트에 인가하는 제2 커플링부, 및 상기 제1 부성저항부에서 출력되는 신호의 주파수를 변경하며, 가변 캐패시터로 구성되는 제1 공진부를 포함할 수 있다.
- [0010] 또한, 상기 제1 커플링부는, 상기 제1 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제1 스위칭 트랜지스터의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제1 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성되고, 상기 제2 커플링부는, 상기 제2 스위칭 트랜지스터의 백게이트와 연결되며, 상기 제2 스위칭 트랜지스터의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(bypass capacitor), 및 상기 제2 스위칭 트랜지스터의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항으로 구성될 수 있다.
- [0011] 또한, 상기 제2 전압 제어 발진부는, 제3 스위칭 트랜지스터와 제4 스위칭 트랜지스터를 교차 연결하여 부성저항을 생성하는 제2 부성저항부, 및 상기 제3 발진신호를 제1 스위칭 트랜지스터의 백게이트에 인가하는 제3 커플링부, 및 상기 제4 발진신호를 제2 스위칭 트랜지스터의 백게이트에 인가하는 제4 커플링부를 포함할 수 있다.

플러부, 상기 제4 발진신호를 제2 스위칭 트랜지스터의 백게이트에 인가하는 제4 커플링부, 및 상기 제2 부성저항부에서 출력되는 신호의 주파수를 변경하며, 가변 캐패시터로 구성되는 제2 공진부를 포함할 수 있다.

발명의 효과

[0012] 본 발명의 일실시예에 따르면, 스위칭 트랜지스터의 백게이트(backgate)를 이용하여 4개의 직교 위상 발진신호를 생성하고, 위상잡음 및 전력소모를 감소시킬 수 있다.

[0013] 본 발명의 일실시예에 따르면, 두 개의 전압제어발진장치를 캐스코드(cascode) 구조로 연결하여 전류를 재사용할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일실시예에 따라 두 개의 전압 제어 발진부를 병렬로 커플링하는 구성을 도시한 회로도이다.
- 도 2는 본 발명의 일실시예에 따른 스위칭 트랜지스터를 이용하여 4개의 직교 위상 발진신호를 생성하는 구성을 도시한 회로도이다.
- 도 3은 본 발명의 일실시예에 따른 커플링 트랜지스터를 이용하여 두 개의 전압 제어 발진부를 커플링하는 구성을 도시한 회로도이다.
- 도 4는 본 발명의 일실시예에 따른 스위칭 트랜지스터를 이용하여 4개의 직교 위상 발진신호를 생성하고, 두 개의 전압 제어 발진부를 캐스코드 구조로 연결한 4위상 전압 제어 발진 장치의 구성을 도시한 회로도이다.
- 도 5는 도 3에 도시한 전압제어발진부의 일부를 도시한 등가회로도이다.
- 도 6a는 도 3에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 회로도이다.
- 도 6b는 도 3에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 소신호 등가회로도이다.
- 도 6c는 도 4에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 회로도이다.
- 도 6d는 도 4에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 소신호 등가회로도이다.
- 도 7은 도 1 내지 도 4에 도시한 4위상 전압 제어 발진 장치의 시뮬레이션 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0016] 이하에서, 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0017] 도 1은 본 발명의 일실시예에 따라 두 개의 전압 제어 발진부를 병렬로 커플링하는 구성을 도시한 회로도이다.
- [0018] 도 1에 따르면, 4위상 전압 제어 발진 장치(Quadrature Voltage Controlled Oscillator: QVCO)는 제1 전압 제어 발진부(100a), 및 제2 전압 제어 발진부(100b)를 포함할 수 있다.
- [0019] 먼저, 제1 전압 제어 발진부(100a)는 제1 공진부(110a), 제1 부성저항부(120a), 제1 커플링부(130a), 제2 커플링부(130b)를 포함할 수 있다. 그리고, 제2 전압 제어 발진부(100b)는 제2 공진부(110b), 제2 부성저항부(120b), 제3 커플링부(130c), 제4 커플링부(130d)를 포함할 수 있다.
- [0020] 이때, 제1 부성저항부(120a)는 쌍을 이루는 제1 엔모스(nMOS) 트랜지스터(M11), 및 제2 엔모스 트랜지스터(M12)가 직렬 교차 연결되어 부성저항을 생성할 수 있다. 마찬가지로, 제2 부성저항부(120b)는 쌍을 이루는 제3 엔모스(nMOS) 트랜지스터(M13), 및 제4 엔모스 트랜지스터(M14)가 직렬 교차 연결되어 부성저항을 생성할 수 있다.
- [0021] 그리고, 제1 공진부(110a)는 제1 부성저항부(120a) 상단에 연결되어, 공진 신호를 생성할 수 있다. 마찬가지로, 제2 공진부(110b)는 제2 부성저항부(120b) 상단에 연결되어, 공진 신호를 생성할 수 있다.
- [0022] 이어, 제1 커플링부(130a), 제2 커플링부(130b), 제3 커플링부(130c), 제4 커플링부(130d)는 제1 전압 제어 발진부(100a)와 제2 전압 제어 발진부(100b)를 병렬로 커플링시킬 수 있다.

- [0023] 이때, 제1 커플링부(130a)는 제1 엔모스(nMOS) 트랜지스터(M11)와 연결되며, 커플링 트랜지스터(M15)로 구성될 수 있다. 마찬가지로, 제2 커플링부(130b)는 제2 엔모스(nMOS) 트랜지스터(M12)와 연결되며, 커플링 트랜지스터(M16)로 구성될 수 있다. 그러면, 제1 전압 제어 발진부(100a)의 출력 신호는 제1 커플링부(130a) 및 제2 커플링부(130b)를 통해 제2 전압 제어 발진부(100b)로 인가될 수 있다. 그리고, 제3 커플링부(130c)는 제3 엔모스(nMOS) 트랜지스터(M13)와 연결되며, 커플링 트랜지스터(M17)로 구성될 수 있다. 마찬가지로, 제4 커플링부(130d)는 제4 엔모스(nMOS) 트랜지스터(M14)와 연결되며, 커플링 트랜지스터(M18)로 구성될 수 있다. 그러면, 제1 전압 제어 발진부(100a)에서 출력되는 발진신호는 제1 커플링부(130a) 및 제2 커플링부(130b)를 통해 제2 전압 제어 발진부(100b)로 인가될 수 있다. 마찬가지로, 제2 전압 제어 발진부(100b)에서 출력되는 발진신호는 제3 커플링부(130c) 및 제4 커플링부(130d)를 통해 제1 전압 제어 발진부(100a)로 인가될 수 있다.
- [0024] 일례로, 제1 전압 제어 발진부(100a)에서 출력되는 한 쌍의 발진신호($I+$, $I-$)는 제2 전압 제어 발진부(100b)의 커플링 트랜지스터(M17, M18)의 게이트에 각각 연결될 수 있다. 그리고, 제2 전압 제어 발진부(100b)에서 출력되는 한 쌍의 발진신호($Q+$, $Q-$)는 제1 전압 제어 발진부(100a)의 커플링 트랜지스터(M15, M16)의 게이트에 각각 연결되어 피드백 루프(feedback loop)를 형성함으로써, 커플링될 수 있다. 이처럼, 4위상 전압 제어 발진 장치(10)는 병렬 커플링을 통해 크기가 동일하고 위상이 90도씩 차이가 나는 4개의 발진신호를 생성할 수 있다. 이때, 커플링 트랜지스터를 병렬 커플링하는 경우라, 커플링 트랜지스터를 통해 흐르는 추가적인 전류로 인해 전력 소모가 증가할 수 있다. 그리고, 커플링 트랜지스터를 사용함에 따라 채널(channel) 잡음, 플리커(flicker) 잡음 등이 발생하여 위상 잡음 특성이 저하될 수 있다.
- [0025] 도 2는 본 발명의 일실시예에 따른 스위칭 트랜지스터를 이용하여 4개의 직교 위상 발진신호를 생성하는 구성을 도시한 회로도이다.
- [0026] 도 2의 4위상 전압 제어 발진 장치(20)는 스위칭 트랜지스터의 백게이트에 입력되는 제1 내지 제4 커플링부(230a, 230b, 230c, 230d,)를 제외하고, 도 1의 4위상 전압 제어 발진 장치(10)와 기본적인 구성이 동일하므로 중복되는 설명은 생략하기로 한다.
- [0027] 도 2의 4위상 전압 제어 발진 장치(20)는, 도 1의 병렬 커플링 트랜지스터(M15, M16, M17, M18) 대신 스위칭 트랜지스터(M21, M22, M23, M24)의 백게이트를 이용하여 크기가 동일하고, 90도 위상차를 갖는 4개의 직교 위상 발진신호를 생성할 수 있다. 이처럼, 4위상 전압 제어 발진 장치(20)가 백게이트 커플링을 이용하는 경우, 도 1의 4위상 전압 제어 발진 장치(10)와 같이, 병렬 커플링 트랜지스터들을 사용하지 않으므로 추가적인 전류 흐름이 발생하지 않아 전력 소모를 감소시킬 수 있다. 또한, 커플링 트랜지스터를 사용하지 않음에 따라, 4위상 전압 제어 발진 장치(20)는 트랜지스터의 수를 감소시킬 수 있으며, 커플링 트랜지스터에 의해 발생하는 채널(channel) 잡음, 플리커(flicker) 잡음 등에 의한 위상 잡음 특성 저하를 보상할 수 있다.
- [0028] 도 3은 본 발명의 일실시예에 따른 커플링 트랜지스터를 이용하여 두 개의 전압 제어 발진부를 커플링하는 구성을 도시한 회로도이다
- [0029] 도 3의 4위상 전압 제어 발진 장치(30)는, 피모스(pMOS) 트랜지스터(M31, M32)로 구성된 제1 전압 제어 발진부(300a), 및 엔모스(nMOS) 트랜지스터(M33, M34)로 구성된 제2 전압 제어 발진부(300b)를 포함할 수 있다. 이때, 제1 전압 제어 발진부(300a)와 제2 전압 제어 발진부(300b)는 쌍을 형성한 캐스코드(cascode) 구조로 연결될 수 있다. 이처럼, 4위상 전압 제어 발진 장치(30)는 바이패스 캐패시터(Cbypass)를 이용하여 제1 및 제2 전압 제어 발진부(300a, 300b)를 캐스코드 구조로 연결함에 따라 DC 전류를 재사용할 수 있다. 이때, 바이패스 캐패시터(Cbypass)는 제1 및 제2 전압 제어 발진부(300a, 300b)를 AC적으로 독립시킬 수 있다. 여기서, 4위상 전압 제어 발진 장치(30)가 4개의 직교 위상 발진신호를 생성하는 동작은 도 1과 동일하므로 중복되는 설명은 생략하기로 한다.
- [0030] 이상에서 설명한 바와 같이, 도 3의 4위상 전압 제어 발진 장치(30)는 도 1의 4위상 전압 제어 발진 장치(10)와는 달리 제1 및 제2 전압 제어 발진부 각각에 흐르는 DC 전류를 재사용하여 전력 소모를 감소시킬 수 있다. 그러나, 커플링 트랜지스터를 사용하여 커플링을 수행함에 따라 전력 소모가 증가할 수 있으며, 다수의 트랜지스터 사용에 따른 잡음원이 증가할 수 있다.
- [0031] 도 4는 본 발명의 일실시예에 따른 스위칭 트랜지스터를 이용하여 4개의 직교 위상 발진신호를 생성하고, 두 개의 전압 제어 발진부를 캐스코드 구조로 연결한 4위상 전압 제어 발진 장치의 구성을 도시한 회로도이다.
- [0032] 도 4에 따르면, 4위상 전압 제어 발진 장치(40)는, 쌍(pair)을 이루는 스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제1 발진신호 및 제2 발진신호를 생성하는 제1 전압 제어 발진부(400a), 쌍(pair)을 이루는

스위칭 트랜지스터의 백게이트(back gate)를 이용하여 제3 발진신호 및 제4 발진신호를 생성하는 제2 전압 제어 발진부(400b), 및 제1 전압 제어 발진부, 및 제2 전압 제어 발진부를 캐스코드(cascode) 구조로 연결하는 바이패스 캐패시터(bypass capacitor: Cbypass)를 포함할 수 있다.

[0033] 이때, 제1 전압 제어 발진부(300a)는 한 쌍의 피모스(pMOS) 스위칭 트랜지스터를 이용하여 제1 및 제2 발진신호를 생성할 수 있다. 그리고, 제2 전압 제어 발진부(300b)는, 한 쌍의 엔모스(nMOS) 스위칭 트랜지스터를 이용하여 제3 및 제4 발진신호를 생성할 수 있다.

[0034] 일례로, 한 쌍의 피모스(pMOS) 스위칭 트랜지스터(M41, M42)의 백게이트에는 공급 전압(VDD)이 바이어싱(biasing)되고, 한 쌍의 엔모스(nMOS) 스위칭 트랜지스터(M43, M44)의 백게이트에는 그라운드(ground)가 바이어싱(biasing)될 수 있다. 이에 따라, 피모스(pMOS) 스위칭 트랜지스터(M41, M42) 및 엔모스(nMOS) 스위칭 트랜지스터(M43, M44) 각각의 바디-소스 간 DC전압은 일정하게 유지되어 바디 효과(Body effect)를 최소화할 수 있다.

[0035] 그리고, 4위상 전압 제어 발진 장치(40)에서 생성한 제1 발진신호, 제2 발진신호, 제3 발진신호, 및 제4 발진신호는 위상차가 90도이고 크기가 동일한 직교 위상 발진신호일 수 있다. 여기서, 제1 및 제2 발진신호는, 제3 및 제4 발진신호와 교차 연결을 통해 형성된 피드백 루프(Feedback Loop)를 이용하여 커플링될 수 있다.

[0036] 상세하게는, 제1 전압 제어 발진부(400a)는, 제1 부성저항부(410a), 제1 공진부(420a), 제1 커플링부(430a), 제2 커플링부(430b)를 포함할 수 있다. 그리고, 제2 전압 제어 발진부(400b)는, 제2 부성저항부(410b), 제2 공진부(420b), 제3 커플링부(430c), 제4 커플링부(430d)를 포함할 수 있다.

[0037] 먼저, 제1 부성저항부(410a)는 제1 스위칭 트랜지스터(M41)와 제2 스위칭 트랜지스터(M42)를 교차 연결하여 부성저항을 생성할 수 있다. 마찬가지로, 제2 부성저항부(410b)는 제3 스위칭 트랜지스터(M43)와 제4 스위칭 트랜지스터(M44)를 교차 연결하여 부성저항을 생성할 수 있다.

[0038] 이때, 제1 및 제2 스위칭 트랜지스터(M41, M42)는 피모스(pMOS) 트랜지스터로 구성되고, 제3 및 제4 스위칭 트랜지스터(M43, M44)는 엔모스(nMOS) 트랜지스터로 구성될 수 있다. 그러면, 제1 부성저항부(410a)는 제1 스위칭 트랜지스터의 게이트(gate)와 제2 스위칭 트랜지스터의 드레인(drain)이 서로 교차 연결(cross coupled)되고, 제1 스위칭 트랜지스터의 드레인(drain)과 제2 스위칭 트랜지스터의 게이트(gate)가 서로 교차 연결된 구조를 가질 수 있다. 마찬가지로, 제2 부성저항부(410b)는 제3 스위칭 트랜지스터의 게이트(gate)와 제4 스위칭 트랜지스터의 드레인(drain)이 서로 교차 연결(cross coupled)되고, 제3 스위칭 트랜지스터의 드레인(drain)과 제4 스위칭 트랜지스터의 게이트(gate)가 서로 교차 연결된 구조를 가질 수 있다.

[0039] 그리고, 제1 공진부(420a)는 제1 부성저항부(410a)의 하단에 연결되며, 제1 부성저항부(410a)에서 출력되는 신호의 주파수를 변경할 수 있다.

[0040] 일례로, 제1 공진부(420a)는 제1 및 제2 스위칭 트랜지스터(M41, M42)와 연결되고, 제2 공진부(420b)는 제3 및 제4 스위칭 트랜지스터(M43, M44)와 연결될 수 있다. 이 때, 제1 공진부(420a)는 제1 부성저항부(410a)에서 생성한 부성저항을 이용하여 발진을 지속시킬 수 있다. 마찬가지로, 제2 공진부(420b)는 제2 부성저항부(410b)에서 생성한 부성저항을 이용하여 발진을 지속시킬 수 있다. 즉, 부성저항은 제1 및 제2 공진부(420a, 420b)의 손실을 보상하여 발진을 지속시킬 수 있다.

[0041] 그리고, 제1 공진부(420a)는 가변 캐패시터(Cv41, Cv42)에 제어 전압(Vtune)을 공급하여 제1 부성저항부(410a)에서 출력되는 신호의 주파수를 변경할 수 있다. 마찬가지로, 제2 공진부(420b)는 제2 부성저항부(410b)의 상단에 연결되며, 제2 부성저항부(410b)에서 출력되는 신호의 주파수를 변경할 수 있다. 이때, 제2 공진부(420b)는 가변 캐패시터(Cv43, Cv44)에 제어 전압(Vtune)을 공급하여 제2 부성저항부(410b)에서 출력되는 신호의 주파수를 변경할 수 있다. 그리고, 바이패스 캐패시터(Cbypass)는 제1 공진부(420a) 및 제2 공진부(420b)를 캐스코드 구조로 연결하여 DC 전류를 재사용할 수 있다. 일례로, 바이패스 캐패시터로는 온칩(on-chip) 바이패스 캐패시터를 사용하여 제1 및 제2 전압 제어 발진부(400a, 400b) 간의 신호 간섭을 방지할 수 있다.

[0042] 이어, 제1 커플링부(430a)는 제1 스위칭 트랜지스터(M41)의 백게이트와 연결되며, 제1 스위칭 트랜지스터(M41)의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(Cb), 및 제1 스위칭 트랜지스터(M41)의 백게이트에 인가되는 발진신호를 DC 바이어싱(biasing)하는 바이패스 저항(Rb)으로 구성될 수 있다. 그리고, 제2 커플링부(430b)는 제2 스위칭 트랜지스터(M42)의 백게이트와 연결되며, 제2 스위칭 트랜지스터(M42)의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(Cb), 및 제2 스위칭 트랜지스터(M42)의 백게이트

에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항(Rb)으로 구성될 수 있다.

[0043] 마찬가지로, 제3 커플링부(430c)는 제3 스위칭 트랜지스터(M43)의 백게이트와 연결되며, 제3 스위칭 트랜지스터(M43)의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(Cb)), 및 제3 스위칭 트랜지스터(M43)의 백게이트에 인가되는 발진신호를 DC 바이어싱(biasing)하는 바이패스 저항(Rb)으로 구성될 수 있다. 그리고, 제4 커플링부(430d)는 제4 스위칭 트랜지스터(M44)의 백게이트와 연결되며, 제4 스위칭 트랜지스터(M44)의 백게이트로 DC 전류가 인가되는 것을 차단하는 바이패스 캐패시터(Cb), 및 제4 스위칭 트랜지스터(M44)의 백게이트에 인가되는 발진신호를 DC 바이어싱하는 바이패스 저항(Rb)으로 구성될 수 있다.

[0044] 일례로, 제1 커플링부(430a)에 제2 전압 제어 발진부(400b)의 출력인 제3 발진신호(Q+) 신호가 공급된 경우, 제1 커플링부(430a)는 제1 발진신호(I+)를 제4 스위칭 트랜지스터(M44)의 백게이트에 인가할 수 있다. 그리고, 제2 커플링부(430b)는 제2 발진신호(I-)를 제3 스위칭 트랜지스터(M43)의 백게이트에 인가할 수 있다. 마찬가지로, 제3 커플링부(430c)는 제3 발진신호(Q+)를 제1 스위칭 트랜지스터(M41)의 백게이트에 인가할 수 있다. 그리고, 제4 커플링부(430d)는 제4 발진신호(Q-)를 제2 스위칭 트랜지스터(M42)의 백게이트에 인가할 수 있다. 이에 따라, 4위상 전압 제어 발진 장치(40)는 크기가 동일하고, 90도 위상차를 갖는 4개의 직교 위상 발진신호(I+, I-, Q+, Q-)를 생성할 수 있다.

[0045] 이상에서 설명한 바와 같이, 도 4의 4위상 전압 제어 발진 장치(40)는 스위칭 트랜지스터의 백게이트를 이용하여 커플링을 수행함에 따라, 커플링 트랜지스터의 드레인-소스 간 채널(channel) 잡음, 게이트에 발생하는 플리커(flicker) 잡음 등에 의해 발생하는 위상 잡음 특성 저하를 감소시킬 수 있다. 또한, 4위상 전압 제어 발진 장치(40)는 도 3과 같이, 커플링 트랜지스터(M35, M36, M37, M38)를 사용하지 않음에 따라, 커플링 트랜지스터를 구동하기 위해 필요한 DC 전류를 감소시켜 전력 소모를 감소시킬 수 있다.

[0046] 도 5는 도 3에 도시한 전압제어발진부의 일부를 도시한 등가회로도이다.

[0047] 도 5는, 도 3의 제2 전압 제어 발진부(300b)의 구성 중 절반 부분을 등가회로로 도시한 도면이다.

[0048] 도 5에 따르면, Vin은 커플링 트랜지스터(M37)에 인가되는 전압이고, R은 제2 공진부(310b)의 기생저항이다. 이때, 도 5의 등가회로에서 전달함수(transfer function)는 아래의 수학식 1을 이용하여 계산될 수 있다.

수학식 1

$$[0049] \quad \frac{V_o(s)}{V_{in}(s)} = \frac{-g_{mc}LRs}{s^2LC_{var}R + sL + R}$$

[0050] 수학식 1에서, Vin(s)는 커플링 트랜지스터(M37)로 입력되는 신호, Vo(s)는 커플링 트랜지스터(M37)에서 출력되는 신호, R은 제2 공진부(310b)의 기생저항, Cvar은 가변 캐패시터, L은 인덕턴스이다. 그리고, gmc는 커플링 트랜지스터의 전달 컨덕턴스, s는 라플라스 변환 시 사용되는 복소수이다.

[0051] 이때, 제2 공진부(310b)의 기생저항 R은 제2 부성저항부(320b)에서 생성된 부성저항과 상쇄될 수 있다. 그러면, 수학식 1은 아래의 수학식 2와 같이 변경될 수 있으며, 전달함수는 아래의 수학식 2를 이용하여 계산될 수 있다.

수학식 2

$$[0052] \quad \frac{V_o(s)}{V_{in}(s)} = \frac{-g_{mc}Ls}{s^2LC_{var} + 1}$$

[0053] 수학식 2에 따르면, 입력 신호 Vin(s)와 출력 신호Vo(s) 간의 위상차가 90도가 될 수 있다. 다시 말해, 도 3의 4위상 전압 제어 발진 장치(30)는 커플링 트랜지스터(M35, M36, M37, M38)를 이용하여 90도 위상차가 나는 4개의 직교 위상 발진신호들(Q+, Q-, I+, I-)을 출력할 수 있다.

[0054] 도 6a는 도 3에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 회로도, 도 6b는 도 3에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 소신호 등가회로도이다. 그리고, 도 6c는 도 4에 도시한 스위칭 트랜지스터와 커플링부 간의 연결을 도시한 회로도, 도 6d는 도 4에 도시한 스위칭 트랜지스터와 커플링부 간의

연결을 도시한 소신호 등가회로도이다.

- [0055] 특히, 도 6a에 따르면, 도 3의 제2 부성저항부(320b)를 구성하는 스위칭 트랜지스터(M33)의 게이트와 커플링 트랜지스터(M37)가 연결될 수 있다. 그리고, 도 6c에 따르면, 도 4의 제2 부성저항부(410b)를 구성하는 제3 스위칭 트랜지스터(M43)의 백게이트와 제3 커플링부(430c)가 연결될 수 있다. 이때, 도 6a의 소신호 등가회로인 도 6b와 도 6c의 소신호 등가회로인 도 6d를 비교해 보면, 커플링 트랜지스터(M37)의 게이트-소스 간 전압의 역할을 제3 스위칭 트랜지스터(M43)의 백게이트-소스 간 전압이 대신함을 확인할 수 있다. 이에 따라, 도 4와 같이, 4 위상 전압 제어 발진 장치(40)는 스위칭 트랜지스터의 백게이트를 이용하여 커플링함에 따라 90도 위상 차이가 나는 4개의 발진신호들(I+, I-, Q+, Q-)를 생성할 수 있다.
- [0056] 상세하게는, 도 4를 참조하면, 제1 전압 제어 발진부(400a)의 제1 스위칭 트랜지스터(M41)의 백게이트에 제2 전압 제어 발진부(400b)의 출력 신호인 Q+신호가 공급되는 경우, 제2 스위칭 트랜지스터(M41)은 Q+신호와 90도 위상차를 갖는 I+ 신호를 출력할 수 있다.
- [0057] 이어, I+ 신호는 제2 전압 제어 발진부(400b)를 구성하는 제4 스위칭 트랜지스터(M44)의 백게이트에 공급될 수 있다. 그러면, 제4 스위칭 트랜지스터(M44)는 I+ 신호와 90도 위상차를 갖는 Q- 신호를 출력할 수 있다.
- [0058] 그리고, Q- 신호는 제1 전압 제어 발진부(400a)를 구성하는 제2 스위칭 트랜지스터(M42)의 백게이트에 공급될 수 있다. 그러면, 제2 스위칭 트랜지스터(M42)는 Q- 신호와 90도 위상차를 갖는 I- 신호를 출력할 수 있다.
- [0059] 이어, I- 신호는 제2 전압 제어 발진부(400b)를 구성하는 제3 스위칭 트랜지스터(M43)의 백게이트에 공급될 수 있다. 그러면, 제3 스위칭 트랜지스터(M43)는 I- 신호와 90도 위상차를 갖는 Q+ 신호를 출력할 수 있다. 이처럼, 제1 내지 제4 스위칭 트랜지스터(M41~M44)는 상기 동작을 반복함에 따라 90도 위상 차이가 나는 4개의 발진 신호들(I+, I-, Q+, Q-)를 생성할 수 있다.
- [0060] 도 7은 본 발명의 일실시예에 따른 도 1 내지 도 4의 4위상 전압 제어 발진 장치의 시뮬레이션 결과를 도시한 도면이다.
- [0061] 도 7에서, 4위상 전압 제어 발진 장치 1은 도 1에 따라 설계된 4위상 전압 제어 발진 장치, 4위상 전압 제어 발진 장치 2는 도 2에 따라 설계된 4위상 전압 제어 발진 장치, 4위상 전압 제어 발진 장치 3은 도 3에 따라 설계된 4위상 전압 제어 발진 장치, 4위상 전압 제어 발진 장치 4는 도 2에 따라 설계된 4위상 전압 제어 발진 장치이다.
- [0062] 도 7에 따르면, 4위상 전압 제어 발진 장치 1의 공정은, 0.18 μ m CMOS, 공급 전압은 1V, 발진 주파수는 3.6GHz, 위상 잡음은 -112.8dBc/Hz, 전력 소모는 11.4mW, FOM(Figure Of Merit)는 173.3임을 확인할 수 있다. 그리고, 4위상 전압 제어 발진 장치 2의 공정은, 0.18 μ m CMOS, 공급 전압은 1V, 발진 주파수는 3.6GHz, 위상 잡음은 -126.1dBc/Hz, 전력 소모는 7.7mW, FOM는 188.5임을 확인할 수 있다. 이어, 4위상 전압 제어 발진 장치 3의 공정은, 0.18 μ m CMOS, 공급 전압은 1.25V, 발진 주파수는 3.6GHz, 위상 잡음은 -114.6dBc/Hz, 전력 소모는 3.8mW, FOM는 179.9임을 확인할 수 있다. 그리고, 4위상 전압 제어 발진 장치 4의 공정은, 0.18 μ m CMOS, 공급 전압은 1.25V, 발진 주파수는 3.6GHz, 위상 잡음은 -123dBc/Hz, 전력 소모는 1.8mW, FOM는 191.7임을 확인할 수 있다.
- [0063] 특히, 도 7에 따르면, 4위상 전압 제어 발진 장치 4는 4위상 전압 제어 발진 장치 1보다 9.6mW, 그리고, 전압 제어 발진 장치 3보다 2mW 향상된 전력 소모 특성을 가짐을 확인할 수 있다. 또한, 4위상 전압 제어 발진 장치 4는 4위상 전압 제어 발진 장치 1보다 10.2dB, 그리고, 전압 제어 발진 장치 3보다 8.4dB 향상된 위상 잡음 특성을 가짐을 확인할 수 있다. 그리고, 4위상 전압 제어 발진 장치 4는 4위상 전압 제어 발진 장치 2보다 3.1dB 높은 위상 잡음 특성을 갖지만 5.9mW 향상된 전력 소모 특성을 가짐을 확인할 수 있다.
- [0064] 이때, 전력 소모 특성, 위상 잡음 특성을 모두 고려하여 4위상 전압 제어 발진 장치의 성능을 나타내는 지표인 FOM을 계산하여 비교해 보면, 4위상 전압 제어 발진 장치 4는 4위상 전압 제어 발진 장치 1보다 18.4dB, 4위상 전압 제어 발진 장치 2보다 3.2dB, 그리고, 4위상 전압 제어 발진 장치 3보다 11.8dB 향상된 FOM 특성을 가짐을 확인할 수 있다.
- [0065] 본 발명의 실시 예에 따른 방법들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다.

[0066] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0067] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

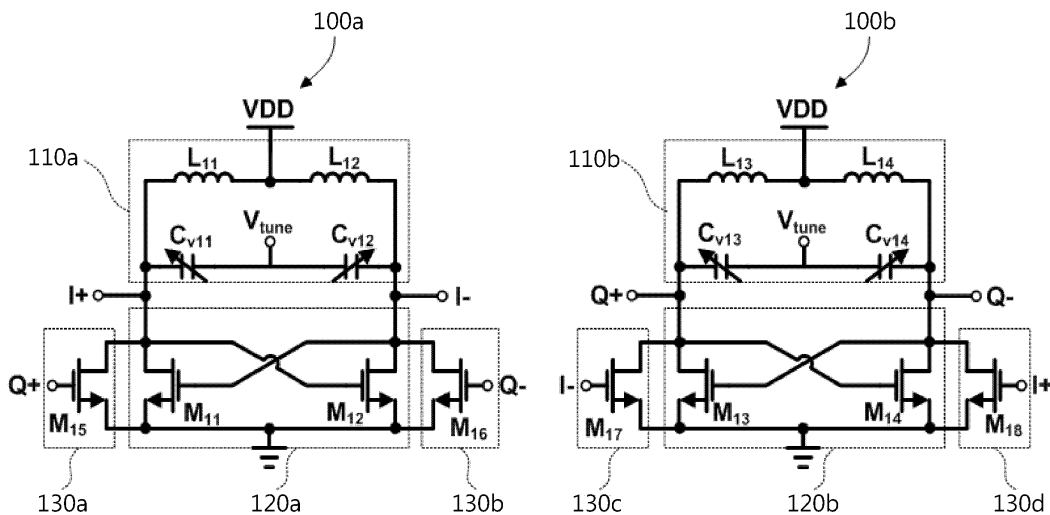
부호의 설명

- [0068]
- 400a: 제1 전압 제어 발진부
 - 400b: 제2 전압 제어 발진부
 - 410a: 제1 부성저항부
 - 410b: 제2 부성저항부
 - 420a: 제1 공진부
 - 420b: 제2 공진부
 - 430a: 제1 커플링부
 - 430b: 제2 커플링부
 - 430c: 제3 커플링부
 - 430d: 제4 커플링부

도면

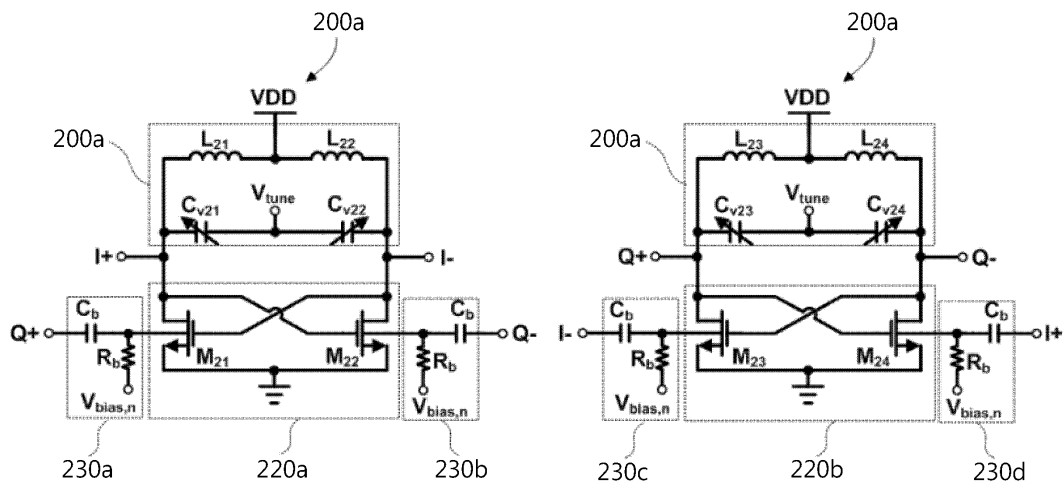
도면1

10



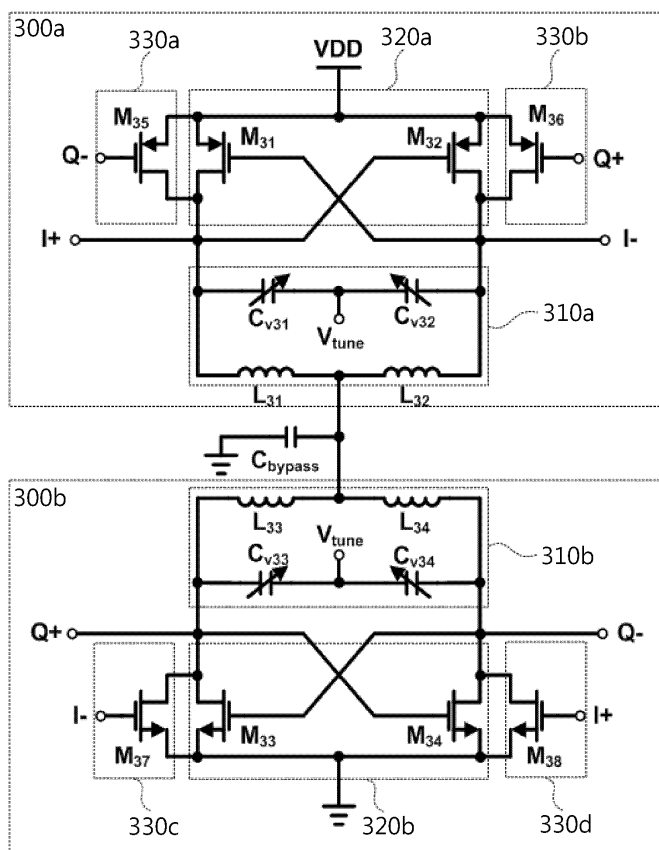
도면2

20



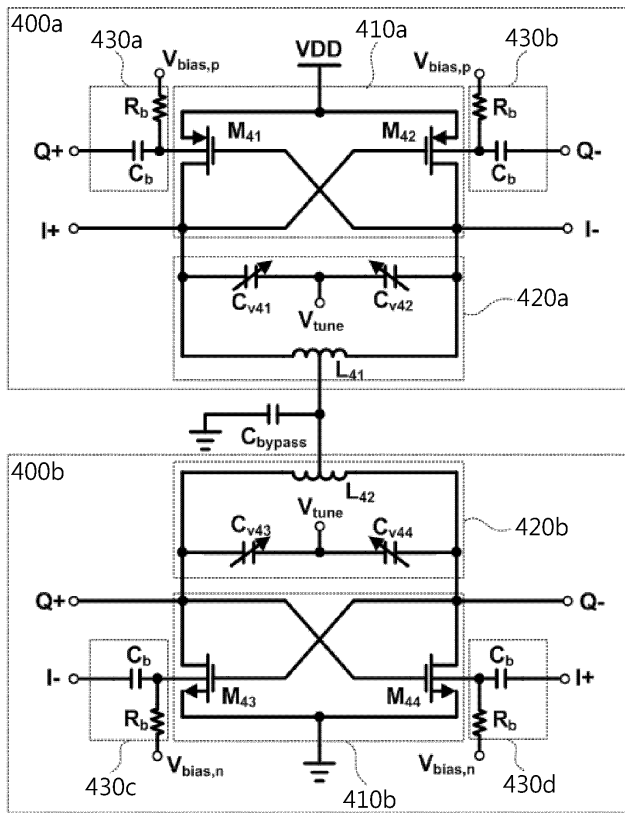
도면3

30

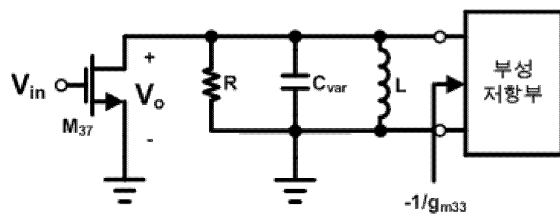


도면4

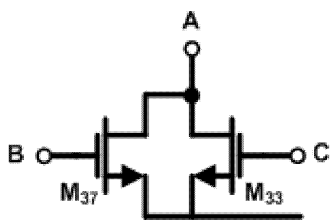
40



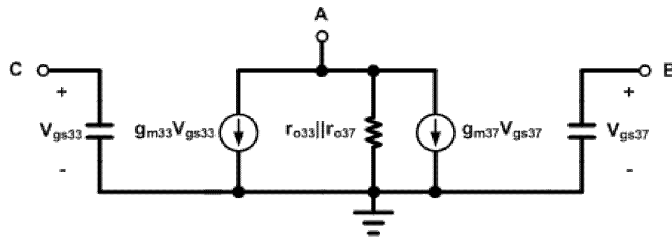
도면5



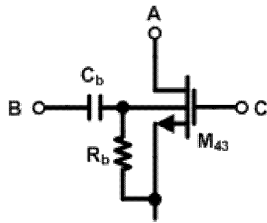
도면6a



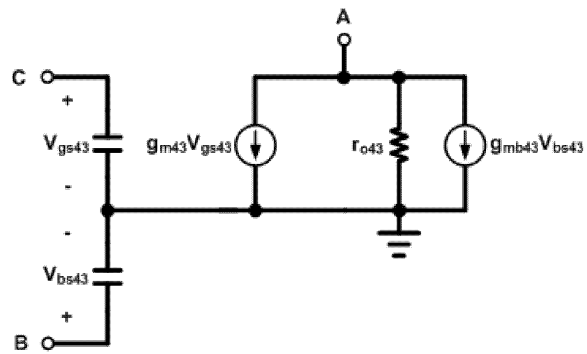
도면6b



도면6c



도면6d



도면7

	4 위상 전압 제어 발진장치 1	4 위상 전압 제어 발진장치 2	4 위상 전압 제어 발진장치 3	4 위상 전압 제어 발진장치 4
공정	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
공급 전압(V)	1	1	1.25	1.25
발진 주파수(GHz)	3.6	3.6	3.6	3.6
위상 잡음(dBc/Hz)	-112.8	-126.1	-114.6	-123
전력 소모(mW)	11.4	7.7	3.8	1.8
FOM(dB)	173.3	188.5	179.9	191.7