

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月30日(30.07.2020)



(10) 国際公開番号

WO 2020/152524 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) *H01L 21/8242* (2006.01)
H01L 27/06 (2006.01) *H01L 27/108* (2006.01)
H01L 27/088 (2006.01) *H01L 27/1156* (2017.01)
H01L 21/8239 (2006.01) *H01L 29/786* (2006.01)
H01L 27/105 (2006.01)

(21) 国際出願番号: PCT/IB2019/060012

(22) 国際出願日: 2019年11月21日(21.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-011653 2019年1月25日(25.01.2019) JP

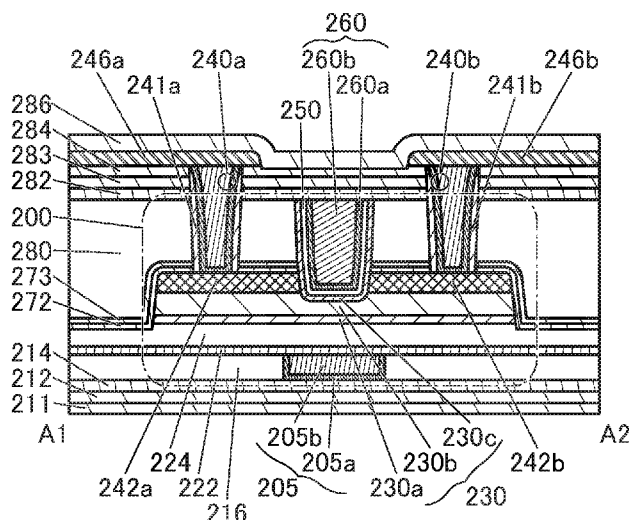
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式会社
半導体エネルギー研究所内 Kanagawa (JP). 佐
藤 優一 (SATO, Yuichi); 〒2430036 神奈川県厚
木市長谷398 株式会社半導体エネルギー研
究所内 Kanagawa (JP). 種村和幸 (TANEMURA,
Kazuki); 〒2430036 神奈川県厚木市長谷398
株式会社半導体エネルギー研究所内 Kanagawa
(JP). 恵木 勇司 (EGI, Yuji); 〒2430036 神奈川

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

図1B



(57) Abstract: The present invention provides a semiconductor device which has a large On-state current. A semiconductor device which comprises a transistor, and which is configured such that the transistor comprises: a first conductor; a first insulating body that is arranged on the first conductor; a first oxide that is arranged on the first insulating body; a second conductor and a third conductor, which are arranged on the first oxide; a second oxide that is arranged on the first oxide so as to be positioned between the second conductor and the third conductor; a second insulating body that is arranged on the second oxide; and a fourth conductor that is arranged on the second insulating body. This semiconductor device is also configured such that: the upper surface of the first oxide in a region that overlaps with the fourth conductor is lower than the bottom surfaces of the second conductor and the third conductor; and the height difference between the upper surface of the second oxide in a region that overlaps with the fourth conductor and the bottom surface of the second

県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

conductor or the third conductor is smaller than the film thickness of the second oxide in the region that overlaps with the fourth conductor.

(57) 要約: オン電流が大きい半導体装置を提供する。トランジスタを有する半導体装置であって、トランジスタは、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の、第2の導電体、および第3の導電体と、第1の酸化物上、かつ、第2の導電体および第3の導電体の間、の第2の酸化物と、第2の酸化物上の第2の絶縁体と、第2の絶縁体上の第4の導電体と、を有し、第4の導電体と重なる領域の第1の酸化物の上面は、第2の導電体および第3の導電体の底面よりも低く、第4の導電体と重なる領域の第2の酸化物の上面と、第2の導電体または第3の導電体の底面と、の差は、第4の導電体と重なる領域の第2の酸化物の膜厚よりも小さい。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の、第2の導電体、および第3の導電体と、第1の酸化物上、かつ、第2の導電体および第3の導電体の間、の第2の酸化物と、第2の酸化物上の第2の絶縁体と、第2の絶縁体上の第4の導電体と、を有し、第4の導電体と重なる領域の第1の酸化物の上面は、第2の導電体および第3の導電体の底面よりも低く、第4の導電体と重なる領域の第2の酸化物の上面と、第2の導電体または第3の導電体の底面と、の差は、第4の導電体と重なる領域の第2の酸化物の膜厚よりも小さい。

[0011]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の、第2の導電体、および第3の導電体と、第1の酸化物上、かつ、第2の導電体および第3の導電体の間、の第2の酸化物と、第2の酸化物上の第2の絶縁体と、第2の絶縁体上の第4の導電体と、を有し、第4の導電体と重なる領域の第1の酸化物の上面は、第2の導電体および第3の導電体の底面よりも低く、第4の導電体と重なる領域の第1の酸化物の上面と、第2の導電体および第3の導電体の底面と、の差は、1 nm以上7 nm以下であり、第4の導電体と重なる領域の第2の酸化物の膜厚は、1 nm以上5 nm以下である。

[0012]

上記半導体装置において、第2の酸化物は、インジウムを有する、ことが好ましい。

[0013]

また、上記半導体装置において、第2の酸化物は、インジウムと、元素M（Mは、ガリウム、アルミニウム、イットリウム、または錫）と、亜鉛と、を有し、第2の酸化物において、主成分である金属元素に対するインジウムの原子数比は、主成分である金属元素に対する元素Mの原子数比と、主成分である金属元素に対する亜鉛の原子数比との和、よりも大きい、ことが好ましい。また、第2の酸化物は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または、I

$n : Ga : Zn = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物である、ことが好ましい。

[0014]

また、上記半導体装置において、第1の酸化物は、インジウムと、元素M（Mは、ガリウム、アルミニウム、イットリウム、または錫）と、亜鉛と、を有し、第2の酸化物において、主成分である金属元素に対するインジウムの原子数比は、第1の酸化物における、主成分である金属元素に対するインジウムの原子数比より大きい、ことが好ましい。

[0015]

また、上記半導体装置において、第2の絶縁体は、第1の絶縁層、および第2の絶縁層が順に積層された構造を有し、第1の絶縁層は、シリコンを有し、第2の絶縁層は、ハフニウムおよびジルコニウムのいずれか一方または双方を有する、ことが好ましい。

[0016]

また、上記半導体装置において、トランジスタのチャネル幅方向の断面視において、第1の絶縁体と、第2の絶縁体とが接する領域を有する、ことが好ましい。

発明の効果

[0017]

本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0018]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0019]

図1Aは、本発明の一態様である半導体装置の上面図である。図1B乃至図1Dは、本発明の一態様である半導体装置の断面図である。

図2A乃至図2Cは、本発明の一態様である半導体装置の断面図である。

図3Aは、IGZOの結晶構造の分類を説明する図である。図3Bは、石英ガラスのXRDスペクトルを説明する図である。図3Cは、結晶性IGZOのXRDスペクトルを説明する図である。

図4Aは、本発明の一態様である半導体装置の上面図である。図4B乃至図4Dは、本発明の一態様である半導体装置の断面図である。

図5Aは、本発明の一態様である半導体装置の上面図である。図5B乃至図5Dは、本発明の一態様である半導体装置の断面図である。

図6Aは、本発明の一態様である半導体装置の作製方法を示す上面図である。図6B乃至図6Dは、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 7 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 7 B 乃至図 7 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 8 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 9 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 10 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 10 B 乃至図 10 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 11 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 11 B 乃至図 11 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 12 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 12 B 乃至図 12 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 13 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 13 B 乃至図 13 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 14 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 14 B 乃至図 14 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 15 A は、本発明の一態様である半導体装置の作製方法を示す上面図である。図 15 B 乃至図 15 D は、本発明の一態様である半導体装置の作製方法を示す断面図である。

図 16 A および図 16 B は、本発明の一態様に係る半導体装置の断面図である。

図 17 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 18 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 19 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 20 は、本発明の一態様に係る半導体装置の断面図である。

図 21 A および図 21 B は、本発明の一態様に係る半導体装置の断面図である。

図 22 は、本発明の一態様に係る半導体装置の断面図である。

図 23 は、本発明の一態様に係る半導体装置の断面図である。

図 24 A は、本発明の一態様に係る記憶装置の構成例を示すブロック図である。図 24 B は、本発明の一態様に係る記憶装置の構成例を示す模式図である。

図 25 A 乃至図 25 H は、本発明の一態様に係る記憶装置の構成例を示す回路図である。

図 26 は、各種の記憶装置を階層ごとに示す図である。

図 27 A は、本発明の一態様に係る半導体装置のブロック図である。図 27 B は、本発明の一態様に係る半導体装置の模式図である。

図 28 A および図 28 B は、電子部品の一例を説明する図である。

図 29 A 乃至図 29 E は、本発明の一態様に係る記憶装置の模式図である。

図 30 A 乃至図 30 H は、本発明の一態様に係る電子機器を示す図である。

発明を実施するための形態

[0020]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施

の形態の記載内容に限定して解釈されるものではない。

[0021]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0022]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0023]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0024]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0025]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0026]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0027]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作にお

いて電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0028]

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0029]

チャネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネル形成領域における、チャネル長方向を基準として垂直方向のチャネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0030]

なお、本明細書等において、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

[0031]

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0032]

本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0033]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体で

ある場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V_oと表記する場合がある）が形成される場合がある。

[0034]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0035]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0036]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0037]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0038]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりのドレイン電流が、室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、または 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

[0039]

（実施の形態1）

本実施の形態では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例、およびその作製方法について説明する。

[0040]

<半導体装置の構成例>

図1A乃至図1Dは、トランジスタ200を有する半導体装置の上面図および断面図である。図1Aは、当該半導体装置の上面図である。また、図1B乃至図1Dは、当該半導体装置の断面図で

ある。ここで、図 1 Bは、図 1 Aに A 1－A 2 の一点鎖線で示す部位の断面図であり、トランジスタ 2 0 0 のチャンネル長方向の断面図でもある。また、図 1 Cは、図 1 Aに A 3－A 4 の一点鎖線で示す部位の断面図であり、トランジスタ 2 0 0 のチャンネル幅方向の断面図でもある。また、図 1 Dは、図 1 Aに A 5－A 6 の一点鎖線で示す部位の断面図である。なお、図 1 Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0041]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体 2 1 1 と、絶縁体 2 1 1 上の絶縁体 2 1 2 と、絶縁体 2 1 2 上の絶縁体 2 1 4 と、絶縁体 2 1 4 上のトランジスタ 2 0 0 と、トランジスタ 2 0 0 上の絶縁体 2 8 0 と、絶縁体 2 8 0 上の絶縁体 2 8 2 と、絶縁体 2 8 2 上の絶縁体 2 8 3 と、絶縁体 2 8 3 上の絶縁体 2 8 4 と、を有する。絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 は層間膜として機能する。また、トランジスタ 2 0 0 と電気的に接続し、プラグとして機能する導電体 2 4 0（導電体 2 4 0 a、および導電体 2 4 0 b）を有する。なお、プラグとして機能する導電体 2 4 0 の側面に接して絶縁体 2 4 1（絶縁体 2 4 1 a、および絶縁体 2 4 1 b）が設けられる。また、絶縁体 2 8 4 上、および導電体 2 4 0 上には、導電体 2 4 0 と電気的に接続し、配線として機能する導電体 2 4 6（導電体 2 4 6 a、および導電体 2 4 6 b）が設けられる。また、導電体 2 4 6 上、および絶縁体 2 8 4 上には、絶縁体 2 8 6 が設けられる。

[0042]

絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 の開口の内壁に接して絶縁体 2 4 1 a が設けられ、絶縁体 2 4 1 a の側面に接して導電体 2 4 0 a の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 a の第 2 の導電体が設けられている。また、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 の開口の内壁に接して絶縁体 2 4 1 b が設けられ、絶縁体 2 4 1 b の側面に接して導電体 2 4 0 b の第 1 の導電体が設けられ、さらに内側に導電体 2 4 0 b の第 2 の導電体が設けられている。ここで、導電体 2 4 0 の上面の高さと、導電体 2 4 6 と重なる領域の、絶縁体 2 8 4 の上面の高さと、は同程度にできる。なお、トランジスタ 2 0 0 では、導電体 2 4 0 の第 1 の導電体および導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0043]

[トランジスタ 2 0 0]

図 1 A乃至図 1 Dに示すように、トランジスタ 2 0 0 は、絶縁体 2 1 4 上の絶縁体 2 1 6 と、絶縁体 2 1 4 または絶縁体 2 1 6 に埋め込まれるように配置された導電体 2 0 5（導電体 2 0 5 a、および導電体 2 0 5 b）と、絶縁体 2 1 6 上、および導電体 2 0 5 上の絶縁体 2 2 2 と、絶縁体 2 2 2 上の絶縁体 2 2 4 と、絶縁体 2 2 4 上の酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の、導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）および酸化物 2 3 0 c と、酸化物 2 3 0 c 上の絶縁体 2 5 0 と、絶縁体 2 5 0 上に位置し、酸化物 2 3 0 c の一部と重なる導電体 2 6 0（導電体 2 6 0 a、および導電体 2 6 0 b）と、絶縁体 2 2 4 の上面の一部、酸化物 2 3 0 a の側面、酸化物 2 3 0 b の側面、導電体 2 4 2 a の側面、導電体 2 4 2 a の上面、導電体 2 4 2 b の側面、および導電体 2 4 2 b の上面と接する絶縁体 2 7 2 と、絶縁体 2 7

2上の絶縁体273と、を有する。また、酸化物230cは、導電体242aの側面および導電体242bの側面とそれぞれ接する。ここで、図1Bおよび図1Cに示すように、導電体260の上面は、絶縁体250の上面および酸化物230cの上面と略一致して配置される。また、絶縁体282は、導電体260、絶縁体250、酸化物230c、および絶縁体280のそれぞれの上面と接する。

[0044]

絶縁体280、絶縁体273、および絶縁体272には、酸化物230bに達する開口が設けられる。当該開口内に、酸化物230c、絶縁体250、および導電体260が配置されている。また、トランジスタ200のチャンネル長方向において、導電体242aおよび導電体242bの間に導電体260、絶縁体250、および酸化物230cが設けられている。絶縁体250は、導電体260の側面と重なる領域と、導電体260の底面と重なる領域と、を有する。また、酸化物230cは、酸化物230bと接する領域と、絶縁体250を介して導電体260の側面と重なる領域と、絶縁体250を介して導電体260の底面と重なる領域と、を有する。

[0045]

酸化物230は、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に配置され、少なくとも一部が酸化物230bに接する酸化物230cと、を有することが好ましい。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0046]

なお、トランジスタ200では、酸化物230が、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230aと酸化物230bの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよいし、酸化物230a、酸化物230b、酸化物230cのそれぞれが積層構造を有していてもよい。

[0047]

導電体260は、第1のゲート（トップゲートともいう。）電極として機能し、導電体205は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体250は、第1のゲート絶縁体として機能し、絶縁体222、および絶縁体224は、第2のゲート絶縁体として機能する。また、導電体242aは、ソースまたはドレインの一方として機能し、導電体242bは、ソースまたはドレインの他方として機能する。また、酸化物230はチャンネル形成領域として機能する。

[0048]

トランジスタ200は、チャンネル形成領域を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0049]

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上のものを用いることが好ましく、2.5 eV以上のものを用いることがより好ましい。このように、バンドギャップの大

きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0050]

チャネル形成領域に金属酸化物を用いたトランジスタは、非導通状態においてリーク電流が極めて小さいため、低消費電力の半導体装置を提供できる。また、金属酸化物は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0051]

酸化物半導体をトランジスタのチャネル形成領域に用いる場合、キャリア濃度が低い、i型化（真性化）または実質的にi型化された酸化物半導体を用いることが好ましい。キャリア濃度が低い酸化物半導体をトランジスタのチャネル形成領域に用いることで、当該トランジスタのオフ電流を小さく抑えることができる、また、当該トランジスタの信頼性を向上させることができる。

[0052]

後述するが、酸化物230b上に接するように設けられた導電層242bに含まれる元素が、酸化物230bの酸素を吸収する機能を有する場合、酸化物230bと導電層242bとの間、または酸化物230bの表面近傍に、部分的に低抵抗領域が形成される場合がある。つまり、当該元素は、酸化物半導体の不純物となる場合がある。この場合、当該低抵抗領域には、不純物、または酸素欠損に入り込んだ不純物（水素、窒素、金属元素等）がドナーとして機能し、キャリア濃度が増加する場合がある。

[0053]

また、酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。

[0054]

例えば、トランジスタのチャネル長方向の断面視において、酸化物230bに溝部を設けることで、上記不純物を除去し、酸化物230bの表面近傍の低抵抗領域を低減し、寄生チャネルの発生を抑制することができる。しかしながら、酸化物230bに当該溝部を設けることで、実効的なチャネル長が、トランジスタの平面視におけるチャネル長よりも長くなり、トランジスタのオン電流および電界効果移動度の低下につながる可能性がある。

[0055]

そこで、本発明の一態様に係るトランジスタでは、トランジスタのチャネル長方向の断面視において、酸化物230bに溝部を設け、当該溝部に、キャリアの主たる経路となる酸化物230cを埋め込むことが好ましい。このとき、酸化物230cは、当該溝部の内壁（側壁、および底面）を覆うように配置される。また、酸化物230cの膜厚は、当該溝部の深さと同程度であることが好ましい。

[0056]

上記構成にすることで、チャネルが酸化物230cに形成され、実効的なチャネル長を、トランジスタの平面視におけるチャネル長と同程度にすることができる。これにより、トランジスタのオン電流および電界効果移動度を大きくすることができる。したがって、オン電流が大きい半導体装置を提供することができる。

[0057]

また、酸化物230bに溝部を設けることで、上記不純物を除去し、トランジスタ特性のばらつきが少なく、信頼性が良好な半導体装置を提供することができる。

[0058]

図1Bに示すトランジスタ200およびその近傍を拡大した断面図を、図2Aに示す。

[0059]

図2Aに示すように、トランジスタのチャネル長方向の断面視において、酸化物230bに設けられた溝部の深さを、D1とする。なお、深さD1は、導電体242aまたは導電体242bと重なる領域の、酸化物230bの上面と、導電体260と重なる領域の、酸化物230bの上面と、の差でもある。深さD1は、代表的には、0nmより大きく10nm以下、好ましくは1nm以上7nm以下、さらに好ましくは2nm以上5nm以下である。

[0060]

また、図2Aに示すように、トランジスタのチャネル長方向の断面視において、導電体260と重なる領域の、酸化物230cの厚さ（膜厚）を、D2とする。厚さD2は、代表的には、0.5nm以上7nm以下、好ましくは1nm以上5nm以下、さらに好ましくは2nm以上4nm以下である。

[0061]

ここで、図2Aに示すように、導電体260と重なる領域の、酸化物230cの上面が、導電体242aまたは導電体242bの底面よりも低い構成において、第1のゲート絶縁体として機能する絶縁体250と酸化物230cとの界面にチャネルが形成される場合、ソースとドレインとの間に形成されるチャネル形成領域は、凹状またはU字型の形状を有する。

[0062]

また、図2Bに示すように、導電体260と重なる領域の、酸化物230cの上面が、導電体242aまたは導電体242bの底面と同程度である構成において、第1のゲート絶縁体として機能する絶縁体250と酸化物230cとの界面にチャネルが形成される場合、ソースとドレインとの間に形成されるチャネル形成領域は、平坦な形状を有する。

[0063]

なお、図2Cに示すように、導電体260と重なる領域の、酸化物230cの上面が、導電体242aまたは導電体242bの底面よりも高くてもよい。

[0064]

また、上記溝部の深さによっては、絶縁体250が、酸化物230cを介して、上記溝部の内壁を覆うように配置される場合がある。また、導電体260が、酸化物230cおよび絶縁体250を介して、上記溝部を埋め込むように配置される場合がある。

[0065]

また、トランジスタ200のチャネル長方向の断面視において、上記溝部の側壁は、上記開口の側壁と略一致していてもよい。

[0066]

また、図1Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0067]

上記湾曲面での曲率半径は、0 nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0 nmより大きく20 nm以下、好ましくは1 nm以上15 nm以下、さらに好ましくは2 nm以上10 nm以下とする。このような形状にすることで、後の工程で形成する絶縁体250および導電体260の、上記溝部への被覆性を高めることができる。また、上記湾曲面を有さない領域の長さの減少を防ぎ、トランジスタ200のオン電流、移動度の低下を抑制することができる。したがって、良好な電気特性を有する半導体装置を提供することができる。

[0068]

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0069]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0070]

なお、酸化物230cをキャリアの主たる経路とするには、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比が、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比より大きいことが好ましい。インジウムの含有量が多い金属酸化物をチャネル形成領域に用いることで、トランジスタのオン電流を増大することができる。よって、酸化物230cにおいて、主成分である金属元素に対するインジウムの原子数比を、酸化物230bにおける、主成分である金属元素に対するインジウムの原子数比よりも大きくすることで、酸化物230cをキャリアの主たる経路とすることができる。

[0071]

また、酸化物230cの伝導帯下端は、酸化物230aおよび酸化物230bの伝導帯下端より真空準位から離れていることが好ましい。言い換えると、酸化物230cの電子親和力は、酸化物230aおよび酸化物230bの電子親和力より大きいことが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0072]

酸化物230cとして、具体的には、In:M:Zn=5:1:3〔原子数比〕もしくはその近

傍の組成、または $I_n : M : Z_n = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物、インジウム酸化物などを用いるとよい。

[0073]

また、絶縁体250と接するように設けられた酸化物230cに、インジウム酸化物のような元素Mを主成分として含まない金属酸化物や、 $I_n : M : Z_n = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $I_n : M : Z_n = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物などのような元素Mの比率が少ない金属酸化物を用いることで、トランジスタの信頼性の向上を図ることができる。

[0074]

なお、トランジスタの信頼性を評価するパラメータとして、例えば、トランジスタの+GBT (Gate Bias Temperature) ストレス試験で測定されるシフト電圧 (ΔV_{sh}) がある。シフト電圧 (V_{sh}) は、トランジスタのドレイン電流 (I_d) – ゲート電圧 (V_g) カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_d = 1 \text{ pA}$ の直線と交差する V_g で定義される。また、 V_{sh} の変化量を ΔV_{sh} として表す。

[0075]

トランジスタの+GBT ストレス試験において、 ΔV_{sh} は、時間経過に伴い負方向へシフトする場合がある。また、 ΔV_{sh} は、一方向 (例えば、負方向) に変動するのではなく、負方向と正方向との双方に変動する挙動を示す場合がある。なお、本明細書等において、上記挙動を+GBT ストレス試験における、 ΔV_{sh} のギザギザ挙動と呼称する場合がある。

[0076]

酸化物230cに、元素Mを主成分として含まない金属酸化物や、元素Mの比率が少ない金属酸化物を用いることで、例えば、 ΔV_{sh} を低減し、 ΔV_{sh} のギザギザ挙動を抑制し、トランジスタの信頼性の向上を図ることができる。

[0077]

また、酸化物230bおよび酸化物230cは、結晶性を有することが好ましい。例えば、後述するCAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物や欠陥 (酸素欠損など) が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物230bから酸素が引き抜かれることを低減できるので、トランジスタ200は、製造工程における高い温度 (所謂サーマルバジェット) に対して安定である。

[0078]

また、酸化物230cとして、CAAC-OSを用いることが好ましく、酸化物230cが有する結晶のc軸が、酸化物230cの被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OSは、c軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物230cが有する酸素を、酸化物230bに効率的に供給することができる。

[0079]

なお、酸化物230cとして、インジウム酸化物、または、元素Mおよび亜鉛の含有量が少ない $I_n - M - Z_n$ 酸化物を用いる場合、酸化物230cの結晶性は低くてもよい。インジウム酸化膜、

および元素Mおよび亜鉛の含有量が少ない I_n-M-Z_n 酸化膜は、結晶性を高めることで、多結晶膜となる場合がある。多結晶膜は結晶粒界を有し、当該結晶粒界は欠陥準位となり、キャリアトラップやキャリア発生源となる場合がある。よって、多結晶の I_n-M-Z_n 酸化物を用いたトランジスタは、電気特性の変動が大きく、信頼性が低くなる場合がある。

[0080]

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0081]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bが I_n-M-Z_n 酸化物の場合、酸化物230aおよび酸化物230cとして、 I_n-M-Z_n 酸化物、 $M-Z_n$ 酸化物、元素Mの酸化物、 I_n-Z_n 酸化物、インジウム酸化物などを用いてもよい。

[0082]

具体的には、酸化物230aとして、 $I_n:M:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、 $I_n:M:Z_n=1:1:1$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230cとして、 $I_n:M:Z_n=5:1:3$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0083]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0084]

酸化物230a、酸化物230b、および酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。

[0085]

また、酸化物230cは、2層以上の積層構造を有していてもよい。例えば、酸化物230cは、酸化物230c1と、酸化物230c1の上に配置された酸化物230c2と、を有していてもよい。

[0086]

酸化物230c2は、酸化物230c1に用いられる金属酸化物を構成する金属元素の少なくとも

も一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物230c1として、 $In-M-Z_n$ 酸化物、 $In-Z_n$ 酸化物、またはインジウム酸化物を用い、酸化物230c2として、 $In-M-Z_n$ 酸化物、 $M-Z_n$ 酸化物、または元素Mの酸化物を用いるとよい。これにより、酸化物230c1と酸化物230c2との界面における欠陥準位密度を低くすることができる。

[0087]

また、酸化物230c2の伝導帯下端が、酸化物230c1の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物230c2の電子親和力は、酸化物230c1の電子親和力より小さいことが好ましい。この場合、酸化物230c2は、酸化物230aまたは酸化物230bに用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物230cとなる。

[0088]

具体的には、酸化物230c1として、 $In:M:Z_n=5:1:3$ [原子数比] もしくはその近傍の組成、または $In:M:Z_n=10:1:3$ [原子数比] もしくはその近傍の組成の金属酸化物、または、インジウム酸化物を用い、酸化物230c2として、 $In:M:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成、 $M:Z_n=2:1$ [原子数比] もしくはその近傍の組成、または $M:Z_n=2:5$ [原子数比] もしくはその近傍の組成の金属酸化物、または、元素Mの酸化物を用いればよい。

[0089]

また、酸化物230c2は、酸化物230c1より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230c1との間に酸化物230c2を設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230c1を介して、酸化物230bに効率的に供給することができる。

[0090]

また、酸化物230c2に用いる金属酸化物において、主成分である金属元素に対するInの原子数比が、酸化物230c1に用いる金属酸化物における、主成分である金属元素に対するInの原子数比より小さくすることで、Inが絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230c1と絶縁体250との間に酸化物230c2を設けることで、信頼性の高い半導体装置を提供することが可能となる。

[0091]

絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、絶縁体284、および絶縁体286は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、絶縁体284、および絶縁体286は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 絶縁性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制

する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0092]

例えば、絶縁体211、絶縁体212、絶縁体283、および絶縁体284として、窒化シリコンなどを用い、絶縁体214、絶縁体272、絶縁体273、および絶縁体282として、酸化アルミニウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体211、絶縁体212、および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体211、絶縁体212、および絶縁体214を介して基板側に、拡散するのを抑制することができる。また、水、水素などの不純物が絶縁体273よりも上方に配置されている絶縁体280、導電体246などから絶縁体272および絶縁体273を介してトランジスタ200側に拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体211、絶縁体212、絶縁体214、絶縁体272、絶縁体273、絶縁体282、絶縁体283、および絶縁体284で取り囲む構造とすることが好ましい。

[0093]

また、絶縁体211、絶縁体284、および絶縁体286の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体211、絶縁体284、および絶縁体286の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体211、絶縁体284、および絶縁体286が、導電体205、導電体242、導電体260、または導電体246のチャージアップを緩和することができる場合がある。絶縁体211、絶縁体284、および絶縁体286の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0094]

なお、絶縁体211または絶縁体212は、必ずしも設けなくてもよく、絶縁体283または絶縁体284は、必ずしも設けなくてもよい。例えば、絶縁体212、および絶縁体284を、水素原子を含まない、または水素原子の含有量が少ない、化合物ガスを用いて化学気相成長（CVD: Chemical Vapor Deposition）法により成膜する場合である。

[0095]

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0096]

導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0097]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体

205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

[0098]

なお、導電体205は、図1Aに示すように、酸化物230の導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0099]

なお、本明細書等において、S-channel 構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等において、S-channel 構造は、ソース電極およびドレイン電極として機能する導電体242aおよび導電体242bに接する酸化物230の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体242aおよび導電体242bに接する酸化物230の側面及び周辺は、絶縁体280と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する高純度真性と同様として扱うことができる。また、本明細書等で開示するS-channel 構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0100]

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0101]

なお、トランジスタ200では、導電体205は、導電体205aと導電体205bとを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0102]

ここで、導電体205aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0103]

導電体205aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体

205bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体205aは、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0104]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205bを単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

[0105]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0106]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0107]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0108]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化处理してもよい。また、絶縁体222は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0109]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）、（Ba, Sr） TiO_3 （BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0110]

酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。例えば、絶

絶縁体 224 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

[0111]

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化膜とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0112]

また、上記過剰酸素領域を有する絶縁体と、酸化物 230 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 230 中の水、または水素を除去することができる。例えば、酸化物 230 において、酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 230、または酸化物 230 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 242 に拡散または捕獲 (ゲッタリングともいう) される場合がある。

[0113]

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 230、または酸化物 230 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

[0114]

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気加熱処理を行ってもよい。

[0115]

なお、酸化物230に加酸素化処理を行うことで、酸化物230中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow n u l l$ 」という反応を促進させることができる。さらに、酸化物230中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物230中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0116]

なお、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0117]

導電体242（導電体242a、および導電体242b）は、酸化物230b上に設けられる。導電体242aおよび導電体242bは、それぞれトランジスタ200のソース電極またはドレイン電極として機能する。

[0118]

導電体242（導電体242a、および導電体242b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0119]

なお、導電体242と、酸化物230bまたは酸化物230cとが接することで、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散し、導電体242が酸化する場合がある。導電体242が酸化することで、導電体242の導電率が低下する蓋然性が高い。なお、酸化物230bまたは酸化物230c中の酸素が導電体242へ拡散することを、導電体242が酸化物230bまたは酸化物230c中の酸素を吸収する、と言い換えることができる。

[0120]

また、酸化物230bまたは酸化物230c中の酸素が導電体242aおよび導電体242bへ拡散することで、導電体242aと酸化物230bとの間、および、導電体242bと酸化物230bとの間、または、導電体242aと酸化物230cとの間、および、導電体242bと酸化物230cとの間に層が形成される場合がある。当該層は、導電体242aまたは導電体242bよりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、導電体242aまたは導電体242bと、当該層と、酸化物230bまたは酸化物230cとの3層構造は、金属—絶縁体—半導体からなる3層構造とみなすことができ、MIS（Metal—Insulator—Semiconductor）構造、またはMIS構造を主としたダイオード接合構造とみることができる。

[0121]

なお、酸化物230b、酸化物230cなどに含まれる水素が、導電体242aまたは導電体242bに拡散する場合がある。特に、導電体242aおよび導電体242bに、タンタルを含む窒

化物を用いることで、酸化物 2 3 0 b、酸化物 2 3 0 c などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に拡散しやすく、拡散した水素は、導電体 2 4 2 a または導電体 2 4 2 b が有する窒素と結合することがある。つまり、酸化物 2 3 0 b、酸化物 2 3 0 c などに含まれる水素は、導電体 2 4 0 a または導電体 2 4 2 b に吸い取られる場合がある。

[0 1 2 2]

また、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電体 2 4 2 の端部において、曲率半径が、3 nm 以上 1 0 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0 1 2 3]

絶縁体 2 7 2 は、導電体 2 4 2 の上面に接して設けられており、バリア層として機能することが好ましい。当該構成にすることで、導電体 2 4 2 による、絶縁体 2 8 0 が有する過剰酸素の吸収を抑制することができる。また、導電体 2 4 2 の酸化を抑制することで、トランジスタ 2 0 0 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 2 0 0 に良好な電気特性および信頼性を与えることができる。

[0 1 2 4]

したがって、絶縁体 2 7 2 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 7 2 は、絶縁体 2 8 0 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 2 7 2 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体 2 7 2 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0 1 2 5]

また、絶縁体 2 7 2 形成時に絶縁体 2 2 4 に酸素を供給することができる場合がある。絶縁体 2 2 4 に供給された酸素は、絶縁体 2 7 2 および絶縁体 2 7 3 によって、絶縁体 2 2 4 が封止されるので、外方へ拡散することを抑制し、酸化物 2 3 0 へ効率良く供給することができる。また、絶縁体 2 2 4 中の水素が絶縁体 2 7 3 に吸収される場合があり、好ましい。

[0 1 2 6]

なお、絶縁体 2 7 2、および絶縁体 2 7 3 を設けず、導電体 2 4 2 の上面と絶縁体 2 8 0 との間に、バリア層として機能する絶縁体を設けてもよい。当該構成にすることで、導電体 2 4 2 による、絶縁体 2 8 0 が有する過剰酸素の吸収を抑制することができる。また、導電体 2 4 2 の酸化を抑制することで、トランジスタ 2 0 0 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 2 0 0 に良好な電気特性および信頼性を与えることができる。

[0 1 2 7]

したがって、上記絶縁体は、酸素の拡散を抑制する機能を有することが好ましい。例えば、上記絶縁体は、絶縁体 2 8 0 よりも酸素の拡散を抑制する機能を有することが好ましい。

[0 1 2 8]

上記絶縁体としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。特に、原子層堆積 (ALD: Atomic Layer Deposition) 法により酸化アルミニウムを成膜するとよい。ALD 法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成すること

ができる。また、上記絶縁体としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0129]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの少なくとも一部に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0130]

絶縁体250は、絶縁体224と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの少なくとも一部に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給し、酸化物230bのチャネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体224と同様に、絶縁体250中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0131]

なお、図1Bおよび図1Cでは、絶縁体250を単層で図示したが、2層以上の積層構造としてもよい。絶縁体250を2層の積層構造とする場合、絶縁体250の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体250の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体250の下層に含まれる酸素が、導電体260へ拡散するのを抑制することができる。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の下層に含まれる酸素による導電体260の酸化を抑制することができる。例えば、絶縁体250の下層は、上述した絶縁体250に用いることができる材料を用いて設け、絶縁体250の上層は、絶縁体222と同様の材料を用いて設けることができる。

[0132]

なお、絶縁体250の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体250の上層は、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体250の下層と絶縁体250の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0133]

絶縁体250の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物230として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0134]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

[0135]

なお、上記金属酸化物は、第1のゲート電極の一部としての機能を有することが好ましい。例えば、酸化物230として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体260aをスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0136]

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0137]

導電体260は、トランジスタ200の第1のゲート電極として機能する。導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面および側面を包むように配置されることが好ましい。また、図1Bおよび図1Cに示すように、導電体260の上面は、絶縁体250の上面および酸化物230cの上面と略一致している。なお、図1Bおよび図1Cでは、導電体260は、導電体260aと導電体260bの2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0138]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0139]

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0140]

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタンまたは

窒化チタンと上記導電性材料との積層構造としてもよい。

[0141]

また、トランジスタ200では、導電体260は、絶縁体280などに形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、導電体242aと導電体242bとの間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

[0142]

また、図1Cに示すように、トランジスタ200のチャネル幅方向において、導電体260の、導電体260と酸化物230bとが重ならない領域の底面は、酸化物230bの底面より低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。絶縁体222の底面を基準としたとき、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面の高さ、酸化物230bの底面の高さ、の差は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

[0143]

絶縁体280は、絶縁体224、酸化物230、導電体242、および絶縁体273上に設けられる。また、絶縁体280の上面は、平坦化されていてもよい。

[0144]

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0145]

また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。また、絶縁体280は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層されたCVD法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

[0146]

絶縁体282または絶縁体283は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体282または絶縁体283は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282および絶縁体283としては、例えば、酸化アルミニウム、窒化シリコン、窒化酸化シリコンなどの絶縁体を用いればよい。例えば、絶縁体282として、酸素に対してブロッキング性が高い酸化アルミニウムを用い、絶縁体283として、水素に対してブロッキング性が高い窒化シリコンを用いれば

よい。

[0147]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

[0148]

また、導電体240を積層構造とする場合、絶縁体284、絶縁体283、絶縁体282、絶縁体280、絶縁体273、および絶縁体272と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。また、絶縁体284より上層に含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0149]

絶縁体241aおよび絶縁体241bとしては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241aおよび絶縁体241bは、絶縁体273および絶縁体272に接して設けられるので、絶縁体280などに含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。

[0150]

また、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体246（導電体246a、および導電体246b）を配置してもよい。導電体246は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0151]

絶縁体286は、導電体246上、および絶縁体284上に設けられる。これにより、導電体246の上面、および導電体246の側面は、絶縁体286と接し、導電体246の下面は、絶縁体284と接する。つまり、導電体246は、絶縁体284、および絶縁体286で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体246の酸化を防止することができる。また、導電体246から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

[0152]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0153]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムからなる半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0154]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0155]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0156]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0157]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0158]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウ

ム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0159]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0160]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0161]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0162]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0163]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化

タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0164]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0165]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0166]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Z_n$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0167]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0168]

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）、および非晶質酸化物半導体などがある。

[0169]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0170]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。

また、歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0171]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0172]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0173]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0174]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0175]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0176]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0177]

また、上述の酸化物半導体以外として、CAC（Cloud-Aligned Composite）-OSを用いてもよい。

[0178]

CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。CAC-OSにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0179]

また、CAC-OSは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0180]

また、CAC-OSにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0181]

また、CAC-OSは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0182]

すなわち、CAC-OSは、マトリックス複合材（matrix composite）、または金属マトリックス複合材（metal matrix composite）と呼称することもできる。

[0183]

また、酸化物半導体は、結晶構造に着目した場合、上記とは異なる分類となる場合がある。ここで、酸化物半導体における、結晶構造の分類について、図3Aを用いて説明を行う。図3Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0184]

図3Aに示すように、IGZOは、大きく分けてAmorphousと、Crystallineと、Crystalと、に分類される。また、Amorphousの中には、completely amorphousが含まれる。また、Crystallineの中には、CAAC、nc、及びCACが含まれる。また、Crystalの中には、single crystal、及びp

ol y c r y s t a l が含まれる。

[0185]

なお、図3Aに示す太枠内の構造は、New c r y s t a l l i n e p h a s eに属する構造である。当該構造は、A m o r p h o u sと、C r y s t a lとの間の境界領域にある。すなわち、エネルギー的に不安定なA m o r p h o u sと、C r y s t a l l i n eとは全く異なる構造と言い換えることができる。

[0186]

なお、膜または基板の結晶構造は、X線回折(XRD: X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、石英ガラス、及びC r y s t a l l i n eに分類される結晶構造を有するI G Z O (結晶性I G Z Oともいう。)のXRDスペクトルを図3Bおよび図3Cに示す。また、図3Bが石英ガラス、図3Cが結晶性I G Z OのXRDスペクトルである。なお、図3Cに示す結晶性I G Z Oとしては、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]の組成である。また、図3Cに示す結晶性I G Z Oとしては、厚さ500nmである。

[0187]

図3Bの矢印に示すように、石英ガラスは、XRDスペクトルのピークがほぼ左右対称である。一方で、図3Cの矢印に示すように、結晶性I G Z Oは、XRDスペクトルのピークが左右非対称である。XRDスペクトルのピークが左右非対称であることは、結晶の存在を明示している。別言すると、XRDスペクトルのピークで左右対称でないと、A m o r p h o u sであるとは言えない。

[0188]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0189]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性(ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性)となりやすい。

[0190]

金属酸化物を用いたトランジスタは、金属酸化物中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性となりやすい。また、金属酸化物中に、適量値を超えた過剰な酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が変化し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

[0191]

したがって、トランジスタには、キャリア濃度の低い金属酸化物をチャネル形成領域に用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、本明細書等においては、チャネル形成領域の金属酸化物のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合を実質的に高純度真性として定義する。

[0192]

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0193]

なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $\text{V}_\text{O}\text{H}$ を形成する場合がある。酸素欠損に水素が入った欠陥($\text{V}_\text{O}\text{H}$)はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0194]

本発明の一態様においては、酸化物230中の $\text{V}_\text{O}\text{H}$ をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 $\text{V}_\text{O}\text{H}$ が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 $\text{V}_\text{O}\text{H}$ などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0195]

酸素欠損に水素が入った欠陥($\text{V}_\text{O}\text{H}$)は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。また、本明細書等に記載の「キャリア濃度」は、「キャリア密度」と言い換えることができる。

[0196]

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0197]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0198]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0199]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0200]

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、エネルギー散乱型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いた元素分析により得られる上記不純物の濃度を、1.0 atomic %以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、0.1未満、好ましくは0.05未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0201]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0202]

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、当該酸化物半導体が低抵抗化する場合がある。また、電気特性が変動しやすく、信頼性が悪くなる場合がある。

[0203]

例えば、シリコンは、酸素との結合エネルギーが、インジウムおよび亜鉛よりも大きい。例えば、酸化物半導体としてIn-M-Zn酸化物を用いる場合、当該酸化物半導体にシリコンが混入すると、当該酸化物半導体に含まれる酸素がシリコンに奪われることによって、インジウムまたは亜鉛の近傍に酸素欠損が形成される場合がある。

[0204]

チャネル形成領域に酸化物半導体を用いたトランジスタにおいては、チャネル形成領域に低抵抗

領域が形成されると、当該低抵抗領域にトランジスタのソース電極とドレイン電極との間のリーク電流（寄生チャネル）が発生しやすい。また、当該寄生チャネルによって、トランジスタのノーマリーオン化、リーク電流の増大、ストレス印加によるしきい値電圧の変動（シフト）など、トランジスタの特性不良が起こりやすくなる。また、トランジスタの加工精度が低いと、当該寄生チャネルがトランジスタ毎にばらつくことで、トランジスタ特性にばらつきが生じてしまう。

[0205]

したがって、酸化物半導体のチャネル形成領域およびその近傍において、当該不純物および酸素欠損はできる限り低減されていることが好ましい。

[0206]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0207]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0208]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0209]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0210]

<半導体装置の変形例>

以下では、図4A乃至図4D、および図5A乃至図5Dを用いて、本発明の一態様である半導体装置の一例について説明する。

[0211]

図4 Aおよび図5 Aは半導体装置の上面図を示す。また、図4 Bおよび図5 Bはそれぞれ、図4 Aおよび図5 AにA 1－A 2の一点鎖線で示す部位に対応する断面図である。また、図4 Cおよび図5 Cはそれぞれ、図4 Aおよび図5 AにA 3－A 4の一点鎖線で示す部位に対応する断面図である。また、図4 Dおよび図5 Dはそれぞれ、図4 Aおよび図5 AにA 5－A 6の一点鎖線で示す部位に対応する断面図である。図4 Aおよび図5 Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0 2 1 2]

なお、図4 A乃至図4 Dおよび図5 A乃至図5 Dに示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0 2 1 3]

＜＜半導体装置の変形例1＞＞

図4 A乃至図4 Dに示す半導体装置は、図1 A乃至図1 Dに示した半導体装置の変形例である。図4 A乃至図4 Dに示す半導体装置は、図1 A乃至図1 Dに示した半導体装置とは、酸化物2 4 3（酸化物2 4 3 a、および酸化物2 4 3 b）を有することが異なる。また、酸化物2 3 0 cの形状が異なる。

[0 2 1 4]

酸化物2 4 3（酸化物2 4 3 a、および酸化物2 4 3 b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体2 4 2と酸化物2 3 0 bとの間に酸素の透過を抑制する機能を有する酸化物2 4 3を配置することで、導電体2 4 2と、酸化物2 3 0 bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ2 0 0の電気特性およびトランジスタ2 0 0の信頼性を向上させることができる。

[0 2 1 5]

酸化物2 4 3として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物2 4 3は、酸化物2 3 0 bよりも元素Mの濃度が高いことが好ましい。また、酸化物2 4 3として、酸化ガリウムを用いてもよい。また、酸化物2 4 3として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物2 4 3に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物2 3 0 bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物2 4 3の膜厚は、好ましくは0.5 nm以上5 nm以下、より好ましくは1 nm以上3 nm以下、さらに好ましくは1 nm以上2 nm以下である。また、酸化物2 4 3は、結晶性を有すると好ましい。酸化物2 4 3が結晶性を有する場合、酸化物2 3 0中の酸素の放出を好適に抑制することが出来る。例えば、酸化物2 4 3としては、六方晶などの結晶構造であれば、酸化物2 3 0中の酸素の放出を抑制できる場合がある。

[0 2 1 6]

酸化物2 3 0 cは、トランジスタ2 0 0毎に設けてもよい。つまり、トランジスタ2 0 0の酸化物2 3 0 cと、当該トランジスタ2 0 0に隣接するトランジスタ2 0 0の酸化物2 3 0 cと、は、接しなくてもよい。また、トランジスタ2 0 0の酸化物2 3 0 cと、当該トランジスタ2 0 0に隣接するトランジスタ2 0 0の酸化物2 3 0 cと、を、離隔してもよい。別言すると、酸化物2 3 0

cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない構成としてもよい。

[0217]

複数のトランジスタ200がチャネル幅方向に配置されている半導体装置において、上記構成にすることで、トランジスタ200に酸化物230cがそれぞれ独立して設けられる。よって、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、寄生トランジスタが生じるのを抑制し、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間でリークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0218]

例えば、トランジスタ200のチャネル幅方向において、互いに向かい合う、トランジスタ200の酸化物230cの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230cの側端部との距離を L_1 として表すと、 L_1 を0nmよりも大きくする。また、トランジスタ200のチャネル幅方向において、互いに向かい合う、トランジスタ200の酸化物230aの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230aの側端部との距離を L_2 として表すと、 L_2 に対する L_1 の比(L_1/L_2)の値は、好ましくは0より大きく1未満、より好ましくは0.1以上0.9以下、さらに好ましくは0.2以上0.8以下である。なお、 L_2 は、互いに向かい合う、トランジスタ200の酸化物230bの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230bの側端部との距離であってもよい。

[0219]

上記の L_2 に対する L_1 の比(L_1/L_2)を小さくすることで、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない領域の位置ずれが生じてても、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を、離隔することができる。

[0220]

また、上記の L_2 に対する L_1 の比(L_1/L_2)を大きくすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間隔を狭めても、最小加工寸法の幅を確保することができ、半導体装置のさらなる微細化または高集積化を図ることができる。

[0221]

なお、導電体260、絶縁体250のそれぞれは、隣接するトランジスタ200間で共通して用いられてもよい。つまり、トランジスタ200の導電体260は、当該トランジスタ200に隣接するトランジスタ200の導電体260と連続して設けられた領域を有する。また、トランジスタ200の絶縁体250は、当該トランジスタ200に隣接するトランジスタ200の絶縁体250と連続して設けられた領域を有する。

[0222]

また、上記構成とすることで、絶縁体250は、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、絶縁体224に接する領域を有する。

[0223]

なお、酸化物230cを酸化物230c1と酸化物230c2との積層構造とする場合、トランジスタ200の酸化物230c1および酸化物230c2は、当該トランジスタ200に隣接する

トランジスタ 200 の酸化物 230 c 1 および酸化物 230 c 2 と、それぞれ離隔してもよいし、トランジスタ 200 の酸化物 230 c 1 と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230 c 1 と、を離隔し、トランジスタ 200 の酸化物 230 c 2 は、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230 c 2 と連続して設けられた領域を有してもよい。このとき、酸化物 230 c 2 は、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、絶縁体 224 に接する領域を有する。

[0224]

<<半導体装置の変形例 2>>

図 5 A 乃至図 5 D に示す半導体装置は、図 4 A 乃至図 4 D に示した半導体装置の変形例である。図 5 A 乃至図 5 D に示す半導体装置は、図 4 A 乃至図 4 D に示した半導体装置とは、絶縁体 283、および絶縁体 284 の形状が異なる。また、酸化物 230 d、絶縁体 274、および絶縁体 287 を有することが異なる。

[0225]

図 5 A 乃至図 5 D に示す半導体装置では、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 272、絶縁体 273、絶縁体 280、および絶縁体 282 がパターンニングされており、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 272、絶縁体 273、絶縁体 280、および絶縁体 282 の側面に接して、絶縁体 287 が設けられる。また、絶縁体 283、および絶縁体 284 は、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 272、絶縁体 273、絶縁体 280、絶縁体 282、および絶縁体 287 を覆う構造になっている。つまり、絶縁体 283 は、絶縁体 282 の上面と、絶縁体 287 の上面および側面と、絶縁体 211 の上面とに接し、絶縁体 284 は、絶縁体 283 の上面および側面に接する。これにより、酸化物 230 などを含む、絶縁体 212、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 272、絶縁体 273、絶縁体 280、絶縁体 282、および絶縁体 287 は、絶縁体 283 および絶縁体 284 と、絶縁体 211 とによって、外部から隔離される。別言すると、トランジスタ 200 は、絶縁体 283 および絶縁体 284 と絶縁体 211 とで封止された領域内に配置される。

[0226]

例えば、絶縁体 212、絶縁体 214、絶縁体 287、および絶縁体 282 を、水素を捕獲および水素を固着する機能を有する材料を用いて形成し、絶縁体 211、絶縁体 283、および絶縁体 284 を水素および酸素に対する拡散を抑制する機能を有する材料を用いて形成すると好ましい。代表的には、絶縁体 212、絶縁体 214、絶縁体 287、および絶縁体 282 としては、酸化アルミニウムを用いることができる。また、代表的には、絶縁体 211、絶縁体 283、および絶縁体 284 としては、窒化シリコンを用いることができる。

[0227]

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

[0228]

また、図 5 A 乃至図 5 D に示すトランジスタ 200 では、絶縁体 211、絶縁体 283、および絶縁体 284 を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 211、絶縁体 283、および絶縁体 284 のそれぞれを 2 層以上の積層構

造として設ける構成にしてもよい。

[0229]

絶縁体274は、層間膜として機能する。絶縁体274は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体274は、例えば、絶縁体280と同様の材料を用いて設けることができる。

[0230]

また、図5A乃至図5Dに示すトランジスタ200では、酸化物230cと、絶縁体250との間に、酸化物230dを有する。

[0231]

酸化物230dは、例えば、酸化物230c2と同様の材料を用いて設けることができる。

[0232]

また、図5Cに示すように、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を隔離し、トランジスタ200の酸化物230dは、当該トランジスタ200に隣接するトランジスタ200の酸化物230dと連続して設けられた領域を有してもよい。このとき、酸化物230dは、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、絶縁体224に接する領域を有する。

[0233]

<半導体装置の作製方法>

次に、図4A乃至図4Dに示す、本発明の一態様である半導体装置の作製方法を、図6A乃至図15Dを用いて説明する。

[0234]

図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15Aは上面図を示す。また、図6B、図7B、図8B、図9B、図10B、図11B、図12B、図13B、図14B、および図15Bはそれぞれ、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図6C、図7C、図8C、図9C、図10C、図11C、図12C、図13C、図14C、および図15Cはそれぞれ、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、図6D、図7D、図8D、図9D、図10D、図11D、図12D、図13D、図14D、および図15Dはそれぞれ、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA5-A6の一点鎖線で示す部位の断面図である。なお、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0235]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体211を成膜する。絶縁体211の成膜は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、ALD法などを用いて行うことができる。

[0236]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0237]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0238]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などを用いることができる。

[0239]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD（Plasma Enhanced ALD）法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0240]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0241]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比

を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0242]

本実施の形態では、絶縁体211として、CVD法によって窒化シリコンを成膜する。

[0243]

次に、絶縁体211上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、スパッタリング法によって窒化シリコンを成膜する。

[0244]

このように、絶縁体211、および絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体211より下層（図示せず。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体211、および絶縁体212を介して上方に拡散するのを抑制することができる。また、窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体211より下層に含まれる水、水素などの不純物の拡散を抑制することができる。

[0245]

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、酸化アルミニウムを用いる。

[0246]

絶縁体212の水素濃度は、絶縁体211の水素濃度より低く、絶縁体214の水素濃度は、絶縁体212の水素濃度より低いことが好ましい。絶縁体212としてスパッタリング法によって窒化シリコンを成膜することで、CVD法によって窒化シリコンを成膜する絶縁体211よりも水素濃度が低い窒化シリコンを形成することができる。また、絶縁体214を酸化アルミニウムとすることで、絶縁体212よりも水素濃度を低くすることができる。

[0247]

この後の工程にて絶縁体214上に、トランジスタ200を形成するが、トランジスタ200に近接する膜は、水素濃度が比較的低いことが好ましく、水素濃度が比較的高い膜は、トランジスタ200から遠隔して配置することが好ましい。

[0248]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、酸化シリコンまたは酸化窒化シリコンを用いる。また、絶縁体216は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体216の水素濃度を低減することができる。

[0249]

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウ

エッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体214は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0250]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

[0251]

開口の形成後に、導電体205aとなる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0252]

本実施の形態では、導電体205aとなる導電膜を多層構造とする。まず、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に窒化チタンを積層する。このような金属窒化物を導電体205bの下層に用いることにより、後述する導電体205bとなる導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

[0253]

次に、導電体205bとなる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、該導電膜として、銅などの低抵抗導電性材料を成膜する。

[0254]

次に、CMP処理を行うことで、導電体205aとなる導電膜、および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。これにより、上面が平坦な、導電体205を形成することができる（図6A乃至図6C参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0255]

なお、上記においては、導電体205を絶縁体216の開口に埋め込むように形成したが、本実

施の形態はこれに限られるものではない。例えば、絶縁体214上に導電体205を形成し、導電体205上に絶縁体216を成膜し、絶縁体216にCMP処理を行うことで、絶縁体216の一部を除去し、導電体205の表面を露出させればよい。

[0256]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0257]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0258]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0259]

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0260]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化シリコンまたは酸化窒化シリコンを成膜する。絶縁体224は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体224の水素濃度を低減することができる。絶縁体224は、後の工程で酸化物230aと接する絶縁体224となるので、このように水素濃度が低減されていることが好適である。

[0261]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカ

ルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0262]

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

[0263]

次に、絶縁体224上に、酸化膜230A、酸化膜230Bを順に成膜する（図6A乃至図6D参照。）。なお、酸化膜230Aおよび酸化膜230Bは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0264]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0265]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。

[0266]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0267]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を

1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0268]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

[0269]

次に、酸化膜230B上に酸化膜243Aを成膜する（図6A乃至図6D参照）。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜243Aは、 In に対する Ga の原子数比が、酸化膜230Bの In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜243Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。

[0270]

なお、絶縁体222、絶縁体224、酸化膜230A、酸化膜230B、および酸化膜243Aを、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

[0271]

次に、加熱処理を行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。当該加熱処理によって、酸化膜230A、酸化膜230B、および酸化膜243A中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0272]

次に、酸化膜243A上に導電膜242Aを成膜する（図6A乃至図6D参照。）。導電膜242Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。なお、導電膜242Aの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜242Aを成膜してもよい。このような処理を行うことによって、酸化膜243Aの表面などに吸着している水分および水素を除去し、さらに酸化膜230A、酸化膜230B、および酸化膜243A中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0273]

次に、リソグラフィ法を用いて、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aを島状に加工して、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bを形成する（図7A乃至図7D参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜230A、酸化膜230B、酸化膜243A、および導電膜242Aの加工は、

それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体 2 2 4 の酸化物 2 3 0 a と重ならない領域の膜厚が薄くなることがある。

[0 2 7 4]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0 2 7 5]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜 2 4 2 A 上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜 2 4 2 A のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜 2 4 2 A のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0 2 7 6]

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B は、少なくとも一部が導電体 2 0 5 と重なるように形成する。また、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B の側面は、絶縁体 2 2 2 の上面に対し、概略垂直であることが好ましい。酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B の側面が、絶縁体 2 2 2 の上面に対し、概略垂直であることで、複数のトランジスタ 2 0 0 を設ける際に、小面積化、高密度化が可能となる。または、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B の側面と、絶縁体 2 2 2 の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、および導電層 2 4 2 B の側面と、絶縁体 2 2 2 の上面とのなす角は 60 度以上 70 度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体 2 7 2 などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0 2 7 7]

また、導電層 2 4 2 B の側面と導電層 2 4 2 B の上面との間に、湾曲面を有する。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、導電層 2 4 2 B の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0278]

次に、絶縁体224、酸化物230a、酸化物230b、酸化物層243B、および導電層242Bの上に、絶縁体272を成膜する（図8B乃至図8D参照。）。絶縁体272の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体272として、スパッタリング法によって、酸化アルミニウムを成膜する。スパッタリング法によって、酸化アルミニウムを成膜することで、絶縁体224へ酸素を注入することができる。

[0279]

次に、絶縁体272上に絶縁体273を成膜する。絶縁体273の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。実施の形態では、絶縁体273として、スパッタリング法によって、窒化シリコンを成膜する（図8B乃至図8D参照）。

[0280]

次に、絶縁体273上に、絶縁体280となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜し、その上にPEALD法または熱ALD法を用いて酸化シリコン膜を成膜すればよい。また、当該絶縁膜は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁体280の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体273の表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、酸化物層243B、および絶縁体224中の水分濃度および水素濃度を低減させることができる。上述した加熱処理条件を用いることができる。

[0281]

次に、上記絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図8B乃至図8D参照。）。なお、絶縁体224と同様に、絶縁体280上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜し、絶縁体280に達するまで、CMP処理を行ってもよい。

[0282]

ここで、マイクロ波処理を行ってもよい。マイクロ波処理は、酸素を含む雰囲気下、および減圧下にて行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体280、酸化物230b、酸化物230aなどに与えられ、酸化物230b、および酸化物230a中の V_OH を酸素欠損(V_O)と水素(H)に分断することができる。この時分断された水素の一部は、絶縁体280が有する酸素と結合して、水分子として除去される場合がある。また、水素の一部は、絶縁体272および絶縁体273を介して、導電体242にゲッタリングされる場合がある。

[0283]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体280、酸化物230b、および酸化物230a中の水素を効率よく除去することができる。なお、加熱処理温度は、300℃以上、500℃以下とすることが好ましい。

[0284]

また、マイクロ波処理を行うことにより、絶縁体280の膜質を改質することで、水素、水、不純物などの拡散を抑制することができる。したがって、絶縁体280形成以降の後工程、または熱

処理などにより、絶縁体 280 を介して、水素、水、不純物などが、酸化物 230 へ拡散することを抑制することができる。

[0285]

次に、絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、導電層 242 B の一部、および酸化物層 243 B の一部を加工して、酸化物 230 b に達する開口を形成する。当該開口は、導電体 205 と重なるように形成することが好ましい。当該開口の形成によって、導電体 242 a、導電体 242 b、酸化物 243 a、および酸化物 243 b を形成する（図 9 A 乃至図 9 D 参照。）。

[0286]

なお、上記開口を形成する際に、酸化物 230 b の上部がわずかに除去される場合がある。酸化物 230 b の一部が除去されることで、酸化物 230 b に溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

[0287]

また、絶縁体 280 の一部、絶縁体 273 の一部、絶縁体 272 の一部、導電層 242 B の一部、酸化物層 243 B の一部、および酸化物 230 b の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体 280 の一部をドライエッチング法で加工し、絶縁体 273 の一部をウェットエッチング法で加工し、絶縁体 272 の一部をドライエッチング法で加工し、酸化物層 243 B の一部、導電層 242 B の一部、および酸化物 230 b の一部をドライエッチング法で加工してもよい。また、酸化物層 243 B の一部および導電層 242 B の一部の加工と、酸化物 230 b の一部の加工とは、異なる条件で行ってもよい。

[0288]

これまでのドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物 230 a、酸化物 230 b などの表面に付着または内部に拡散することがある。不純物としては、例えば、フッ素、塩素などがある。

[0289]

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。

[0290]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。また、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。また、これらの洗浄を適宜組み合わせで行ってもよい。

[0291]

このとき、当該開口と重なり、かつ酸化物 230 b と重ならない領域の、絶縁体 224 の膜厚が薄くなる場合がある。

[0292]

これまでドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ

酸化物 230b と重ならない領域の、絶縁体 224 の膜厚が、酸化物 230b と重なる領域の、絶縁体 224 の膜厚より薄くなる場合がある。

[0293]

次に、酸化膜 230C を成膜する（図 10A 乃至図 10D 参照）。酸化膜 230C の成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜 230C を成膜することが好ましい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化物 230b の表面などに吸着している水分および水素を除去し、さらに酸化物 230a および酸化物 230b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0294]

ここで、酸化膜 230C は、少なくとも酸化物 230b に形成された溝部の内壁、酸化物 243 の側面の一部、導電体 242 の側面の一部、絶縁体 272 の側面の一部、絶縁体 273 の側面の一部、および絶縁体 280 の側面の一部と接するように設けられることが好ましい。導電体 242 は、酸化物 243、絶縁体 272、絶縁体 273、および酸化膜 230C に囲まれることで、以降の工程において導電体 242 の酸化による導電率の低下を抑制することができる。

[0295]

酸化膜 230C の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化物 230c に求める特性に合わせて、酸化膜 230A、または酸化膜 230B と同様の成膜方法を用いて、酸化膜 230C を成膜すればよい。本実施の形態では、酸化膜 230C として、スパッタリング法によって、In:Ga:Zn=5:1:3 [原子数比] の酸化物ターゲット、In:Ga:Zn=10:1:3 [原子数比] の酸化物ターゲット、またはインジウム酸化物ターゲットを用いて成膜する。

[0296]

なお、酸化膜 230C は、積層としてもよい。例えば、スパッタリング法によって、In:Ga:Zn=5:1:3 [原子数比] の酸化物ターゲット、In:Ga:Zn=10:1:3 [原子数比] の酸化物ターゲット、またはインジウム酸化物ターゲットを用いて成膜して、連続して In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜してもよい。

[0297]

酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 230a および酸化物 230b に供給される場合がある。または、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 280 に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0298]

次に、酸化膜 230C 上に、リソグラフィ法により、マスクを形成する。なお、当該マスクとして、ハードマスクを用いてもよいし、レジストマスクを用いてもよい。

[0299]

次に、上記マスクを用いて、酸化膜 230C の一部を選択的に除去する。なお、酸化膜 230C の一部は、ウェットエッチング法などを用いて除去するとよい。本工程により、チャネル幅方向に

隣接するトランジスタ 200 の間に位置する酸化膜 230C の一部を除去することができる。

[0300]

なお、上記工程により、酸化膜 230C の一部が除去された領域では、絶縁体 224 の表面、絶縁体 280 の表面が露出する。このとき、当該領域の、絶縁体 224 の膜厚および絶縁体 280 の膜厚が薄くなる場合がある。また、当該領域の絶縁体 224 が除去され、絶縁体 222 の表面が露出する場合がある。また、上記マスクを形成する工程は、酸化膜 230C の一部を除去する工程を兼ねていてもよい。

[0301]

次に、上記マスクを除去する（図 11A、図 11C および図 11D 参照。）。なお、上記マスクは、エッチング法などを用いて除去するとよい。

[0302]

次に絶縁膜 250A を成膜する（図 12A 乃至図 12D 参照）。絶縁膜 250A の成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが好ましい。このような処理を行うことによって、酸化膜 230C の表面などに吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b、および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上 400℃以下が好ましい。

[0303]

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。また、絶縁膜 250A は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜 250A の水素濃度を低減することができる。絶縁膜 250A は、後の工程で酸化物 230c と接する絶縁体 250 となるので、このように水素濃度が低減されていることが好適である。

[0304]

なお、絶縁体 250 を 2 層の積層構造とする場合、絶縁体 250 の下層となる絶縁膜および絶縁体 250 の上層となる絶縁膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体 250 の下層となる絶縁膜、および絶縁体 250 の上層となる絶縁膜上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体 250 の下層となる絶縁膜と絶縁体 250 の上層となる絶縁膜との界面近傍を清浄に保つことができる。

[0305]

ここで、絶縁膜 250A を成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁膜 250A、酸化膜 230C、酸化物 230b、酸化物 230a などに与えられ、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の V_{OH} を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁膜 250A、酸化膜 230C、酸化物 230b、および酸化物 230a から除去される場合がある。また、水素の一部は、導電体 242（導電体 242a、および導電体 242b）にゲッターリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜 250A 中、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の水素濃度を低減することができる。また、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の V_{OH} を V_O と水素とに分断した後に存在する V_O に酸素が供給されることで

V_oを修復することができる。

[0306]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242（導電体242a、および導電体242b）にゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

[0307]

また、マイクロ波処理を行うことにより、絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制することができる。

[0308]

次に、導電膜260A、導電膜260Bを順に成膜する（図13A乃至図13D参照。）。導電膜260Aおよび導電膜260Bの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて導電膜260Aを成膜し、CVD法を用いて導電膜260Bを成膜する。

[0309]

次に、CMP処理によって、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bを絶縁体280が露出するまで研磨することによって、酸化物230c、絶縁体250、および導電体260（導電体260a、および導電体260b）を形成する（図14A乃至図14D参照。）。これにより、酸化物230cは、酸化物230bに達する開口および酸化物230bの溝部の内壁（側壁、および底面）を覆うように配置される。また、絶縁体250は、酸化物230cを介して、上記開口および上記溝部の内壁を覆うように配置される。また、導電体260は、酸化物230c、および絶縁体250を介して、上記開口および上記溝部を埋め込むように配置される。

[0310]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体282の成膜を行ってもよい。

[0311]

次に、酸化物230c上、絶縁体250上、導電体260上、および絶縁体280上に、絶縁体282を形成する（図15B乃至図15D参照。）。絶縁体282の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体282の成膜を行うことで、成膜しながら、絶縁体28

0に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。また、導電体260の上面に接して、絶縁体282を形成することで、この後の加熱処理において、絶縁体280が有する酸素が導電体260へ吸収されることを抑制することができるので好ましい。

[0312]

次に、絶縁体282上に絶縁体283を成膜する（図15B乃至図15D参照。）。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体283として、窒化シリコン、または窒化酸化シリコンを成膜することが好ましい。また、絶縁体283は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

[0313]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体282の成膜によって添加された酸素を絶縁体280へ拡散させ、さらに酸化物230cを介して、酸化物230a、および酸化物230bへ供給することができる。なお、当該加熱処理は、絶縁体283の成膜後に限らず、絶縁体282の成膜後に行ってもよい。

[0314]

次に絶縁体283上に、絶縁体284を成膜してもよい。絶縁体284の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体284としては、例えば、スパッタリング法によって、窒化シリコンを成膜することが好ましい。

[0315]

次に、絶縁体272、絶縁体273、絶縁体280、絶縁体282、絶縁体283、および絶縁体284に、導電体242aおよび導電体242bに達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0316]

次に、絶縁体241（絶縁体241a、および絶縁体241b）となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体241を形成する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。当該絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、PEALD法を用いて、窒化シリコン膜を成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0317]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0318]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。当該導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、

窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができる。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0319]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体284を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図4A乃至図4D参照。）。なお、当該CMP処理により、絶縁体284の一部が除去される場合がある。

[0320]

次に、導電体246となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0321]

次に、導電体246となる導電膜をリソグラフィ法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する（図4A乃至図4D参照。）。このとき、導電体246aおよび導電体246bと、絶縁体284とが重ならない領域の絶縁体284が除去されることがある。

[0322]

次に、導電体246上、および絶縁体284上に、絶縁体286を成膜する（図4A乃至図4D参照）。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

[0323]

以上により、図4A乃至図4Dに示すトランジスタ200を有する半導体装置を作製することができる。図6A乃至図15Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

[0324]

<半導体装置の応用例>

以下では、図16Aおよび図16Bを用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。なお、図16Aおよび図16Bに示す半導体装置において、<<半導体装置の変形例1>>に示した半導体装置（図4A乃至図4D参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ200の構成材料については<半導体装置の構成例>および<半導体装置の変形例>で詳細に説明した材料を用いることができる。

[0325]

図16Aおよび図16Bに、複数のトランジスタ（トランジスタ200__1乃至トランジスタ200__n）を、絶縁体283と絶縁体211で、包括して封止した構成について示す。なお、図16Aおよび図16Bにおいて、トランジスタ200__1乃至トランジスタ200__nは、チャンネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ200__1乃

至トランジスタ200__nは、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

[0326]

図16Aに示すように、複数のトランジスタ（トランジスタ200__1乃至トランジスタ200__n）の外側において、絶縁体283と絶縁体211が接する部分（以下、封止部265と呼ぶ場合がある。）が形成されている。封止部265は、複数のトランジスタ（トランジスタ群ともいう。）を囲むように形成されている。このような構造にすることで、複数のトランジスタを絶縁体283と絶縁体211で包み込むことができる。よって封止部265に囲まれたトランジスタ群が、基板上に複数設けられることになる。

[0327]

また、封止部265に重ねてダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部265に囲まれたトランジスタ群が1チップとして取り出されることになる。

[0328]

また、図16Aでは、複数のトランジスタ（トランジスタ200__1乃至トランジスタ200__n）を一つの封止部265で囲む例について示したが、これに限られるものではない。図16Bに示すように、複数のトランジスタを複数の封止部で囲む構成にしてもよい。図16Bでは、複数のトランジスタを封止部265aで囲み、さらに外側の封止部265bでも囲む構成にしている。

[0329]

このように、複数の封止部で複数のトランジスタ（トランジスタ200__1乃至トランジスタ200__n）を囲む構成にすることで、絶縁体283と絶縁体211が接する部分が増えるので、絶縁体283と絶縁体211の密着性をより向上させることができる。これにより、より確実に複数のトランジスタを封止することができる。

[0330]

この場合、封止部265aまたは封止部265bに重ねてダイシングラインを設けてもよいし、封止部265aと封止部265bの間にダイシングラインを設けてもよい。

[0331]

本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0332]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0333]

（実施の形態2）

本実施の形態では、半導体装置の一形態を、図17乃至図23を用いて説明する。

[0334]

〔記憶装置 1〕

本発明の一態様に係る半導体装置（記憶装置）の一例を図 17 に示す。本発明の一態様の半導体装置は、トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。なお、トランジスタ 200 として、先の実施の形態で説明したトランジスタ 200 を用いることができる。

〔0335〕

トランジスタ 200 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 200 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

〔0336〕

図 17 に示す半導体装置において、配線 1001 はトランジスタ 300 のソースと電氣的に接続され、配線 1002 はトランジスタ 300 のドレインと電氣的に接続されている。また、配線 1003 はトランジスタ 200 のソースおよびドレインの一方と電氣的に接続され、配線 1004 はトランジスタ 200 の第 1 のゲートと電氣的に接続され、配線 1006 はトランジスタ 200 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 300 のゲート、およびトランジスタ 200 のソースおよびドレインの他方は、容量素子 100 の電極の一方と電氣的に接続され、配線 1005 は容量素子 100 の電極の他方と電氣的に接続されている。

〔0337〕

また、図 17 に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

〔0338〕

<トランジスタ 300>

トランジスタ 300 は、基板 311 上に設けられ、ゲートとして機能する導電体 316、ゲート絶縁体として機能する絶縁体 315、基板 311 の一部からなる半導体領域 313、およびソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。トランジスタ 300 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

〔0339〕

ここで、図 17 に示すトランジスタ 300 はチャネルが形成される半導体領域 313（基板 311 の一部）が凸形状を有する。また、半導体領域 313 の側面および上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから FIN 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI 基板を加工して凸形状を有する半導体膜を形成してもよい。

〔0340〕

なお、図 17 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

〔0341〕

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120と、誘電体として機能する絶縁体130とを有する。ここで、絶縁体130は、上記実施の形態に示す絶縁体286として用いることができる絶縁体を用いることが好ましい。

[0342]

また、例えば、導電体246上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。

[0343]

図17では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0344]

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0345]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0346]

なお、高誘電率（high-k）材料（高い比誘電率の材料）としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0347]

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0348]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0349]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

[0350]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0351]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図17において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

[0352]

同様に、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体120、および絶縁体130上には、絶縁体150が設けられている。

[0353]

ここで、上記実施の形態に示す絶縁体241と同様に、プラグとして機能する導電体218の側面に接して絶縁体217が設けられる。絶縁体217は、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216に形成された開口の内壁に接して設けられている。つまり、絶縁体217は、導電体218と、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216と、の間に設けられている。なお、導電体205は導電体218と並行して形成することができるので、導電体205の側面に接して絶縁体217が形成される場合もある。

[0354]

絶縁体217としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体217は、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体222に接して設けられるので、絶縁体210または絶縁体216などから水または水素などの不純物が、導電体218を通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体210または絶縁体216に含まれる酸素が導電体218に吸収されるのを防ぐことができる。

[0355]

絶縁体217は、絶縁体241と同様の方法で形成することができる。例えば、PEALD法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体356に達する開口を形成すればよい。

[0356]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0357]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0358]

例えば、絶縁体150、絶縁体210、絶縁体352、および絶縁体354等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0359]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体211、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0360]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0361]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0362]

例えば、導電体328、導電体330、導電体356、導電体218、および導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料な

どの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0363]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0364]

例えば、図17では、過剰酸素を有する絶縁体224および絶縁体280と、導電体240との間に、絶縁体241を設けるとよい。絶縁体241と、絶縁体222、絶縁体272、絶縁体273、絶縁体282、絶縁体283、および絶縁体284とが接して設けられることで、絶縁体224、およびトランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。

[0365]

つまり、絶縁体241を設けることで、絶縁体224および絶縁体280が有する過剰酸素が、導電体240に吸収されることを抑制することができる。また、絶縁体241を有することで、不純物である水素が、導電体240を介して、トランジスタ200へ拡散することを抑制することができる。

[0366]

なお、絶縁体241としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

[0367]

また、上記実施の形態と同様に、トランジスタ200は、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で封止されることが好ましい。このような構成とすることで、絶縁体274、絶縁体150などに含まれる水素が絶縁体280などに混入するのを低減することができる。

[0368]

ここで、絶縁体284、絶縁体283、および絶縁体282には導電体240が、絶縁体214、絶縁体212、および絶縁体211には導電体218が貫通しているが、上記の通り、絶縁体241が導電体240に接して設けられ、絶縁体217が導電体218に接して設けられている。これにより、導電体240および導電体218を介して、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284の内側に混入する水素を低減することができる。このようにして、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、絶縁体284、絶縁体241、および絶縁体217でトランジスタ

200をより確実に封止し、絶縁体274等に含まれる水素などの不純物が外側から混入するのを低減することができる。

[0369]

また、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274は、先の実施の形態に示すように、水素原子が低減または除去されたガスを用いた成膜方法で形成されることが好ましい。これにより、絶縁体216、絶縁体224、絶縁体280、絶縁体250、および絶縁体274の水素濃度を低減することができる。

[0370]

このようにして、トランジスタ200近傍のシリコン系絶縁膜の水素濃度を低減し、酸化物230の水素濃度を低減することができる。

[0371]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

[0372]

ここで、例えば、図17に示すように、絶縁体283と、絶縁体211とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に開口を設ける。

[0373]

つまり、上記絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、絶縁体214、および絶縁体212に設けた開口において、絶縁体211と、絶縁体283とが接する。また、絶縁体282、絶縁体280、絶縁体273、絶縁体272、絶縁体224、絶縁体222、絶縁体216、および絶縁体214に開口を設け、絶縁体212と絶縁体283が接する構成にしてもよい。例えば、このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

[0374]

当該構造により、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で、トランジスタ200を包み込むことができる。絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

[0375]

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0376]

なお、図17に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図18に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図18に示す記憶装置は、絶縁体150より下の構成は、図17に示す半導体装置と同様である。

[0377]

図18に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体142と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。

[0378]

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0379]

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

[0380]

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

[0381]

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導

電体 115 の上面は、絶縁体 142 の上面と略一致することが好ましい。また、導電体 115 の下面は、絶縁体 130 の開口を介して導電体 110 に接する。導電体 115 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0382]

絶縁体 145 は、導電体 115 および絶縁体 142 を覆うように配置される。例えば、ALD 法または CVD 法などを用いて絶縁体 145 を成膜することが好ましい。絶縁体 145 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体 145 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0383]

また、絶縁体 145 には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率 (high-k) 材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (high-k) 材料の積層構造を用いてもよい。

[0384]

なお、高誘電率 (high-k) 材料 (高い比誘電率の材料) としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このような high-k 材料を用いることで、絶縁体 145 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 145 を厚くすることにより、導電体 115 と導電体 125 の間に生じるリーク電流を抑制することができる。

[0385]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD 法を用いて成膜した窒化シリコン (SiN_x)、PEALD 法を用いて成膜した酸化シリコン (SiO_x)、ALD 法を用いて成膜した窒化シリコン (SiN_x) の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0386]

導電体 125 は、絶縁体 142 および絶縁体 150 に形成された開口を埋めるように配置される。また、導電体 125 は、導電体 140、および導電体 153 を介して配線 1005 と電気的に接続している。導電体 125 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0387]

また、導電体 153 は、絶縁体 154 上に設けられており、絶縁体 156 に覆われている。導電体 153 は、導電体 112 に用いることができる導電体を用いればよく、絶縁体 156 は、絶縁体

152に用いることができる絶縁体を用いればよい。ここで、導電体153は導電体140の上面に接しており、容量素子100、トランジスタ200、またはトランジスタ300の端子として機能する。

[0388]

[記憶装置2]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図19に示す。図19に示す記憶装置は、図17で示したトランジスタ200、トランジスタ300、および容量素子100を有する半導体装置に加え、トランジスタ400を有している。

[0389]

トランジスタ400は、トランジスタ200の第2のゲート電圧を制御することができる。例えば、トランジスタ400の第1のゲート及び第2のゲートをソースとダイオード接続し、トランジスタ400のソースと、トランジスタ200の第2のゲートを接続する構成とする。当該構成でトランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲートソース間の電圧および、第2のゲートソース間の電圧は、0Vになる。トランジスタ400において、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流が非常に小さいため、トランジスタ200およびトランジスタ400に電源供給をしなくても、トランジスタ200の第2のゲートの負電位を長時間維持することができる。これにより、トランジスタ200、およびトランジスタ400を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

[0390]

従って、図19において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400の第1のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

[0391]

また、図19に示す記憶装置は、図17に示す記憶装置と同様に、マトリクス状に配置することで、メモリエセルアレイを構成することができる。なお、1個のトランジスタ400は、複数のトランジスタ200の第2のゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。また、また、図19に示す記憶装置は、図17に示す記憶装置と同様に、トランジスタ200、およびトランジスタ400を、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284で封止することができる。

[0392]

<トランジスタ400>

トランジスタ４００は、トランジスタ２００と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ４００は、第１のゲートとして機能する導電体４６０（導電体４６０ａ、および導電体４６０ｂ）と、第２のゲートとして機能する導電体４０５と、ゲート絶縁層として機能する絶縁体２２２、絶縁体２２４、および絶縁体４５０と、チャンネル形成領域を有する酸化物４３０ｄと、ソースとして機能する導電体４４２ａ、酸化物４４３ａ、酸化物４３１ａ、および酸化物４３１ｂと、ドレインとして機能する導電体４４２ｂ、酸化物４４３ｂ、酸化物４３２ａ、および酸化物４３２ｂと、を有する。また、トランジスタ２００と同様に、プラグとして機能する導電体が、導電体４４２ａと、導電体４４２ｂに接して設けられる。

[０３９３]

導電体４０５と、導電体２０５とは、同じ層に形成される。酸化物４３１ａ、および酸化物４３２ａと、酸化物２３０ａとは、同じ層に形成され、酸化物４３１ｂ、および酸化物４３２ｂと、酸化物２３０ｂとは、同じ層に形成される。導電体４４２ａ、および導電体４４２ｂと、導電体２４２とは、同じ層に形成される。酸化物４４３ａ、および酸化物４４３ｂと、酸化物２４３とは、同じ層に形成される。酸化物４３０ｄと、酸化物２３０ｄとは、同じ層に形成される。絶縁体４５０と、絶縁体２５０とは、同じ層に形成される。導電体４６０と、導電体２６０とは、同じ層に形成される。

[０３９４]

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物４３０ｄは、酸化物２３０ｄとなる酸化膜を加工することで、形成することができる。

[０３９５]

トランジスタ４００の活性層として機能する酸化物４３０ｄは、酸化物２３０などと同様に、酸素欠損が低減され、水素、水などの不純物が低減されている。これにより、トランジスタ４００のしきい値電圧をより大きくし、オフ電流を低減し、第２のゲート電圧及び第１のゲート電圧が０Ｖのときのドレイン電流を非常に小さくすることができる。

[０３９６]

トランジスタ４００では、導電体４６０と重なる領域の、酸化物２３０ｃとなる酸化膜を除去し、酸化物２３０ｄとなる酸化膜を成膜・加工して、酸化物４３０ｄを形成することが好ましい。なお、導電体４６０と重なる領域の、酸化物２３０ｃとなる酸化膜は、ウェットエッチングなどを用いて酸化膜２３０Ｃの一部を除去するタイミングで除去するとよい。

[０３９７]

[記憶装置３]

本発明の一態様に係る半導体装置（記憶装置）の一例を図２０に示す。

[０３９８]

<メモリデバイスの構成例>

図２０は、メモリデバイス２９０を有する半導体装置の断面図である。図２０に示すメモリデバイス２９０は、図４Ａ乃至図４Ｄに示すトランジスタ２００に加えて、容量デバイス２９２を有する。図２０は、トランジスタ２００のチャンネル長方向の断面図に相当する。

[０３９９]

容量デバイス２９２は、導電体２４２ｂと、導電体２４２ｂ上に設けられた絶縁体２７２、および絶縁体２７３と、絶縁体２７３上に設けられた導電体２９４と、を有する。すなわち、容量デバ

イス292は、MIM (Metal-Insulator-Metal) 容量を構成している。なお、容量デバイス292が有する一対の電極の一方、すなわち導電体242bは、トランジスタのソース電極またはドレイン電極を兼ねることができる。また、容量デバイス292が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体272、および絶縁体273を兼ねることができる。したがって、容量デバイス292の作製工程において、トランジスタ200の作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス292が有する一対の電極の一方、すなわち導電体242bは、トランジスタ200のソース電極またはドレイン電極と兼ねているため、トランジスタ200と、容量デバイス292とが配置される面積を低減させることが可能となる。

[0400]

なお、導電体294としては、例えば、導電体242に用いることのできる材料を用いればよい。

[0401]

<メモリデバイスの変形例>

以下では、図21A、図21B、図22、および図23を用いて、先の<メモリデバイスの構成例>で示したものと異なる、本発明の一態様に係るトランジスタ200、および容量デバイス292を有する半導体装置の一例について説明する。なお図21A、図21B、図22、および図23に示す半導体装置において、先の実施の形態および<メモリデバイスの構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ200、および容量デバイス292の構成材料については、先の実施の形態および<メモリデバイスの構成例>で詳細に説明した材料を用いることができる。

[0402]

<<メモリデバイスの変形例1>>

以下では、本発明の一態様に係るトランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600の一例について図21Aを用いて説明する。

[0403]

図21Aは、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600のチャンネル長方向の断面図である。半導体装置600は、図21Aに示すように、A3-A4の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ200aのソース電極またはドレイン電極の一方と、トランジスタ200bのソース電極またはドレイン電極の一方は、導電体242cが兼ねる構成となっている。また、配線として機能する導電体246と、トランジスタ200a、およびトランジスタ200bとの接続もプラグとして機能する導電体240が、兼ねる構成となっている。このように、2つのトランジスタと、2つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

[0404]

トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bのそれぞれの構成および効果については、図4A乃至図4D、および図20に示す半導体装置の構成例を参酌することができる。

[0405]

<<メモリデバイスの変形例2>>

上記においては、半導体装置の構成例としてトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図21Bに示すように半導体装置600と、半導体装置600と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置をセルと称する。トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bの構成については、上述のトランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bに係る記載を参酌することができる。

[0406]

図21Bは、トランジスタ200a、トランジスタ200b、容量デバイス292a、および容量デバイス292bを有する半導体装置600と、半導体装置600と同様の構成を有するセルが容量部を介して接続されている断面図である。

[0407]

図21Bに示すように、半導体装置600が有する容量デバイス292bの一方の電極として機能する導電体294bは、半導体装置600と同様の構成を有する半導体装置601が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置600が有する容量デバイス292aの一方の電極として機能する導電体294aが、半導体装置600の左側、つまり図21Bにおいて、A1方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置601の右側、つまり、図21Bにおいて、A2方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。この様なセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイの投影面積を小さくすることができ、高集積化が可能となる。また、図21Bに示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

[0408]

上述のように、本実施の形態に示す構成で、トランジスタ200a、トランジスタ200b、容量デバイス292aおよび容量デバイス292bを形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

[0409]

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図22にセルアレイ610をn層積層する構成の断面図を示す。図22に示すように、複数のセルアレイ（セルアレイ610__1乃至セルアレイ610__n）を積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[0410]

<<メモリデバイスの変形例3>>

図23は、メモリユニット470がトランジスタ200Tを有するトランジスタ層413と、4層のメモリデバイス層415（メモリデバイス層415__1乃至メモリデバイス層415__4）を有する例を示す。

[0411]

メモリデバイス層415__1乃至メモリデバイス層415__4は、それぞれ複数のメモリデバイス420を有する。

[0412]

メモリデバイス420は、導電体424、および導電体205を介して異なるメモリデバイス層415が有するメモリデバイス420、およびトランジスタ層413が有するトランジスタ200Tと電氣的に接続する。

[0413]

メモリユニット470は、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284により封止される（便宜的に、以下では封止構造と呼ぶ）。絶縁体284の周囲には絶縁体274が設けられる。また、絶縁体274、絶縁体284、絶縁体283、および絶縁体211には導電体440が設けられ、素子層411と電氣的に接続する。

[0414]

また、封止構造の内部には、絶縁体280が設けられる。絶縁体280は、加熱により酸素を放出する機能を有する。または、絶縁体280は、過剰酸素領域を有する。

[0415]

なお、絶縁体211、絶縁体283、及び絶縁体284は、水素に対するブロッキング性が高い機能を有する材料であると好適である。また、絶縁体214、絶縁体282、及び絶縁体287は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

[0416]

例えば、上記水素に対するブロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

[0417]

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

[0418]

なお、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。

[0419]

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

[0420]

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へ

と拡散する。当該水素は、絶縁体280中の過剰酸素と反応しOH結合となり、OHとして絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着される。一方、OH結合を有していた過剰酸素は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0421]

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

[0422]

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

[0423]

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、絶縁体282、および絶縁体287を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

[0424]

上記加熱処理のあと、絶縁体283、及び絶縁体284を形成する。絶縁体283、及び絶縁体284は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

[0425]

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415__1乃至メモリデバイス層415__3の形成後に、それぞれ上記加熱処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415__1乃至メモリデバイス層415__3形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

[0426]

なお、上記の作製プロセスとすることで、絶縁体211と、絶縁体283と、が接着することで、上述した封止構造が形成される。

[0427]

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

[0428]

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み

合わせて用いることができる。

[0429]

(実施の形態3)

本実施の形態では、図24A、図24Bおよび図25A乃至図25Hを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0430]

<記憶装置の構成例>

図24AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0431]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0432]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0433]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0434]

メモリセルアレイ1470は、行列状に配置された、複数個のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0435]

なお、図24Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図24Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0436]

図25A乃至図25Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0437]

[DOSRAM]

図25A乃至図25Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ場合がある。図25Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0438]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0439]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0440]

ここで、図25Aに示すメモリセル1471は、図20に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

[0441]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図25Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図25Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0442]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トラン

ジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0443]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0444]

[NOSRAM]

図25D乃至図25Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図25Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0445]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0446]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0447]

ここで、図25Dに示すメモリセル1474は、図17に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配線1001に対応している。

[0448]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することが

できる。例えば、メモリセルMCは、図25Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図25Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図25Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0449]

上記実施の形態に示す半導体装置をメモリセル1474等を用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0450]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0451]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0452]

また、図25Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図25Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0453]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0454]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたは

pチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0455]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0456]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0457]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置（メモリ）が用いられる。図26に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図26では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）、3D NANDメモリを示している。

[0458]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0459]

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

[0460]

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

[0461]

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、およそ0.6乃至6.0 Gbit/mm²である。

[0462]

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様の記憶装置

は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域902に位置する記憶装置として好適に用いることができる。

[0463]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0464]

(実施の形態4)

本実施の形態では、図27Aおよび図27Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

[0465]

図27Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0466]

チップ1200には、バンプ（図示しない）が設けられ、図27Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0467]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0468]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0469]

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0470]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0471]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0472]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0473]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク用の回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0474]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0475]

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0476]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0477]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0478]

（実施の形態5）

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0479]

<電子部品>

まず、記憶装置 720 が組み込まれた電子部品の例を、図 28A および図 28B を用いて説明を行う。

[0480]

図 28A に電子部品 700 および電子部品 700 が実装された基板（実装基板 704）の斜視図を示す。図 28A に示す電子部品 700 は、モールド 711 内に記憶装置 720 を有している。図 28A は、電子部品 700 の内部を示すために、一部を省略している。電子部品 700 は、モールド 711 の外側にランド 712 を有する。ランド 712 は電極パッド 713 と電氣的に接続され、電極パッド 713 は記憶装置 720 とワイヤ 714 によって電氣的に接続されている。電子部品 700 は、例えばプリント基板 702 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 702 上で電氣的に接続されることで実装基板 704 が完成する。

[0481]

記憶装置 720 は、駆動回路層 721 と、記憶回路層 722 と、を有する。

[0482]

図 28B に電子部品 730 の斜視図を示す。電子部品 730 は、SiP (System in package) または MCM (Multi Chip Module) の一例である。電子部品 730 は、パッケージ基板 732（プリント基板）上にインターポーザ 731 が設けられ、インターポーザ 731 上に半導体装置 735、および複数の記憶装置 720 が設けられている。

[0483]

電子部品 730 では、記憶装置 720 を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置 735 は、CPU、GPU、FPGA などの集積回路（半導体装置）を用いることができる。

[0484]

パッケージ基板 732 は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ 731 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0485]

インターポーザ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 731 は、インターポーザ 731 上に設けられた集積回路をパッケージ基板 732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0486]

インターポーザ 731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0487]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0488]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0489]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0490]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図28Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0491]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0492]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0493]

（実施の形態6）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図29A乃至図29Eにリムーバブル記憶装

置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0494]

図29AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0495]

図29BはSDカードの外観の模式図であり、図29Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0496]

図29DはSSDの外観の模式図であり、図29Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0497]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[0498]

(実施の形態7)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図30A乃至図30Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0499]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ(Digital Signage: 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子

機器に設けることにより、電子機器に人工知能を搭載することができる。

[0500]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0501]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0502]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図30A乃至図30Hに、電子機器の例を示す。

[0503]

[情報端末]

図30Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0504]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0505]

図30Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0506]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

[0507]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図30A、図30Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端

末、ワークステーションなどが挙げられる。

[0508]

[ゲーム機]

図30Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0509]

また、図30Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0510]

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0511]

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

[0512]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0513]

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0514]

図30C、図30Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0515]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0516]

図30Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。

図30Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

[0517]

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0518]

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0519]

図30E、図30Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0520]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0521]

図30Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図30Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0522]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0523]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側

に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0524]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0525]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0526]

[電化製品]

図30Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0527]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0528]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0529]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0530]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0531]

100：容量素子、110：導電体、112：導電体、115：導電体、120：導電体、125：導電体、130：絶縁体、140：導電体、142：絶縁体、145：絶縁体、150：絶縁体、152：絶縁体、153：導電体、154：絶縁体、156：絶縁体、200：トランジスタ、200_n：トランジスタ、200₁：トランジスタ、200_a：トランジスタ、200_b：トランジスタ、200_T：トランジスタ、205：導電体、205_a：導電体、205_b：導電体、

210 : 絶縁体、211 : 絶縁体、212 : 絶縁体、214 : 絶縁体、216 : 絶縁体、217 : 絶縁体、218 : 導電体、222 : 絶縁体、224 : 絶縁体、230 : 酸化物、230a : 酸化物、230A : 酸化膜、230b : 酸化物、230B : 酸化膜、230c : 酸化物、230c1 : 酸化物、230c2 : 酸化物、230C : 酸化膜、230d : 酸化物、240 : 導電体、240a : 導電体、240b : 導電体、241 : 絶縁体、241a : 絶縁体、241b : 絶縁体、242 : 導電体、242a : 導電体、242A : 導電膜、242b : 導電体、242B : 導電層、242c : 導電体、243 : 酸化物、243a : 酸化物、243A : 酸化膜、243b : 酸化物、243B : 酸化物層、246 : 導電体、246a : 導電体、246b : 導電体、250 : 絶縁体、250A : 絶縁膜、260 : 導電体、260a : 導電体、260A : 導電膜、260b : 導電体、260B : 導電膜、265 : 封止部、265a : 封止部、265b : 封止部、272 : 絶縁体、273 : 絶縁体、274 : 絶縁体、280 : 絶縁体、282 : 絶縁体、283 : 絶縁体、284 : 絶縁体、286 : 絶縁体、287 : 絶縁体、290 : メモリデバイス、292 : 容量デバイス、292a : 容量デバイス、292b : 容量デバイス、294 : 導電体、294a : 導電体、294b : 導電体、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、400 : トランジスタ、405 : 導電体、411 : 素子層、413 : トランジスタ層、415 : メモリデバイス層、415__1 : メモリデバイス層、415__3 : メモリデバイス層、415__4 : メモリデバイス層、420 : メモリデバイス、424 : 導電体、430d : 酸化物、431a : 酸化物、431b : 酸化物、432a : 酸化物、432b : 酸化物、440 : 導電体、442a : 導電体、442b : 導電体、443a : 酸化物、443b : 酸化物、450 : 絶縁体、460 : 導電体、460a : 導電体、460b : 導電体、470 : メモリユニット、600 : 半導体装置、601 : 半導体装置、610 : セルアレイ、610__1 : セルアレイ、610__n : セルアレイ、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モーランド、712 : ランド、713 : 電極パッド、714 : ワイヤ、720 : 記憶装置、721 : 駆動回路層、722 : 記憶回路層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、901 : 境界領域、902 : 境界領域、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線、1007 : 配線、1008 : 配線、1009 : 配線、1010 : 配線、1100 : USBメモリ、1101 : 筐体、1102 : キャップ、1103 : USBコネクタ、1104 : 基板、1105 : メモリチップ、1106 : コントローラチップ、1110 : SDカード、1111 : 筐体、1112 : コネクタ、1113 : 基板、1114 : メモリチップ、1115 : コントローラチップ、1150 : SSD、1151 : 筐体、1152 : コネクタ、1153 : 基板、1154 : メモリチップ、1155 : メモリチップ、1156 : コントローラチップ、1200 : チップ、1201 : PCB、1202 : バンプ、1203 : マザーボード、1204 : GPUモジュール、1211 : CPU、1212 : GPU、1213 : アナログ演算部、1214 : メモリコントローラ、1215 : インターフェース、1216 : ネットワーク回路、1221 : DRAM、1222 : フラッシュメモリ、1400 : 記憶装置、1411 : 周辺回路、1420 : 行回路、1430 : 列回路、1440 : 出力回路、1460 : コントロールロジック回路、1470 : メモリセルアレイ、1471 : メモリセル、1472 : メモリセル、1473 : メモリセル、1474 : メモリセル、1475 : メモリ

セル、1476：メモリセル、1477：メモリセル、1478：メモリセル、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

請求の範囲

[請求項1]

トランジスタを有する半導体装置であって、
前記トランジスタは、
第1の導電体と、
前記第1の導電体上の第1の絶縁体と、
前記第1の絶縁体上の第1の酸化物と、
前記第1の酸化物上の、第2の導電体、および第3の導電体と、
前記第1の酸化物上、かつ、前記第2の導電体および前記第3の導電体の間、の第2の酸化物と、
前記第2の酸化物上の第2の絶縁体と、
前記第2の絶縁体上の第4の導電体と、を有し、
前記第4の導電体と重なる領域の前記第1の酸化物の上面は、前記第2の導電体および前記第3の導電体の底面よりも低く、
前記第4の導電体と重なる領域の前記第2の酸化物の上面と、前記第2の導電体または前記第3の導電体の底面と、の差は、前記第4の導電体と重なる領域の前記第2の酸化物の膜厚よりも小さい、
半導体装置。

[請求項2]

トランジスタを有する半導体装置であって、
前記トランジスタは、
第1の導電体と、
前記第1の導電体上の第1の絶縁体と、
前記第1の絶縁体上の第1の酸化物と、
前記第1の酸化物上の、第2の導電体、および第3の導電体と、
前記第1の酸化物上、かつ、前記第2の導電体および前記第3の導電体の間、の第2の酸化物と、
前記第2の酸化物上の第2の絶縁体と、
前記第2の絶縁体上の第4の導電体と、を有し、
前記第4の導電体と重なる領域の前記第1の酸化物の上面は、前記第2の導電体および前記第3の導電体の底面よりも低く、
前記第4の導電体と重なる領域の前記第1の酸化物の上面と、前記第2の導電体および前記第3の導電体の底面と、の差は、1 nm以上7 nm以下であり、
前記第4の導電体と重なる領域の前記第2の酸化物の膜厚は、1 nm以上5 nm以下である、
半導体装置。

[請求項3]

請求項1または請求項2において、
前記第2の酸化物は、インジウムを有する、
半導体装置。

[請求項4]

請求項1または請求項2において、
前記第2の酸化物は、インジウムと、元素M（Mは、ガリウム、アルミニウム、イットリウム、

または錫) と、亜鉛と、を有し、

前記第2の酸化物において、主成分である金属元素に対するインジウムの原子数比は、主成分である金属元素に対する元素Mの原子数比と、主成分である金属元素に対する亜鉛の原子数比との和、よりも大きい、

半導体装置。

[請求項5]

請求項4において、

前記第2の酸化物は、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物である、半導体装置。

[請求項6]

請求項3乃至請求項5のいずれかーにおいて、

前記第1の酸化物は、インジウムと、元素M (Mは、ガリウム、アルミニウム、イットリウム、または錫) と、亜鉛と、を有し、

前記第2の酸化物において、主成分である金属元素に対するインジウムの原子数比は、前記第1の酸化物における、主成分である金属元素に対するインジウムの原子数比より大きい、

半導体装置。

[請求項7]

請求項1乃至請求項6のいずれかーにおいて、

前記第2の絶縁体は、第1の絶縁層、および第2の絶縁層が順に積層された構造を有し、

前記第1の絶縁層は、シリコンを有し、

前記第2の絶縁層は、ハフニウムおよびジルコニウムのいずれか一方または双方を有する、

半導体装置。

[請求項8]

請求項1乃至請求項7のいずれかーにおいて、

前記トランジスタのチャネル幅方向の断面視において、前記第1の絶縁体と、前記第2の絶縁体とが接する領域を有する、

半導体装置。

図1A

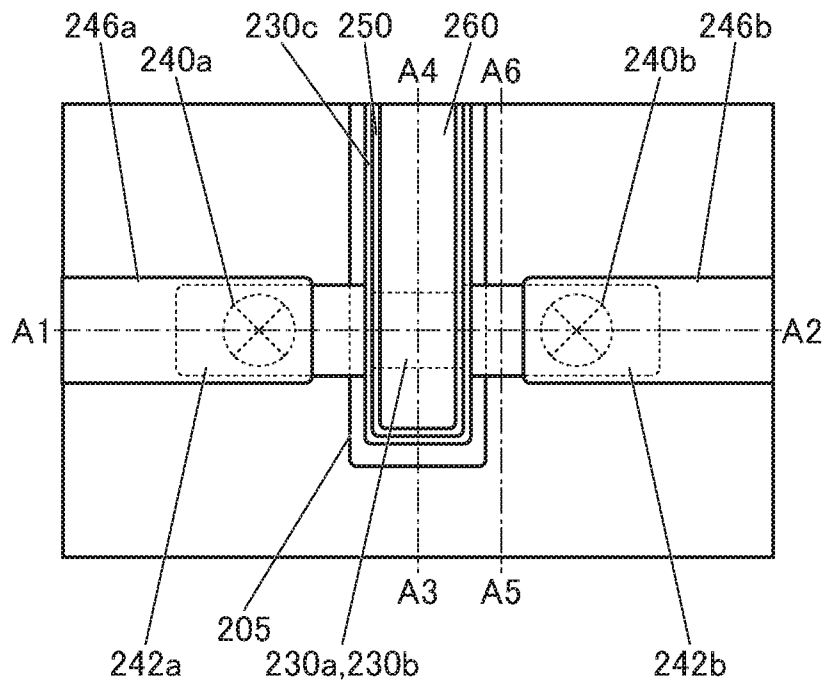


図1C

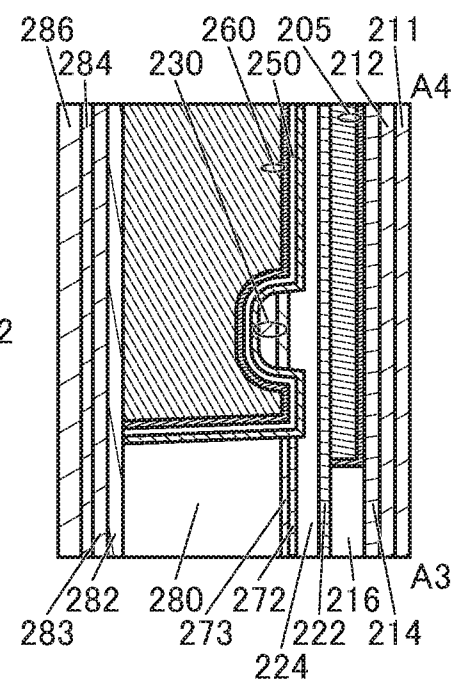


図1B

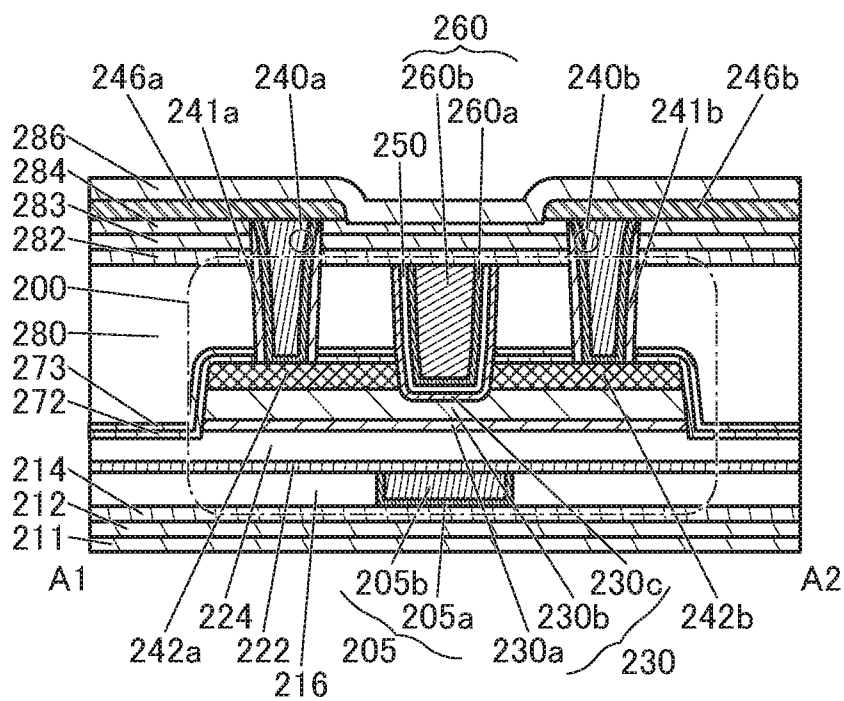


図1D

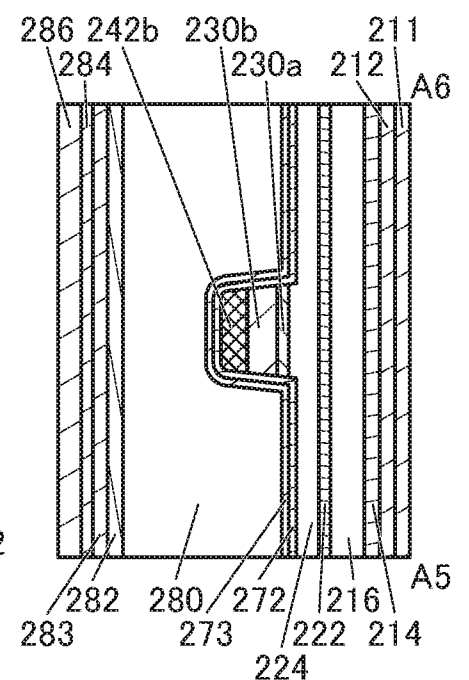


図2A

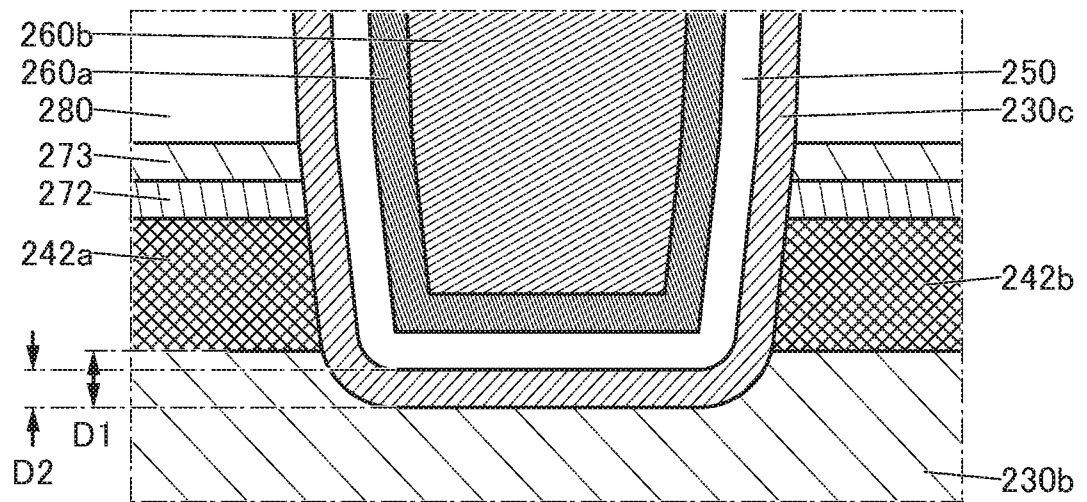


図2B

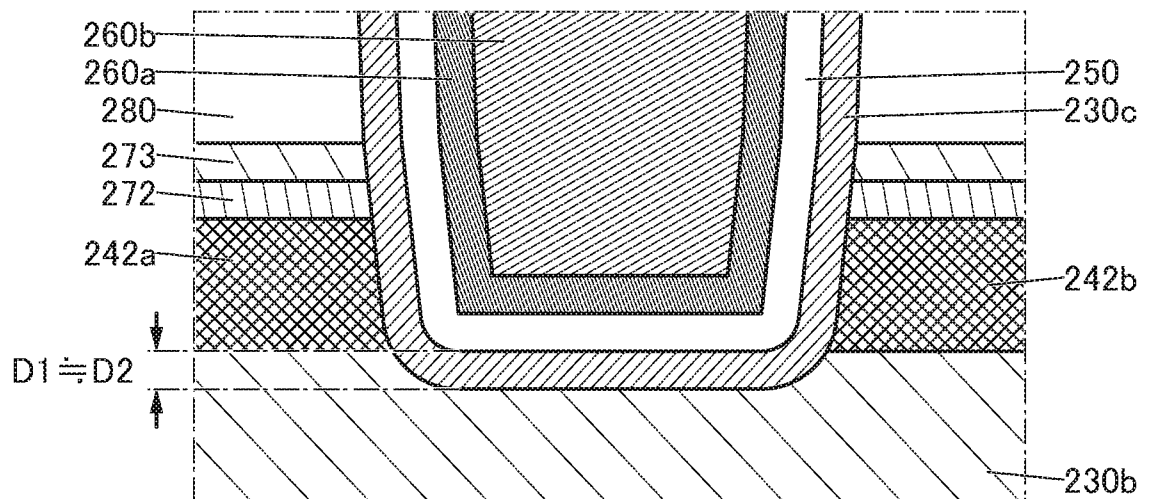


図2C

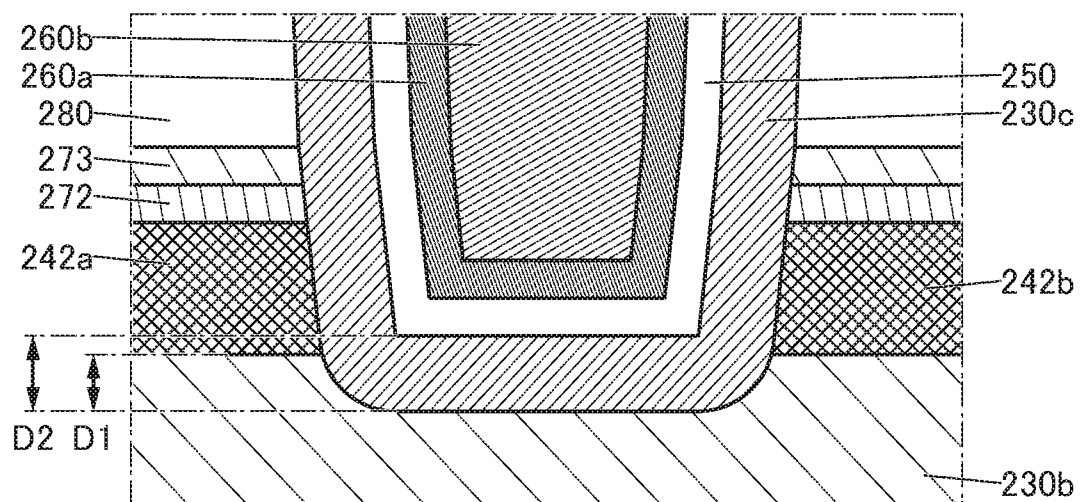


図3A

Amorphous	Crystalline	Crystal
completely amorphous	・CAAC ・nc ・CAC	・single crystal ・poly crystal

図3B

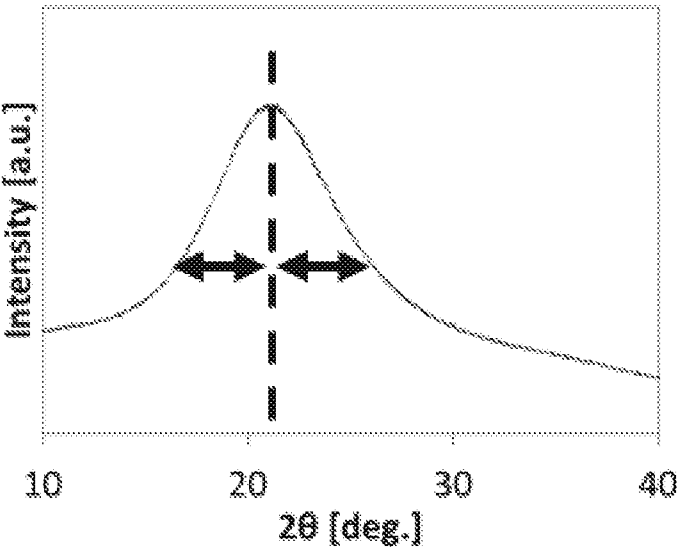


図3C

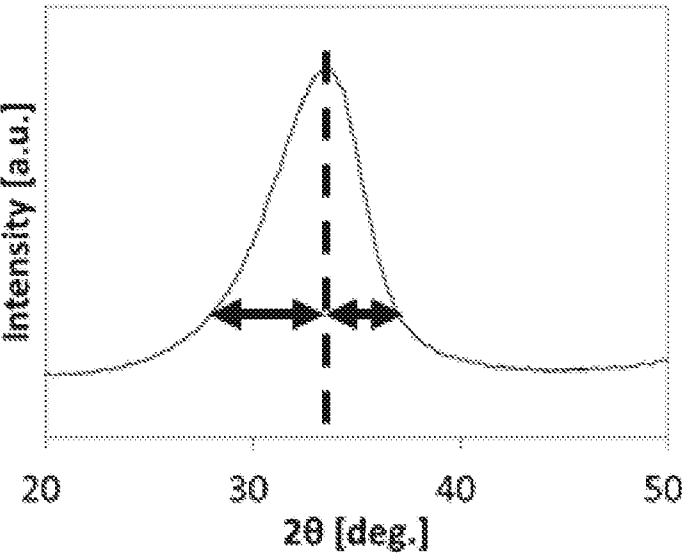


図4A

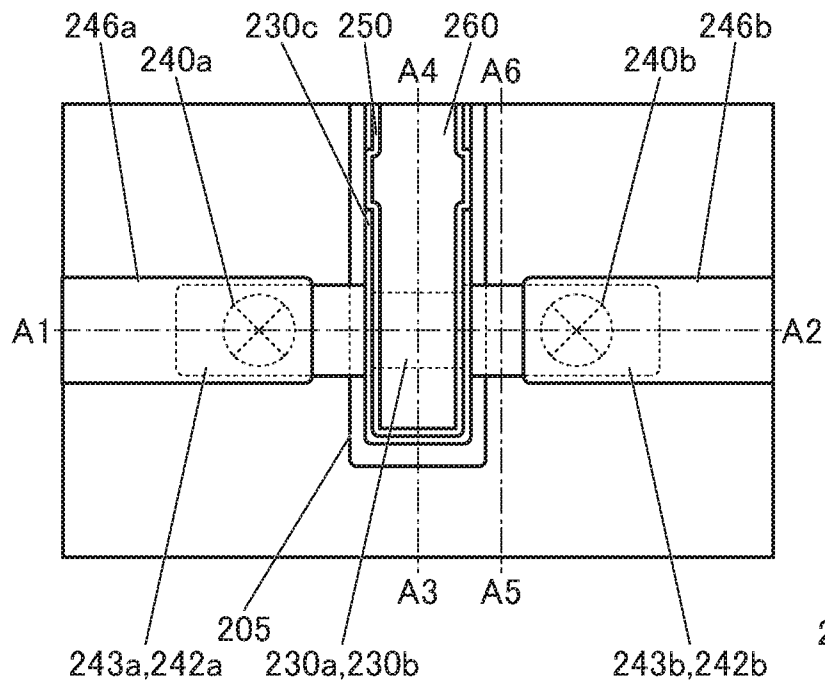


図4C

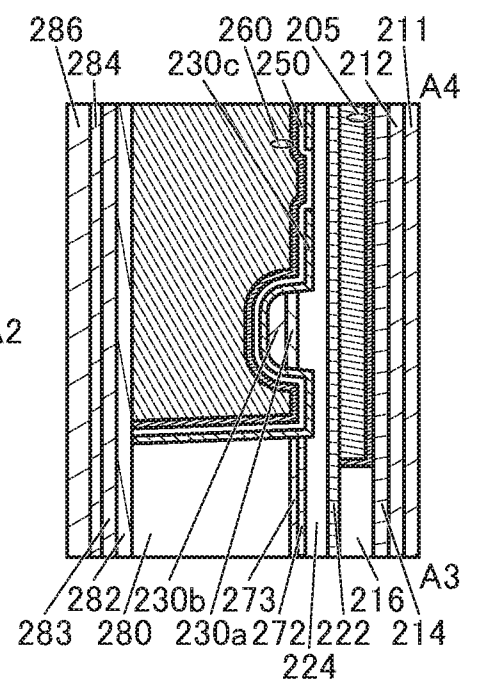


図4B

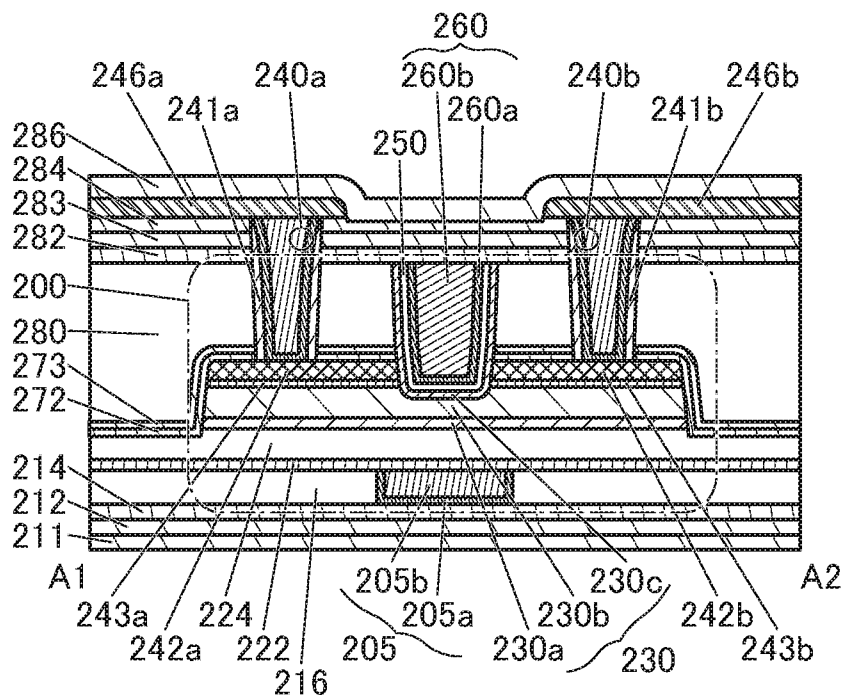


図4D

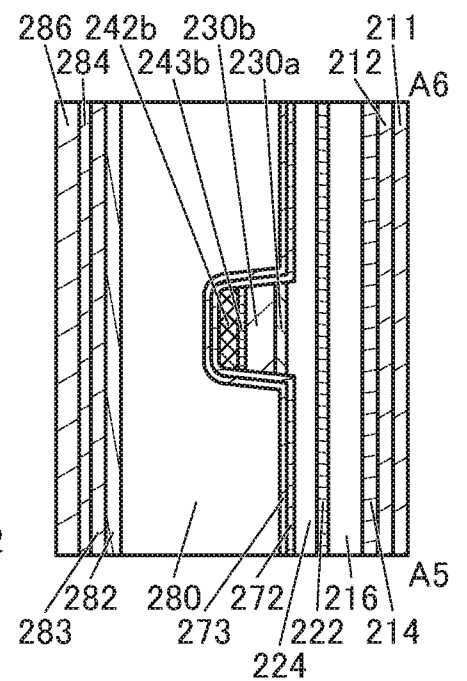


図5A

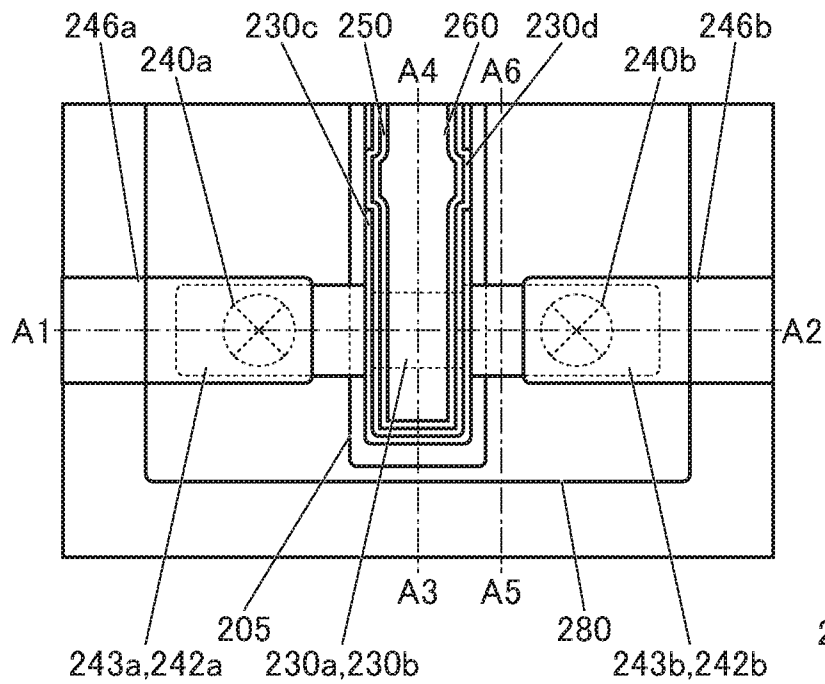


図5C

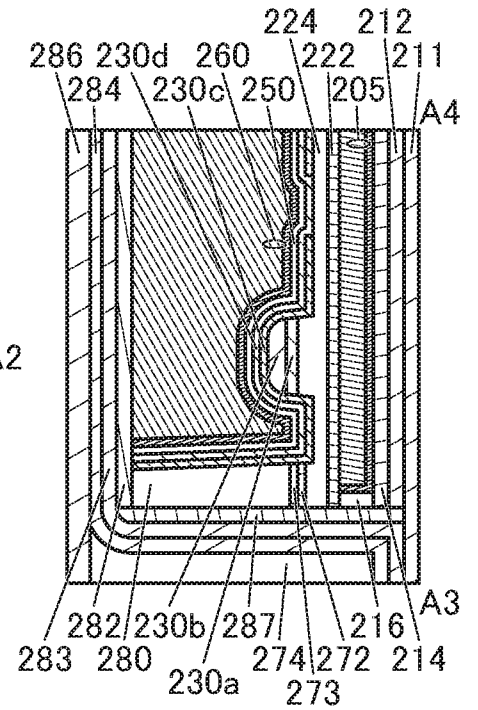


図5B

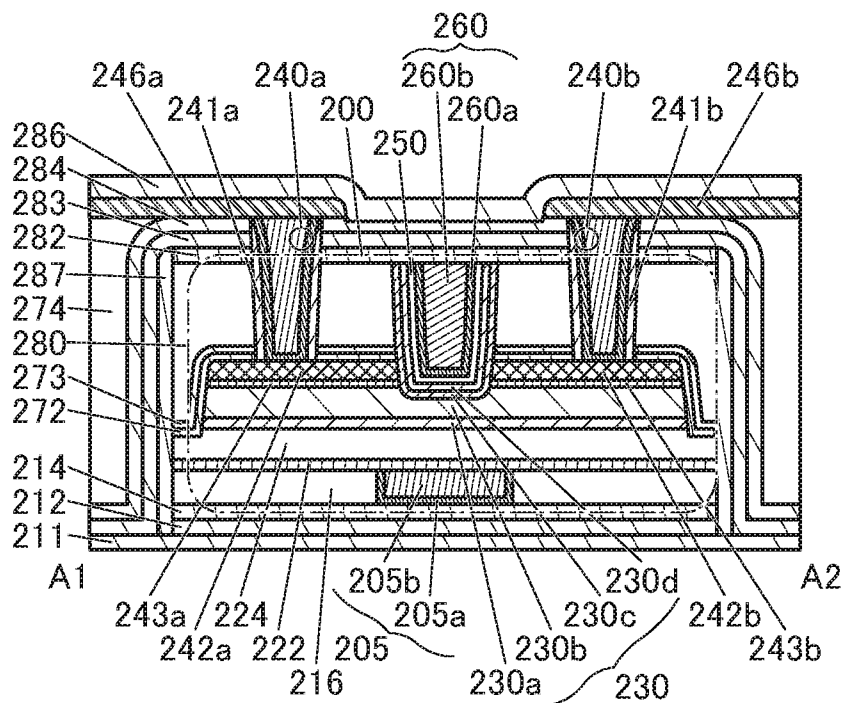


図5D

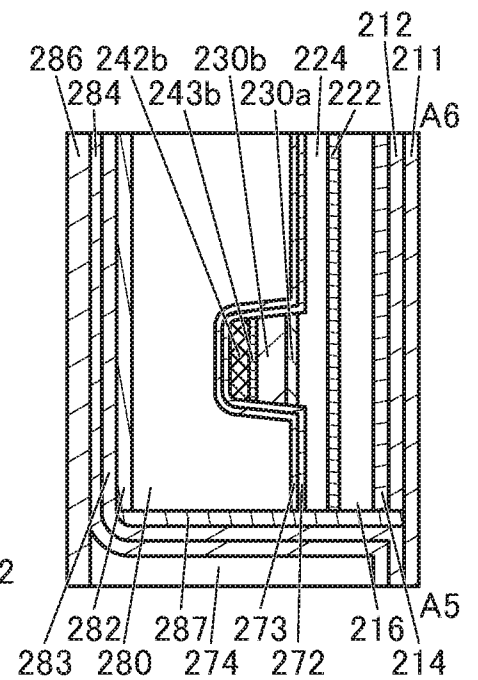


図6A

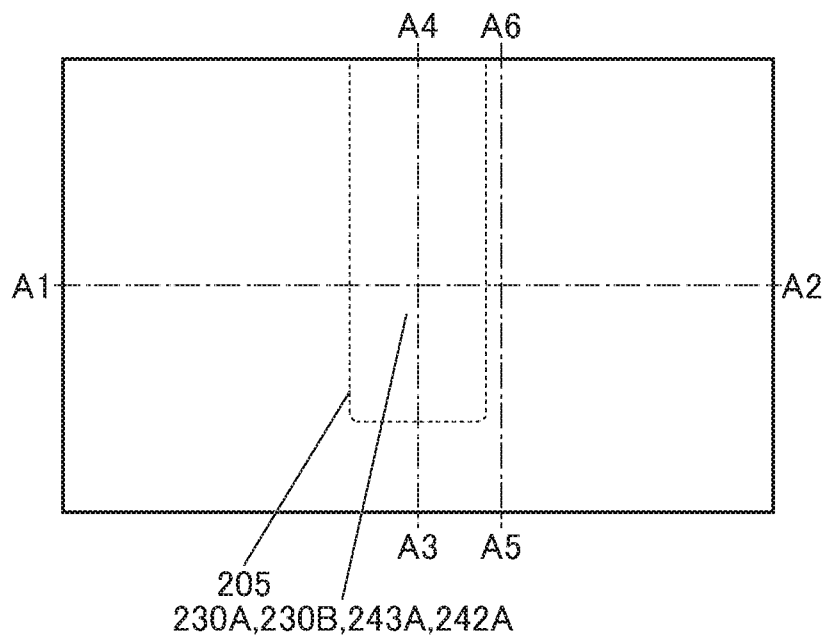


図6C

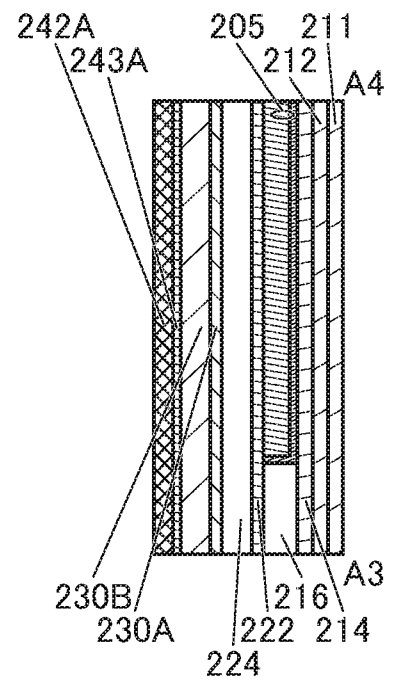


図6B

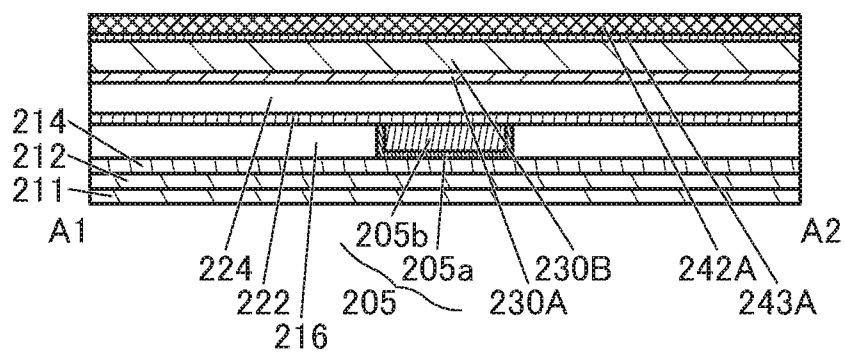


図6D

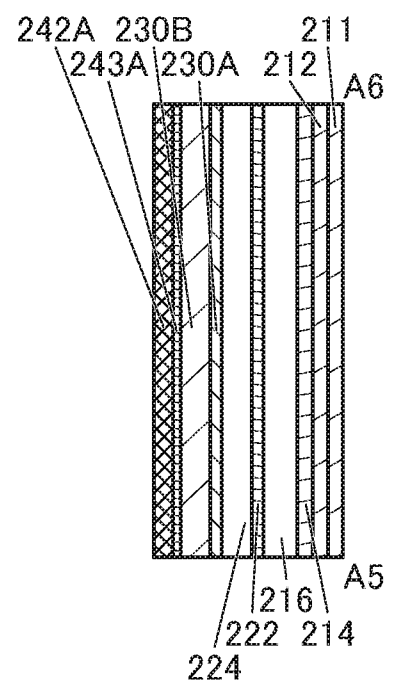


図7A

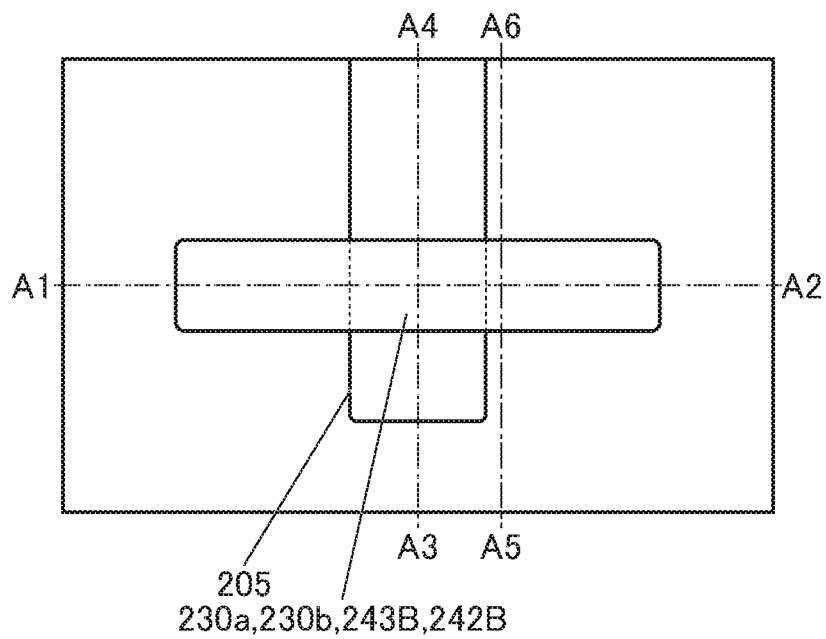


図7C

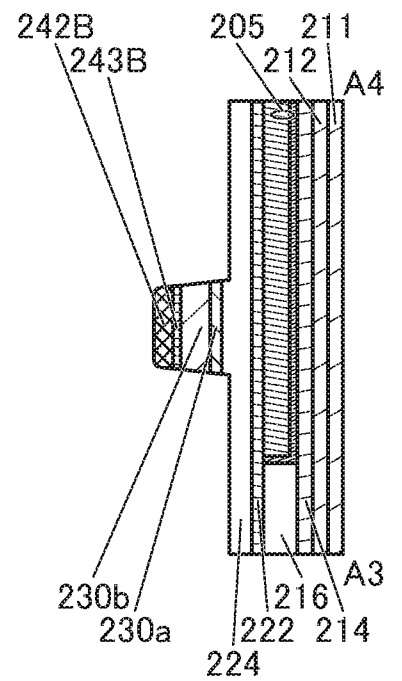


図7B

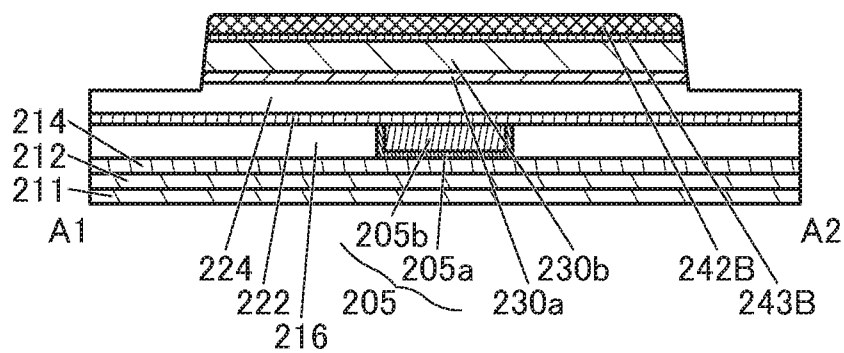


図7D

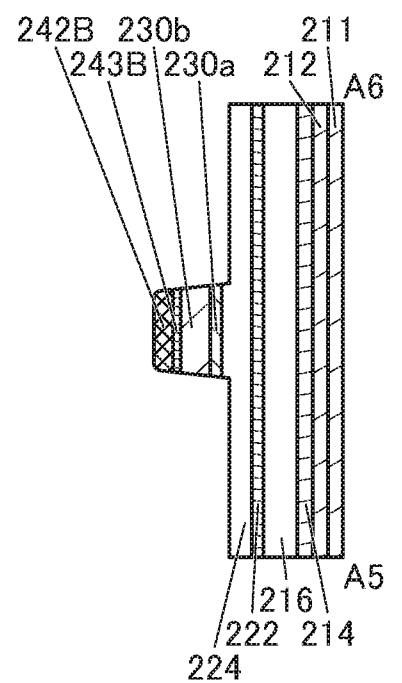


図8A

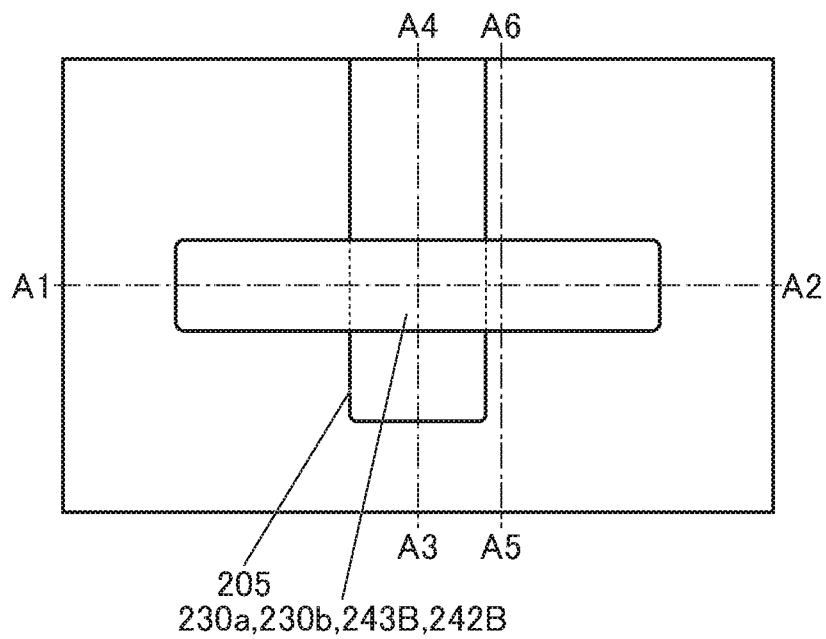


図8C

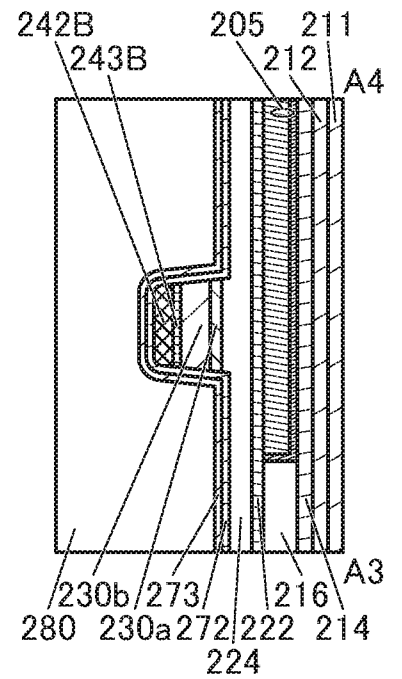


図8B

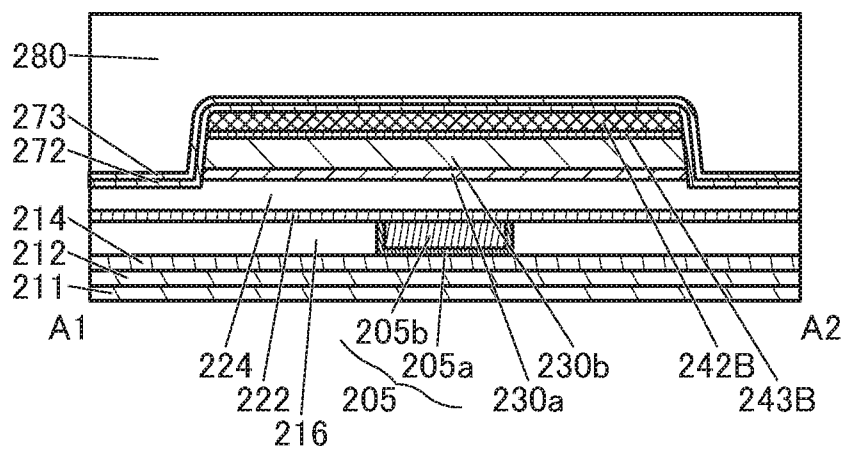


図8D

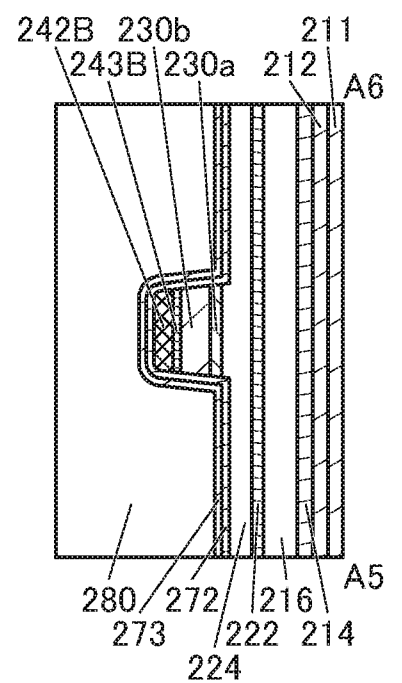


図9A

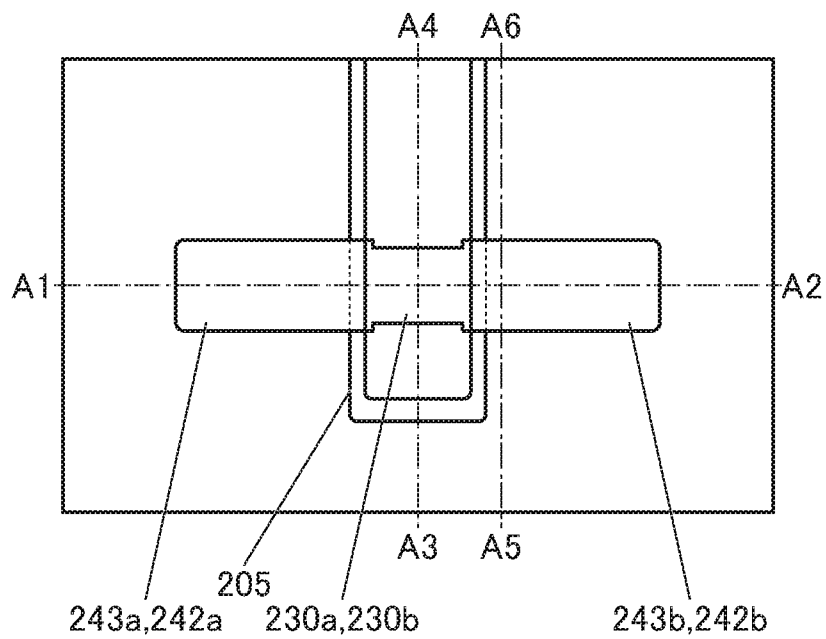


図9C

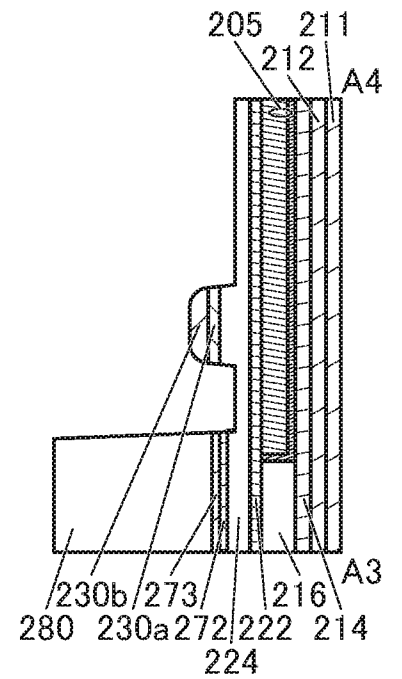


図9B

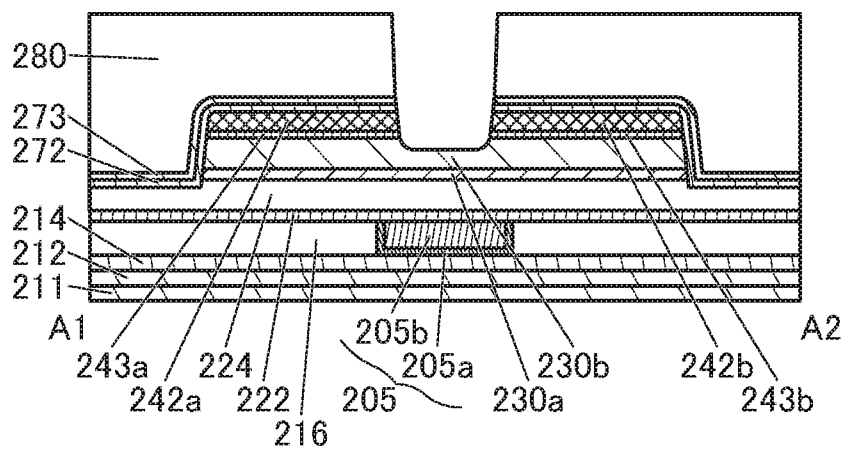


図9D

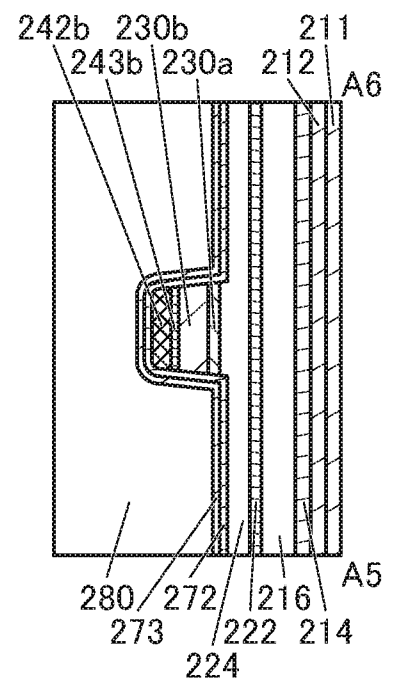


図10A

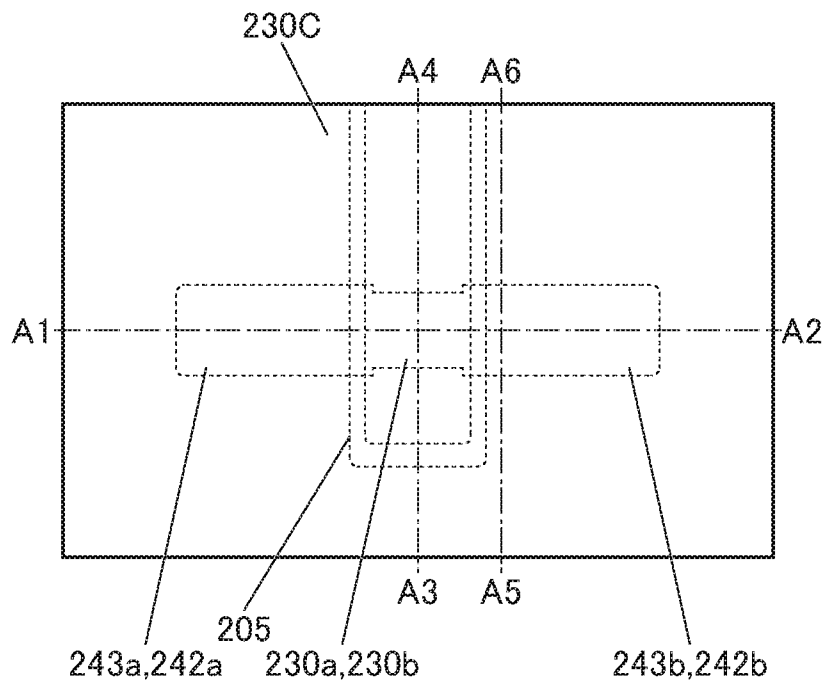


図10C

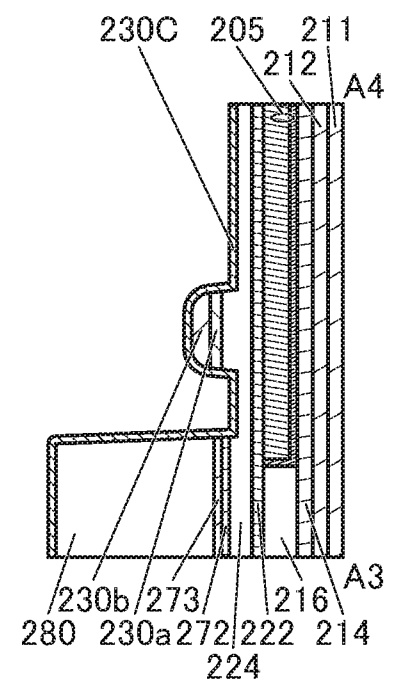


図10B

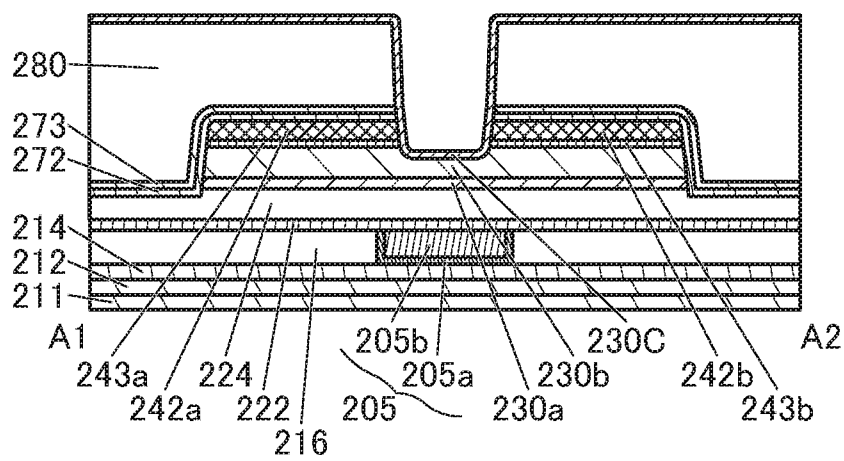


図10D

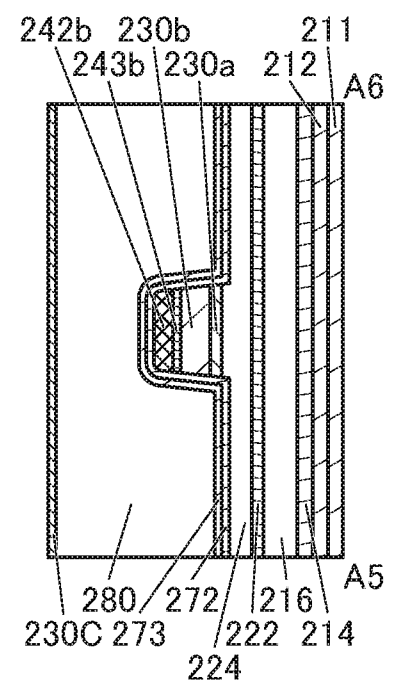


図11A

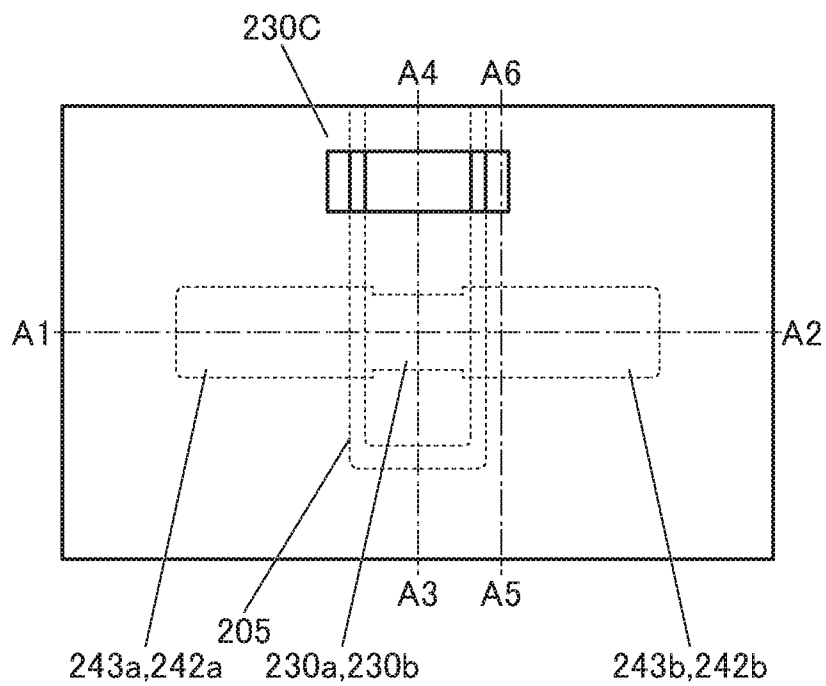


図11C

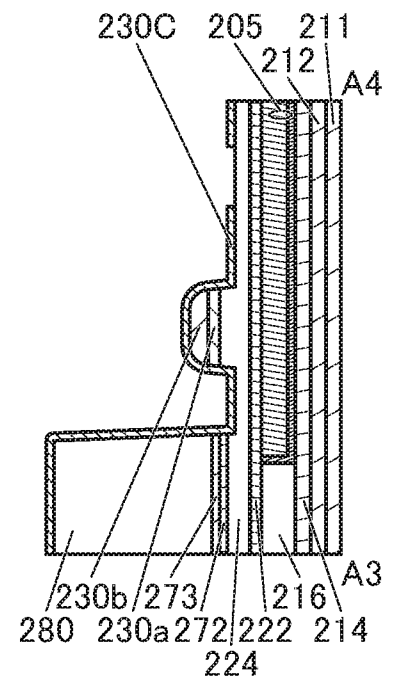


図11B

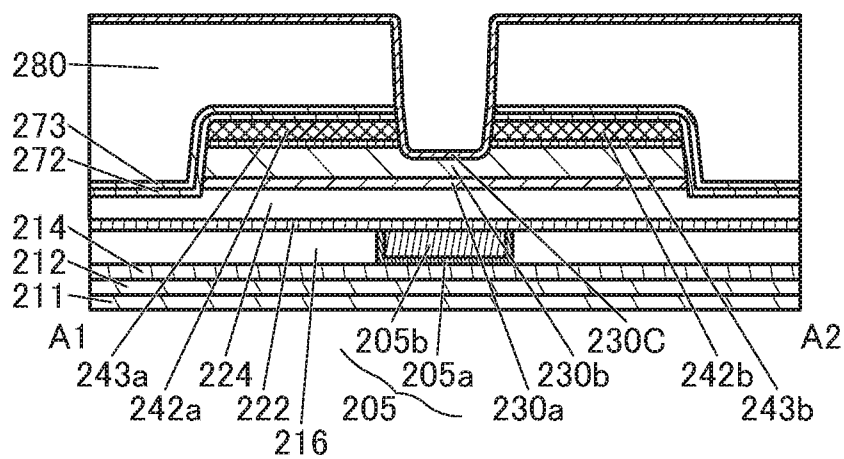


図11D

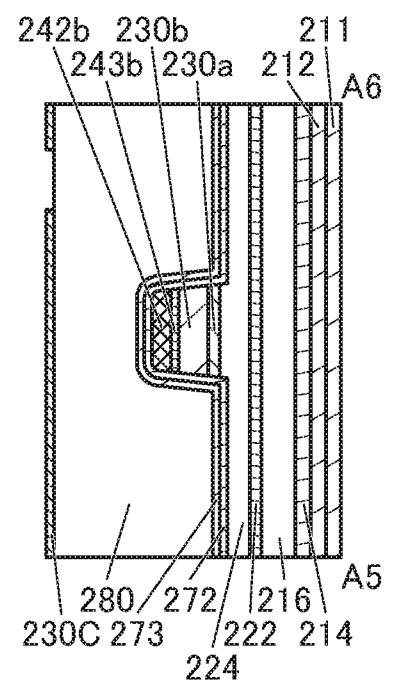


図12A

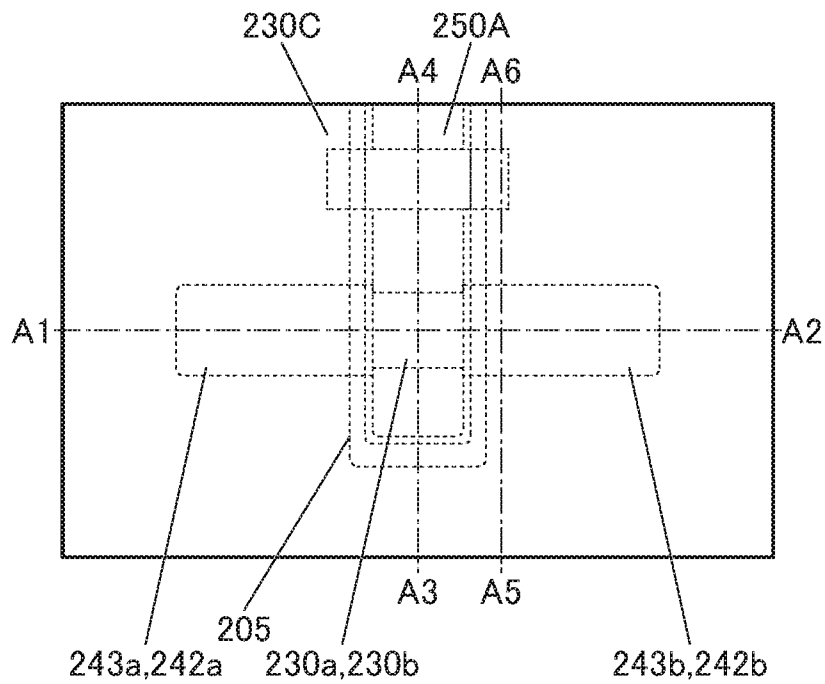


図12C

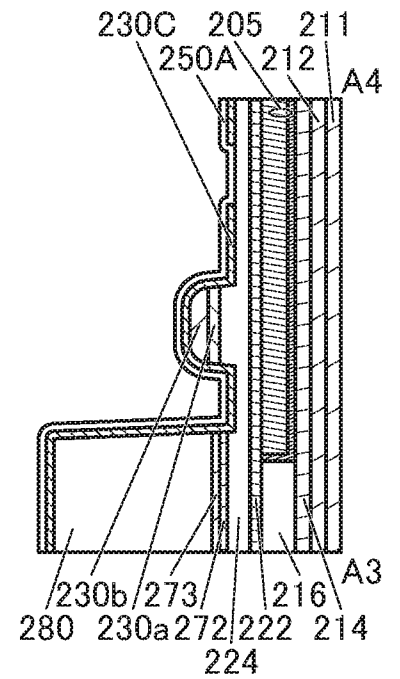


図12B

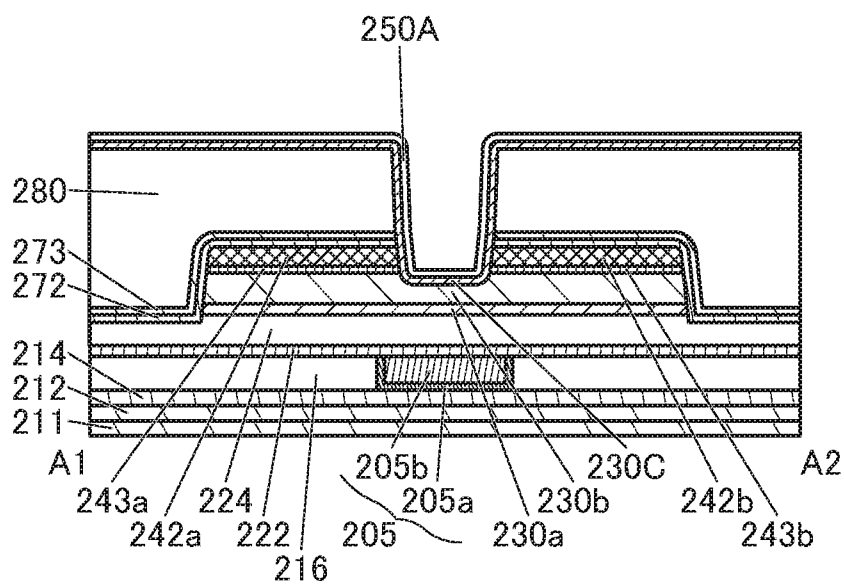


図12D

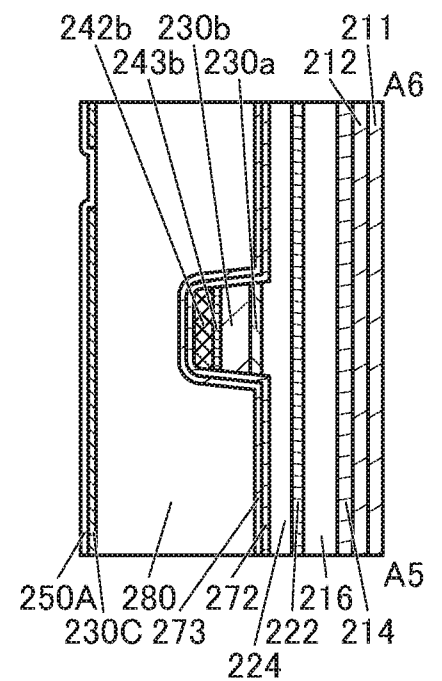


図13A

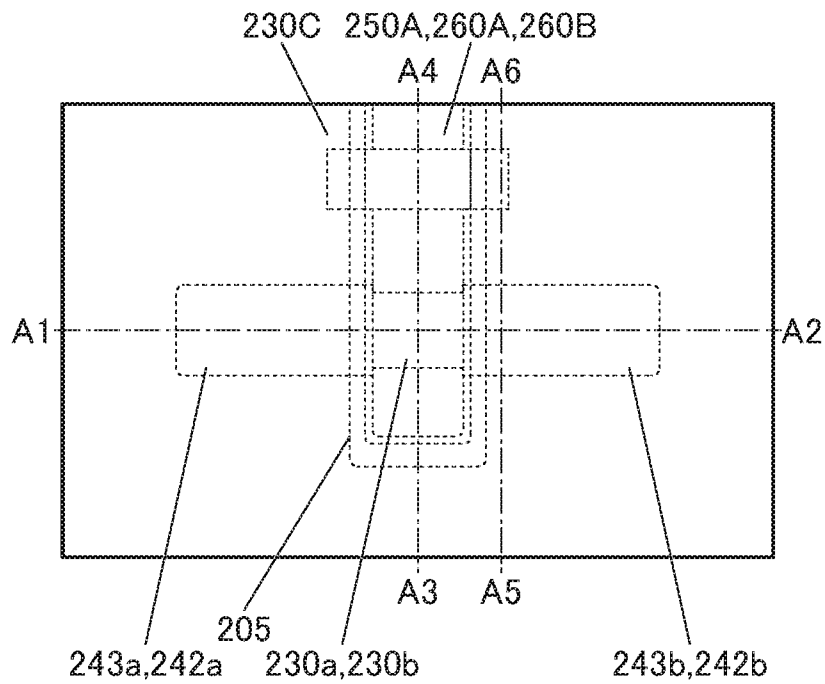


図13C

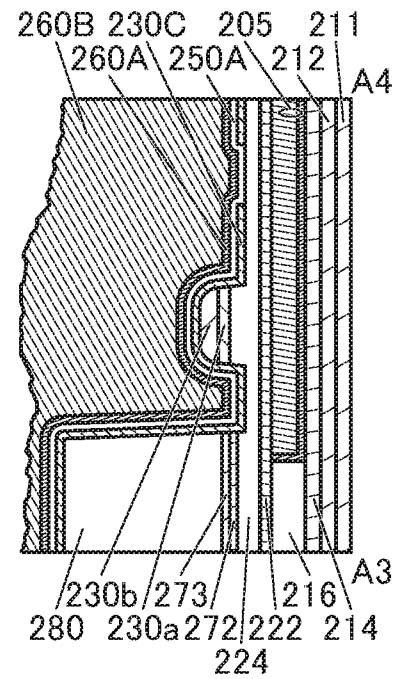


図13B

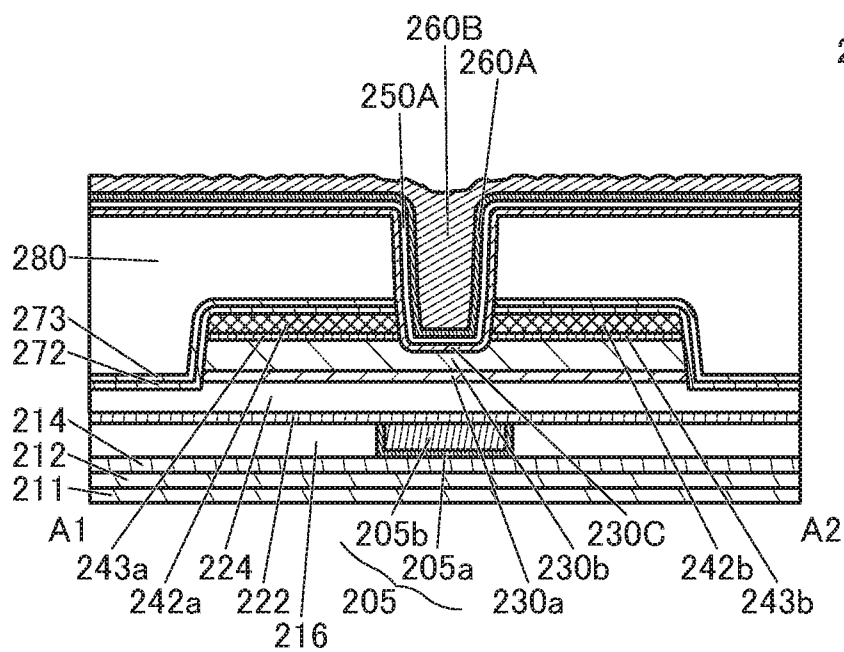


図13D

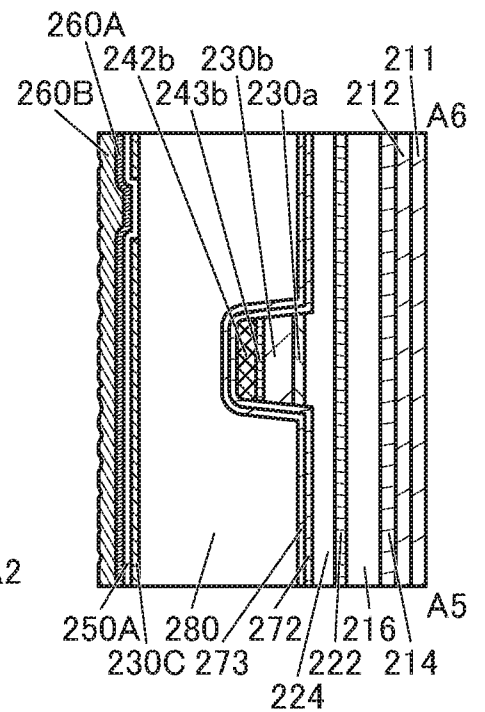


図14A

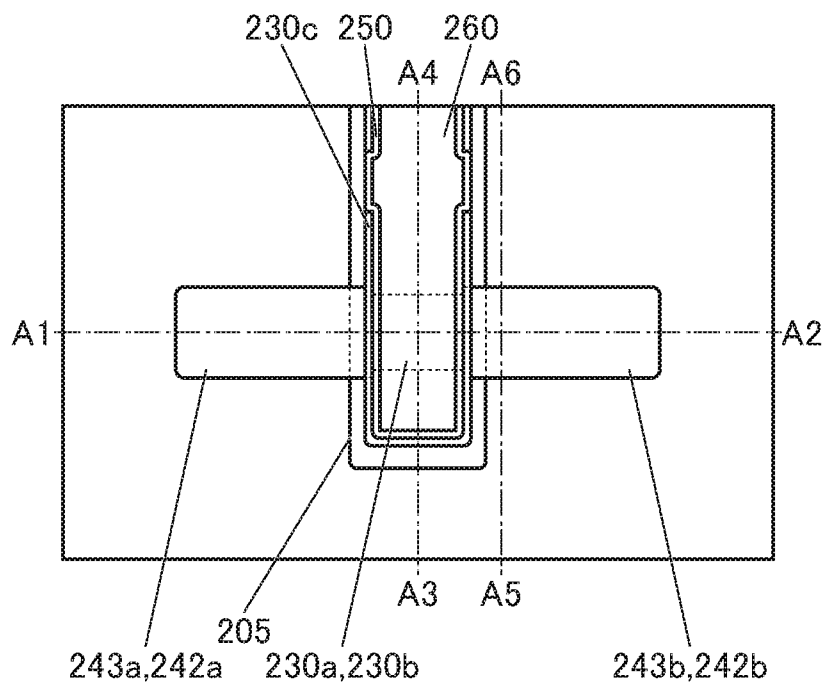


図14C

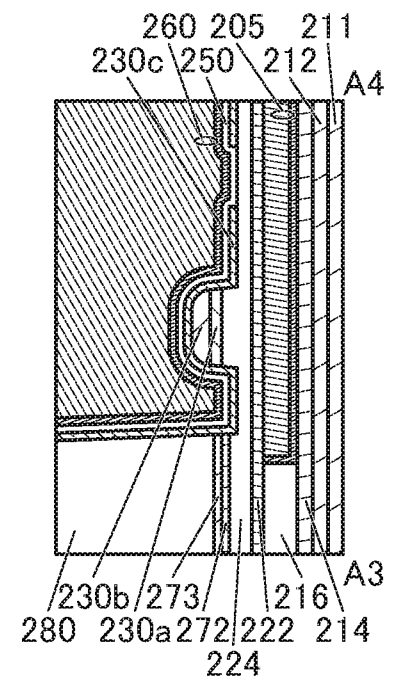


図14B

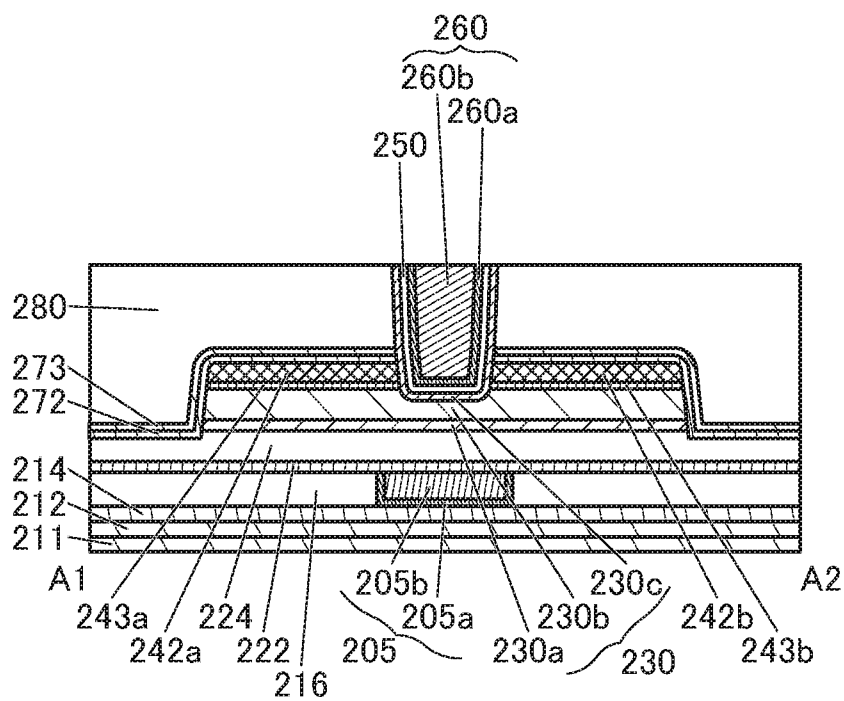


図14D

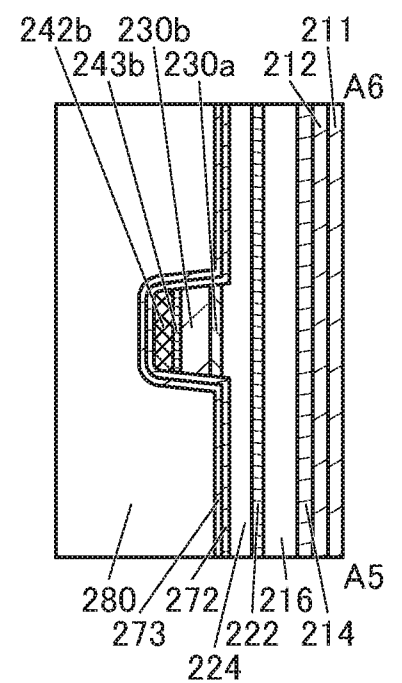


図15A

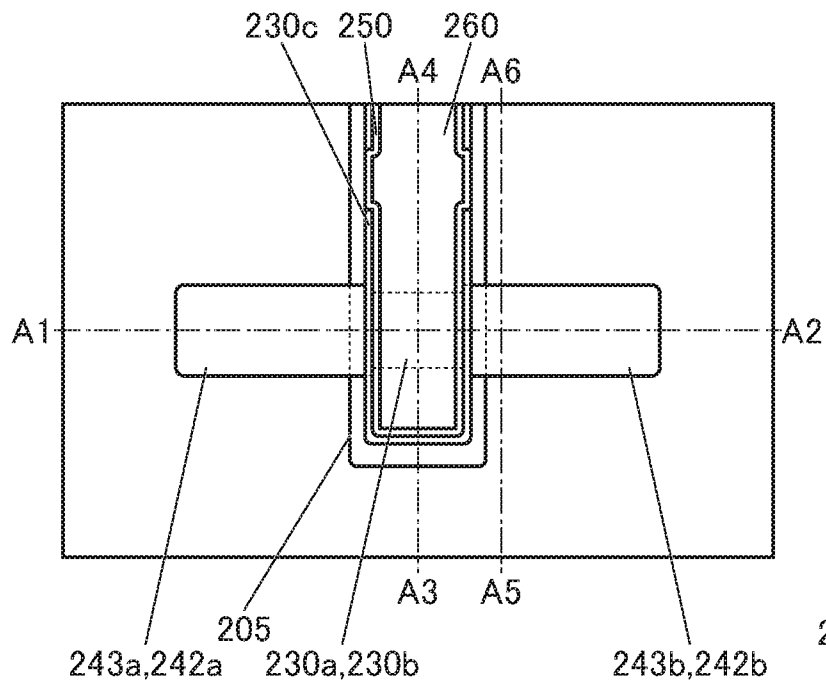


図15C

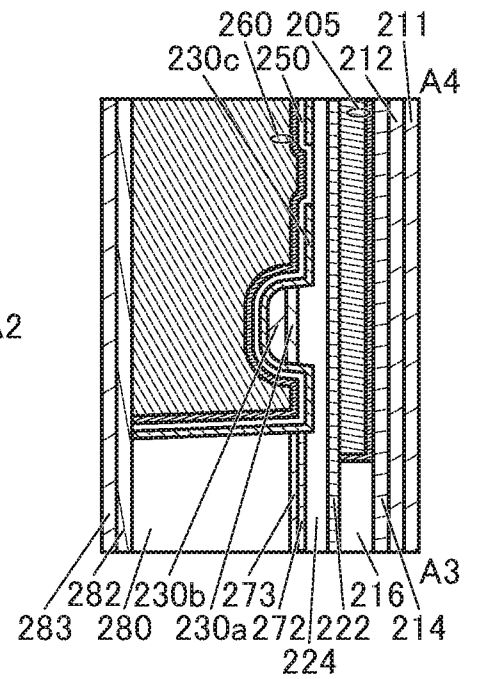


図15B

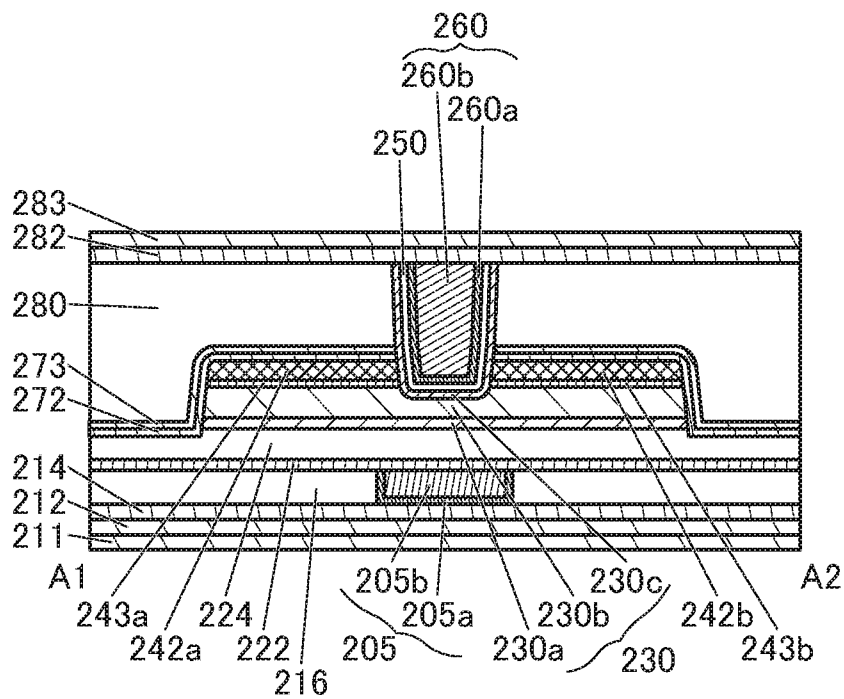


図15D

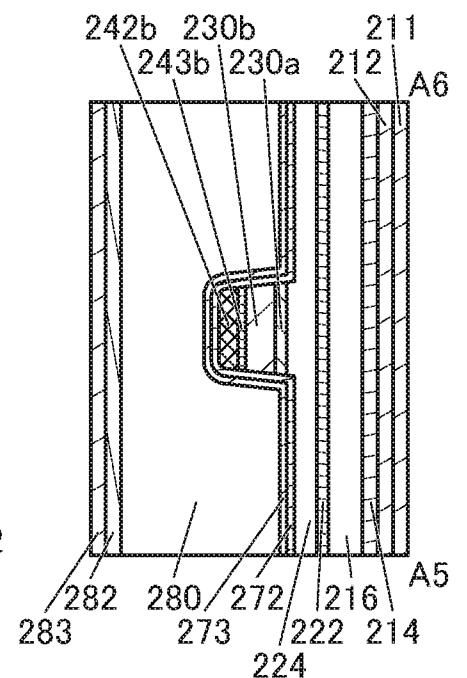


图16A

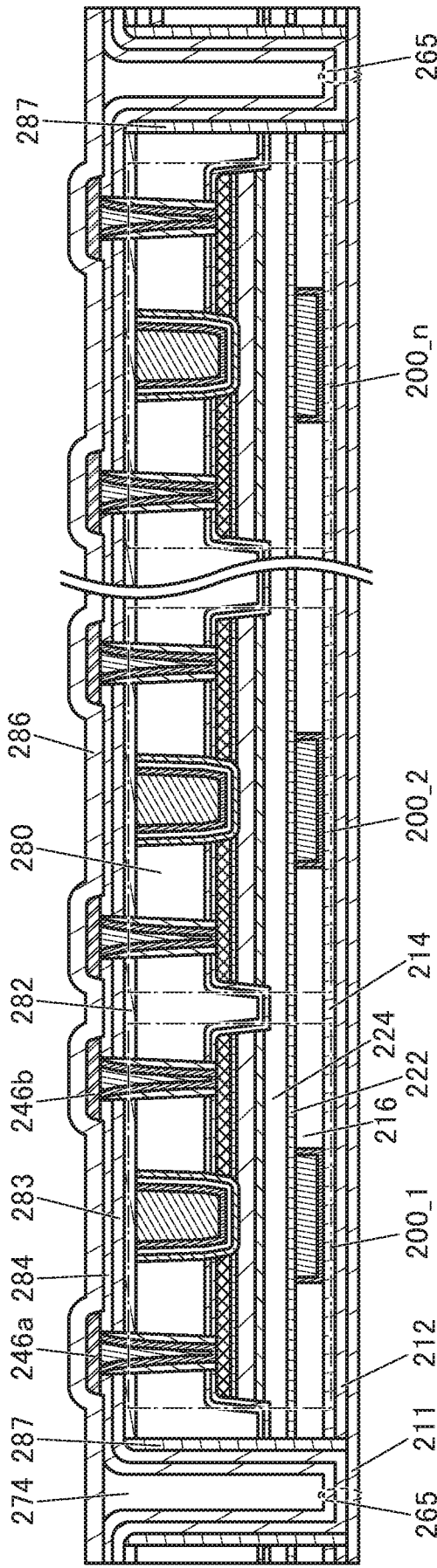


图16B

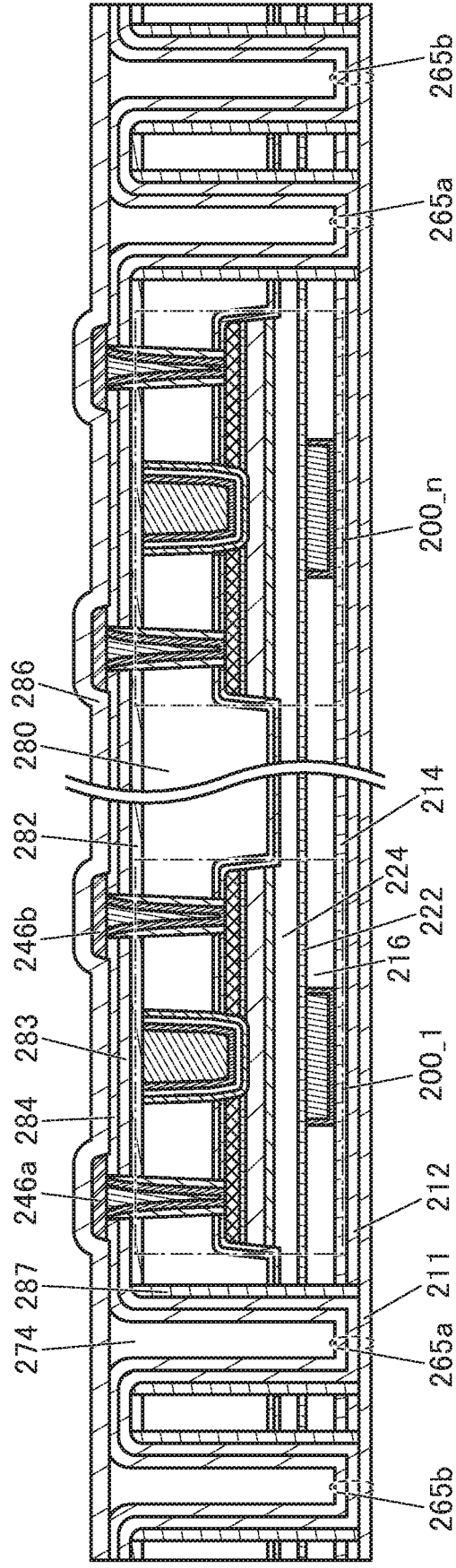


图17

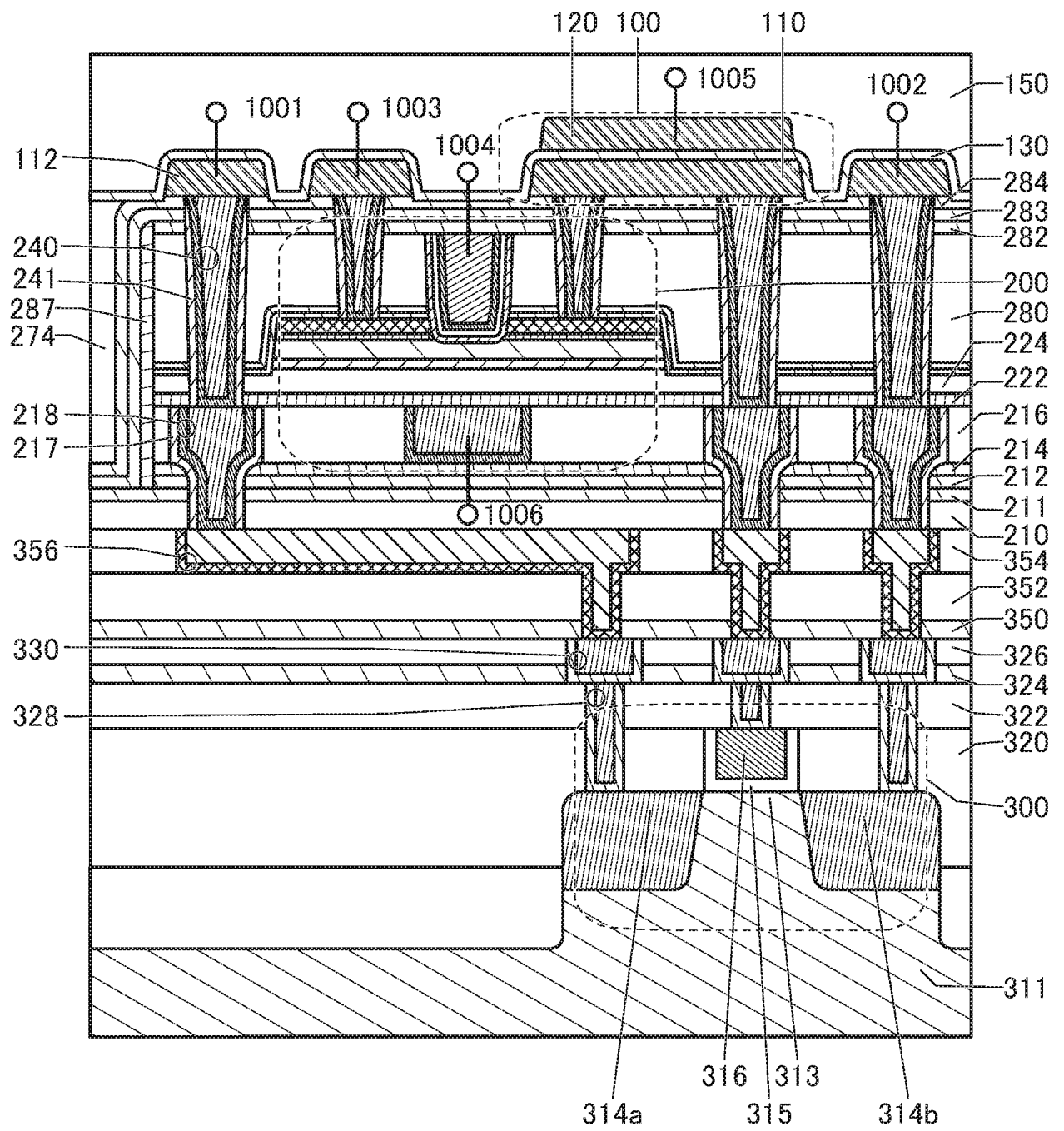
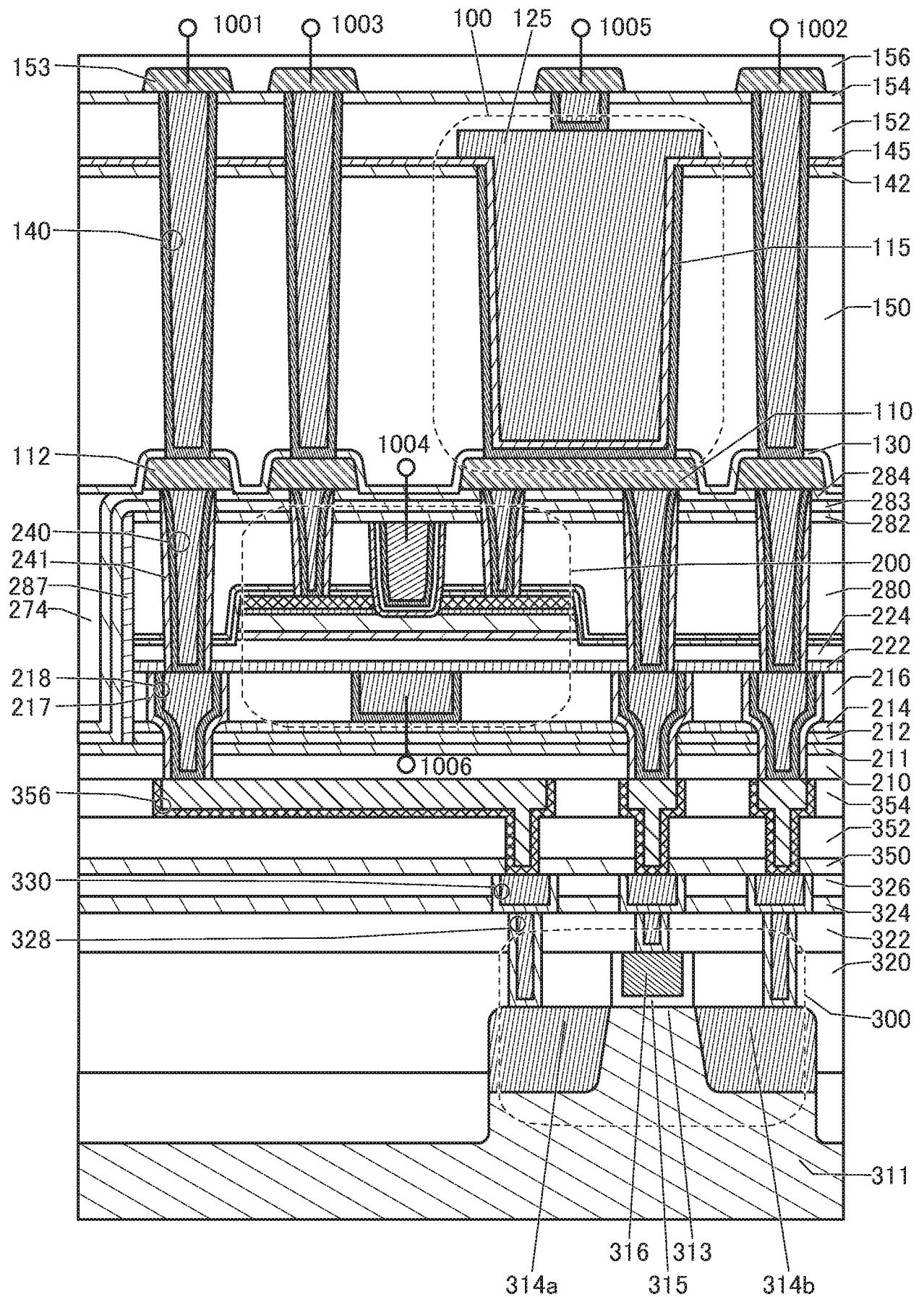
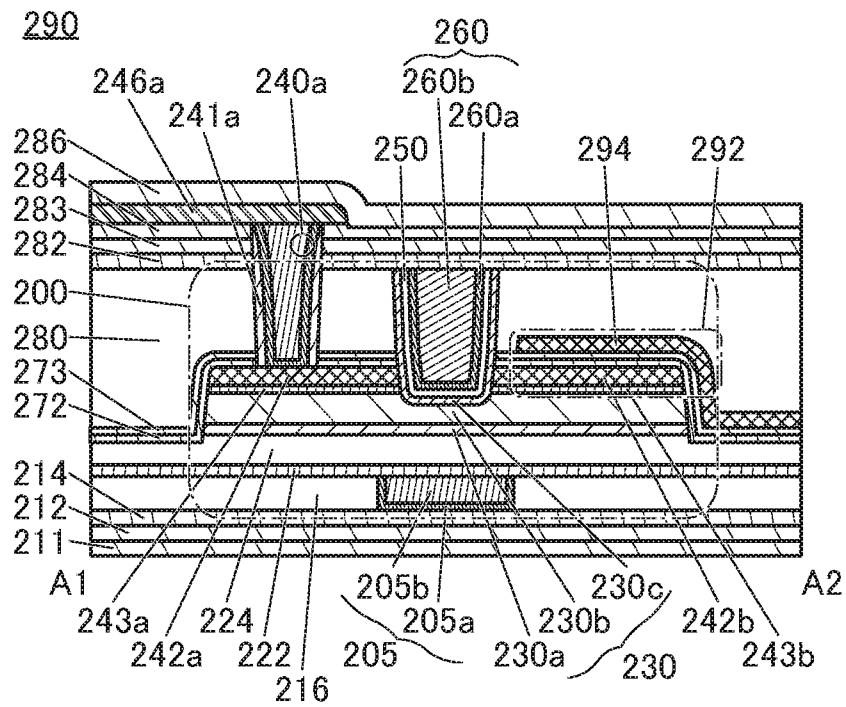
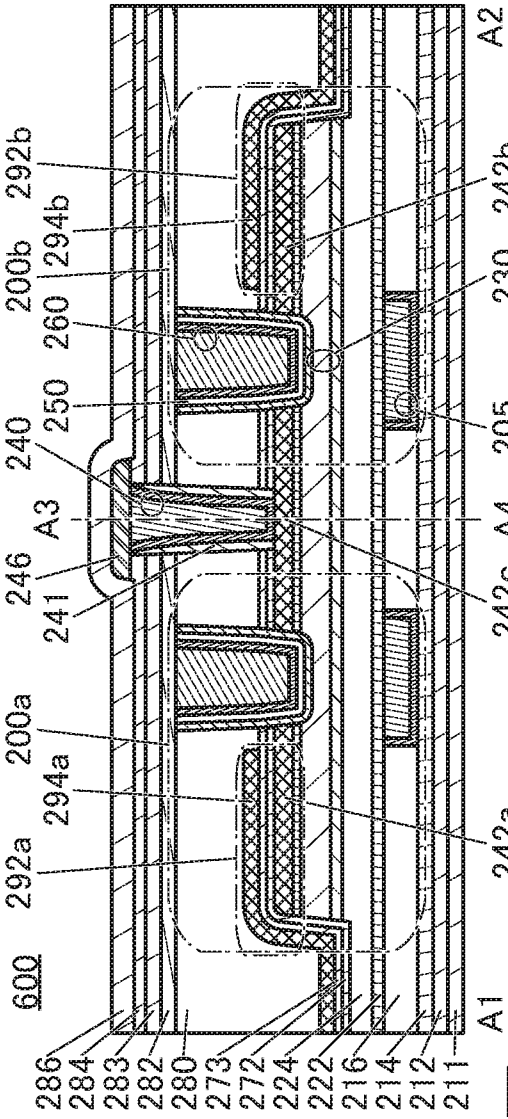


图18




20

21A



21B

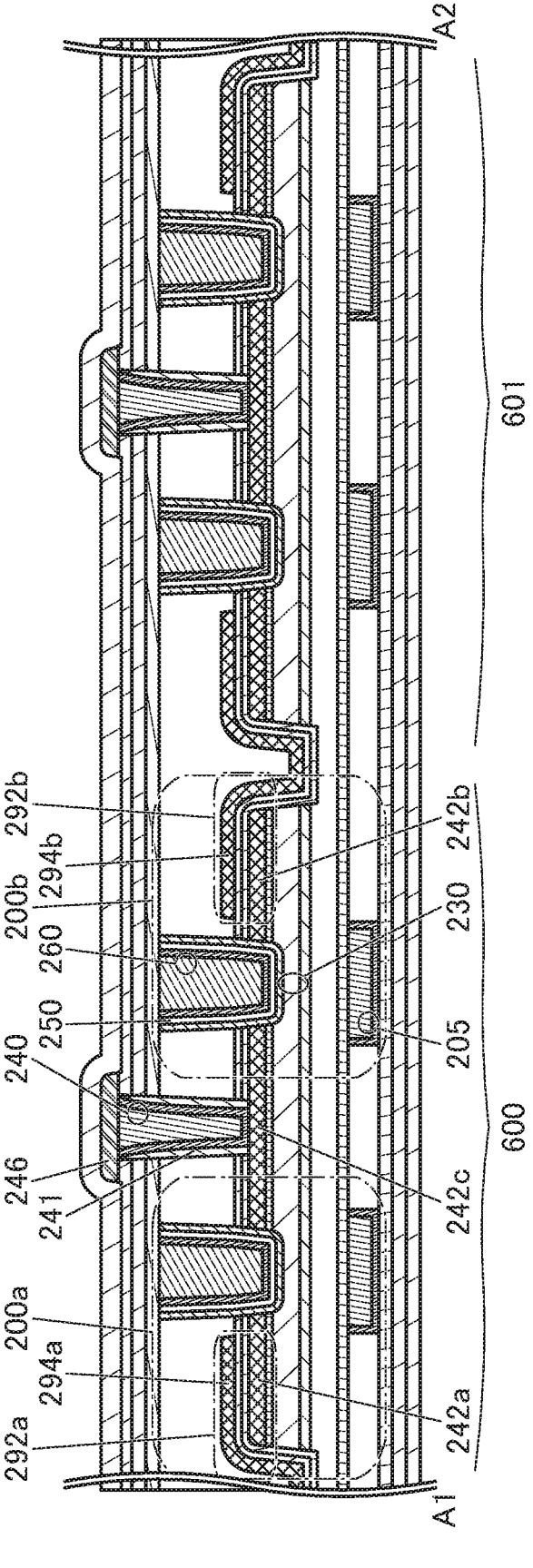


図22

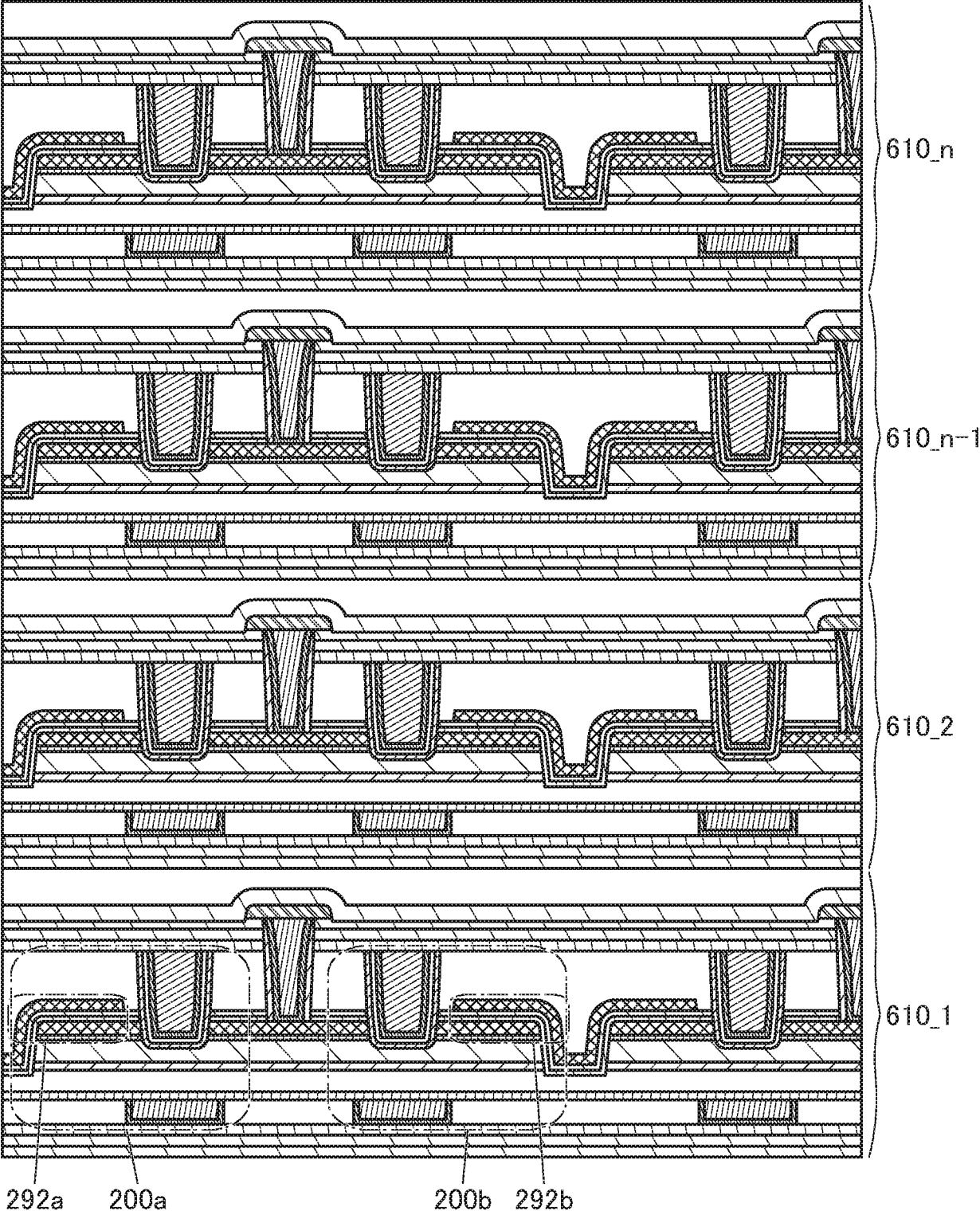


図 23

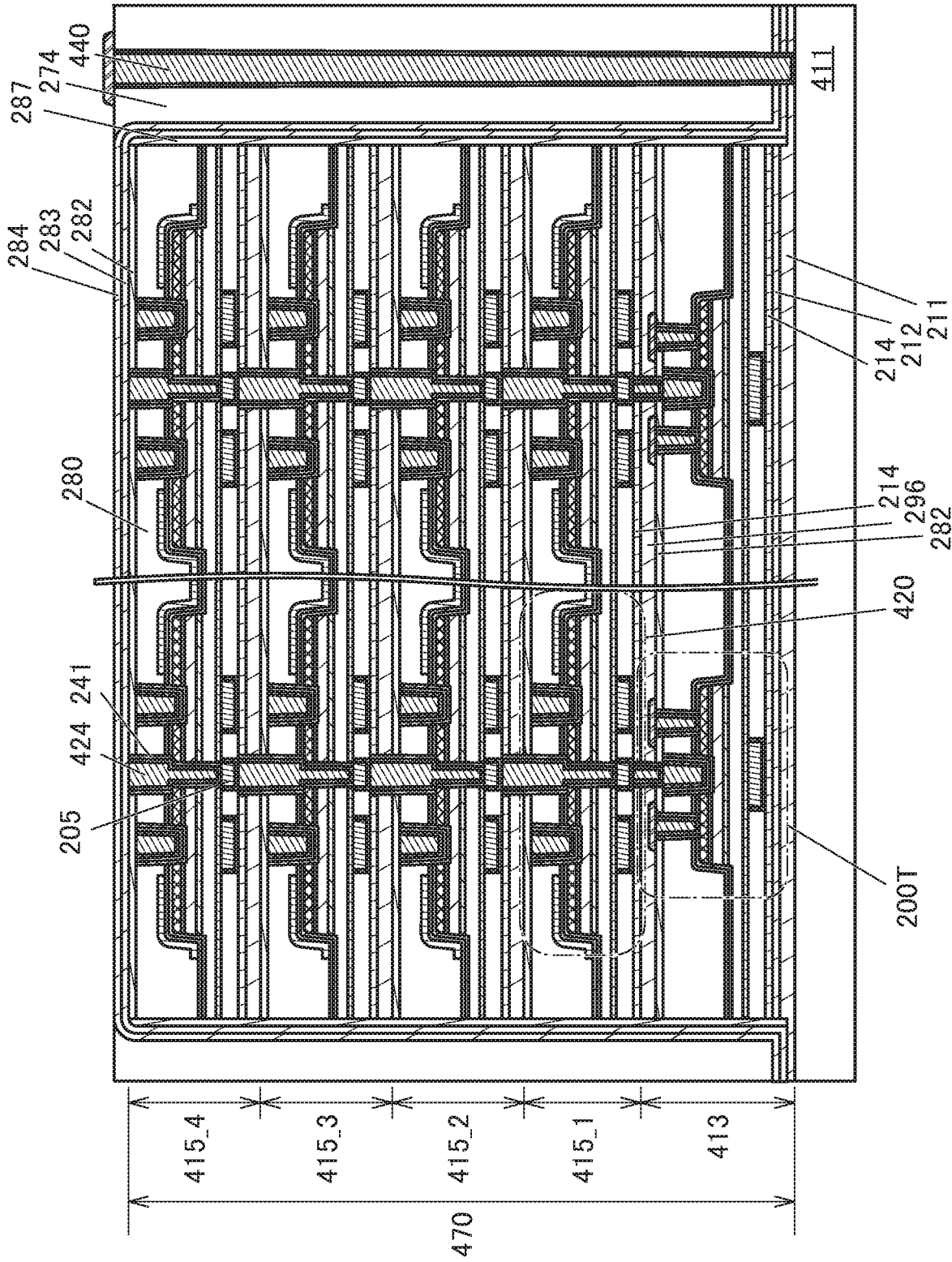


図24A

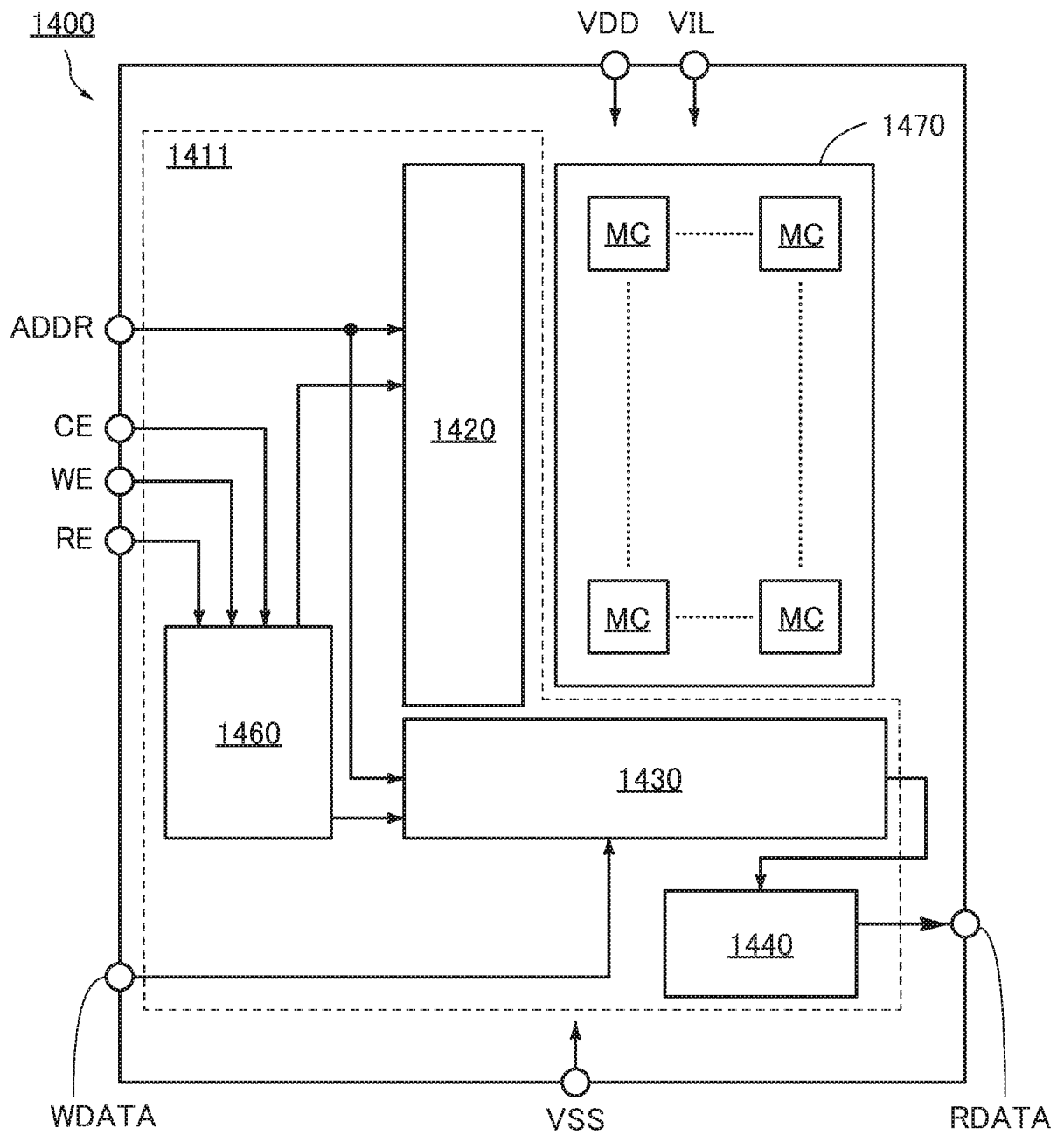


図24B

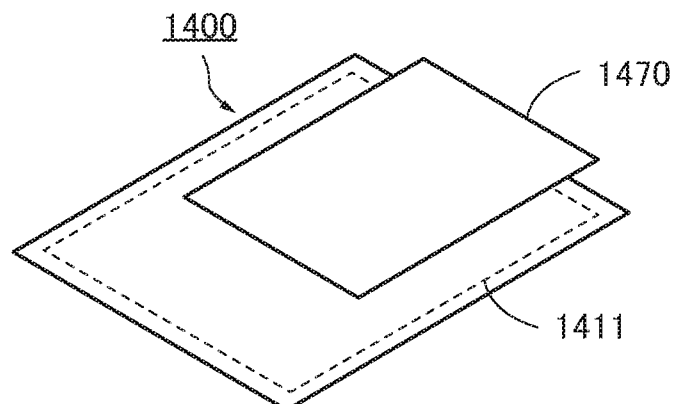


図25A

1471

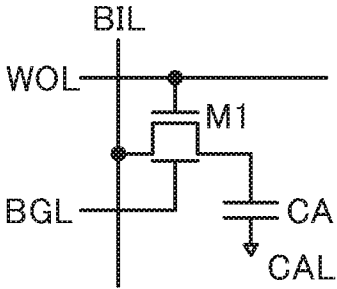


図25B

1472

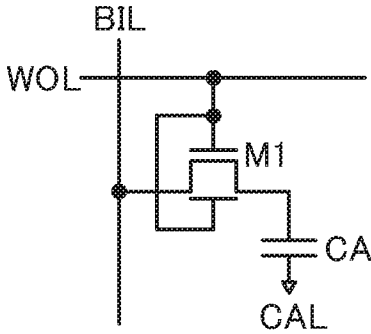


図25C

1473

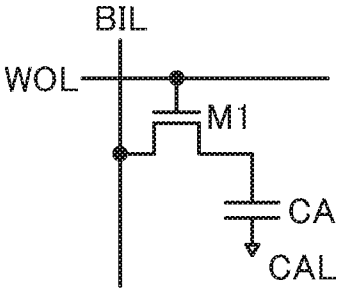


図25D

1474

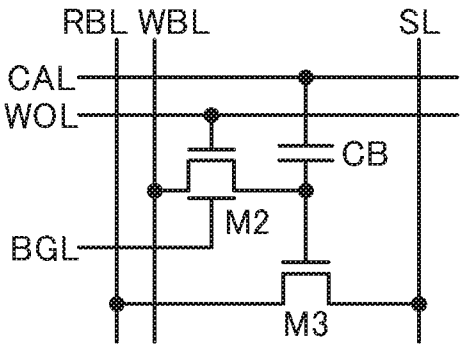


図25E

1475

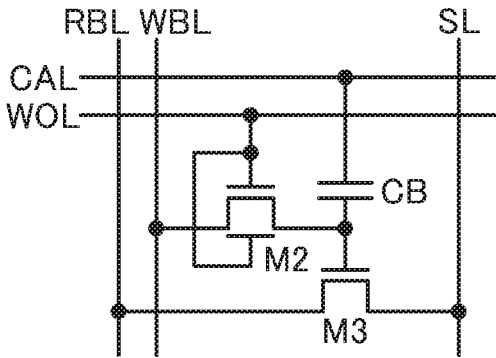


図25F

1476

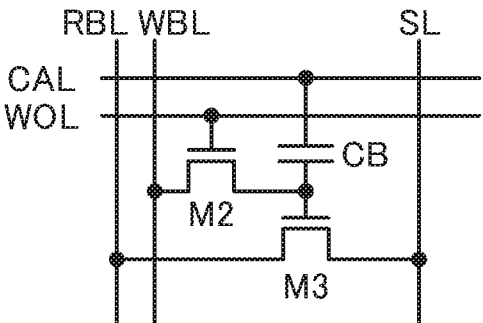


図25G

1477

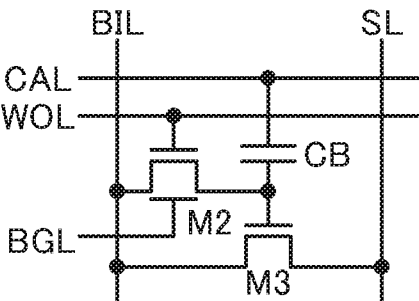


図25H

1478

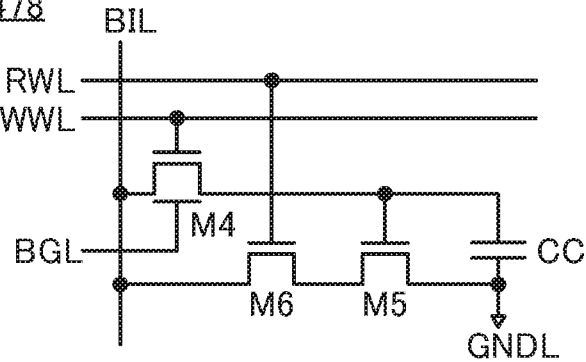


図26

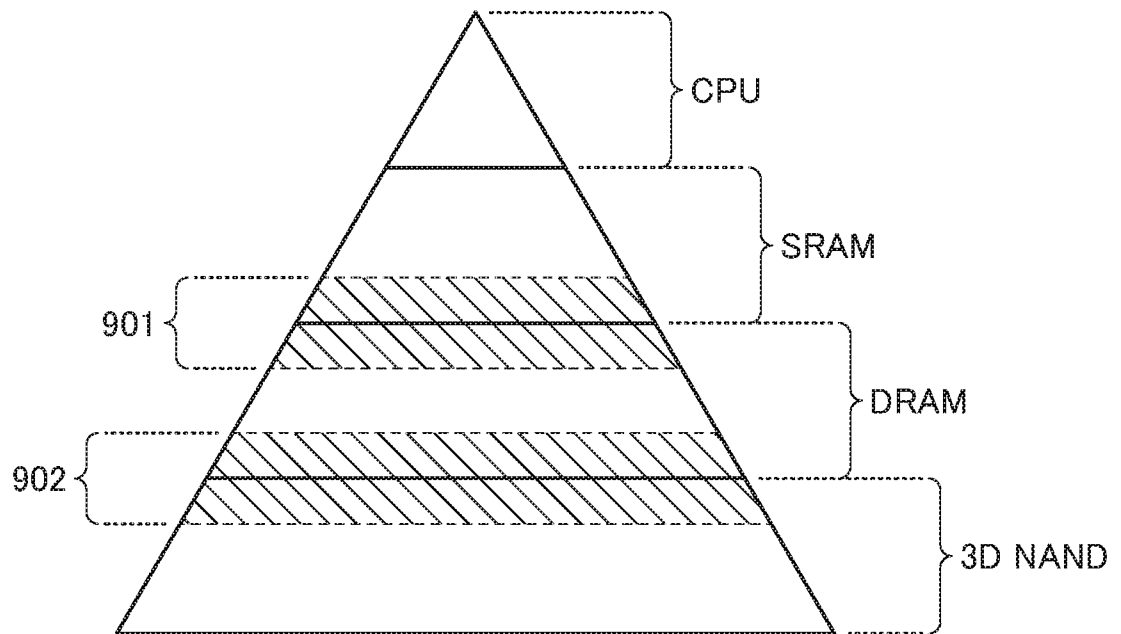


図27A

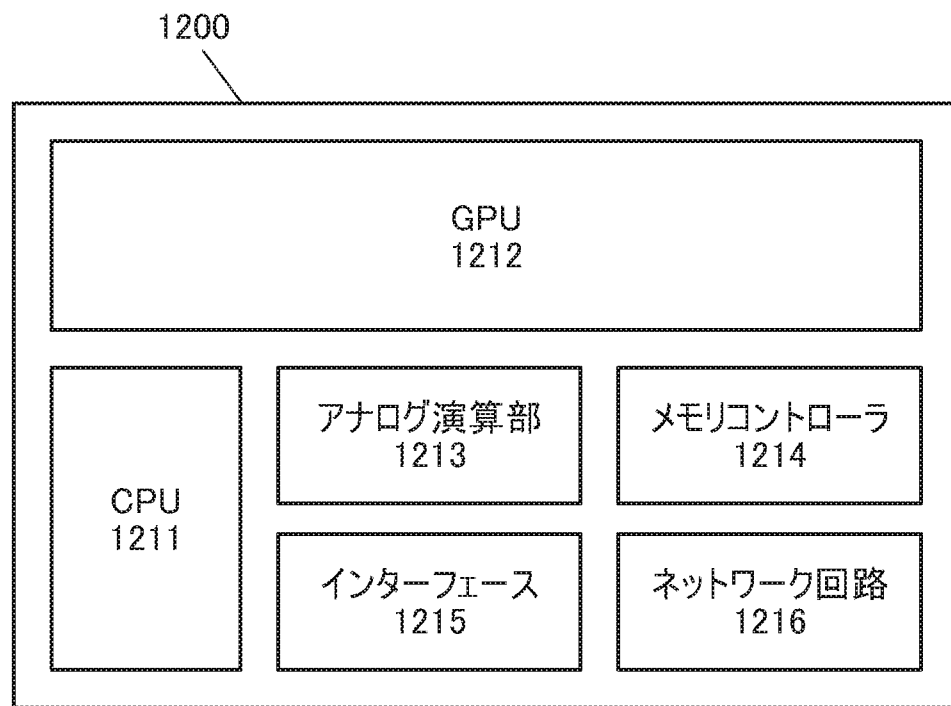


図27B

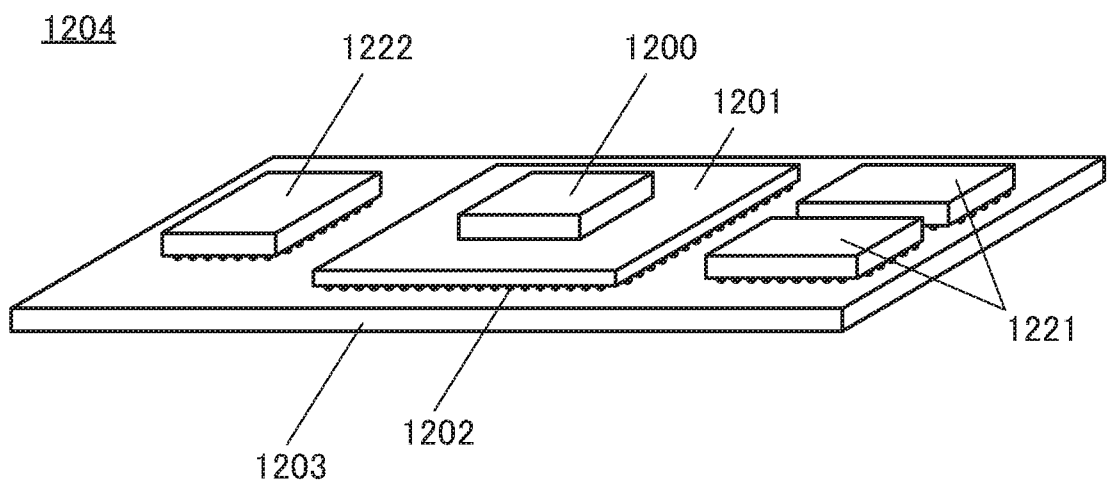


図28A

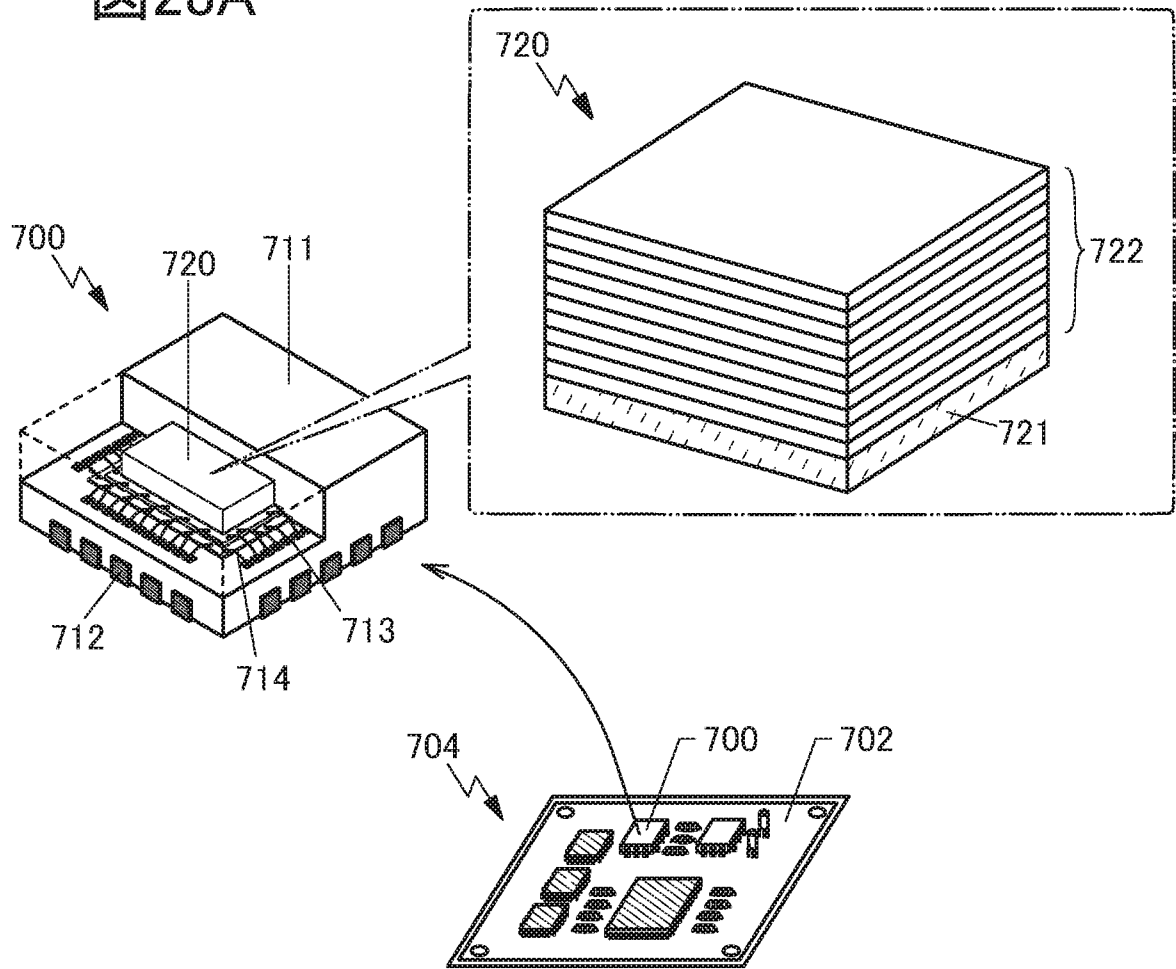


図28B

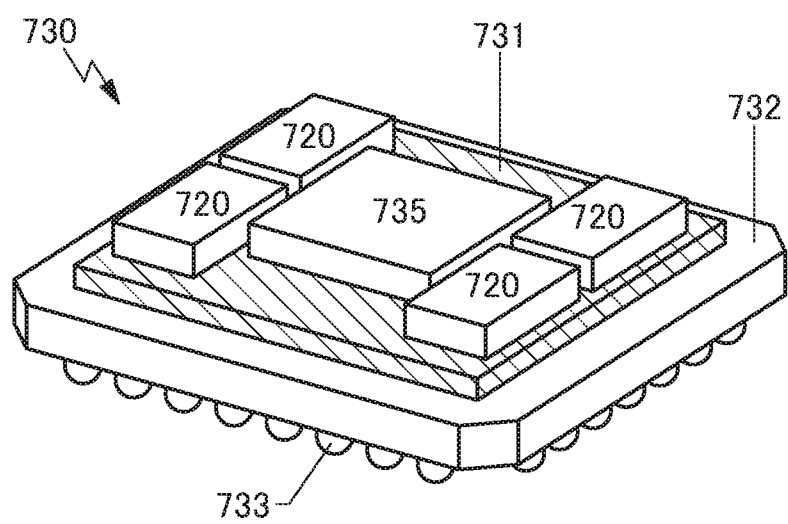


図29A

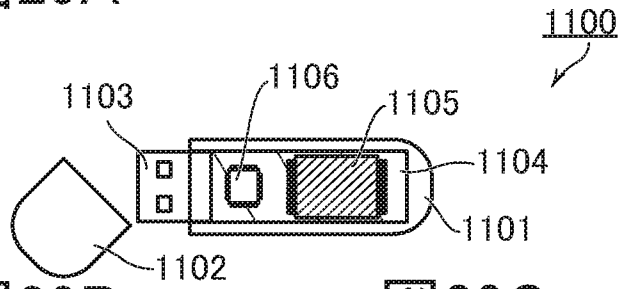


図29B

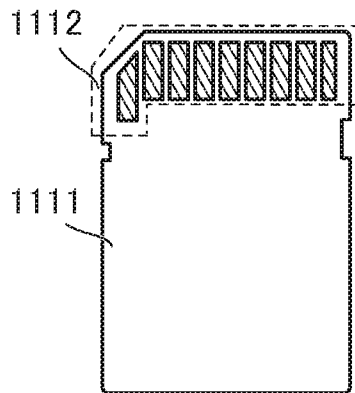


図29C

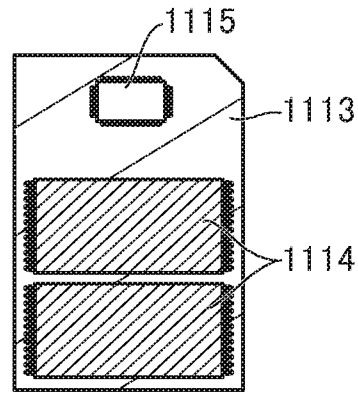


図29D

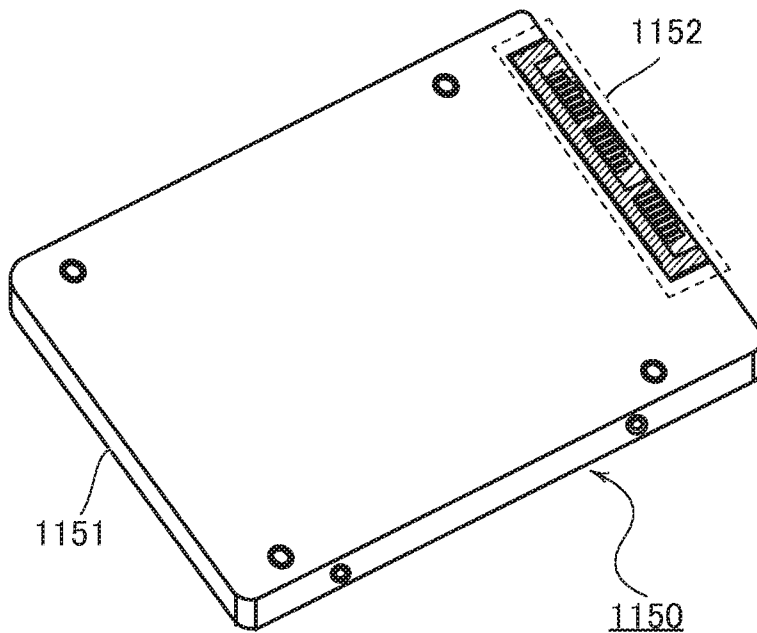


図29E

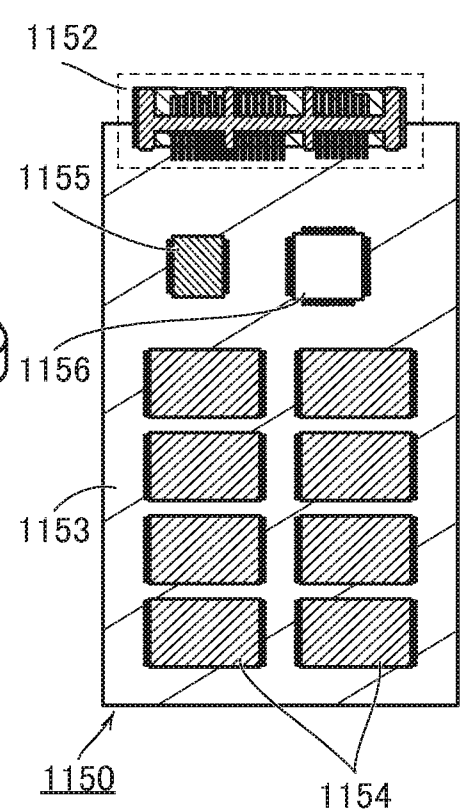


図 30A

5100

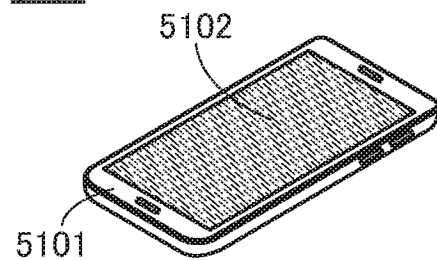


図 30B

5200

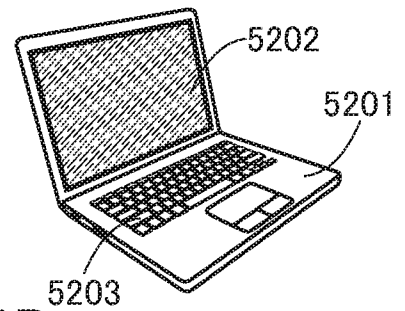


図 30C

5300

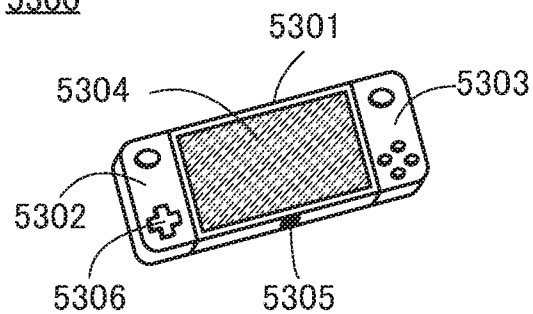


図 30D

5400

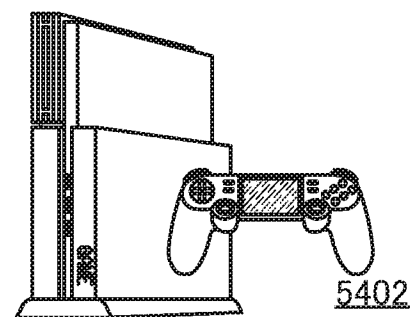


図 30E

5500

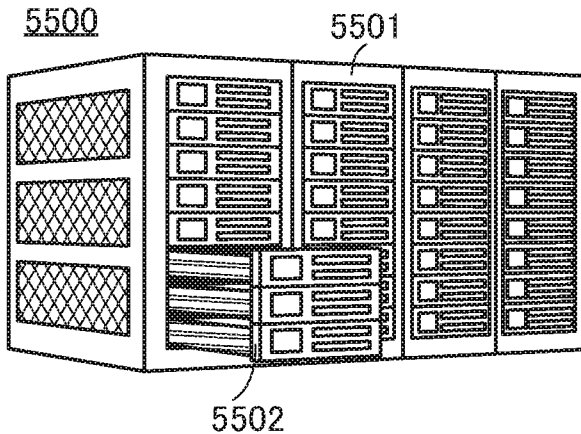


図 30F

5502

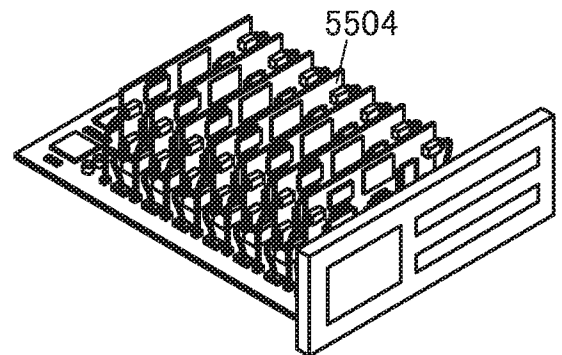


図 30G

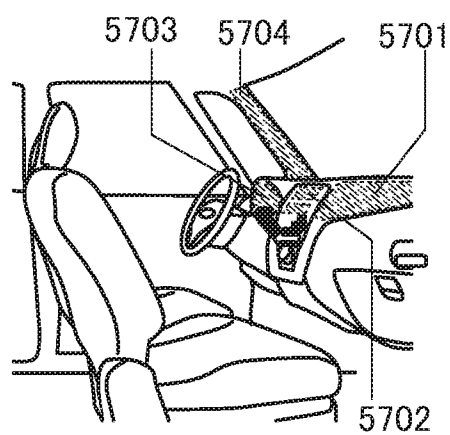
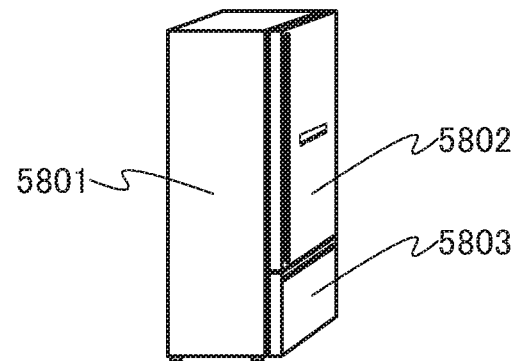


図 30H

5800



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/060012

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/786(2006.01)i FI: H01L29/78618C, H01L29/78618B, H01L29/78617U, H01L29/78613B, H01L29/78617T, H01L27/06102A, H01L27/088E, H01L27/088331E, H01L27/088B, H01L27/088C, H01L27/1156, H01L27/108321, H01L27/108671Z, H01L27/105441 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L21/8234, H01L27/06, H01L27/088, H01L21/8239, H01L27/105, H01L21/8242, H01L27/108, H01L27/1156, H01L29/786 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2016-167595 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15.09.2016 (2016-09-15), paragraphs [0051]-[0072], [0081], [0082], [0085]-[0094], fig. 1, 3-6	1-3, 7-8 4-5 6
Y	JP 2017-174489 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28.09.2017 (2017-09-28), paragraphs [0114]-[0148], [0193], fig. 15, 16	4-5
A	JP 2016-006872 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14.01.2016 (2016-01-14), entire text, all drawings	1-8
A	JP 2014-082390 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08.05.2014 (2014-05-08), entire text, all drawings	1-8
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19.02.2020		Date of mailing of the international search report 03.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/060012

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-168839 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21.09.2017 (2017-09-21), entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2019/060012

JP 2016-167595 A	15.09.2016	US 2016/0260838 A1 paragraphs [0101]-[0122], [0131], [0132], [0135]-[0144], fig. 1A-1C, 3A-6C
JP 2017-174489 A	28.09.2017	US 2017/0271516 A1 paragraphs [0139]-[0173], [0218], fig. 15A-16C KR 10-2017-0108832 A
JP 2016-006872 A	14.01.2016	US 2015/0349132 A1 entire text, all drawings WO 2015/181684 A1 KR 10-2017-0005124 A CN 106415850 A
JP 2014-082390 A	08.05.2014	US 2014/0103337 A1 entire text, all drawings WO 2014/061713 A1 CN 104704638 A KR 10-2015-0067207 A
JP 2017-168839 A	21.09.2017	US 2017/0263651 A1 entire text, all drawings

A. 発明の属する分野の分類（国際特許分類（IPC））		
H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H01L 29/786(2006.01)i FI: H01L29/78 618C; H01L29/78 618B; H01L29/78 617U; H01L29/78 613B; H01L29/78 617T; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/088 B; H01L27/088 C; H01L27/1156; H01L27/108 321; H01L27/108 671Z; H01L27/105 441		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC））		
H01L21/8234; H01L27/06; H01L27/088; H01L21/8239; H01L27/105; H01L21/8242; H01L27/108; H01L27/1156; H01L29/786		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922 - 1996年	
日本国公開実用新案公報	1971 - 2020年	
日本国実用新案登録公報	1996 - 2020年	
日本国登録実用新案公報	1994 - 2020年	
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-167595 A（株式会社半導体エネルギー研究所）15.09.2016（2016 - 09 - 15） 段落 [0051] - [0072], [0081] - [0082], [0085] - [0094], 図1, 3-6	1-3, 7-8
Y		4-5
A		6
Y	JP 2017-174489 A（株式会社半導体エネルギー研究所）28.09.2017（2017 - 09 - 28） 段落 [0114] - [0148], [0193], 図15-16	4-5
A	JP 2016-006872 A（株式会社半導体エネルギー研究所）14.01.2016（2016 - 01 - 14） 全文, 全図	1-8
A	JP 2014-082390 A（株式会社半導体エネルギー研究所）08.05.2014（2014 - 05 - 08） 全文, 全図	1-8
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
国際調査を完了した日	国際調査報告の発送日	
19.02.2020	03.03.2020	
名称及びあて先	権限のある職員（特許庁審査官）	
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	高橋 優斗 5F 5585 電話番号 03-3581-1101 内線 3514	

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-168839 A (株式会社半導体エネルギー研究所) 21, 09, 2017 (2017 - 09 - 21) 全文, 全図	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2019/060012

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-167595	A	15.09.2016	US 2016/0260838 A1 段落 [0101] - [0122], [0131] - [0132], [0135] - [0144], 図1 A-1C, 3A-6C	
JP	2017-174489	A	28.09.2017	US 2017/0271516 A1 段落 [0139] - [0173], [0218], 図1 5A-16C KR 10-2017-0108832 A	
JP	2016-006872	A	14.01.2016	US 2015/0349132 A1 全文, 全図 WO 2015/181684 A1 KR 10-2017-0005124 A CN 106415850 A	
JP	2014-082390	A	08.05.2014	US 2014/0103337 A1 全文, 全図 WO 2014/061713 A1 CN 104704638 A KR 10-2015-0067207 A	
JP	2017-168839	A	21.09.2017	US 2017/0263651 A1 全文, 全図	