

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3943767号
(P3943767)

(45) 発行日 平成19年7月11日(2007.7.11)

(24) 登録日 平成19年4月13日(2007.4.13)

(51) Int.Cl.
H03K 7/08 (2006.01)

F I
H03K 7/08 C

請求項の数 5 (全 9 頁)

(21) 出願番号	特願平11-192157	(73) 特許権者	000221199
(22) 出願日	平成11年7月6日(1999.7.6)		東芝マイクロエレクトロニクス株式会社
(65) 公開番号	特開2001-24490(P2001-24490A)		神奈川県川崎市川崎区駅前本町25番地1
(43) 公開日	平成13年1月26日(2001.1.26)	(73) 特許権者	000003078
審査請求日	平成16年5月6日(2004.5.6)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100064285
			弁理士 佐藤 一雄
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘

最終頁に続く

(54) 【発明の名称】 電圧比検出回路

(57) 【特許請求の範囲】
【請求項1】

基準電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第1のダイオード接続pnpバイポーラトランジスタが接続された第1の増幅器と、前記第1の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第1の抵抗と、前記第1の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第2の抵抗及び第2のダイオード接続pnpバイポーラトランジスタとから構成され、前記第2の抵抗と前記第2のダイオード接続pnpバイポーラトランジスタのエミッタとの接続ノードが基準電圧対数変換信号出力ノードとされた基準電圧対数変換回路と、

入力電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第3のダイオード接続pnpバイポーラトランジスタが接続された第2の増幅器と、前記第2の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第3の抵抗と、前記第2の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第4の抵抗及び第4のダイオード接続pnpバイポーラトランジスタとから構成され、前記第4の抵抗と前記第4のダイオード接続pnpバイポーラトランジスタのエミッタとの接続ノードが入力電圧対数変換信号出力ノードとされた入力電圧対数変換回路と、

定電流源と、ベースが前記入力電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第5のpnpバイポーラトランジスタと、ベースが前記基準電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第6のpnpバイポーラトランジスタと、前記第5のpnpバイポ

10

20

ーラトランジスタのコレクタと接地電位ノードとの間に接続された第5の抵抗と、前記第6のpnpバイポーラトランジスタのコレクタと接地電位ノードとの間に接続された第6の抵抗とから構成され、前記第5のpnpバイポーラトランジスタのコレクタと前記第5の抵抗との接続ノード又は前記第6のpnpバイポーラトランジスタのコレクタと前記第6の抵抗との接続ノードが電圧比信号出力ノードとされた差動増幅回路と、を備えたことを特徴とする電圧比検出回路。

【請求項2】

前記第1乃至第6のpnpバイポーラトランジスタは、総て同一の特性を有するものであることを特徴とする請求項1に記載の電圧比検出回路。

【請求項3】

前記第1乃至第4の抵抗は、総て抵抗値が等しいものであることを特徴とする請求項1又は2に記載の電圧比検出回路。

【請求項4】

前記第5の抵抗は、抵抗値が $|V_{BE5}|$ (前記第5のpnpバイポーラトランジスタのベース・エミッタ間電圧) $|/I_{in}|$ (前記定電流源の電流値) 以下であり、前記第6の抵抗は、抵抗値が $|V_{BE6}|$ (前記第6のpnpバイポーラトランジスタのベース・エミッタ間電圧) $|/I_{in}|$ (前記定電流源の電流値) 以下であることを特徴とする請求項3に記載の電圧比検出回路。

【請求項5】

前記第1乃至第6の抵抗は、総て抵抗値が等しいものであることを特徴とする請求項4に記載の電圧比検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧比検出回路に関する。

【0002】

【従来の技術】

パルス幅変調 (PWM: Pulse Width Modulation) 回路においては、出力パルス幅制御に用いるPWM制御入力信号の一つである電圧比信号を生成する電圧比検出回路が使用される。

【0003】

図2は、PWM回路の構成を示したブロック図である。

【0004】

図2に示したPWM回路は、基準電圧 V_1 と入力電圧 V_2 との電圧比を検出し、電圧比信号を生成する電圧比検出回路21と、電圧比信号と所定周期の三角波信号とに基づき、電圧比信号に応じたパルス幅のPWM波形信号を生成するパルス発生回路22とから構成されている。

【0005】

パルス発生回路22は、電圧比信号の電位と所定周期の三角波信号の電位とを比較する比較器CMP21により構成されている。比較器21は、電圧比信号と所定周期の三角波信号とが入力されると、両信号の電位を比較し、電圧比信号の電位が三角波信号の電位より高い期間はHレベル、電圧比信号の電位が三角波信号の電位より低い期間はLレベルの電位をとるPWM波形信号を生成して出力する。

【0006】

図3は、従来の電圧比検出回路の構成を示した回路図である。

【0007】

図3に示した従来の電圧比検出回路は、基準電圧 V_1 と入力電圧 V_2 との電圧比に応じた増幅信号を出力する増幅器AMP31と、増幅器AMP31の出力ノードに一端が接続された抵抗 R_a と、ベースが抵抗 R_a の他端に接続され、エミッタが接地電位ノードGNDに接続されたnpnバイポーラトランジスタTr31と、トランジスタTr31のベース・

10

20

30

40

50

エミッタ間に接続された抵抗 R_b と、電圧比信号出力ノード OUT とトランジスタ Tr_3 のコレクタとの間に接続された抵抗 R_c と、電圧比信号出力ノード OUT の電位を所定範囲内に制限するリミッタ回路 31 と、電圧比信号出力ノード OUT に電流出力ノードが接続された定電流源 I_{in} と、電圧比信号出力ノード OUT と接地電位ノード GND との間に接続されたキャパシタ C_a とから構成されている。

【0008】

この従来の電圧比検出回路の増幅器 AMP_31 に入力電圧 V_2 が入力されると、基準電圧 V_1 と入力電圧 V_2 との電圧比に応じた増幅信号が出力され、抵抗 R_a を介してトランジスタ Tr_31 のベース電流が流れる。これによりトランジスタ Tr_31 のコレクタ電流 i_c は、 $V_2 > V_1$ のときは $i_c > I_{in}$ となって出力電圧 V_x を大きくし、 $V_1 > V_2$ のときは $i_c < I_{in}$ となって出力電圧 V_x を小さくしていく。但し、出力電圧 V_x の範囲は、リミッタ回路 31 により制限される。

10

キャパシタ C_a の電極間電圧が、出力電圧 V_x の電圧比信号として電圧比信号出力ノード OUT からパルス発生回路に出力される。

【0009】

【発明が解決しようとする課題】

しかしながら、上述した従来の電圧比検出回路においては、電圧比信号として出力される出力電圧 V_x が回路の CR 時定数に依存する構成であるために、出力電圧 V_x が入力電圧 V_2 に応じた正確な値で出力されるまでに時間的遅れが生じ、 PWM 回路の出力パルス幅制御精度の低下を招くという問題点があった。

20

【0010】

本発明は上記問題点に鑑みてなされたもので、その目的は、信号入力から信号出力までの時間的遅れを排除し、 PWM 回路の出力パルス幅制御速度及び精度を向上させることが可能な構成の電圧比検出回路を提供することである。

【0011】

【課題を解決するための手段】

本発明に係る電圧比検出回路によれば、

基準電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第1のダイオード接続 pnp バイポーラトランジスタが接続された第1の増幅器と、前記第1の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第1の抵抗と、前記第1の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第2の抵抗及び第2のダイオード接続 pnp バイポーラトランジスタとから構成され、前記第2の抵抗と前記第2のダイオード接続 pnp バイポーラトランジスタのエミッタとの接続ノードが基準電圧対数変換信号出力ノードとされた基準電圧対数変換回路と、

30

入力電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第3のダイオード接続 pnp バイポーラトランジスタが接続された第2の増幅器と、前記第2の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第3の抵抗と、前記第2の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第4の抵抗及び第4のダイオード接続 pnp バイポーラトランジスタとから構成され、前記第4の抵抗と前記第4のダイオード接続 pnp バイポーラトランジスタのエミッタとの接続ノードが入力電圧対数変換信号出力ノードとされた入力電圧対数変換回路と、

40

定電流源と、ベースが前記入力電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第5の pnp バイポーラトランジスタと、ベースが前記基準電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第6の pnp バイポーラトランジスタと、前記第5の pnp バイポーラトランジスタのコレクタと接地電位ノードとの間に接続された第5の抵抗と、前記第6の pnp バイポーラトランジスタのコレクタと接地電位ノードとの間に接続された第6の抵抗とから構成され、前記第5の pnp バイポーラトランジスタのコレクタと前記第5の抵抗との接続ノード又は前記第6の pnp バイポーラトランジスタのコレクタと前記第6の抵抗との接続ノードが電圧比信号出力ノードとされた差動増幅回路と、

50

を備えたことを特徴とし、

この構成により、基準電圧及び入力電圧を対数変換し、対数変換出力を比較することにより、基準電圧と入力電圧との電圧比信号を出力しているため、回路構成にキャパシタが不要で、電圧比信号出力が回路のCR時定数に依存することがなく、入力電圧に応じた電圧比信号が出力されるまでに時間的遅れが生じない。従って、本発明に係る電圧比検出回路を用いてPWM回路を構成すると、PWM回路の出力パルス幅制御速度及び精度の向上を図ることができる。

【0012】

【発明の実施の形態】

以下、本発明に係る電圧比検出回路の実施の形態について、図面を参照しながら説明する 10

【0013】

図1は、本発明に係る電圧比検出回路の実施の一形態の構成を示した回路図である。

【0014】

図1に示した本発明に係る電圧比検出回路は、基準電圧V1を対数変換する対数変換回路であるブロック1と、入力電圧V2を対数変換する対数変換回路であるブロック2と、ブロック1及びブロック2の出力を比較することにより、基準電圧V1と入力電圧V2との電圧比信号を出力する差動増幅回路であるブロック3とから構成されている。

【0015】

ブロック1は、基準電圧V1が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間にダイオード接続pnpバイポーラトランジスタTr1が接続された増幅器AMP1と、増幅器AMP1の逆相入力ノードと接地電位ノードGNDとの間に接続された抵抗R1と、増幅器AMP1の出力ノードと接地電位ノードGNDとの間に順に直列接続された抵抗R2及びダイオード接続pnpバイポーラトランジスタTr2とから構成されており、抵抗R2とトランジスタTr2のエミッタとの接続ノードがブロック1の出力ノードとなっている。 20

【0016】

ブロック2は、ブロック1と同様の回路構成である。即ち、ブロック2は、入力電圧V2が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間にダイオード接続pnpバイポーラトランジスタTr3が接続された増幅器AMP2と、増幅器AMP2の逆相入力ノードと接地電位ノードGNDとの間に接続された抵抗R3と、増幅器AMP2の出力ノードと接地電位ノードGNDとの間に順に直列接続された抵抗R4及びダイオード接続pnpバイポーラトランジスタTr4とから構成されており、抵抗R4とトランジスタTr4のエミッタとの接続ノードがブロック2の出力ノードとなっている。 30

【0017】

ブロック3は、定電流源Iinと、ベースがブロック2の出力ノードに接続され、エミッタが定電流源Iinの電流出力ノードに接続されたpnpバイポーラトランジスタTr5と、ベースがブロック1の出力ノードに接続され、エミッタが定電流源Iinの電流出力ノードに接続されたpnpバイポーラトランジスタTr6と、トランジスタTr5のコレクタと接地電位ノードGNDとの間に接続された抵抗R5と、トランジスタTr6のコレクタと接地電位ノードGNDとの間に接続された抵抗R6とから構成されており、トランジスタTr6のコレクタと抵抗R6との接続ノードがブロック3の出力ノードであり、電圧比検出回路の電圧比信号出力ノードOUTとなっている。 40

【0018】

但し、抵抗R1、R2、R3、R4の抵抗値は総て等しく、pnpバイポーラトランジスタTr1、Tr2、Tr3、Tr4、Tr5、Tr6は総て同特性で熱電圧VT、飽和電流ISが等しく、順方向電流増幅率hFE>>1であるものとする。また、抵抗R5は、抵抗値が $|V_{BE5}(pnpバイポーラトランジスタTr5のベース・エミッタ間電圧)| / I_{in}$ (定電流源の電流値)以下、抵抗R6は、抵抗値が $|V_{BE6}(pnpバイポーラトランジスタTr6のベース・エミッタ間電圧)| / I_{in}$ (定電流源の電流値)以下であるの 50

が望ましく、抵抗 $R_1, R_2, R_3, R_4, R_5, R_6$ の抵抗値が総て等しければさらに望ましい。

【0019】

また、増幅器AMP1の逆相入力ノードの電位を V_{1A} 、トランジスタ Tr_1 のエミッタ電位を V_{1B} 、トランジスタ Tr_2 のエミッタ電位（トランジスタ Tr_6 のベース電位）を V_{1C} 、増幅器AMP2の逆相入力ノードの電位を V_{2A} 、トランジスタ Tr_3 のエミッタ電位を V_{2B} 、トランジスタ Tr_4 のエミッタ電位（トランジスタ Tr_5 のベース電位）を V_{2C} 、トランジスタ Tr_5 及び Tr_6 のエミッタ電位を V_3 とし、抵抗 R_5, R_6 の両端の電圧をそれぞれ V_A, V_B とする。さらに、抵抗 R_1, R_2 を流れる電流をそれぞれ i_1, i_2 、トランジスタ Tr_5, Tr_6 のベース電流をそれぞれ i_{b5}, i_{b6} 、コレクタ電流をそれぞれ i_{c5}, i_{c6} とする。

10

【0020】

以下、本発明に係る電圧比検出回路の動作について説明する。基準電圧 V_1 及び入力電圧 V_2 は、増幅器AMP1及びAMP2の供給電圧範囲内の電圧であるものとする。

【0021】

ブロック1とブロック2とは同様の回路構成であり、動作も同様であるので、ブロック1の動作について説明する。増幅器AMP1のイマジナリショートより $V_1 = V_{1A}$ が成り立つ。トランジスタのアーリ電圧 $\gg V_{CE}$ （エミッタ・コレクタ間電圧）、順方向電流増幅率 $h_{FE} \gg 1$ の条件の下では、トランジスタ Tr_1 のベース・エミッタ間電圧 V_{BE1} は、以下の式で表される。

20

【0022】

$$\begin{aligned} |V_{BE1}| &= V_{1B} - V_1 = V_T \times \ln(i_{c1} / I_S) \\ &= V_T \times \ln(i_1 / I_S) \\ &= V_T \times \ln(V_1 / (R_1 \times I_S)) \end{aligned}$$

但し、 i_{c1} はトランジスタ Tr_1 のコレクタ電流である。ここで、 $i_1, i_2 \gg i_{b5}, i_{b6}$ であるとする、 $i_1 = i_2, V_{1C} = V_{BE1}$ となり、
 $V_{1C} = |V_{BE1}| = V_T \times \ln(V_1 / (R_1 \times I_S))$
 となる。

30

【0023】

ブロック2についても同様に、

$$V_{2C} = |V_{BE3}| = V_T \times \ln(V_2 / (R_3 \times I_S))$$

となる。

【0024】

以上より、 $i_{c5} \gg i_{b5}, i_{c6} \gg i_{b6}$ であるとする、以下の関係が得られることになる。

【0025】

$$\begin{aligned} i_{c5} : i_{c6} &= i_{b5} : i_{b6} \\ &= \exp((V_3 - V_{2C}) / V_T) : \exp((V_3 - V_{1C}) / V_T) \\ &= \exp(V_{1C} / V_T) : \exp(V_{2C} / V_T) \\ &= (V_1 / R_1) : (V_2 / R_3) \\ &= (V_1 / (V_1 + V_2)) : (V_2 / (V_1 + V_2)) \end{aligned}$$

40

また、トランジスタ Tr_5, Tr_6 のコレクタ電流 i_{c5}, i_{c6} の和は定電流源 I_{in} の電流値にほぼ等しいと考えてよいから、コレクタ電流 i_{c5}, i_{c6} は、一定電流値 I_{in} を $(V_1 / (V_1 + V_2)) : (V_2 / (V_1 + V_2))$ の比で分割した電流となる。そこで、 $I_{in} = V_{in} / R, R_5 = R_6 = R$ と設定すると、
 $V_A = V_{in} \times V_1 / (V_1 + V_2)$

50

$$V_B = V_{in} \times V_2 / (V_1 + V_2)$$

を得ることができる。即ち、電圧比検出回路の電圧比信号出力ノードOUTの電位は $V_B = V_{in} \times V_2 / (V_1 + V_2)$ となり、基準電圧 V_1 + 入力電圧 V_2 に対する入力電圧 V_2 の比を表す電圧比信号が得られたことになる。

【0026】

この電圧比信号 $V_B = V_{in} \times V_2 / (V_1 + V_2)$ を図2に示したPWM回路のパルス発生回路22に入力すると、パルス発生回路22の比較器21は、電圧比信号の電位と所定周期の三角波信号の電位とを比較し、電圧比信号の電位が三角波信号の電位より高い期間はHレベル、電圧比信号の電位が三角波信号の電位より低い期間はLレベルの電位をとるPWM波形信号を生成して出力する。尚、必要に応じて、トランジスタTr5のコレクタと抵抗R5との接続ノードを電圧比検出回路の電圧比信号出力ノードOUTとして、電位VAを電圧比信号として出力してもよい。

10

【0027】

以上説明したように、本発明に係る電圧比検出回路においては、基準電圧 V_1 及び入力電圧 V_2 を対数変換し、対数変換出力を比較することにより、基準電圧 V_1 と入力電圧 V_2 との電圧比信号を出力しているので、回路構成にキャパシタが不要で、電圧比信号出力が回路のCR時定数に依存することがなく、入力電圧に応じた電圧比信号が出力されるまでに時間的遅れが生じない。

【0028】

【発明の効果】

20

本発明に係る電圧比検出回路によれば、

基準電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第1のダイオード接続pnpバイポーラトランジスタが接続された第1の増幅器と、前記第1の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第1の抵抗と、前記第1の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第2の抵抗及び第2のダイオード接続pnpバイポーラトランジスタとから構成され、前記第2の抵抗と前記第2のダイオード接続pnpバイポーラトランジスタのエミッタとの接続ノードが基準電圧対数変換信号出力ノードとされた基準電圧対数変換回路と、

入力電圧が正相入力ノードに入力され、出力ノードと逆相入力ノードとの間に第3のダイオード接続pnpバイポーラトランジスタが接続された第2の増幅器と、前記第2の増幅器の逆相入力ノードと接地電位ノードとの間に接続された第3の抵抗と、前記第2の増幅器の出力ノードと接地電位ノードとの間に順に直列接続された第4の抵抗及び第4のダイオード接続pnpバイポーラトランジスタとから構成され、前記第4の抵抗と前記第4のダイオード接続pnpバイポーラトランジスタのエミッタとの接続ノードが入力電圧対数変換信号出力ノードとされた入力電圧対数変換回路と、

30

定電流源と、ベースが前記入力電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第5のpnpバイポーラトランジスタと、ベースが前記基準電圧対数変換信号出力ノードに接続され、エミッタが前記定電流源の電流出力ノードに接続された第6のpnpバイポーラトランジスタと、前記第5のpnpバイポーラトランジスタのコレクタと接地電位ノードとの間に接続された第5の抵抗と、前記第6のpnpバイポーラトランジスタのコレクタと接地電位ノードとの間に接続された第6の抵抗とから構成され、前記第5のpnpバイポーラトランジスタのコレクタと前記第5の抵抗との接続ノード又は前記第6のpnpバイポーラトランジスタのコレクタと前記第6の抵抗との接続ノードが電圧比信号出力ノードとされた差動増幅回路と、

40

を備えたので、基準電圧及び入力電圧を対数変換し、対数変換出力を比較することにより、基準電圧と入力電圧との電圧比信号を出力することができる。即ち、本発明に係る電圧比検出回路の回路構成にはキャパシタが不要であり、電圧比信号出力が回路のCR時定数に依存することがなく、入力電圧に応じた電圧比信号が出力されるまでに時間的遅れが生じない。従って、本発明に係る電圧比検出回路を用いてPWM回路を構成すると、PWM回路の出力パルス幅制御速度及び精度の向上を図ることができる。

50

【図面の簡単な説明】

【図 1】 本発明に係る電圧比検出回路の実施の一形態の構成を示した回路図。

【図 2】 PWM回路の構成を示したブロック図。

【図 3】 従来の電圧比検出回路の構成を示した回路図。

【符号の説明】

$Tr1, Tr2, Tr3, Tr4, Tr5, Tr6$ pnpバイポーラトランジスタ

$Tr31$ npnバイポーラトランジスタ

$AMP1, AMP2, AMP31$ 増幅器

$R1, R2, R3, R4, R5, R6, Ra, Rb, Rc$ 抵抗

I_{in} 定電流源

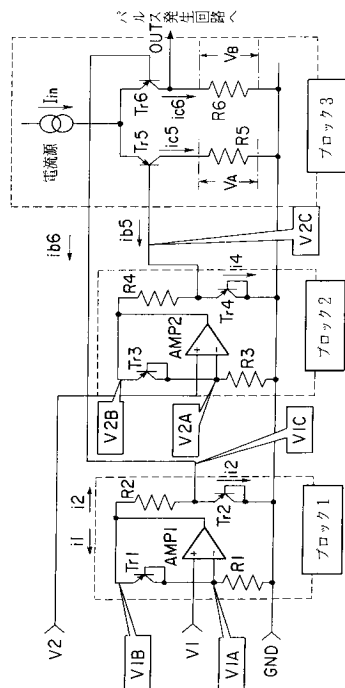
Ca キャパシタ

21 電圧比検出回路

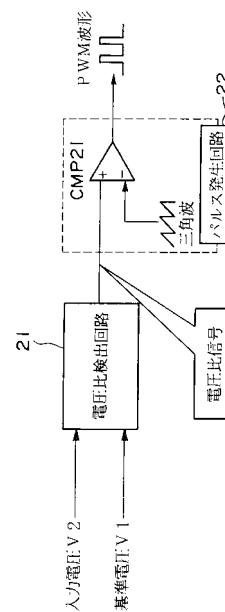
22 パルス発生回路

31 リミッタ回路

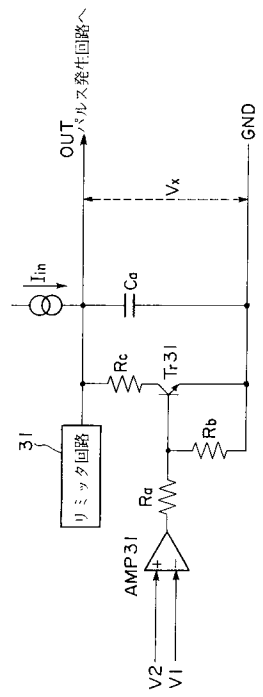
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 小 林 大 介

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 東 海 陽 一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター

審査官 清水 稔

(56)参考文献 特開昭59-103572(JP,A)

特開平02-038961(JP,A)

特開平04-100078(JP,A)

特開平01-177208(JP,A)

特開平06-090127(JP,A)

特開平11-088093(JP,A)

特開平11-211411(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 7/08