(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102981988 B
(45)授权公告日 2015.09.09

(21)申请号 201210146271.9
(22)申请日 2012.05.11
(30)优先权数据
2011-106403 2011.05.11 JP
(73)专利权人 佳能株式会社
地址 日本东京
(72)发明人 长尾宙马 白石大介 平冈豪 桃井昭好
(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 罗银燕
(51)Int.Cl.
G06F 13/38(2006.01)
H04L 29/06(2006.01)
(56)对比文件
CN 1565108 A,2005.01.12,
CN 1462137 A,2003.12.17,
CN 1591380 A,2005.03.09,
US 2010/0191911 A1,2010.07.29,
US 6018620 A,2000.01.25,
CN 101876963 A,2010.11.03,
审查员 杨钦

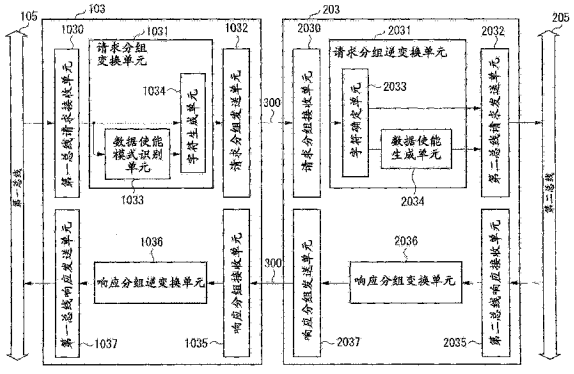
权利要求书2页 说明书7页 附图6页

(54)发明名称

数据传送设备和数据传送方法

(57)摘要

本发明公开了数据传送设备和数据传送方法。伴随数据有效信息的分组在集成电路内或在集成电路之间高效地被传送。提供了指示数据使能信息的字符，并将指示数据使能字符的标识符分配到分组上。当数据使能信息连续有效时，从将被传送的分组中消除数据使能字符。



CN 102981988 B

1. 一种数据传送设备，包括：

第一接收装置，被配置为接收包含数据和指示所述数据以字节为单位是否有效的有效信息的信号；以及

第一发送装置，被配置为发送分组，所述分组包含彼此相关联的与由所述第一接收装置接收的数据中的第一比特数的数据部分对应的一组有效信息、指示所述一组有效信息的存在的标识符、以及所述第一比特数的数据部分，

其中，所述第一发送装置被配置为，每次在将由所述第一发送装置发送的所述第一比特数的数据部分包含无效数据的情况下，发送与所述第一比特数的数据部分对应的所述一组有效信息和所述标识符，并且在所述数据中的第一比特数的每个数据部分有效的情况下，跳过与所述第一比特数的数据部分对应的所述一组有效信息的发送。

2. 根据权利要求 1 所述的数据传送设备，还包括：

第二接收装置，被配置为从所述第一发送装置接收分组；

生成装置，被配置为基于包含在所述分组中的第一有效信息生成第二有效信息；以及

第二发送装置，被配置为发送由所述生成装置生成的所述第二有效信息和包含在所述分组中的数据，

其中，所述生成装置被配置为，当包含在由所述第二接收装置接收的所述分组中的标识符指示与所述分组中的第一比特数的数据部分对应的第一有效信息不存在时，生成指示与该标识符对应的所述第一比特数的所有数据部分有效的所述第二有效信息。

3. 一种数据传送设备，包括：

第二接收装置，被配置为接收分组；

生成装置，被配置为基于包含在所述分组中的第一有效信息生成第二有效信息；以及

发送装置，被配置为发送由所述生成装置生成的所述第二有效信息和包含在所述分组中的数据，

其中，所述生成装置被配置为，当包含在由所述第二接收装置接收的所述分组中的标识符指示与所述分组中的第一比特数的数据部分对应的第一有效信息不存在时，生成指示与所述标识符对应的所述第一比特数的所有数据部分有效的所述第二有效信息。

4. 根据权利要求 3 所述的数据传送设备，其中，所述生成装置被配置为，在包含在由所述第二接收装置接收的所述分组中的标识符指示与包含在所述分组中的所述第一比特数的数据部分对应的第一有效信息存在的情况下，基于所述第一有效信息生成所述第二有效信息。

5. 一种数据传送方法，包括：

接收包含数据和指示所述数据以字节为单位是否有效的有效信息的信号；以及

发送分组，所述分组包含彼此相关联的与接收的数据中的第一比特数的数据部分对应的一组有效信息、指示所述一组有效信息的存在的标识符、以及所述第一比特数的数据部分，

其中，每次在将传送的所述第一比特数的数据部分包含无效数据的情况下，发送与所述第一比特数的数据部分对应的所述一组有效信息和所述标识符，并且在所述数据中的第一比特数的每个数据部分有效的情况下，跳过与第一比特数的数据部分对应的所述一组有效信息的发送。

6. 一种数据传送方法，包括如下步骤：

接收分组；

基于包含在所述分组中的第一有效信息生成第二有效信息；以及

发送所生成的第二有效信息和包含在所述分组中的数据，

其中，在包含在所接收的所述分组中的标识符指示与所述分组中的第一比特数的数据部分对应的第一有效信息不存在的情况下，在所述生成的步骤中生成指示与所述标识符对应的所述第一比特数的每个数据部分有效的第二有效信息。

数据传送设备和数据传送方法

技术领域

[0001] 本发明涉及使用分组(packet)的数据传送设备和数据传送方法。

背景技术

[0002] 在各种领域中已经采用了使用分组的数据传送的技术。传输控制协议 / 互联网协议(TCP/IP)是以分组为基础在互联网上传送数据的技术。外围组件互连－快捷(PCI-Express)是以分组为基础在集成电路之间传送数据的技术。此外,芯片上网络(NoC)是以分组为基础在集成电路内传送数据的另一技术。

[0003] 以分组为基础的数据传送具有如下优点,即,可以使用少量的信号线来传送对于传送而言所必要的诸如地址和数据的各种信息。例如,在 PCI-Express 中,仅仅需要两对差分(differential)线以用于数据传送。以分组为基础的数据传送具有另一优点,即,可以容易地提高传送速率。以分组为基础的数据传送系统相比于不以分组为基础的数据传送系统而言需要更多的周期(cycle)以用于传送。从而,已对用于在以分组为基础的数据传送中增加效率的技术进行了探讨,其中,改善分组配置以减少要传送的信息量,使得传送所需要的周期数减少。

[0004] 作为用于减少要传送的信息的措施,在“PCI Express Base Specification Revision 1.1”(PCI-SIG,2005 年 3 月)中描述的 PCI-Express 描述了如下协议,即,将在存储器请求时数据有效载荷(payload)中的头 4 字节数据和尾 4 字节数据之外的数据作为有效来处理,并省略分组配置中的与数据有效载荷的头 4 字节数据和尾 4 字节数据对应的字节使能(byte enable)识别信息(Last DW BE 1st DWBE)之外的部分,使得分组上的信息减少。

[0005] 日本专利申请公开 No.11-102341 探讨了一种数据传送系统,其中,基于以字节为单位附于要传送到串行总线上的数据的字节使能而仅仅传送有效数据,使得无效数据的传送被抑制并且数据传送的效率被增强。

[0006] 同时,不以分组为基础的并行总线主要用于集成电路内的数据传送。集成电路内的并行总线的协议通常包括对于每单位数据(例如,等于总线宽度的 64 比特)的字节使能(例如,8 比特),以指示在一个单位的数据传送(例如,64 字节＝ 64 比特总线宽度 ×8 突发(burst)传送)中哪个数据字节是有效的。类似地,关于作为主流存储设备的动态随机存取存储器(DRAM)的数据传送的协议也支持字节使能的使用。在这样的协议中,通过相互利用以分组为基础的传送或使用字节使能而不以分组为基础的传送,实现在整个系统(包括集成电路内和集成电路之间)中从主控器(master)到从动器(slave)(例如,DRAM)的数据传送。

[0007] 关于从集成电路内的并行总线到集成电路之间的 PCI-Express 的传送路径,详细描述来自并行总线的一个传送单位的数据包含其头 4 字节和尾 4 字节之外的无效数据的情况。PCI-Express 中的协议将数据有效载荷(即,一个传送单位)中的尾部分和头部分之外的数据作为要传送的有效数据而处理,从而在数据传送到 PCI-Express 时,至少在无效数

据中的位置处划分传送，并需要分别将头部添加至所划分的传送。例如，当数据被传送到PCI-Express（该数据从64比特数据总线宽度的并行总线传送，以64字节为一个单位（64比特总线宽度×8突发传送），每8字节数据包含1字节的无效数据）时，该数据被划分为例如8字节传送，并且每个传送需要具有头部。该划分和增加的头部占据传送带宽，并损害传送效率。

[0008] 相反，在日本专利申请公开No.11-102341的情况下，字节使能以字节为单位被附于要被传送到串行总线上的数据，从而当数据以高比率包含有效数据时，大量的字节使能数据本身损害传送效率。

发明内容

[0009] 本发明旨在提高数据传送的效率。

[0010] 根据本发明的一个方面，一种数据传送设备包括：第一接收装置，被配置为接收数据和指示所述数据是否对于每第二比特数有效的有效信息；以及第一发送装置，被配置为以等于或大于所述第二比特数的第一比特数为单位发送由接收装置接收的数据，其中，所述第一发送装置被配置为，每次在将由所述第一发送装置发送的所述第一比特数的数据部分包含无效数据的情况下，发送与所述第一比特数的数据部分对应的有效信息和指示与所述第一比特数的数据部分相关联的有效信息存在的标识符。

[0011] 从下面参照附图对示例性实施例进行的描述，本发明的进一步的特征将变得明显。

附图说明

[0012] 被并入说明书中并构成其一部分的附图示出了本发明的示例性实施例、特征和方面，并与描述一起，用于解释本发明的原理。

[0013] 图1示意性地示出系统的结构。

[0014] 图2示出第一桥和第二桥的结构。

[0015] 图3A和3B各示出分组格式。

[0016] 图4示出由字符生成单元执行的处理流程。

[0017] 图5示出传送数据的例子。

[0018] 图6示出在串行总线上使用的数据格式的例子。

[0019] 图7示出由字符确定单元执行的处理流程。

具体实施方式

[0020] 下面将参照附图详细描述本发明的各种示例性实施例、特征和方面。

[0021] 图1示出根据本发明的示例性实施例的系统。示出了ASIC_A 100和ASIC_B 200通过串行总线300互连的系统配置。ASIC代表专用集成电路。

[0022] 在串行总线300上，数据以分组传送。ASIC_A 100包括第一总线主控器A 101、第一总线主控器B 102、作为第一总线和串行总线之间的桥的第一桥103、以及DRAM控制器A 104。这些模块通过第一总线105互连。第一总线105是并行总线，地址和数据分别使用专用于它们的线而连接到该并行总线。第一总线主控器A 101和第一总线主控器B 102将数

据从第一桥 103 和 DRAM 控制器 A 104 经由第一总线 105 传送，并将数据经由第一总线 105 传送到第一桥 103 和 DRAM 控制器 A 104。DRAM 控制器 A 104 和 DRAM_A 106 经由 DRAM I/F A 107 相互传送数据。第一桥 103 将通过第一总线 105 接收的数据变换为串行总线 300 的数据，以将该数据传送到 ASIC_B 200 中的作为连接目的地的第二桥 203。

[0023] 同时，ASIC_B 200 包括第二总线主控器 A 201、第二总线主控器 B 202、第二桥 203 以及 DRAM 控制器 B 204。每个模块通过第二总线 205 互连。第二总线 205 是并行总线，地址和数据分别使用专用于它们的线而连接到该并行总线。第二桥 203 将通过串行总线 300 接收的数据变换为第二总线 205 的数据，以将该数据经由第二总线 205 传送到 DRAM 控制器 B 204。第二总线主控器 A 201 和第二总线主控器 B 202 通过第二总线 205 将数据传送到 DRAM 控制器 B 204，并通过第二总线 205 从 DRAM 控制器 B 204 传送数据。DRAM 控制器 B 204 和 DRAM_B 206 通过 DRAM I/F B 207 相互传送数据。在本示例性实施例中，第一总线和第二总线都具有 64 比特的数据总线宽度。

[0024] 图 2 示出用于实现本示例性实施例的传送系统的第一桥 103 和第二桥 203 的结构。将描述桥处的处理。

[0025] 首先，将描述请求发送（transmission）处理。第一总线请求接收单元 1030 经由第一总线 105 接收来自第一总线主控器 A 101 和第一总线主控器 B 102 的请求。总线主控器 A 101 和总线主控器 B 102 各输出包含如下的请求：传送目的地的地址（Address）、指示传送是 Write（写）传送还是 Read（读）传送的标志、被传送数据的大小、写数据（Wdata）、写选通（strobe）（Wstrb）、以及关于传送的属性信息（ReqAtrb）。

[0026] 根据控制请求的定时的信号，第一总线请求接收单元 1030 从请求提取地址、指示 Write 传送或 Read 传送的标志、以及当该标志指示 Write 传送时的写数据和写选通，并将信息传送到请求分组变换单元 1031。

[0027] 请求分组变换单元 1031 将所接收的请求变换为分组。请求分组变换单元 1031 包括数据使能模式（enable pattern）识别单元 1033 和字符生成单元 1034。

[0028] 在来自第一总线请求接收单元 1030 的请求中，数据使能模式识别单元 1033 接收对于每 1 字节的被传送数据指示有效数据的存在或不存在的写选通（Wstrb：有效信息）。然后，数据使能模式识别单元 1033 确定写选通（Wstrb）对于串行数据的每个块（clump）（即，对于每第一比特数）是否为真。在本示例性实施例中，对 64 比特（即，8 字节的单位）信号的每个数据块确定写选通（Wstrb）是否接连地为真。字符生成单元 1034 接收来自第一总线请求接收单元 1030 的请求和由数据使能模式识别单元 1033 作出的确定结果，并单独地生成字符，其将在后面进行描述。

[0029] 图 3A 和 3B 各示出具有由字符生成单元 1034 生成的多个字符的分组的例子。每个分组包括头部和数据部分。在本示例性实施例的分组中，头部和数据部分的每个字符包括 33 比特，但是可以包括另一比特数。然而，字符可以具有预定长度，以增强数据传送的方便性。头部和数据部分中的每一个都被划分为 32 比特（第二比特数）信号的块，并给每个块分配 1 比特标志，该 1 比特标志作为指示该块是否是数据使能字符的标识符。具有标志的块构成具有 33 比特字符的分组。数据使能字符具有用于 64 比特数据（即，第一比特数的数据部分）的字节使能（即，本示例性实施例中的部分有效信息），从而指示数据使能字符的标志等价于指示部分有效信息的存在或不存在。字节使能以字节为单位指示数据是否有效。

[0030] 图 3A 示出写请求的分组的例子。该分组包括头部，该头部包含具有用于分组类型的标识符（Type）和传送属性信息（ReqAtrb：请求属性）的字符、以及具有传送目的地的地址（Address）的第二字符。该分组还包括数据部分，该数据部分包括具有写数据（Wdata）的字符、以及仅在 Write 传送时生成的数据使能字符（即，用于写选通的字符）。该分组的每个字符的首比特（head bit）是数据使能字符标志，其作为指示该字符是数据使能字符还是数据字符的标识符。在图 3A 的例子中，第三字符和第六字符各自具有标志“1”，指示它们是数据使能字符，而其它字符各自具有标志“0”，作为数据字符。除非传送数据的每个字节有效，否则数据部分包括至少一对数据使能字符和数据字符。

[0031] 将参照图 4 中的流程图来详细描述由请求分组变换单元 1031 中的字符生成单元 1034 执行的字符生成处理。

[0032] 在步骤 S400 中，请求分组变换单元 1031 中的字符生成单元 1034 当接收到从第一总线请求接收单元 1030 传送的请求时开始该处理。在步骤 S401 中，字符生成单元 1034 确定在该定时接收的请求块是否构成请求的头部。当所述块构成头部时（步骤 S401 中为是），在步骤 S402 中，字符生成单元 1034 生成图 3A 所示的头部部分。当所述块不构成头部时（步骤 S401 中为否），字符生成单元 1034 确定所接收的请求块构成数据部分，并使处理前进到步骤 S403。在步骤 S403 中，字符生成单元 1034 基于由数据使能模式识别单元 1033 作出的确定结果，来确定是否生成用于写选通的字符。

[0033] 图 5 示出在本示例性实施例中对于来自总线主控器的请求由数据使能模式识别单元 1033 生成的以 32 比特为单位的写数据（Wdata）和以字节为单位的写选通（Wstrb）的例子。

[0034] 本示例性实施例中的每个数据使能字符具有用于两个后续数据字符的写选通信号。

[0035] 与 Wdata0 对应的写选通（Wstrb）是“0111”，与 Wdata1 对应的写选通（Wstrb）是“1111”。因此，在从 Wdata0 到 Wdata1 的范围内，以 64 比特数据单位（8 字节单位）为单位，写选通（Wstrb）不是连续地为“真”。在步骤 S404 中，字符生成单元 1034 从数据使能模式识别单元 1033 接收写选通信息，并生成包含写选通信息（Wstrb0）和预留区域（Reserved）的数据使能字符。在本示例性实施例中，在步骤 S405 中，字符生成单元 1034 响应于从 Wdata0 到 Wdata1 的范围生成图 3A 所示的第三字符。在步骤 S405 中生成用于 Wdata0 和 Wdata1 的数据字符之后，字符生成单元 1034 生成图 3A 所示的第四字符和第五字符。预留区域是用于对齐下一字符的信息，并根据如下来确定预留区域的比特数：（一个字符的比特数）－（字符标志的比特数）－（写选通的比特数）。在本示例性实施例中，它可以被重写为 33 － 1 － 8 ＝ 24，从而预留区域为 24 比特长。同样，关于后续的 Wdata2 和 Wdata3，以 8 字节为单位，写选通不是连续地为“真”。结果，重复与用于 Wdata0 和 Wdata1 的处理类似的处理。

[0036] 关于后续的 Wdata4 和 Wdata5，写选通都是“1111”，因此在从 Wdata4 到 Wdata5 的范围内，以 64 比特数据（8 字节）为单位，写选通连续地为“真”。在步骤 S404 中，字符生成单元 1034 从数据使能模式识别单元 1033 接收写选通信息，跳过数据使能字符的生成，并使处理前进到步骤 S405，在步骤 S405 中字符生成单元 1034 生成图 3A 所示的第九字符和第十字符。在步骤 S406 中，重复以上步骤直到一系列请求完成，并且处理结束。

[0037] 通过以上处理，当用于 Wdata0 的 8 字节数据（即，第一比特数的数据）包含无效数

据时，请求分组发送单元 1032 发送与 Wdata0 相关联的写选通 Wtstrb，该 Wtstrb 指示对于每 1 字节(即，第二比特数)数据是否有效。

[0038] 在不具有写数据(Wdata)也不具有写选通(Wstrb)的读请求的情况下，仅处理传送目的地的地址(Address)、指示数据是 Write 传送还是 Read 传送的标志、以及关于传送的属性信息(ReqAtrb)。除了用于读请求的处理不包括用于写数据(Wdata)和写选通(Wstrb)的步骤(即，图 4 中的步骤 S403、404 和 405)之外，用于读请求的处理与用于写请求的处理类似，从而不对其进行描述。

[0039] 由请求分组变换单元 1031 变换为分组的每个字符按照时钟定时经由串行总线 300 从请求分组发送单元 1032 被发送到接收侧 ASIC_B200。图 6 示出本示例性实施例中在串行总线 300 上同步于时钟传送的数据格式。在该格式中，作为字符的头的开始比特被分配给每个字符，并在没有要传送的数据时，传送指示无操作的数据(在图 6 中用 NOP 表示)。

[0040] 将描述由 ASIC_B 200 执行的请求接收处理。请求分组接收单元 2030 在从 ASIC_A 100 经由串行总线发送的串行数据中检测开始比特。然后，请求分组接收单元 2030 由跟在每一开始比特后的 33 比特串行数据生成 33 比特字符，并将该字符传送到请求分组逆变换单元 2031。

[0041] 将参照图 7 中的流程图来描述由请求分组逆变换单元 2031 中的字符确定单元 2033 执行的操作。在步骤 S700 中，字符确定单元 2033 从第一个被传送的头部部分的两个字符中的每一个提取用于传送类型的标识符(Type)、传送属性信息(ReqAtrb)和地址，并将信息发送至第二总线请求发送单元 2032。在步骤 S701 中，字符确定单元 2033 确定数据部分的字符是否正跟在头字符后。当存在数据部分的字符时(步骤 S701 中为是)，在步骤 S702 中，字符确定单元 2033 存储从包含在传送属性信息(ReqAtrb)中的传送大小信息获得的数据的数量(即，等价于数据字符的数量)。当不存在数据部分的字符时(步骤 S701 中为否)，字符确定单元 2033 结束处理，并在传送下一字符时从步骤 S700 重新开始该处理以进行头部处理。在步骤 S703 中，当确定存在数据部分的字符时，字符确定单元 2033 基于后面的字符的数据使能字符标志来确定每个字符是数据使能字符还是数据字符。

[0042] 在步骤 S704 中，当确定字符是数据字符时，字符确定单元 2033 将数据块(在下文中，被称为元素(element))传送到第二总线请求发送单元 2032，并将当前字符是数据字符的事实通知数据使能生成单元 2034。在步骤 S705 中，当处理的数据的数量小于步骤 S702 中存储的数量时(步骤 S705 中为是)，处理返回步骤 S703。在步骤 S705 中，当处理的数据的数量达到步骤 S702 中存储的数量时(步骤 S705 中为否)，处理结束，并在传送下一字符时从步骤 S700 重新开始以进行头部处理。

[0043] 在步骤 S703 中，当确定字符是数据使能字符而不是数据字符时(步骤 S703 中为否)，在步骤 S706 中，字符确定单元 2033 将字符中的 Wstrb 元素(第一有效信息)原样地传送到数据使能生成单元 2034。然后，处理返回步骤 S703。

[0044] 数据使能生成单元 2034 由从字符确定单元 2033 接收的信息生成写选通 Wstrb(第二有效信息)。在本示例性实施例中，数据使能生成单元 2034 为每两个字符数据(即，为每 64 比特数据)生成 Wstrb 元素。

[0045] 将描述 Wstrb 元素生成方法。

[0046] 数据使能生成单元 2034 当从字符确定单元 2033 接收到 Wstrb 元素时，将其原样

地传送到第二总线请求发送单元 2032。当从字符确定单元 2033 未接收到 Wstrb 元素、而连续两次(即,连续预定次数)接收到字符是数据字符的通知时,数据使能生成单元 2034 生成指示对于两个字符的数据都为“真”的 Wstrb 元素,并将该元素发送至第二总线请求发送单元 2032。

[0047] 第二总线请求发送单元 2032 基于来自请求分组逆变换单元 2031 的传送信息,将元素变换为对于第二总线 205 的请求格式,并将包含从请求分组逆变换单元 2031 获得的写选通的请求经由第二总线 205 发送至 DRAM 控制器 B 204。

[0048] 接下来,将描述与来自总线主控器的请求相对的、从 DRAM 接收的响应的发送处理。第二总线响应接收单元 2035 经由第二总线 205 从 DRAM 控制器 B 204 接收响应。该响应包含指示传送是否错误的状态信息(RespSt)、读数据(Rdata)、以及指示传送长度或传送优先级的传送属性信息(RespAtrb)。

[0049] 响应分组变换单元 2036 将从第二总线响应接收单元 2035 接收的响应变换为分组。图 3B 示出本示例性实施例中从请求变换的分组。该分组包含头部和数据部分。头部和数据部分都被划分为 32 比特元素,并且 1 比特的数据使能字符标志被附于每一元素,从而导致具有多个 33 比特字符的分组。该头部包括字符,每个字符包含用于传送类型的标识符(Type)和状态(RespSt)。该数据部分包括字符,每个字符包含读数据(Rdata)。由响应分组变换单元 2036 执行的操作与由请求分组变换单元 1031 执行的操作相似,除了如下之外:当从第二总线响应接收单元 2035 接收到响应时,操作从图 4 中的步骤 S401 开始,并且,消除图 4 中的步骤 S403 和 S404。从而,将不描述由响应分组变换单元 2036 执行的操作。

[0050] 响应分组发送单元 2037 对从响应变换的分组执行并串转换,并将得到的分组发送到串行总线 300。用于该并串转换的操作与由请求分组发送单元 1032 执行的操作相似。在该并串转换之后,按照时钟定时,将字符经由串行总线 300 发送至 ASIC_A 100 接收方。

[0051] 接下来,将描述由 ASIC_A 100 执行的响应接收处理。响应分组接收单元 1035 在从 ASIC_B 200 经由串行总线 300 发送的串行数据中检测开始比特,并将跟在开始比特后的 33 比特串行数据变换为字符,以将该字符传送到响应分组逆变换单元 1036。响应分组逆变换单元 1036 根据字符的类型执行对于头部或数据部分的处理。由响应分组逆变换单元 1036 执行的操作与由请求分组逆变换单元 2031 执行的操作相似,除了消除用于 Wstrb 的步骤(即,图 7 中的步骤 S703 和 S706)之外。因此,不对由响应分组逆变换单元 1036 执行的操作进行描述。

[0052] 第一总线响应发送单元 1037 将来自响应分组逆变换单元 1036 的信息变换为对于第一总线的响应格式,并经由第一总线 105 将响应发送到发布了与该响应对应的请求的第一总线主控器。

[0053] 如上所述,根据该示例性实施例,可以有效地传送包含有效数据信息(例如,写选通)的数据。

[0054] 如以上的示例性实施例所述,本发明可应用于集成电路(芯片)之间的这样的数据传送,但是也可应用于集成电路内的数据传送。在以上的示例性实施例中,以 64 比特为单位生成数据使能字符,但是可以以任何比特数为单位生成数据使能字符。然而,作为第二比特数的字符的比特数需要小于与部分有效信息对应的数据的第一比特数。

[0055] 在以上的示例性实施例中,响应不包含有效数据信息,但是响应可以如针对该响

应的请求那样包含有效数据信息。另外，在以上的示例性实施例中，将地址和其它项目(pieces)作为要被传送的信息包含在字符中，但是可以仅将数据和有效数据信息包含在字符中。本发明可广泛应用于用于从输出数据生成分组并输出分组的任何技术。

[0056] 虽然未详细描述以上的示例性实施例，但是由数据传送设备传送的数据是从中央处理单元(CPU)和诸如直接存储器存取控制器(DMAC)的外围装置以及外部装置馈送的。可以由 CPU 根据预定程序来启动数据传送功能。该 CPU 可以被并入在图 1 中的 ASIC_A 或 ASIC_B 中，或被置于图 1 中的 ASIC_A 和 ASIC_B 之外。

[0057] 虽然已参照示例性实施例描述了本发明，但是要理解的是，本发明不限于所公开的示例性实施例。以下的权利要求的范围要被赋予最宽泛的解释，以包括所有修改、等同的结构和功能。

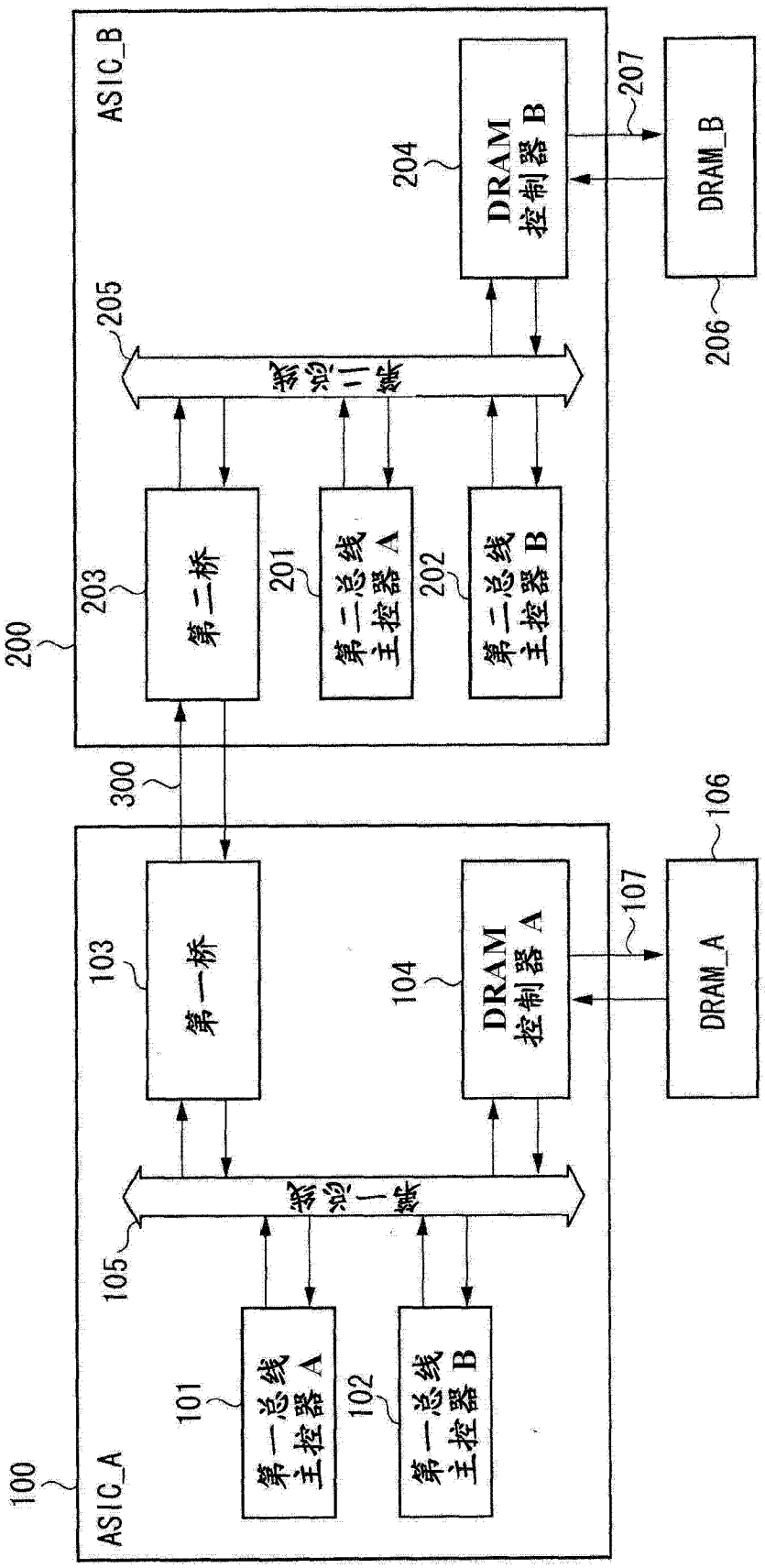

ASIC_B
200
203
第二桥
201
第二总线主控器A
202
第二总线主控器B
205
第二总线
204
DRAM控制器B
207
DRAM_B
206
300
ASIC_A
100
103
第一桥
101
第一总线主控器A
102
第一总线主控器B
105
第一总线
104
DRAM控制器A
107
DRAM_A
106

图 1

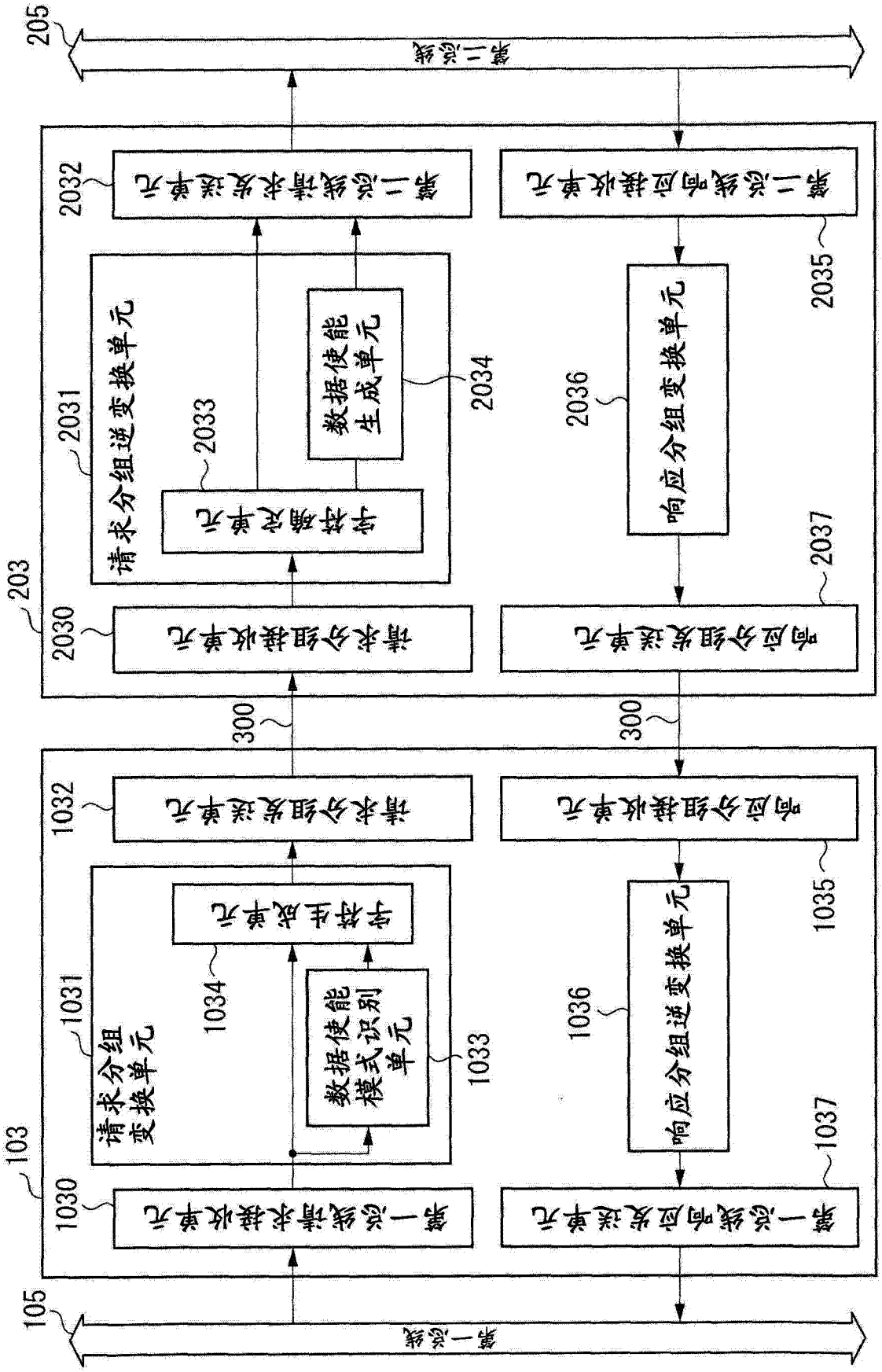

205
第二总线
2032
第二总线请求发送单元
第二总线响应接收单元
2035
请求分组逆变换单元
2031
2033
字符确定单元
数据使能生成单元
2034
2036
响应分组变换单元
203
2030
请求分组接收单元
响应分组发送单元
2037
300
300
1032
请求分组发送单元
响应分组接收单元
1035
请求分组变换单元
1031
1034
字符生成单元
数据使能模式识别单元
1033
1036
响应分组逆变换单元
103
1030
第一总线请求接收单元
第一总线响应发送单元
1037
105
第一总线

图 2

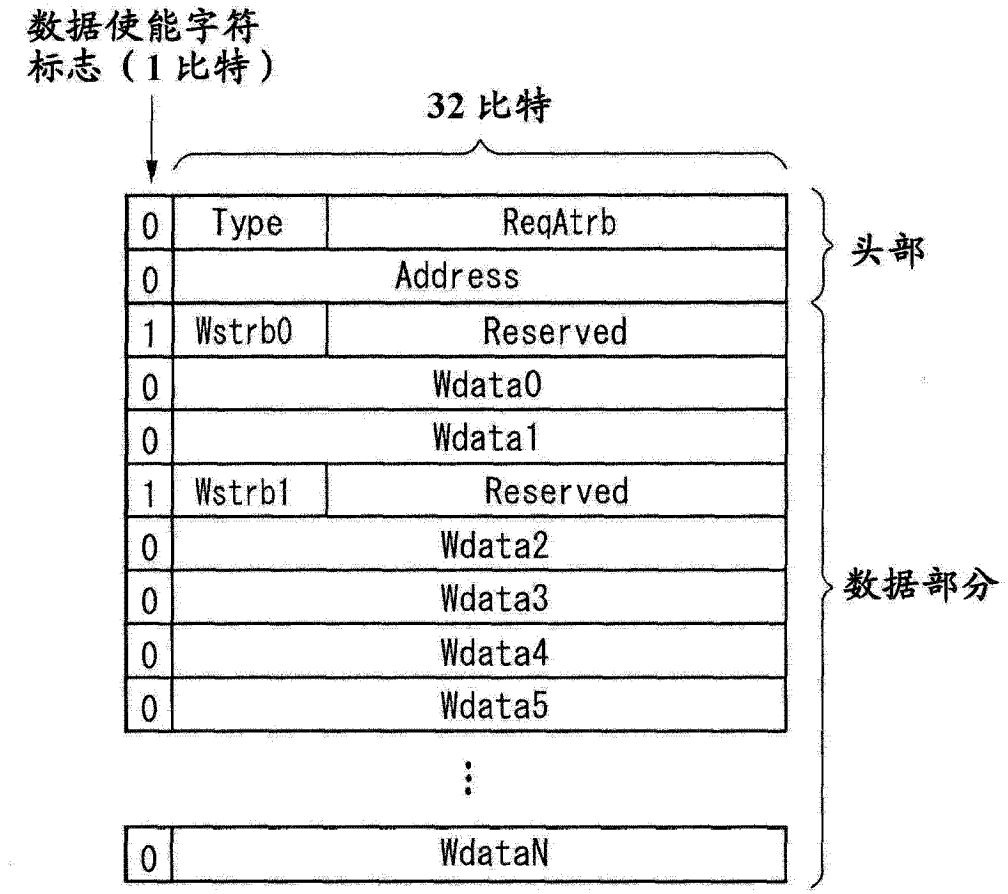

数据使能字符
标志（1 比特）
32 比特
0 Type ReqAtrb
0 Address
1 Wstrb0 Reserved
0 Wdata0
0 Wdata1
1 Wstrb1 Reserved
0 Wdata2
0 Wdata3
0 Wdata4
0 Wdata5
0 WdataN
头部
数据部分

图 3A

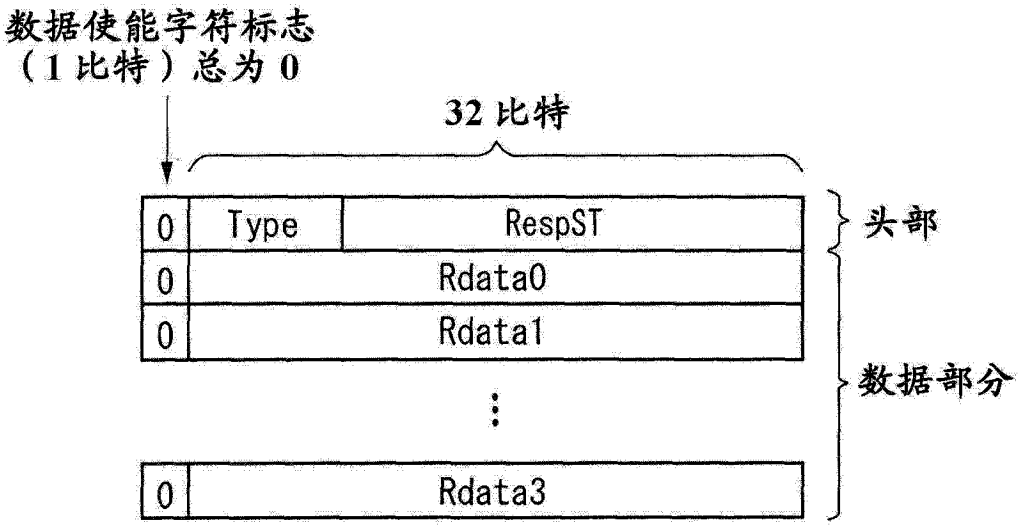

数据使能字符标志
（1 比特）总为 0
32 比特
0 Type RespST
0 Rdata0
0 Rdata1
0 Rdata3
头部
数据部分

图 3B

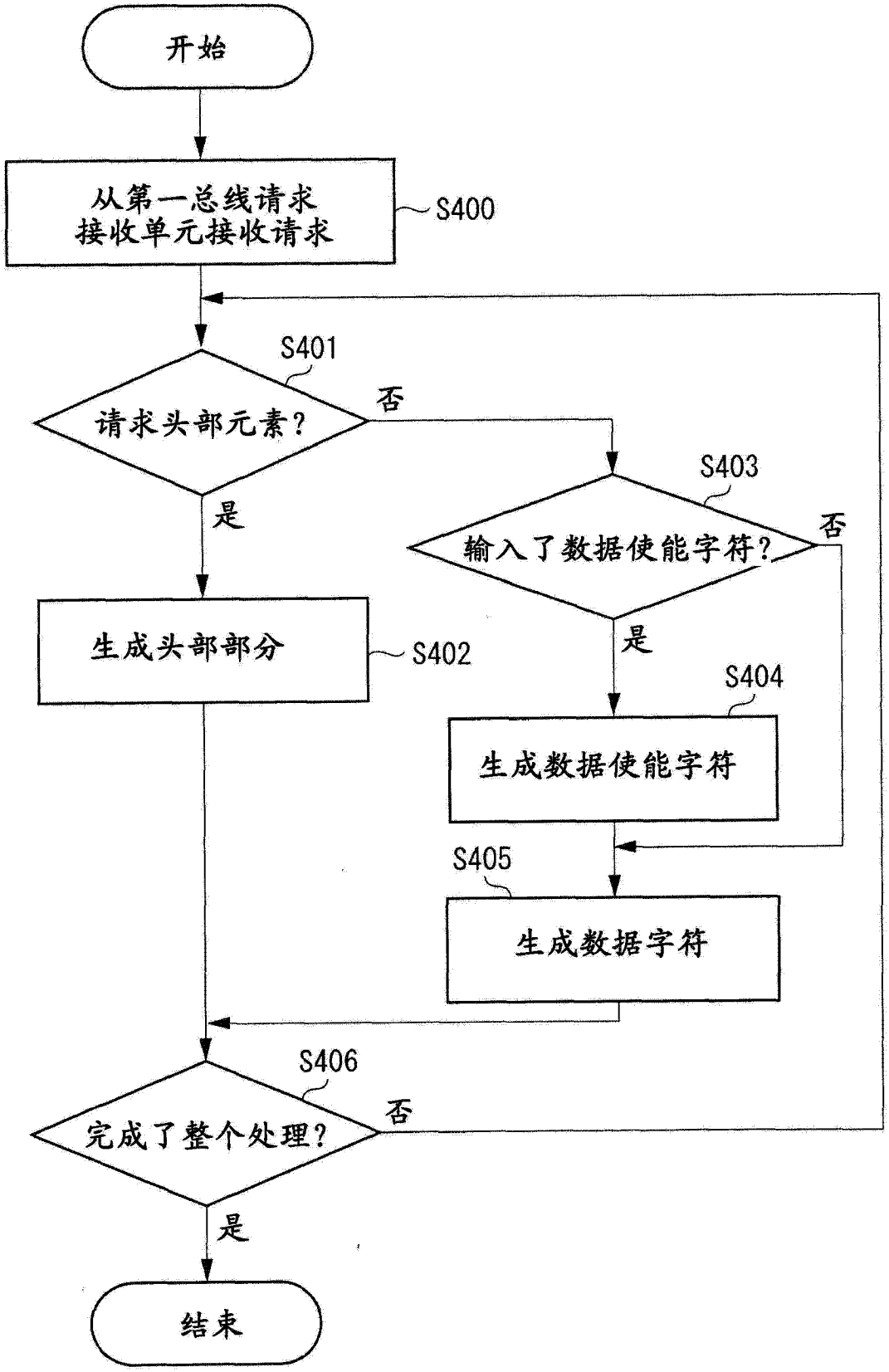

开始
从第一总线请求
接收单元接收请求
S400
S401
请求头部元素？
否
是
S403
输入了数据使能字符？
否
是
生成头部部分
S402
S404
生成数据使能字符
S405
生成数据字符
S406
完成了整个处理？
否
是
结束

图 4

Wdata[31:0]	Wstrb[3:0]
Wdata0	0111
Wdata1	1111
Wdata2	1111
Wdata3	1101
Wdata4	1111
Wdata5	1111

Wstrb0

Wstrb1

图 5

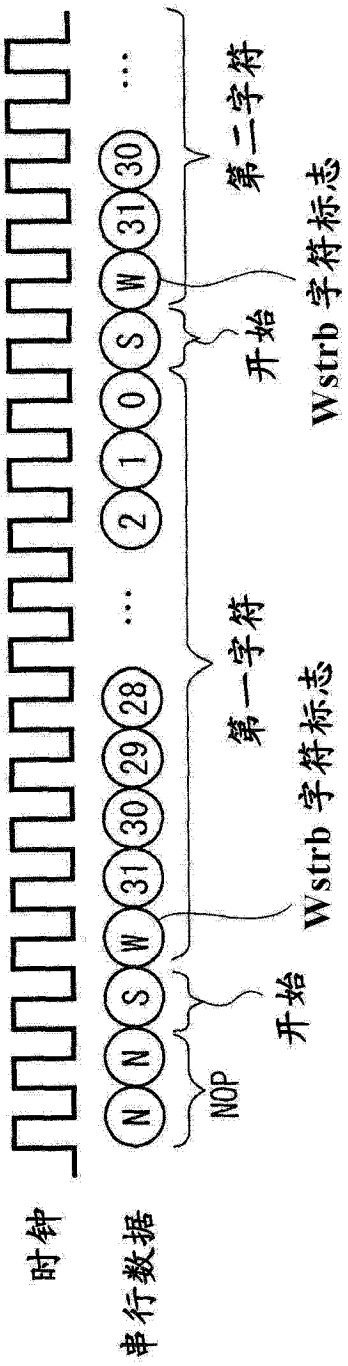


图 6

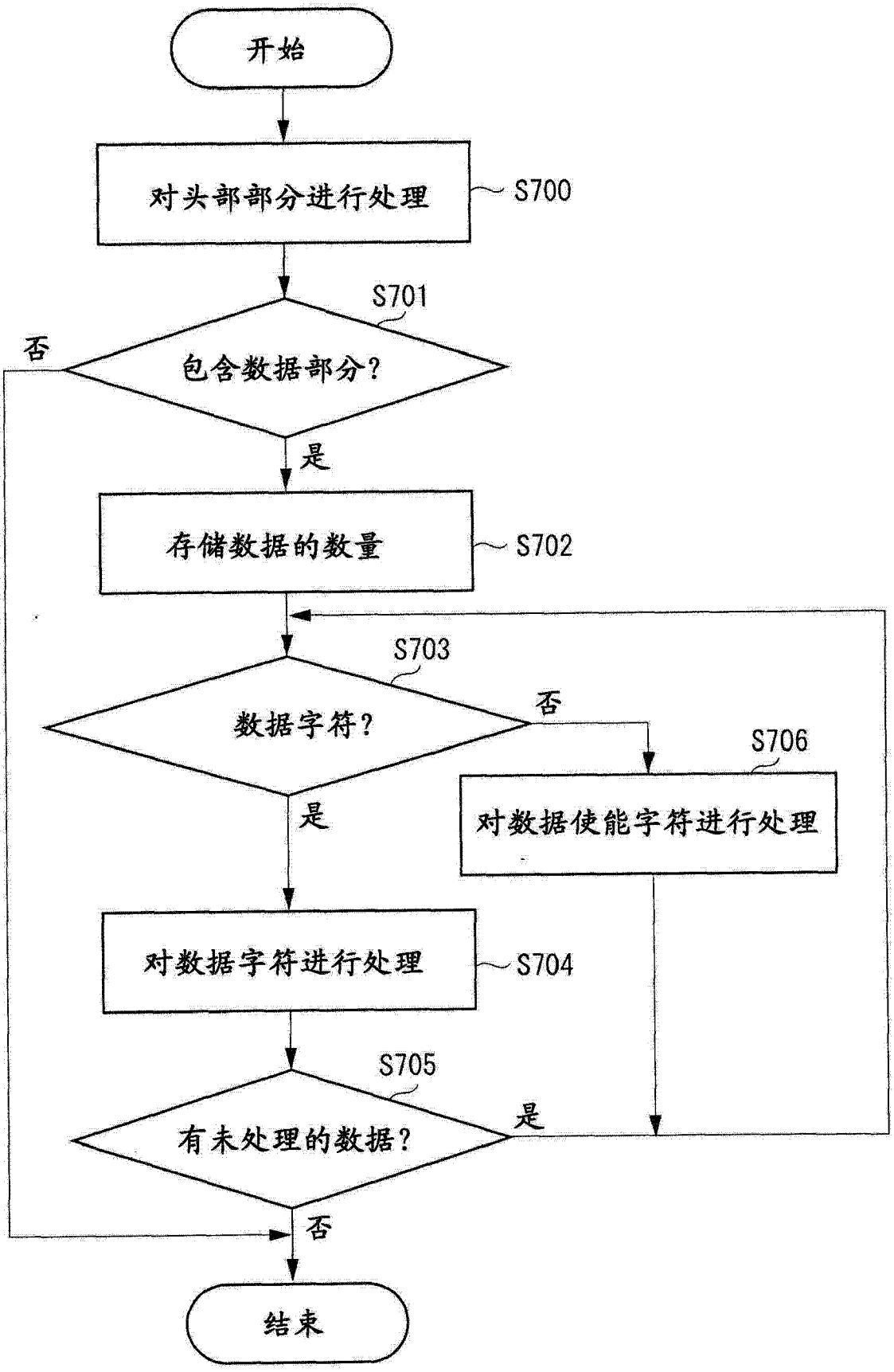

开始
对头部部分进行处理
S700
S701
包含数据部分?
否
是
存储数据的数量
S702
S703
数据字符?
否
S706
对数据使能字符进行处理
是
对数据字符进行处理
S704
S705
有未处理的数据?
是
否
结束

图 7