



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월13일
(11) 등록번호 10-1092264
(24) 등록일자 2011년12월05일

(51) Int. Cl.

H03F 1/22 (2006.01) *H03F 1/26* (2006.01)

(21) 출원번호 10-2008-7005130

(22) 출원일자(국제출원일자) 2006년07월31일

심사청구일자 2008년02월29일

(85) 번역문제출일자 2008년02월29일

(65) 공개번호 10-2008-0031999

(43) 공개일자 2008년04월11일

(86) 국제출원번호 PCT/US2006/029905

(87) 국제공개번호 WO 2007/016552

국제공개일자 2007년02월08일

(30) 우선권주장

11/285,949 2005년11월22일 미국(US)

60/705,256 2005년08월02일 미국(US)

(56) 선행기술조사문헌

KR1020000037693 A*

US06181206 B1*

KR100388373 B1

KR100281647 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

웰컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

김남수

미국 92122 캘리포니아주 샌디에고 팔밀라 드라이브 7699 넘버3410

바넷 케네스 찰스

미국 92054 캘리포니아주 오션사이드 던스턴 스트리트 2504

아파린 블라디미르

미국 92130 캘리포니아주 샌디에고 칼레 마르 데발레나스 4126

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 24 항

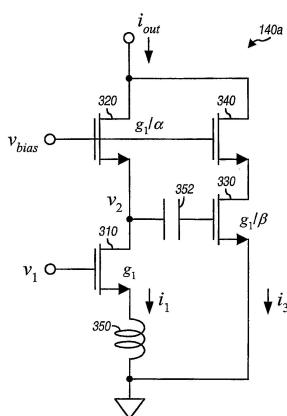
심사관 : 안철홍

(54) 액티브 포스트-왜곡 선형화된 증폭기

(57) 요약

우수한 선형성 및 잡음 성능을 갖는 증폭기는 제 1, 제 2, 제 3, 및 제 4 트랜지스터 및 인덕터를 포함한다. 제 1 및 제 2 트랜지스터는 제 1 캐스코드 쌍으로서 연결되고, 제 3 및 제 4 트랜지스터는 제 2 캐스코드 쌍으로 연결된다. 제 3 트랜지스터는 제 2 트랜지스터의 소스에 연결된 게이트를 갖고, 제 4 트랜지스터는 제 2 트랜지스터의 드레인에 연결된 드레인을 가진다. 제 1 트랜지스터는 신호 증폭을 제공한다. 제 2 트랜지스터는 부하 분리를 제공하고 제 3 트랜지스터에 대해 중간 신호를 생성한다. 제 3 트랜지스터는 제 1 트랜지스터에 의해 생성된 3차 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성한다. 인덕터는 제 1 트랜지스터에 소스 디제너레이션을 제공하고 왜곡 소거를 개선한다. 제 2 및 제 3 트랜지스터의 사이즈는 이득 손실을 감소시키고 증폭기의 우수한 선형성을 달성하도록 선택된다.

대 표 도 - 도3



특허청구의 범위

청구항 1

인덕터에 전기적으로 연결되고, 입력 신호를 수신 및 증폭하도록 동작하는 제 1 트랜지스터;

상기 제 1 트랜지스터에 전기적으로 연결되고, 중간 신호를 생성하고 출력 신호를 제공하도록 동작하는 제 2 트랜지스터; 및

상기 제 2 트랜지스터에 전기적으로 연결되고, 상기 중간 신호를 수신하고 상기 제 1 트랜지스터에 의해 생성된 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성하도록 동작하는 제 3 트랜지스터를 포함하는, 집적 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 캐스코드 쌍으로서 연결되는, 집적 회로.

청구항 3

제 1 항에 있어서,

상기 제 3 트랜지스터는 상기 제 1 트랜지스터에 의해 생성된 3차 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성하도록 동작하는, 집적 회로.

청구항 4

제 1 항에 있어서,

상기 제 2 트랜지스터 및 상기 제 3 트랜지스터에 전기적으로 연결되고, 부하 분리를 제공하도록 동작하는 제 4 트랜지스터를 더 포함하는, 집적 회로.

청구항 5

제 1 항에 있어서,

상기 제 3 트랜지스터는 상기 제 2 트랜지스터의 드레인에 전기적으로 연결된 드레인을 갖는, 집적 회로.

청구항 6

제 1 항에 있어서,

상기 제 3 트랜지스터는 상기 제 1 트랜지스터의 드레인에 전기적으로 연결된 드레인을 갖는, 집적 회로.

청구항 7

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터는 각각 제 1 이득, 제 2 이득, 및 제 3 이득을 가지며,

상기 제 1 이득과 상기 제 2 이득은 제 1 인자에 의해 관련되고,

상기 제 1 이득과 상기 제 3 이득은 제 2 인자에 의해 관련되는, 집적 회로.

청구항 8

제 7 항에 있어서,

상기 제 2 인자는 이득 손실을 감소시키도록 선택되고,

상기 제 1 인자는 상기 제 1 트랜지스터에 의해 생성된 상기 왜곡 성분을 소거하도록 선택되는, 집적 회로.

청구항 9

제 7 항에 있어서,

상기 제 2 인자는 1 보다 크고,

상기 제 3 이득은 상기 제 1 이득의 일부인, 집적 회로.

청구항 10

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터는 N-채널 전계 효과 트랜지스터 (N-FET) 인, 집적 회로.

청구항 11

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터는 P-채널 전계 효과 트랜지스터 (P-FET) 인, 집적 회로.

청구항 12

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터는 바이폴라 접합 트랜지스터 (BJT) 인, 집적 회로.

청구항 13

제 1 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터는 저잡음 증폭기 (LNA) 를 형성하는, 집적 회로.

청구항 14

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터에 전기적으로 연결되고, 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터에 의해 형성된 증폭기에 이득 제어를 제공하도록 동작하는 이득 제어 회로를 더 포함하는, 집적 회로.

청구항 15

제 14 항에 있어서,

상기 이득 제어 회로는,

상기 제 1 트랜지스터에 전기적으로 연결된 제 4 트랜지스터; 및

상기 제 4 트랜지스터와 상기 제 2 트랜지스터 사이에 전기적으로 연결된 커패시터를 포함하는, 집적 회로.

청구항 16

제 14 항에 있어서,

상기 이득 제어 회로는,

상기 제 1 트랜지스터에 전기적으로 연결된 제 4 트랜지스터; 및

상기 제 4 트랜지스터와 상기 제 2 트랜지스터 사이에 전기적으로 연결된 적어도 하나의 저항기를 포함하는, 집적 회로.

청구항 17

제 1 항에 있어서,

상기 입력 신호는 코드 분할 다중 접속 (CDMA) 신호인, 집적 회로.

청구항 18

소스 디제너레이션 (source degeneration) 을 제공하도록 동작하는 인덕터;

상기 인덕터에 전기적으로 연결된 소스 및 입력 신호를 수신하는 게이트를 갖고, 신호 증폭을 제공하도록 동작하는 제 1 트랜지스터;

출력 신호를 제공하는 드레인 및 상기 제 1 트랜지스터의 드레인에 전기적으로 연결된 소스를 갖고, 중간 신호를 생성하도록 동작하는 제 2 트랜지스터; 및

상기 제 2 트랜지스터의 소스에 전기적으로 연결된 게이트를 갖고, 상기 중간 신호를 수신하며, 상기 제 1 트랜지스터에 의해 생성된 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성하도록 동작하는 제 3 트랜지스터를 포함하는, 증폭기.

청구항 19

제 18 항에 있어서,

상기 제 3 트랜지스터의 드레인에 전기적으로 연결된 소스 및 상기 제 2 트랜지스터의 드레인에 전기적으로 연결된 드레인을 갖는 제 4 트랜지스터를 더 포함하는, 증폭기.

청구항 20

소스 디제너레이션을 제공하는 수단;

원하는 성분 및 왜곡 성분을 포함하는 제 1 신호를 생성하기 위해 입력 신호를 증폭하는 수단;

상기 증폭하는 수단에 의해 생성된 상기 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 포함하는 제 2 신호를 생성하는 수단으로서, 상기 제 2 신호는 상기 제 1 신호에 있어서의 상기 원하는 성분 및 상기 왜곡 성분 양자에 기초하여 생성되는, 상기 제 2 신호를 생성하는 수단;

상기 증폭하는 수단에 의해 생성된 상기 왜곡 성분이 소거된 출력 신호를 생성하기 위해 상기 제 1 신호와 상기 제 2 신호를 결합하는 수단; 및

상기 출력 신호의 이득을 제어하는 수단을 포함하는, 장치.

청구항 21

제 20 항에 있어서,

상기 증폭하는 수단에 의해 생성된 상기 왜곡 성분은 3차 왜곡 성분인, 장치.

청구항 22

삭제

청구항 23

소스 디제너레이션을 제공하도록 동작하는 인덕터,

상기 인덕터에 전기적으로 연결된 소스를 갖고, 신호 증폭을 제공하도록 동작하는 제 1 트랜지스터,

상기 제 1 트랜지스터의 드레인에 전기적으로 연결된 소스를 갖고, 중간 신호를 생성하도록 동작하는 제 2 트랜지스터, 및

상기 제 2 트랜지스터의 소스에 전기적으로 연결된 게이트를 갖고, 상기 중간 신호를 수신하며, 상기 제 1 트랜지스터에 의해 생성된 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성하도록 동작하는 제 3 트랜지스터를 포함하는, 저잡음 증폭기 (LNA);

상기 제 1 트랜지스터의 게이트에 전기적으로 연결되고 상기 LNA 에 대한 입력 신호를 수신하는 입력 임피던스

매칭 회로; 및

상기 제 2 트랜지스터의 드레인에 전기적으로 연결되고 상기 LNA 에 대한 출력 신호를 제공하는 출력 임피던스 매칭 회로를 포함하는, 무선 디바이스용 수신기.

청구항 24

제 23 항에 있어서,

상기 LNA 는,

상기 제 3 트랜지스터의 드레인에 전기적으로 연결된 소스 및 상기 제 2 트랜지스터의 드레인에 전기적으로 연결된 드레인을 갖는 제 4 트랜지스터를 더 포함하는, 무선 디바이스용 수신기.

청구항 25

제 23 항에 있어서,

상기 LNA 는,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터에 전기적으로 연결되고, 상기 LNA 에 이득 제어를 제공하도록 동작하는 이득 제어 회로를 더 포함하는, 무선 디바이스용 수신기.

명세서

[0001]

본 출원은 2005년 8월 2일에 출원된, 발명의 명칭이 "Linearity improvement technique for CMOS amplifiers from low frequency to high frequency by using vectorized post-distortion"인 미국 가출원 일련번호 제 60/705,256호를 기초로 우선권 주장한다.

[0002]

I . 기술분야

[0003]

본 명세서는 일반적으로 회로에 관한 것으로, 더 상세하게는 무선 통신 및 다른 애플리케이션에 적절한 증폭기에 관한 것이다.

[0004]

II . 배경기술

[0005]

증폭기는 신호 증폭을 제공하기 위해 다양한 전자 디바이스에 통상 이용된다. 또한, 상이한 유형의 증폭기가 상이한 용도로 이용가능하다. 예를 들어, 무선 디바이스는 양방향 통신용의 송신기 및 수신기를 포함할 수도 있고, 송신기는 전력 증폭기 (PA) 를 이용할 수도 있고 수신기는 저잡음 증폭기 (LNA) 및 가변 이득 증폭기 (VGA) 를 이용할 수도 있다.

[0006]

LNA 는 통신 채널을 통해 수신된 저진폭 신호를 증폭하기 위해 수신기에서 보통 이용된다. LNA 는 종종 수신 신호에 의해 조우하는 제 1 액티브 회로이므로, 수개의 중요 영역에서 수신기의 성능에 대해 큰 영향을 준다. 첫째, LNA 의 잡음이 수신 신호에 직접 주입되고 후속 스테이지의 잡음이 LNA 의 이득에 의해 효과적으로 감소하기 때문에 LNA 는 수신기의 전체 잡음 지수에 큰 영향을 미친다. 두번째로, LNA 의 선형성은 수신기에서의 후속 스테이지의 설계 및 수신기 성능 모두에 큰 영향을 미친다. LNA 입력 신호는 통상적으로 외부 간섭 소스 및 함께 위치한 송신기로부터의 누설로부터 올 수도 있는 다양한 원하지 않는 신호 성분을 포함한다. LNA 의 비선형성은 원하지 않는 신호 성분이 원하는 신호 대역 내에 있을 수도 있는 혼변조 왜곡 (XMD) 을 막상 및 생성하게 한다. 혼변조 왜곡의 진폭은 LNA 의 비선형량에 의해 결정된다. 원하는 신호 대역 내에 있는 혼변조 왜곡 성분은 원하는 신호의 신호대잡음비 (SNR) 를 열화시키는 잡음으로서 기능한다.

LNA 비선형성에 의해 야기되는 SNR의 열화는 수신기의 전체 SNR 규격을 충족시키기 위해 후속 스테이지의 설계에 영향을 준다 (그리고 후속 스테이지에 대한 더 엄격한 요구조건을 종종 세운다). 따라서, 더욱 선형인 LNA 를 갖는 것은 다른 스테이지의 성능 요구조건을 완화하며, 이는 전력 소비를 낮추고 수신기에 대한 회로 면적을 더 작아지게 할 수도 있다.

[0007]

따라서, 우수한 선형성 및 잡음 성능을 갖는 증폭기에 대한 요구가 당업계에 있다.

[0008]

개요

[0009]

액티브 포스트-왜곡 (active post-distortion; APD) 을 이용하여 선형화된 증폭기의 다양한 실시형태를 설명한다. 그 증폭기는 설계가 단순하고, 선형성 및 잡음 성능이 우수하고, 무선 통신 및 다른 고주파수 애플리케이션에 적합한 특성을 갖는다.

이션에 적절하다. 예를 들어, 그 증폭기는 무선 디바이스에서 수신기용 LNA 로서 이용될 수도 있다. 액티브 포스트-왜곡은 또한 예를 들어, 막서와 같은 다른 액티브 회로를 선형화하는데 이용될 수도 있다.

[0010] 일 실시형태에 있어서, 증폭기 (예를 들어, LNA)는 제 1, 제 2, 제 3 및 제 4 트랜지스터 (예를 들어, N-FET) 및 인덕터를 포함한다. 제 1 및 제 2 트랜지스터는 제 1 캐스코드 쌍으로서 연결되고, 제 3 및 제 4 트랜지스터는 제 2 캐스코드 쌍으로서 연결된다. 제 1 트랜지스터는 인덕터에 연결된 소스 및 입력 (전압) 신호를 수신하는 게이트를 가진다. 제 2 트랜지스터는 제 1 트랜지스터의 드레인에 연결된 소스 및 출력 (전류) 신호를 제공하는 드레인을 가진다. 제 3 트랜지스터는 제 2 트랜지스터의 소스에 연결된 게이트를 가진다. 제 4 트랜지스터는 제 3 트랜지스터의 드레인에 연결된 소스 및 제 2 트랜지스터의 드레인에 연결된 드레인을 가진다. 제 1 트랜지스터는 신호 증폭을 제공한다. 제 2 트랜지스터는 부하 분리를 제공하고, 제 3 트랜지스터에 대한 중간 신호를 또한 생성한다. 제 3 트랜지스터는 중간 신호를 수신하고 제 1 트랜지스터에 의해 생성된 3 차 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 생성한다. 제 4 트랜지스터는 부하 분리를 제공한다. 인덕터는 제 1 트랜지스터에 소스 디제너레이션 (source degeneration) 을 제공하고, 3 차 왜곡의 소거를 개선한다. 다른 실시형태에 있어서, 제 4 트랜지스터는 생략될 수도 있고, 제 3 트랜지스터의 드레인은 제 1 또는 제 2 트랜지스터 중 하나의 드레인에 연결될 수도 있다. 제 2 및 제 3 트랜지스터의 사이즈는 증폭기에 대한 이득 손실을 감소시키고 가능하면 3 차 왜곡을 많이 소거하도록 선택될 수도 있다.

[0011] 이하, 본 발명의 다양한 양태 및 실시형태를 더 상세히 설명한다.

도면의 간단한 설명

[0013] 본 발명의 특징 및 특성은 도면과 함께 취해지는 경우에 아래의 상세한 설명으로부터 더욱 명백해질 것이며, 도면에서, 동일한 참조부호는 동일한 대상을 나타낸다.

[0014] 도 1 은 무선 디바이스의 무선 주파수 (RF) 부분을 도시한다.

[0015] 도 2a 내지 도 2c 는 안테나로부터의 수신 신호, LNA 입력 신호, LNA 출력 신호를 각각 도시한다.

[0016] 도 3 은 액티브 포스트-왜곡 선형화된 LNA 의 개략적인 다이어그램을 도시한다.

[0017] 도 4a 및 도 4b 는, 각각, 저주파수 및 고주파수에서 LNA 에 대한 IIP3 의 플롯을 도시한다.

[0018] 도 5 는 LNA 의 등가 회로를 도시한다.

[0019] 도 6 은 액티브 포스트-왜곡 소거를 도시하는 벡터 다이어그램을 도시한다.

[0020] 도 7a 및 도 7b 는 액티브-왜곡 선형화된 LNA 의 2 개의 추가적인 실시형태의 개략적인 다이어그램을 도시한다.

[0021] 도 8 은 액티브 포스트-왜곡 선형화 및 다중 이득 설정된 LNA 의 개략적인 다이어그램을 도시한다.

[0022] 도 9 는 P-FET 로 구현된 LNA 의 개략적인 다이어그램을 도시한다.

발명의 상세한 설명

[0024] 본 명세서에서 단어 "예시적인"은 "실시예, 예, 또는 예증의 기능을 하는"을 의미하는 것으로 사용된다. 여기서 "예시적인"으로 설명한 임의의 실시형태 또는 설계는 다른 실시형태 또는 설계보다 항상 바람직하거나 이로운 것으로 해석되는 것은 아니다.

[0025] 여기에 설명된 증폭기 및 다른 선형화된 액티브 회로는 통신, 네트워킹, 컴퓨팅, 가전 제품 등과 같은 다양한 애플리케이션에 이용될 수도 있다. 선형화된 액티브 회로는 CDMA (Code Division Multiple Access) 시스템, TDMA (Time Division Multiple Access) 시스템, GSM (Global System for Mobile Communications) 시스템, AMPS (Advanced Mobile Phone System) 시스템, GPS (Global Positioning System), MIMO (multiple-input multiple-output) 시스템, OFDM (orthogonal frequency division multiplexing) 시스템, OFDMA (orthogonal frequency division multiple access) 시스템, SC-FDMA (single-carrier FDMA) 시스템, WLAN (wireless local area network) 등과 같은 무선 통신 시스템에 이용될 수도 있다. 증폭기는 LNA, VGA, PA 등으로서 이용될 수도 있다. 명확하게 하기 위해, CDMA 시스템용 무선 디바이스의 수신기에 이용되는 LNA 를 후술한다. CDMA 시스템은 cdma2000, 광대역 CDMA (W-CDMA), 및/또는 다른 CDMA 무선 접속 기술을 구현 할 수도 있다.

[0026] 도 1 은 무선 디바이스 (100) 의 무선 주파수 (RF) 부분의 블록 다이어그램을 도시한다. 무선 디바이스 (100) 는 핸드폰, 개인 휴대 정보 단말기 (PDA), 무선 모뎀 카드, 또는 무선 통신에 이용되는 임의의 다른 디바이스이다.

이스일 수도 있다. 무선 디바이스 (100) 는 양방향 통신을 제공하는 송신기 및 수신기를 포함한다.

[0027] 송신 경로 상에서, 전력 증폭기 (PA; 110) 는 송신 (TX) 변조 신호를 수신 및 증폭하여 송신 신호를 제공한다. 송신 신호는 듀플렉서 (120) 를 통해 라우팅되고, 안테나 (130) 를 통해 하나 이상의 서빙 기지국으로 송신 된다. 송신 신호의 일부는 또한 수신 경로에 연결되거나 듀플렉서 (120) 를 통해 누설된다. TX 누설량은 듀플렉서 (120) 의 송신 포트와 수신 포트 사이의 분리에 의존하며, 이는 셀룰러 대역에서 표면 탄성파 (SAW) 듀플렉서에 대해 대략 50 데시벨 (dB) 일 수도 있다. 더 낮은 TX-RX 분리는 TX 누설의 레벨을 높인다.

[0028] 수신 경로 상에서, 원하는 신호 및 가능하게는 재머 (jammer) 를 함유하는 수신 신호가 안테나 (130) 를 통해 수신되고, 듀플렉서 (120) 를 통해 라우팅되며, LNA (140) 로 제공된다. LNA (140) 는 또한 송신 경로로부터 TX 누설 신호를 수신한다. 따라서, LNA (140) 의 입력에서 입력 신호는 원하는 신호, TX 누설 신호, 및 재머를 포함할 수도 있다. LNA 는 입력 신호를 증폭하고 증폭된 RF 신호를 제공한다. SAW 필터 (150) 는 증폭된 RF 신호를 필터링하여 대역외 성분 (예를 들어, TX 누설 신호) 을 제거하고 필터링된 RF 신호를 제공한다. 믹서 (160) 는 국부 발진기 (LO) 신호와 필터링된 RF 신호를 주파수-다운컨버팅하고 다운컨버팅된 신호를 제공한다.

[0029] 도 2a 는 원하는 신호 (210) 및 재머 (220) 를 포함하는, 안테나 (130) 로부터의 수신 신호를 도시한다. 재머 (220) 는 원하지 않는 신호이고, 예를 들어, AMPS 시스템에서 근처 기지국에 의해 송신된 신호에 대응할 수도 있다. 재머는 원하는 신호보다 진폭이 훨씬 클 수도 있고, 주파수가 원하는 신호에 가깝게 위치할 수도 있다.

[0030] 도 2b 는 LNA (140) 의 입력에서의 입력 신호를 도시한다. 입력 신호는 송신 경로로부터의 TX 누설 신호 (230) 뿐만 아니라 수신 신호에서의 원하는 신호 (210) 및 재머 (220) 를 함유한다. TX 누설 신호는, 특히 무선 디바이스 (100) 가 서빙 기지국(들)로부터 멀고, 기지국(들)에 도달하기 위해 높은 출력 레벨로 송신될 필요가 있으면, 원하는 신호에 비해 비교적 클 수도 있다.

[0031] 도 2c 는 LNA (140) 의 출력에서의 신호를 도시한다. LNA (140) 의 비선형성은 TX 누설 신호 (230) 에 대한 변조가 협대역 재머 (220) 와 상호작용하게 하고 재머 주위에 혼변조 왜곡 (240) 을 발생시키게 한다. 음영으로 도시된 혼변조 왜곡 부분 (250) 은 원하는 신호 대역 내일 수도 있다. 부분 (250) 은 수신기의 성능을 열화하는 추가적인 잡음으로서 기능한다. 이 잡음은 또한 수신기 감도를 열화시켜서, 수신기에 의해 신뢰성 있게 검출될 수 있는 가장 작은 원하는 신호가 더 큰 진폭을 가질 필요가 있게 한다.

[0032] 도 3 은 액티브 포스트-왜곡 (APD) 선형화된 LNA (140a) 의 실시형태의 개략적인 다이어그램을 도시한다. LNA (140a) 는 우수한 선형성 및 잡음 성능을 가지며, 도 1 의 LNA (140) 에 이용될 수도 있다. LNA (140a) 는 4 개의 N-채널 전계 효과 트랜지스터 (N-FET; 310, 320, 330 및 340), 인덕터 (350) 및 커패시터 (352) 를 포함한다. N-FET (310) 는 인덕터 (350) 의 일단에 연결된 소스, 입력 전압 (v_1) 을 수신하는 게이트, 및 N-FET (320) 의 소스에 연결된 드레인을 가진다. 인덕터 (350) 의 타단은 회로 접지에 연결된다. N-FET (320) 는 바이어스 전압 (v_{bias}) 을 수신하는 게이트 및 출력 노드에 연결된 드레인을 가진다. N-FET (330) 는 회로 접지에 연결된 소스, 커패시터 (352) 의 일단에 연결된 게이트, 및 N-FET (340) 의 소스에 연결된 드레인을 가진다. 커패시터 (352) 의 타단은 N-FET (320) 의 소스에 연결된다. N-FET (340) 는 바이어스 전압 (v_{bias}) 을 수신하는 게이트 및 출력 노드에 연결된 드레인을 가진다. 출력 노드는 LNA (140a) 에 대한 출력 전류 (i_{out}) 를 제공한다.

[0033] N-FET (310 및 320) 는 신호 증폭에 이용되는 메인 신호 경로에 대한 제 1 캐스코드를 형성한다. N-FET (310) 는 신호 증폭을 제공한다. N-FET (320) 는 N-FET (310) 에 대한 부하 분리를 제공하고, 또한 N-FET (330) 에 대한 중간 전압 (v_2) 을 생성한다. N-FET (330 및 340) 는 왜곡 소거에 이용되는 혼변조 왜곡을 생성하는 보조 신호 경로에 대한 제 2 캐스코드 쌍을 형성한다. N-FET (330) 는 혼변조 왜곡을 생성하고, N-FET (340) 는 N-FET (330) 에 대한 부하 분리를 제공한다. 인덕터 (350) 는 소스 디제너레이션을 제공하고, 또한 N-FET (310) 의 게이트를 조사하는 50 옴 매치를 제공한다. 인덕터 (350) 는 또한 액티브 포스트-왜곡 선형화에 이용되고 왜곡 소거를 개선한다. 커패시터 (352) 는 AC 커플링을 제공한다.

[0034] N-FET (310) 는 g_1 의 소신호 (small-signal) 트랜스컨덕턴스를 가지며, 이는 N-FET (310) 의 사이즈 (예를 들어, 길이 및 폭), N-FET (310) 의 바이어스 전류, N-FET (310) 의 게이트-투-소스 전압 (v_{gs}) 등과 같은 다양

한 인자에 의해 결정된다. N-FET (320) 는 g_1/a 의 소신호 트랜스컨덕턴스를 가지며, a 는 N-FET (320) 의 트랜스컨덕턴스에 대한 N-FET (310) 의 트랜스컨덕턴스의 비율이다. 인자 a 는 통상적으로 N-FET (320) 의 폭에 대한 N-FET (310) 의 폭의 비율에 의해 결정된다. N-FET (330) 는 g_1/β 의 소신호 트랜스컨덕턴스를 가지며, 여기서 β 는 N-FET (330) 의 트랜스컨덕턴스에 대한 N-FET (310) 의 트랜스컨덕턴스의 비율이다. 인자 β 는 통상적으로 N-FET (330) 의 폭에 대한 N-FET (310) 의 폭의 비율에 의해 결정된다. 인자 a 및 β 는 후술할 바와 같이 선택될 수도 있다.

[0035] 액티브 포스트-왜곡을 이용한 LNA (140a)의 선형화는 다음과 같이 저주파수에서 달성될 수도 있다. 저주파수에서, 인더터 (350)는 효용되지 않고 효과적으로 쇼트되고, 입력 전압 (v_1)은 N-FET (310)에 대한 v_{gs} 전압과 동일하다. N-FET (310)의 드레인 전류 (i_1)는

수학식 1

$$i_1(v_{gs}) = g_1 \cdot v_{gs} + g_2 \cdot v_{gs}^2 + g_3 \cdot v_{gs}^3 + \dots$$

[0036] 과 같이 멱급수에 의해 나타낼 수도 있으며,

[0037] 여기서, g_2 는 2차 비선형의 강도를 정의하는 계수이고,

[0038] g_3 는 3차 비선형의 강도를 정의하는 계수이며,

[0039] $i_1(v_{gs})$ 는 v_{gs} 의 함수로서 N-FET (310)의 드레인 전류이다.

[0040] 간략화를 위해, 3차 보다 더 높은 비선형성은 수학식 (1)에서 무시된다. 계수 g_1 , g_2 및 g_3 는 디바이스 사 이즈 및 N-FET (310)에 대한 바이어스 전류에 의해 결정된다. 계수 g_3 은 저 신호 레벨에서 3차 상호변조 왜곡 (IMD3)을 제어하므로, 증폭기의 선형성을 특정하는데 보통 이용되는 메트릭인 3차 입력 인터셉트 포인트 (IIP3)를 결정한다.

[0041] N-FET (320)는 선형이라고 가정될 수도 있다. 이러한 경우에, N-FET (330)에 대한 v_{gs} 전압이기도 한, N-FET (310)의 드레인 전압 (v_2)은

수학식 2

$$v_2 = -\frac{\alpha}{g_1} \cdot i_1$$

[0042] 와 같이 표현될 수도 있다. 수학식 (2)는 N-FET (320)에 의해 생성된 v_2 전압이 a 에 의존한다는 것을 나타낸다. N-FET (330)의 드레인 전류 i_3 는

수학식 3

$$i_3(v_2) = \frac{1}{\beta} (g_1 \cdot v_2 + g_2 \cdot v_2^2 + g_3 \cdot v_2^3 + \dots)$$

[0043] 와 같은 멱급수로 나타낼 수도 있다. 수학식 (3)은 N-FET (330)에 대한 계수와 N-FET (310)에 대한 계수가 β 에 의해 관련된다는 것을 나타낸다.

[0044] N-FET (330)의 드레인 전류 i_3 가 N-FET (310)의 드레인 전류 i_1 의 함수로서 표현될 수 있도록 수학식 (2)는 수학식 (3)으로 치환될 수도 있다. N-FET (330)의 드레인 전류 i_3 가 N-FET (310)의 v_{gs} 전압의 함수로서 표현될 수 있도록 수학식 (1)은 수학식 (3)으로 치환될 수도 있다. 전개된 수학식 (3)은 수학식 (1)의 멱급수와 수학식 (3)의 멱급수 사이의 상호 작용으로 인한 비선형성의 각 차수에 대한 다수의 항을 포함한다.

[0045] N-FET (310 및 330)의 드레인 전류들은 결합하여 출력 전류 i_{out} 을 생성하며, 다음과 같고:

수학식 4

$$\begin{aligned} i_{\text{out}} &= i_1 + i_3, \\ &= g_{1\Sigma} \cdot v_{\text{gs}} + g_{2\Sigma} \cdot v_{\text{gs}}^2 + g_{3\Sigma} \cdot v_{\text{gs}}^3 + \dots \end{aligned}$$

[0049]

[0050] 여기서, $g_{1\Sigma}$ 및 $g_{3\Sigma}$ 은 각각 출력 전류 i_{out} 에 대한 1차 멱급수 계수 및 3차 멱급수 계수이고,

수학식 5

$$g_{1\Sigma} = g_1 \cdot \left(1 - \frac{\alpha}{\beta}\right), \quad \text{및}$$

[0051]

수학식 6

$$g_{3\Sigma} = g_3 \cdot \left(1 - \frac{\alpha}{\beta} - \frac{\alpha^3}{\beta}\right) + \frac{2g_2^2 \cdot \alpha^2}{g_1 \cdot \beta}$$

[0052]

[0053] 와 같이 표현할 수도 있다. 수학식 (4)의 항 $g_{2\Sigma}$ 는 기본 주파수 및 3차 비선형성만이 중요하기 때문에 무시될 수도 있다.

[0054]

수학식 (5)는 LNA (140a)에 대한 전체 이득을 나타내고, 액티브 포스트-왜곡 선형화를 이용한 이득 손실을 나타낸다. 왜곡 소거 있는 LNA (140a)에 대한 전체 이득이 $g_{1\Sigma}$ 인 반면, 왜곡 소거가 없는 LNA에 대한 이득은 g_1 이다. $(1 - \alpha/\beta)$ 의 이득 손실은 α 및 β 에 직접 관련되고 α 에 비해 큰 β 를 선택함으로써 작게 유지될 수도 있다. 더 큰 β 는 이득 손실이 더 작아지지만 왜곡 소거가 작은 것을 의미하는 것은 아니다.

수학식 (6)은 출력 전류 i_{out} 의 결합된 3차 왜곡을 나타낸다. 수학식 (6)의 제 1 항은 3차 비선형성으로부터의 기여를 나타내고, 수학식 (6)의 제 2 항은 2차 비선형성으로부터의 기여를 나타낸다.

[0055]

도 4a는 저주파수에서 왜곡 소거가 있는 (N-FET (330 및 340) 가 연결된) LNA (140a)에 대한 IIP3의 플롯 (410) 및 왜곡 소거가 없는 (N-FET (330 및 340) 가 생략된) LNA (140a)에 대한 IIP3의 플롯 (420)을 나타낸다. 소정의 디바이스 폭 및 전력 소비에 있어서, 수학식 (6)은 3차 왜곡 성분이 0에 접근하도록 풀 수도 있다. β 의 값은 과도한 이득 손실을 방지하도록 선택된다. 특정 예시적인 설계의 경우, β 는 8과 동일하게 선택되고, α 에 대한 1.35의 값은 우수한 왜곡 소거를 제공한다. 수학식 (6)의 2차 비선형 때문에, 왜곡 소거는 N-FET (310)에 대한 동작 v_{gs} 전압인 바이어스 전압에 의존한다.

[0056]

LNA (140a)는 무선 통신과 같은 고주파수 애플리케이션에 이용될 수도 있다. 고주파수에서, 커페시터 및 인덕터와 같은 리액티브 (reactive) 소자는 비선형성 성능에 영향을 미치고, 또한 성능이 주파수에 의존하게 한다.

[0057]

도 5는 도 3의 LNA (140a)에 대한 단순화된 등가 회로 (500)의 개략적인 다이어그램을 도시한다. 도 5에 도시된 실시형태의 경우, N-FET (310, 320, 330 및 340)는 각각 이상 전류 소스 (510, 520, 530 및 540), 및 각각 기생 게이트-투-소스 커페시터 (512, 522, 532 및 542)로 모델링된다. N-FET (310, 320, 330 및 340)는 각각 $C_{\text{gs}1}$, $C_{\text{gs}2}$, $C_{\text{gs}3}$ 및 $C_{\text{gs}4}$ 의 게이트-투-소스 커페시턴스를 가지고, 또한 각각 $v_{\text{gs}1}$, $v_{\text{gs}2}$, $v_{\text{gs}3}$ 및 $v_{\text{gs}4}$ 의 게이트-투-소스 전압을 가진다. 인덕터 (350)는 이상 인덕터 (550)로 모델링된다. 회로 (508)는 N-FET (310)의 입력 임피던스 Z_1 을 모델링한다.

[0058]

간단하게, 등가 회로 (500)에 대해 다음으로 가정한다:

- 모든 기생 커페시턴스는 각 N-FET에 대한 C_{gs} 를 제외하고 무시해도 좋다;

- 기생 저항은 0이다;

- N-FET의 바디 효과는 무시해도 좋다;

[0062] • LNA (140a)는 작은 입력 신호 v_1 로 약한 비선형 영역에서 동작한다.

[0063] 전류 소스 (510, 520 및 530)에 대한 드레인 전류는

수학식 7a

$$i_{ds1} = g_1 \cdot v_{gs1} + g_2 \cdot v_{gs1}^2 + g_3 \cdot v_{gs1}^3 ,$$

[0064] $i_{ds2} = \frac{g_1}{\alpha} \cdot v_{gs2}$, 및

수학식 7b

[0065] [0066] 와 같이 표현될 수도 있으며, 여기서 $v_2 = v_{gs3} = -v_{gs2}$ 이다. 간략화를 위해, 수학식 (7b)에 나타난 바와 같이, N-FET (310 및 330)의 비선형성만이 고려되고, N-FET (320 및 340)는 선형이라고 가정한다.

[0068] 약한 비선형 영역에서 등가 회로 (500)의 출력 전류 i_{out} 는

수학식 8

[0069] $i_{out} = C_1(s) \circ v_1 + C_2(s_1, s_2) \circ v_1^2 + C_3(s_1, s_2, s_3) \circ v_1^3$

[0070] 와 같이 표현될 수도 있으며, 여기서 $C_n(s_1, \dots, s_n)$ 은 종종 n차 비선형 함수라고 부르는 n차 볼테라 커넬의 라플라스 변환이고;

[0071] $s=j\omega$ 는 라플라스 변수이고;

[0072] s_1, \dots, s_n 은 n차 볼테라 커넬에 의해 동작하는 주파수이며;

[0073] " \circ "는 $C_n(s_1, \dots, s_n)$ 에 의한 " v^n "의 각 주파수 성분의 복소 곱을 나타낸다.

[0074] 수학식 (8)은 비선형 분석에 종종 이용되는 볼테라 급수에 대한 것이다. 볼테라 급수는 비선형성의 각 차수에 대한 볼테라 커넬을 포함한다. n차 비선형성은 항 " v^n "에 대응하고, n개의 주파수 성분을 생성한다. 제 n 볼테라 커넬은 n차 비선형성에 의해 생성된 n개의 주파수 성분에 따라 동작하는 n개 계수의 세트이다. 각 볼테라 커넬에 대한 계수는 수학적 유도 또는 임의의 다른 수단에 의해 결정될 수도 있다. 수학식 (8)에서, 3차 볼테라 커넬 $C_3(s_1, s_2, s_3)$ 은 고주파수에서, 중요한 3차 비선형성을 결정한다.

[0075] N-FET (310)의 게이트-튜-소스 전압 v_{gs1} 은 입력 전압 v_1 의 함수로서 표현될 수도 있으며, 다음과 같고,

수학식 9

[0076] $v_{gs1} = A_1(s) \circ v_1 + A_2(s_1, s_2) \circ v_1^2 + A_3(s_1, s_2, s_3) \circ v_1^3$

[0077] 여기서, $A_n(s_1, \dots, s_n)$ 은 v_{gs1} 에 대한 n차 볼테라 커넬의 라플라스 변환이다.

[0078] N-FET (310)는 수학식 (7a) 및 수학식 (9)에 나타낸 바와 같이, 입력 전압 v_1 에 기초한 비선형 전류 i_{ds1} 을 생성한다. i_{ds1} 전류의 일부는 N-FET (320)를 통과하고, v_2 전압을 생성한다. v_2 전압은 수학식 (7c)에 나타낸 바와 같이, N-FET (330)를 통해 비선형 전류 i_{ds3} 를 생성한다. 출력 전류 i_{out} 은 i_{ds1} 전류와 i_{ds3} 전류의 합계와 동일하다.

[0079] 수학식 (8)은 모든 왜곡 성분을 결정하도록 평가될 수도 있다. 중요한 왜곡 성분은 IIP3에 영향을 미치는

것이다. N-FET (310) 의 3차 비선형성에 의해 생성되는 왜곡 성분은 ζ_{M1} 으로 표시한다. N-FET (330) 의 비선형성에 의해 생성된 왜곡 성분은 다음과 같이 분류될 수도 있다.

[0080] • ζ_1 : N-FET (310) 의 2차 및 3차 비선형성에 의해 생성되고 a/β 의 인자에 의해 감쇄되는 왜곡 성분;

[0081] • ζ_2 : N-FET (330) 의 2차 비선형성 곱하기 N-FET (310) 의 2차 비선형성에 의해 생성된 왜곡 성분;

[0082] • ζ_3 : N-FET (330) 의 3차 비선형성에 의해 생성된 왜곡 성분

[0083] 액티브 포스트-왜곡 선형화에 의해, 항 ζ_1 , ζ_2 및 ζ_3 은 N-FET (330) 에 의해 액티브하게 생성되고 N-FET (310)로부터의 항 ζ_{M1} 을 소거하는데 이용된다.

[0084] 항 ζ_1 은 N-FET (310) 의 2차 및 3차 비선형성에 의해 생성된 왜곡 성분을 포함한다. 예를 들어, N-FET (310) 의 소스에서의 제 2 고조파 (2ω) 는 N-FET (310) 의 게이트에서의 기본 주파수 (ω) 와 맥싱하여 3차 상호 변조 왜곡을 생성할 수 있다. 제 2 고조파는 N-FET (310) 의 2차 비선형성에 기인하며, 이는 수학식 (7a) 의 항 $g_2 \cdot v_{gs1}^2$ 에 대응한다. 기본 주파수는 또한 N-FET (310) 의 3차 비선형성으로 인한 3차 상호 변조 왜곡을 생성할 수 있으며, 이는 수학식 (7a) 의 항 $g_3 \cdot v_{gs1}^3$ 에 대응한다. N-FET (310)로부터의 이들 왜곡 성분은 수학식 (7c) 의 $g_1 \cdot v_{gs3}$ 항을 통해 N-FET (330)에 의해 증폭되고, N-FET (320 및 330)의 결합에 의한 a/β 의 인자에 의해 감쇄된다.

[0085] 항 ζ_2 는 N-FET (310 및 330)의 2차 비선형성에 의해 생성된 왜곡 성분을 포함한다. 예를 들어, N-FET (310)의 2차 비선형성에 의해 생성되고, 수학식 (7c)의 항 $g_2 \cdot v_{gs3}^2$ 에 대응하는 제 2 고조파는 N-FET (330)의 2차 비선형성에 기인한 기본 주파수와 맥싱하여, 3차 상호 변조 왜곡을 생성할 수 있다.

[0086] 항 ζ_3 은 N-FET (330)의 3차 비선형성에 의해 생성된 왜곡 성분을 포함한다. N-FET (310)로부터의 기본 주파수는 N-FET (330)의 3차 비선형성으로 인한 3차 상호 변조 왜곡을 생성할 수 있으며, 수학식 (7c)의 항 $g_3 \cdot v_{gs3}^3$ 에 대응한다.

[0087] N-FET (310 및 330)에 대한 비선형성 항은

수학식 10

$$\zeta_{M1} = g_1 \cdot A_3(s_1, s_2, s_3) + 2g_2 \cdot \overline{A_1(s_1) \cdot A_2(s_1, s_2)} + g_3 \cdot A_1(s_1) \cdot A_1(s_2) \cdot A_1(s_3)$$

수학식 11

$$\zeta_1 = -\frac{\alpha}{\beta} \cdot \zeta_{M1}$$

수학식 12

$$\zeta_2 = \frac{g_2 \cdot \alpha^2}{\beta} \cdot [2g_1^2 \cdot \overline{A_1(s_1) \cdot A_2(s_1, s_2)} + 2g_1 \cdot g_2 \cdot A_1(s_1) \cdot A_1(s_2) \cdot A_1(s_3)], \text{ 및}$$

수학식 13

$$\zeta_3 = -\frac{g_3 \cdot \alpha^3}{\beta} \cdot g_1^3 \cdot A_1(s_1) \cdot A_1(s_2) \cdot A_1(s_3)$$

수학식 14

[0092] 여기서 $A_1(s) = \frac{1}{s \cdot L_s \cdot g_1 + s \cdot C_{gs1} \cdot (s \cdot L_s + Z_1(s)) + 1}$

수학식 15

[0093] $\overline{A_1(s_1) \cdot A_2(s_1, s_2)} = -\frac{1}{3} \cdot A_1(s) \cdot |A_1(s)|^2 \cdot A_1(2s) \cdot 2s \cdot L_s \cdot g_2, \text{ 및}$

수학식 16

[0094] $A_3(s_1, s_2, s_3) = s \cdot L_s \cdot A_1^2(s) \cdot |A_1(s)|^2 \cdot \left[\frac{2}{3} \cdot g_2^2 \cdot A_1(2s) \cdot 2s \cdot L_s - g_3 \right]$

[0095] 와 같이 표현될 수도 있다.

[0096] 수학식 (14), (15) 및 (16)은 인덕터 (350)의 인덕턴스 L_s 가 ζ_1 , ζ_2 및 ζ_3 를 구성하는 다양한 중간항에 포함되는 것을 나타낸다. 인덕터 (350)는 고주파수에서 N-FET (310)에 의해 생성된 3차 왜곡의 소거를 개선한다.

[0097] 상기의 수학식에 있어서, $s=j\omega$, $s_1=j\omega_1$, $s_2=j\omega_2$, 및 $s_3=j\omega_3$ 는 상이하게 가깝게 이격된 신호 주파수이고, $\omega \approx \omega_1 \approx \omega_2 \approx \omega_3$ 이어서, $\Delta\omega = \omega_2 - \omega_1$ 은 ω_1 및 ω_2 보다 매우 더 작다. 수학식 (14), (15) 및 (16)을 수학식 (10), (11), (12) 및 (13)으로 치환하고 ω 에서 복소 매칭을 가정하면, 출력 전류 i_{out} 에서의 총 3차 왜곡, $IM3_{\Sigma}$ 는

수학식 17

[0098] $IM3_{\Sigma} = A_1(s) \cdot |A_1(s)|^2 \cdot \left(1 - \frac{\alpha}{\beta} \right) \cdot g_3 \cdot \left[\frac{1}{2} - \frac{\alpha^3}{\beta - \alpha} \right]$
 $- A_1(s) \cdot |A_1(s)|^2 \cdot \left(1 - \frac{\alpha}{\beta} \right) \cdot \left(\frac{2}{3} \cdot g_2^2 \cdot A_1(2s) \cdot 2s \cdot L_s \cdot \left[\frac{1}{2} + \frac{\alpha^2}{\beta - \alpha} \right] \right)$
 $+ 2 \frac{\alpha^2 \cdot g_2^2}{\beta \cdot g_1} \cdot A_1^3(s)$

[0099] 와 같이 표현될 수도 있으며, 수학식 (17)의 $IM3_{\Sigma}$ 는 수학식 (8)의 3차 볼테라 커넬 $C_3(s_1, s_2, s_3)$ 에 대응한다.

[0100] 수학식 (17)에 있어서, 제 1 행의 항은 3차 비선형성을 나타내고, 제 2 행의 항은 2차 고조파가 있는 2차 비선형성을 나타내며, 제 3 행의 항은 2차 비선형성을 나타낸다. α 및 β 의 값은, 이를 3 개의 왜곡 성분이 가능하면 많이 소거되고, 총 3차 왜곡은 최소화되며, 가능한 최고 IIP3 가 LNA (140a)에 대해 달성되도록 선택될 수도 있다.

[0101] 도 6은 액티브 포스트-왜곡의 왜곡 소거 메커니즘을 도시하는 벡터 다이어그램을 도시한다. 항 ζ_1 , ζ_2 및 ζ_3 은 신호 주파수 ($s=j\omega$), N-FET의 계수 g_1 , g_2 및 g_3 , 및 디제너레이션 인덕턴스 L_s 에 의존한다. 항 ζ_1 , ζ_2 및 ζ_3 은 이를 3 개의 항에 대한 3 개의 벡터에 의해 도시된 바와 같이, 소정의 주파수에서 상이한 진폭 및 위상을 가질 수 있다. 3 개의 항 ζ_1 , ζ_2 및 ζ_3 의 합계는 빛금친 벡터에 의해 나타내며, ζ_{M1} 에 대한 벡터와 진폭이 동일하지만 위상이 반대이어서, 총 왜곡이 최소화된다.

[0102] 도 4b는 고주파수에서 왜곡 소거 있는 LNA (140a)에 대한 IIP3의 플롯 (430) 및 왜곡 소거 없는 LNA (140a)에 대한 IIP3의 플롯 (440)을 도시한다. 소정의 디바이스 폭 및 전력 소비에 있어서, 수학식 (17)은 3차 왜곡 성분이 0에 접근하도록 풀 수도 있다. β 의 값은 과도한 이득 손실을 방지하도록 선택된다. 특정의 예시적인 설계의 경우, β 는 8과 동일하게 선택되고, α 에 대한 1.77의 값은 우수한 왜곡 소거를

제공한다. 고주파수에서 왜곡을 최소화하는 a 에 대한 값은 저주파수에서의 a 에 대한 값과 상이할 수도 있다. 고주파수에 대해 상이한 a 는 제 2 고조파와 상호작용하는 2차 비선형성에 의해 생성되는 왜곡 성분에 기인하며, 수학식 (17)의 제 2 라인에 대응한다.

[0103] LNA (140a)의 잡음 성능은 액티브 포스트-왜곡 선형화에 의해 약간 열화된다. N-FET (310)로부터의 잡음은 종래의 유도성으로 디제너레이션된 LNA로부터의 잡음과 대략적으로 동일하다. 액티브 포스트-왜곡 선형화에 의해, 게이트 유도 잡음 및 드레인 잡음의 형태로 N-FET (330)에 의해 추가 잡음이 발생한다. 이들 추가적인 잡음 소스 모두는 β 를 증가시킴으로써 감소될 수도 있으며, 이득 손실이 더 작아지고 잡음 지수의 열화가 더 작아진다.

[0104] 도 7a는 액티브 포스트-왜곡 선형화된 LNA (140b)의 실시형태의 개략적인 다이어그램을 도시한다. LNA (140b)는 N-FET (310, 320 및 330), 인덕터 (350), 및 커패시터 (352)를 포함하며, 도 3에 대해 상술한 바와 같이 연결된다. 그러나, N-FET (330)의 드레인은 출력 노드에 직접 연결된다. N-FET (340)는 LNA (140b)에서 생략된다. LNA (140b)의 선형성 및 잡음 성능은 도 3의 LAN (140a)와 유사하다. N-FET (340)를 생략하는 것은 N-FET (330)에 대한 부하 분리에 주로 영향을 미친다.

[0105] 도 7b는 액티브 포스트-왜곡 선형화된 LNA (140c)의 실시형태의 개략적인 다이어그램을 도시한다. LNA (140c)는 N-FET (310, 320 및 330), 인덕터 (350) 및 커패시터 (352)를 포함하며, 도 3에 대해 상술한 바와 같이 연결된다. 그러나, N-FET (330)의 드레인은 N-FET (320)의 소스에 직접 연결된다. N-FET (340)는 LNA (140c)에서 생략된다. LNA (140c)의 선형성 및 잡음 성능은 도 3의 LNA (140a)와 유사하다.

[0106] 도 8은 액티브 포스트-왜곡 선형화 및 다중 이득 설정된 LNA (140d)의 실시형태의 개략적인 다이어그램을 도시한다. LNA (140d)는 도 3에서, 각각 N-FET (310, 320, 330 및 340), 인덕터 (350), 및 커패시터 (352)와 동일한 방법으로 연결된 N-FET (810, 820, 830 및 840), 인덕터 (850), 및 커패시터 (852)를 포함한다. LNA (140d)는 바이어스, 이득 제어, 및 임피던스 매칭을 제공하는 추가적인 회로를 더 포함한다.

[0107] LNA (140d)에 대한 바이어스 회로는 전류 소스 (858), N-FET (860), 및 저항기 (862, 864, 866 및 868)를 포함한다. 전류 소스 (858)는 전원 (V_{DD})에 연결된 일단 및 N-FET (860)의 드레인에 연결된 타단을 가진다. N-FET (860)는 다이오드-접속되고 회로 접지에 연결된 소스 및 드레인에 연결된 게이트를 가진다. 저항기 (862)는 N-FET (810)의 게이트에 연결된 일단 및 N-FET (860)의 게이트에 연결된 타단을 가진다. 저항기 (864)는 N-FET (830)의 게이트에 연결된 일단 및 N-FET (860)의 게이트에 연결된 타단을 가진다. N-FET (810)에 대한 바이어스 전류는 (1) 전류 소스 (858)에 의해 제공되는 전류 및 (2) N-FET (860)의 폭에 대한 N-FET (810)의 폭의 비율에 의해 결정된다. 유사하게, N-FET (830)에 대한 바이어스 전류는 (1) 전류 소스 (858)에 의해 제공된 전류 및 (2) N-FET (860)의 폭에 대한 N-FET (830)의 폭의 비율에 의해 결정된다. 저항기 (866)는 V_{DD} 전원에 연결된 일단 및 N-FET (820 및 840)의 게이트에 연결된 타단을 가진다. 저항기 (868)는 회로 접지에 연결된 일단 및 N-FET (820 및 840)의 게이트에 연결된 타단을 가진다. 저항기 (866 및 868)는 N-FET (820 및 840)에 대한 게이트 바이어스 전압을 결정하며, 이는 정밀하게 설정될 필요가 없다.

[0108] LNA (140d)에 대한 이득 제어 회로는 N-FET (870 및 880), 커패시터 (872), 및 저항기 (882, 884 및 886)를 포함한다. N-FET (870 및 880)는 N-FET (810)의 게이트에 연결된 소스 및 2개의 이득 제어 신호를 수신하는 게이트를 가진다. 커패시터 (872)는 N-FET (820 및 840)의 드레인에 연결된 일단 및 N-FET (870)의 드레인에 연결된 타단을 가진다. 저항기 (882 및 884)는 직렬로 연결된다. 저항기 (882)는 N-FET (880)의 드레인에 연결된 일단 및 저항기 (884 및 886)에 연결된 타단을 가진다. 저항기 (884)의 타단은 N-FET (820 및 840)의 드레인에 연결되고, 저항기 (886)의 타단은 회로 접지에 연결된다.

[0109] N-FET (810, 820, 830 및 840)는 이득 신호 경로를 형성하고, N-FET (870)는 관통 (pass-through) 신호 경로를 형성하며, N-FET (880)는 감쇄 신호 경로를 형성한다. 3개의 신호 경로 중 하나는 2개의 이득 제어 신호에 기초하여 임의의 소정의 모멘트로서 선택된다. N-FET (870)가 턴온되고 관통 신호 경로가 선택되면, 입력 신호는 LNA 출력으로 N-FET (870) 및 AC 커플링 커패시터 (872)를 관통한다. N-FET (880)가 턴온되고 감쇄 신호 경로가 선택되면, 입력 신호는 N-FET (880)를 관통하고 저항기 네트워크에 의해 감쇄된다.

[0110] 입력 임피던스 매칭 회로 (890)는 N-FET (810)의 게이트와 RF 입력 사이를 연결한다. 출력 임피던스 매칭 회로 (892)는 RF 출력과 V_{DD} 전원 사이를 연결한다. 각 임피던스 매칭 회로는 하나 이상의 인덕터, 커패시

터, 스트립 라인 등을 포함할 수도 있다. 매칭 회로 (892) 는 또한 N-FET (810, 820, 830, 840 및 880) 에 바이어스 전류를 제공한다.

[0111] 도 9 는 액티브 포스트-왜곡 선형화된 LNA (140e) 의 실시형태의 개략적인 다이어그램을 도시한다. LNA (140e) 는 4 개의 P-채널 FET (P-FET) (910, 920, 930 및 940), 인덕터 (950), 및 커패시터 (952) 를 포함한다. P-FET (910) 는 인덕터 (950) 의 일단에 연결된 소스, 입력 전압 (v_1) 을 수신하는 게이트, 및 P-FET (920) 의 소스에 연결된 드레인을 가진다. 인덕터 (950) 의 타단은 V_{DD} 전원에 연결된다. P-FET (920) 는 바이어스 전압 (v_{bias}) 을 수신하는 게이트 및 출력 노드에 연결된 드레인을 가진다. N-FET (930) 는 V_{DD} 전원에 연결된 소스, 커패시터 (952) 의 일단에 연결된 게이트, 및 P-FET (940) 의 소스에 연결된 드레인을 가진다. 커패시터 (952) 의 타단은 P-FET (920) 의 소스에 연결된다. P-FET (940) 는 바이어스 전압 (v_{bias}) 을 수신하는 게이트 및 출력 노드에 연결된 드레인을 가진다. 출력 노드는 LNA (140e) 에 출력 전류 (i_{out}) 를 제공한다.

[0112] 상술한 바와 같이, 액티브 포스트-왜곡을 이용하여 액티브 회로를 선형화하기 위한 기술은 증폭기, 믹서 등과 같은 다양한 유형의 액티브 회로에 이용될 수도 있다. 액티브 회로에 대한 메인 신호 경로는 메인 신호 경로의 회로 소자의 비선형성으로 인한 왜곡을 생성한다. 보조 신호 경로는 메인 신호 경로에 의해 생성된 왜곡 성분을 소거하는데 이용되는 왜곡 성분들을 액티브하게 생성한다.

[0113] 여기서 설명한 증폭기 및 다른 선형화된 액티브 회로는 기저대역, 중간 주파수 (IF), RF 등을 포함하는 다양한 주파수 범위에 이용될 수도 있다. 예를 들어, 이들 선형화된 액티브 회로는 다음과 같은 무선 통신에 보통 채용되는 주파수 대역에 이용될 수도 있다.

[0114] • 824 내지 894 MHz 의 셀룰러 대역

[0115] • 1850 내지 1990 MHz 의 PCS (Personal Communication System) 대역

[0116] • 1710 내지 1880 MHz 의 DCS (Digital Cellular System) 대역

[0117] • 890 내지 960 MHz 의 GSM900 대역

[0118] • 1920 내지 2170 MHz 의 IMT-2000 (International Mobile Telecommunications-2000) 대역, 및

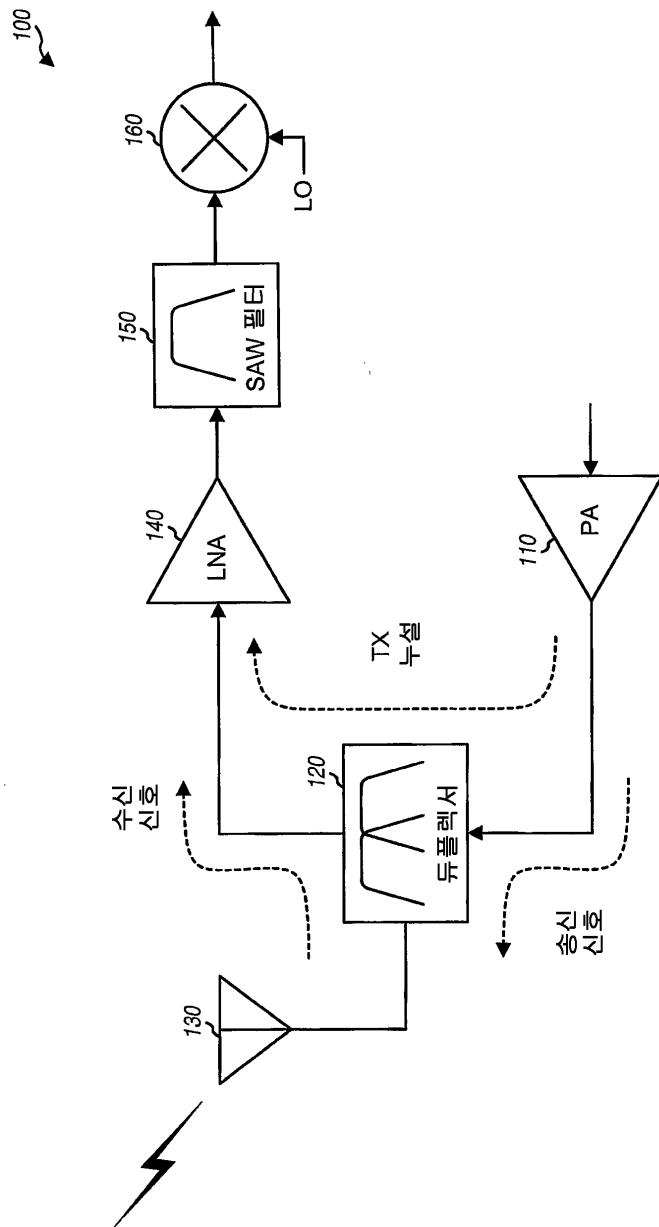
[0119] • 1574.4 내지 1576.4 MHz 의 GPS (Global Positioning System) 대역

[0120] 여기서 설명한 증폭기 및 다른 선형화된 액티브 회로는 집적 회로 (IC), RF 집적 회로 (RFIC), 주문형 반도체 (ASIC), 인쇄 회로 기판 (PCB), 전자 부품 등의 내부에서 구현될 수도 있다. 이들 선형화된 액티브 회로는 또한 상보성 금속 산화물 반도체 (CMOS), N-채널 MOS (N-MOS), P-채널 MOS (P-MOS), 바이폴라 접합 트랜지스터 (BJT), 바이폴라-CMOS (BiCMOS), 실리콘 게르마늄 (SiGe), 갈륨 비소 (GaAs) 등과 같은 다양한 IC 프로세스 기술로 제조될 수도 있다.

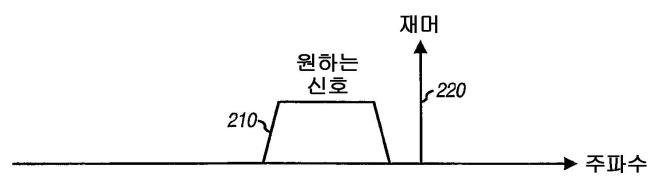
[0121] 개시된 실시형태의 이전 설명은 당업자가 본 발명을 제작 또는 이용할 수 있도록 제공된다. 이들 실시형태에 대한 다양한 변경은 당업자에게는 매우 명백하고, 여기에 정의된 일반 원리는 발명의 사상 또는 범위를 벗어나지 않으면서 다른 실시형태에 적용될 수도 있다. 따라서, 본 발명은 여기에 도시된 실시형태에 제한하려는 것이 아니며, 여기에 개시된 원리 및 신규 특징에 부합하는 광범위에 일치되는 것이다.

도면

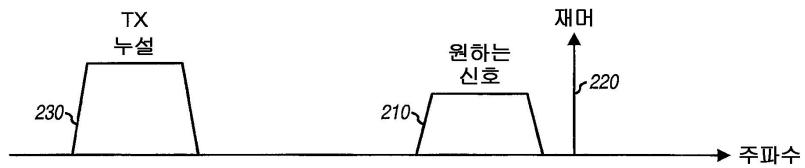
도면1



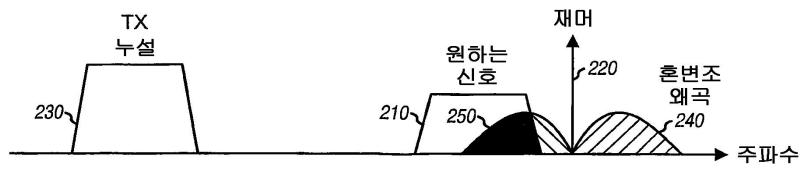
도면2a



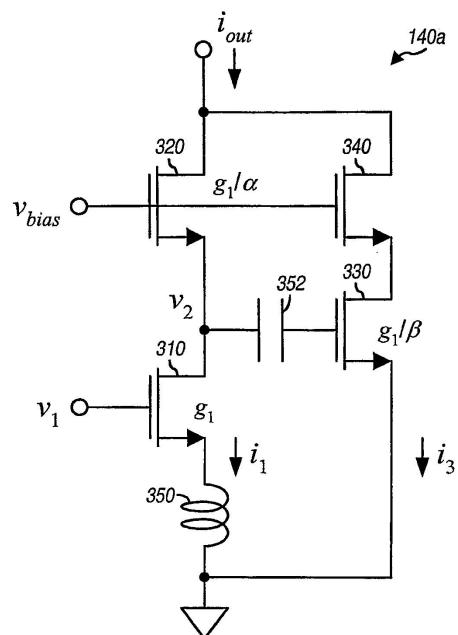
도면2b



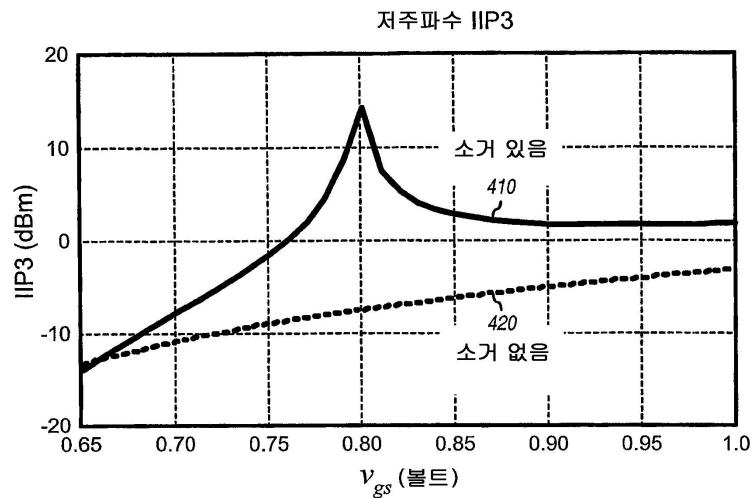
도면2c



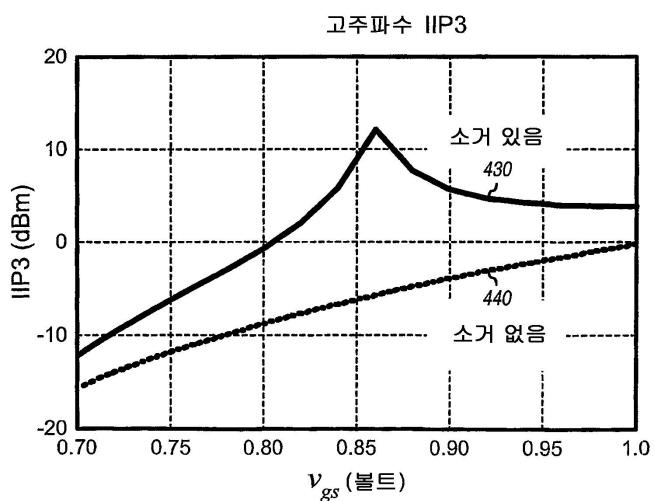
도면3



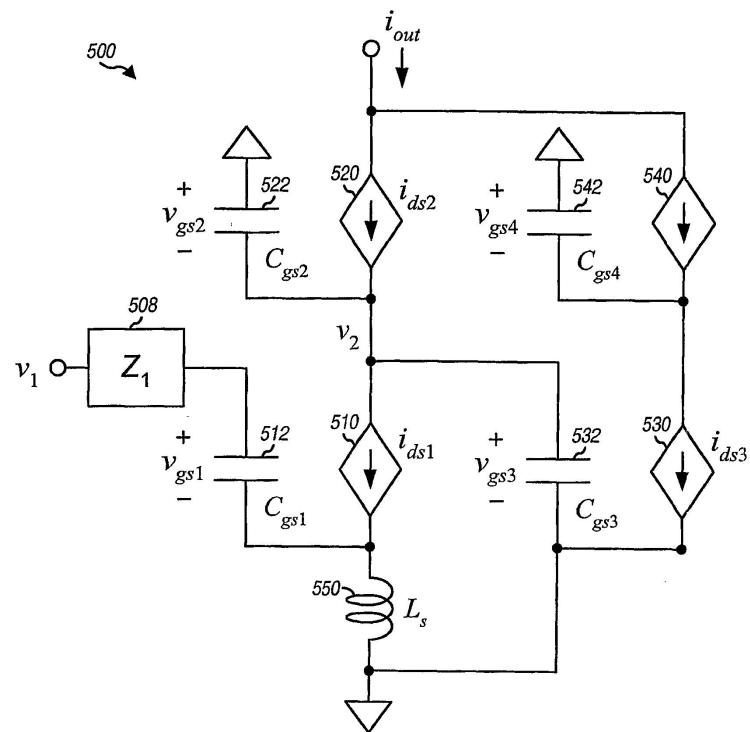
도면4a



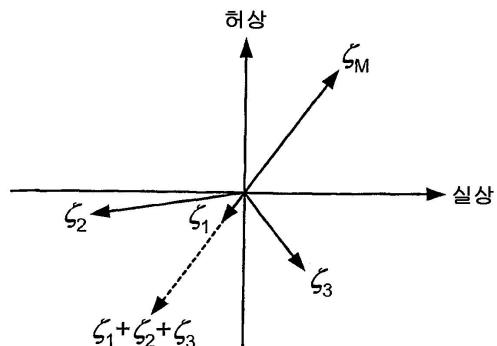
도면4b



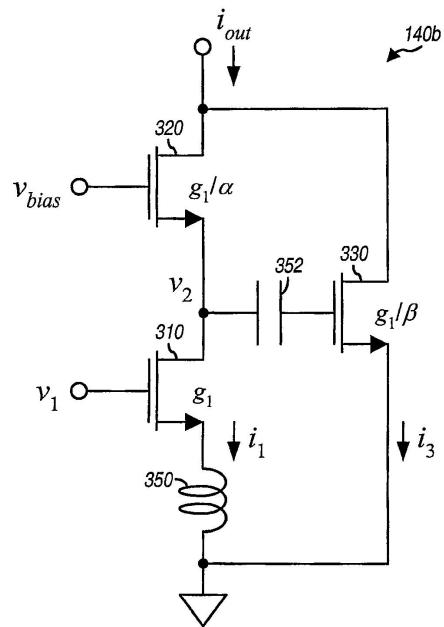
도면5



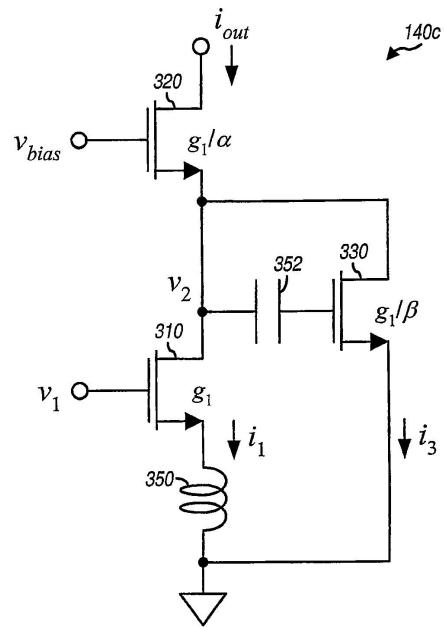
도면6



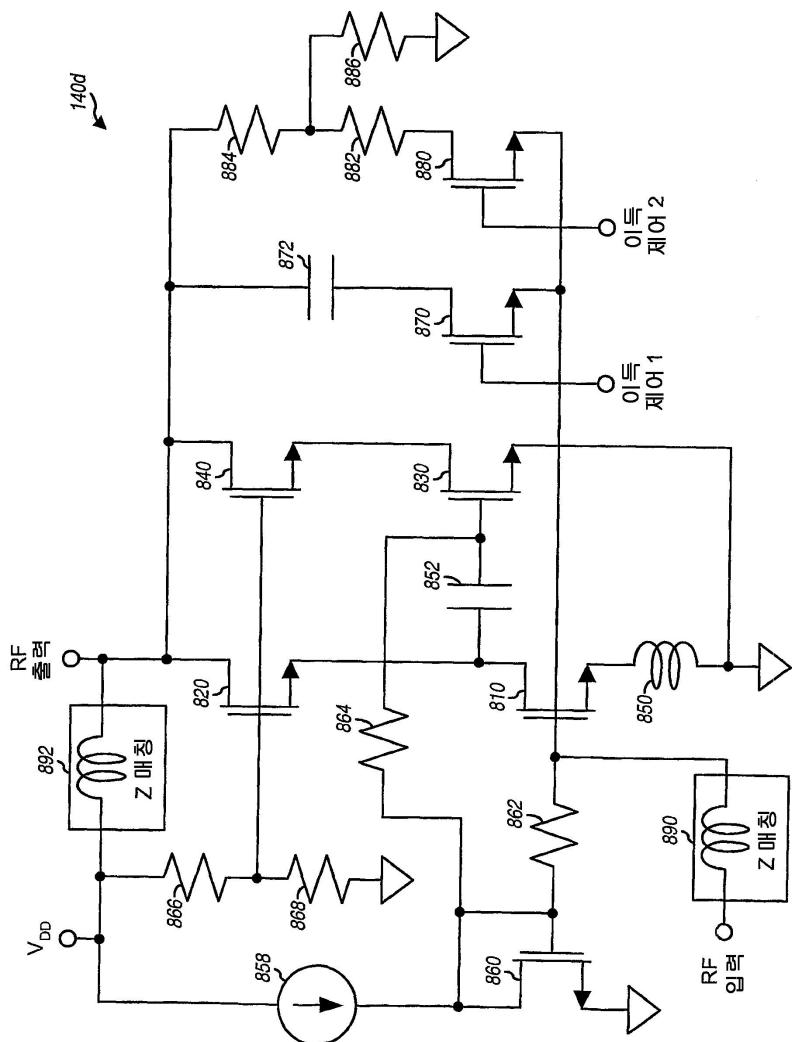
도면7a



도면7b



도면8



도면9

