

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月26日(26.05.2016)

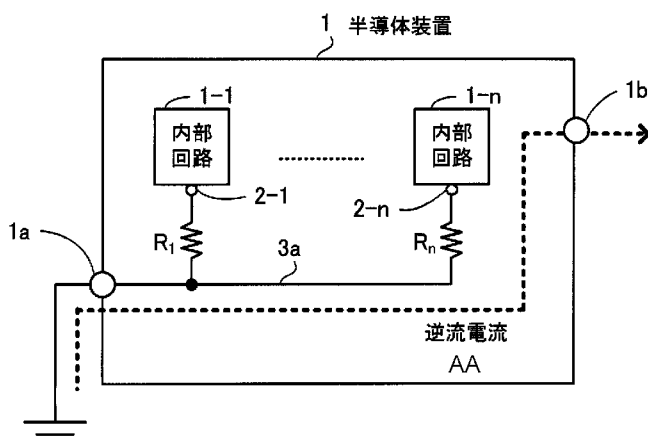


(10) 国際公開番号
WO 2016/080123 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) *H03K 17/16* (2006.01)
H01L 27/04 (2006.01) *H03K 17/695* (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/079287
- (22) 国際出願日: 2015年10月16日(16.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-236260 2014年11月21日(21.11.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 中川 翔(NAKAGAWA, Shou); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PREVENTING APPLICATION OF NEGATIVE POTENTIAL

(54) 発明の名称: 半導体装置および負電位印加防止方法



1 Semiconductor device
1-1, 1-n Internal circuit
AA Reverse current

(57) Abstract: To improve quality by preventing a malfunction. This semiconductor device (1) is provided with internal circuits (1-1 to 1-n) and resistors (R_1 to R_n). The internal circuits (1-1 to 1-n) are mounted within the semiconductor device (1). The resistors (R_1 to R_n) are arranged between the internal circuits (1-1 to 1-n) and a path (3a) that is connected to a ground terminal (1a) which grounds the semiconductor device (1). The path (3a) is a line through which a reverse current flows from the ground terminal (1a) toward an output terminal (1b) of the semiconductor device (1) if the output terminal (1b) is at a negative potential. One end of each of the resistors (R_1 to R_n) is connected to the path (3a), and the other ends of the resistors (R_1 to R_n) are connected to ground parts (2-1 to 2-n) of the internal circuits (1-1 to 1-n).

(57) 要約: 誤動作を防止して品質の向上を図る。半導体装置(1)は、内部回路(1-1~1-n)と、抵抗(R_1 ~ R_n)とを備える。内部回路(1-1~1-n)は、半導体装置(1)内に実装されている。抵抗(R_1 ~ R_n)は、半導体装置(1)を接地する接地端子(1a)につながる経路(3a)と、内部回路(1-1~1-n)との間に配置される。経路(3a)は、半導体装置(1)の出力端子(1b)が負電位になることで、接地端子(1a)から出力端子(1b)に向かって逆流電流が流れるラインである。抵抗(R_1 ~ R_n)の一端は、経路(3a)に接続し、抵抗(R_1 ~ R_n)の他端は、内部回路(1-1~1-n)の接地部(2-1~2-n)に接続する。

力端子(1b)が負電位になることで、接地端子(1a)から出力端子(1b)に向かって逆流電流が流れるラインである。抵抗(R_1 ~ R_n)の一端は、経路(3a)に接続し、抵抗(R_1 ~ R_n)の他端は、内部回路(1-1~1-n)の接地部(2-1~2-n)に接続する。

WO 2016/080123 A1

明 細 書

発明の名称：半導体装置および負電位印加防止方法

技術分野

[0001] 本技術は、半導体装置および負電位印加防止方法に関する。

背景技術

[0002] 近年、パワー半導体とその周辺の制御回路や保護回路などをワンチップ化したＩＰＳ（Intelligent Power Switch）と呼ばれる半導体装置の開発が進んでいる。

ＩＰＳは、例えば、トランスミッション、エンジンおよびブレーキなどの自動車電装システムに広く利用されており、小型化、高性能化および高信頼性に応える製品が要望されている。

[0003] 従来技術としては、電源投入時に急峻な電圧変化が出力段パワーデバイスに印加される場合に、出力段パワーデバイスをオフ状態に維持させることで、電源投入時の誤動作を防止するパワー集積回路装置が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１３－１４６００８号公報

発明の概要

発明が解決しようとする課題

[0005] 従来のＩＰＳでは、何らかの原因によって、ＩＰＳの出力端子が負電位になると、ＩＰＳ内部の回路素子に対して、動作上不都合な負電位が印加される場合がある。このような現象が生じると、一時的にせよ誤動作を引き起こす可能性があるので、品質の低下を招いてしまうという問題がある。

[0006] 本技術はこのような点に鑑みてなされたものであり、誤動作を防止して品質の向上を図った半導体装置および負電位印加防止方法を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するために、半導体装置が提供される。半導体装置は、内部回路と抵抗とを備える。内部回路は、装置内に実装され、抵抗は、当該装置を接地する接地端子につながる経路と、内部回路との間に配置される。また、当該装置の出力端子が負電位になることで接地端子から出力端子に向かって逆流電流が流れる経路であって、抵抗の一端は、経路に接続し、抵抗の他端は、内部回路の接地部に接続する。

発明の効果

[0008] 誤動作を防止して品質の向上を図ることが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0009] [図1]半導体装置の構成例を示す図である。

[図2] I P S の構成例を示す図である。

[図3]逆流電流の発生を示す図である。

[図4] I P S の構成例を示す図である。

[図5]内部回路に負電位が印加される状態を示す図である。

[図6] I P S の構成例を示す図である。

[図7] I P S の構成例を示す図である。

[図8] I N 回路の構成例を示す図である。

[図9] S T 回路の構成例を示す図である。

[図10]内部 G N D 回路の構成例を示す図である。

[図11] N チャネル M O S F E T の断面構成を示す図である。

[図12] I P S の構成例を示す図である。

[図13]駆動回路の構成例を示す図である。

発明を実施するための形態

[0010] 以下、実施の形態を図面を参照して説明する。なお、本明細書および図面において実質的に同一の機能を有する要素については、同一の符号を付する

ことにより重複説明を省略する場合がある。

[0011] (第1の実施の形態)

図1は半導体装置の構成例を示す図である。第1の実施の形態の半導体装置1は、内部回路1-1~1-nと、抵抗 $R_1 \sim R_n$ とを備える。内部回路1-1~1-nは、半導体装置1内に実装されている。抵抗 $R_1 \sim R_n$ は、半導体装置1を接地する接地端子1aにつながる経路3aと、内部回路1-1~1-nとの間に配置される。

[0012] 経路3aは、半導体装置1の出力端子1bが負電位になることで、接地端子1aから出力端子1bに向かって逆流電流が流れるラインである。抵抗 $R_1 \sim R_n$ の一端は、経路3aに接続し、抵抗 $R_1 \sim R_n$ の他端は、内部回路1-1~1-nの接地部2-1~2-nに接続する。

[0013] このように、半導体装置1では、接地端子1aから出力端子1bに向かって逆流電流が流れる経路3aに対して、抵抗 $R_1 \sim R_n$ の一端が接続し、抵抗 $R_1 \sim R_n$ の他端は、内部回路1-1~1-nの接地部2-1~2-nに接続する。

[0014] このような構成により、出力端子1bが何らかの原因で負電位になったとしても、内部回路1-1~1-nの接地部2-1~2-nに負電位が印加されることがなくなるので、内部回路1-1~1-nの誤動作を防止することができ、品質の向上を図ることが可能になる。

[0015] (IPSの構成)

次に本技術の半導体装置を、電源側に半導体デバイスを配置し、GND側に負荷を配置したハイサイド型IPSに適用した場合について以降詳しく説明する。最初にIPSの概略構成について説明する。

[0016] 図2はIPSの構成例を示す図である。IPS10-1は、電源端子として、電源電圧が印加されるVCC端子と、GNDに接続されるGND端子（接地端子）とを有し、信号端子として、ST端子、IN端子および駆動信号を出力する出力端子OUTを有している。

[0017] また、IPS10-1は、内部回路として、IN回路（入力処理回路）1

1、S T回路（状態処理回路）1 2、内部G N D回路1 3および駆動回路1 4を備える。

I N回路1 1の入力端は、I N端子に接続し、S T回路1 2の出力端は、S T端子に接続している。また、I N回路1 1、S T回路1 2および内部G N D回路1 3それぞれのG N D部（接地部）1 1 g、1 2 g、1 3 gは、経路3を通じてG N D端子に接続している。

[0018] なお、以降においても、I P Sの内部回路として、I N回路1 1、S T回路1 2、内部G N D回路1 3および駆動回路1 4を示して説明するが、内部回路はこれらの回路に限定されるものでなく、他の内部回路であってもよい。

[0019] I N回路1 1は、I N端子から入力される入力信号を処理する回路である。S T回路1 2は、I P S 1 0－1の各種状態を検出し、検出結果をS T端子から出力する回路である。検出される状態としては、例えば、過電圧、過電流、過熱などがある。

[0020] 内部G N D回路1 3は、低電位の電圧を装置内部のG N Dとして生成する回路である。生成された内部G N Dは、I P S 1 0－1内部の特定の回路に対して、G N Dに代わる電位として供給される。例えば、図2では、内部G N D回路1 3で生成された内部G N Dは、駆動回路1 4に供給されている。

[0021] 駆動回路1 4は、出力端子O U Tに接続される、リレーやソレノイドなどのインダクタンス負荷4を駆動するための回路であり、出力段にパワートランジスタM Oを有している。トランジスタM Oは、例えば、M O S F E T（Metal Oxide Semiconductor Field Effect Transistor）が使用される。なお、駆動回路1 4の詳細な構成および動作については図1 3で後述する。

[0022] （逆流電流の発生）

次に逆流電流の発生について説明する。図3は逆流電流の発生を示す図である。駆動回路1 4では、出力端子O U Tに接続されているインダクタンス負荷4に対し、インダクタンス負荷4に流れる電流を、トランジスタM Oによってオン・オフ制御している。

[0023] このような制御において、駆動回路 14 内のトランジスタ M0 がターンオフしたとき、インダクタンス負荷 4 に逆起電力が生じることにより、出力端子 OUT が一時的に負電位になる場合がある。

[0024] 出力端子 OUT が負電位になると、GND 端子が出力端子 OUT よりも高電位になるから、GND 端子から出力端子 OUT に向かって、経路 3 上に逆流電流が流れることになる。

[0025] このとき、過大な逆流電流が流れると、経路 3 に接続している、IPS10-1 の内部回路（IN 回路 11、ST 回路 12 および内部 GND 回路 13）が破壊に至るおそれがある。

[0026] （保護抵抗を備えた IPS）

次に逆流電流用の保護抵抗を備えた IPS について説明する。図 4 は IPS の構成例を示す図である。IPS10-2 は、図 2 で示した回路構成に対して、逆流電流から内部回路を保護するための保護抵抗 R0 をさらに備えた構成を有している。

[0027] 保護抵抗 R0 は、経路 3 上に位置しており、保護抵抗 R0 の一端は、GND 端子に接続する。また、保護抵抗 R0 の他端は、IN 回路 11 の GND 部 11g と、ST 回路 12 の GND 部 12g と、内部 GND 回路 13 の GND 部 13g と接続する。その他の構成は図 2 と同じである。

[0028] このような保護抵抗 R0 を設けることで、逆流電流が発生した場合でも、過大な逆流電流が内部回路に流れ込むことを抑制することができる。すなわち、出力端子 OUT が負電位になって、GND 端子から出力端子 OUT へ逆流電流が流れる経路 3 が生じたとしても、保護抵抗 R0 によって、過大な逆流電流の流れを抑制することができ、素子破壊を防ぐことができる。

[0029] （負電位の印加）

次に IPS の内部回路に負電位が印加される状態について説明する。図 5 は内部回路に負電位が印加される状態を示す図である。図 4 で示したように、IPS10-2 では、保護抵抗 R0 を設けている。これにより、IN 回路 11、ST 回路 12 および内部 GND 回路 13 に対して、過大な逆流電流が

流れ込むようなことはない。

[0030] ただし、このような構成では、IN回路11のGND部11g、ST回路12のGND部12gおよび内部GND回路13のGND部13gは、逆流電流が流れる経路3に直接接続していることになる。

[0031] この場合、出力端子OUTが負電位になると、IN回路11、ST回路12および内部GND回路13に対して、動作上不都合な負電位が印加されてしまう。

このような負電位は、トランジスタM0のターンオフ時のインダクタンス負荷4の逆起電力によって生じるものなので、一時的に発生するものであるが、たとえ一時的であっても負電位が印加されると、誤動作を引き起こす可能性がある。

[0032] (第2の実施の形態)

次に内部回路に対し負電位が印加されないようにして、誤動作の防止を図った第2の実施の形態について説明する。

[0033] 図6はIPSの構成例を示す図である。IPS10-3は、図2で示した回路構成に対して、さらに抵抗R1~R3を備えている。

抵抗R1の一端、抵抗R2の一端および抵抗R3の一端は、GND端子に接続する。また、抵抗R1の他端は、IN回路11のGND部11gに接続し、抵抗R2の他端は、ST回路12のGND部12gに接続する。さらに、抵抗R3の他端は、内部GND回路13のGND部13gの他端に接続する。その他の構成は図2と同じである。

[0034] このような抵抗R1~R3（以下、個別抵抗とも呼ぶ）を設けることで、IN回路11のGND部11g、ST回路12のGND部12gおよび内部GND回路13のGND部13gは、経路3に直接接続しなくなる。

[0035] したがって、出力端子OUTが負電位になっても、これらの内部回路に負電位が印加されるようなことはなく、誤動作の防止を図ることが可能になる。

また、内部回路に負電位が印加されないようにして誤動作の防止を図るだ

けでなく、過大な逆流電流の発生の抑制も図る場合には、抵抗 $R_1 \sim R_3$ の合成抵抗値が、保護抵抗 R_0 の値と同一になるような構成にすればよい。

[0036] 図7はIPSの構成例を示す図である。抵抗 $R_1 \sim R_3$ の合成抵抗値が、図4で示した保護抵抗 R_0 の値と同じになるように設定した構成例を示している。例えば、保護抵抗 R_0 を $1\text{ k }[\Omega]$ とすれば、3つの抵抗 $R_1 \sim R_3$ は並列接続しているから、抵抗 $R_1 \sim R_3$ それぞれの抵抗値を $3\text{ k }[\Omega]$ とすればよい。

[0037] このように、複数の個別抵抗の合成抵抗値は、保護抵抗の抵抗値と同一にすれば、内部回路への負電位の印加防止だけでなく、過大な逆流電流が内部回路に流れ込むことも抑制することが可能になる。

[0038] (第3の実施の形態)

次に各内部回路の逆流電流の許容度合に応じて、抵抗 $R_1 \sim R_3$ の抵抗値を適応的に変えて設定する第3の実施の形態の場合について説明する。

[0039] 上記のように、個別抵抗の合成抵抗値を保護抵抗の抵抗値と同じにすれば、素子破壊に至るような過大な逆流電流の発生についても抑制することができる。

ただし、出力端子OUTが負電位になれば、GND端子から出力端子OUTに向かって、逆流電流が流れることには変わりはなく、抵抗を介して、内部回路には、素子破壊には至らなくてもある程度の逆流電流は流れ込むことになる。

[0040] 図7に示した構成では、個別抵抗の抵抗値はすべて同じ値に設定し、すべての内部回路に対して、同じ量の逆流電流が流れるようにしている。

これに対し、第3の実施の形態では、内部回路に流れ込む逆流電流の許容度合に応じて、個別抵抗の抵抗値を適応的に変えて設定する。ただし、内部回路毎に抵抗値の異なる個別抵抗を配置する場合であっても、過大な逆流電流が流れ込むことを抑制するために、それら個別抵抗の合成抵抗値と、保護抵抗の抵抗値とが同じ値になる条件は満たすようにする。

[0041] 以下、IN回路11、ST回路12および内部GND回路13の概略回路

構成を示し、各回路に適した個別抵抗を設定する場合について説明する。

図 8 は I N 回路の構成例を示す図である。I N 回路 1 1 に個別抵抗 R 1 が接続している状態での構成を示している。I N 回路 1 1 は、ダイオード D 1 およびシュミットトリガタイプのインバータ I C 1 を備える。

[0042] 接続関係を記すと、I P S の I N 端子は、インバータ I C 1 の入力端と、ダイオード D 1 のカソードと接続する。インバータ I C 1 の電源部は、電源電圧に接続し、インバータ I C 1 の出力端子は、所定の回路素子に接続する。抵抗 R 1 の一端は、経路 3 に接続し、抵抗 R 1 の他端は、インバータ I C 1 の G N D 部と、ダイオード D 1 のアノードと接続する。

[0043] 図 9 は S T 回路の構成例を示す図である。S T 回路 1 2 に個別抵抗 R 2 が接続している状態での構成を示している。S T 回路 1 2 は、N M O S トランジスタ M 1 1、ダイオード D 2 を備える。

[0044] 接続関係を記すと、トランジスタ M 1 1 のゲートには、他回路から送信された信号が入力する。トランジスタ M 1 1 のドレインは、I P S の S T 端子と、ダイオード D 2 のカソードと接続する。抵抗 R 2 の一端は、経路 3 に接続し、抵抗 R 2 の他端は、トランジスタ M 1 1 のソースと、ダイオード D 2 のアノードと接続する。

[0045] 図 1 0 は内部 G N D 回路の構成例を示す図である。内部 G N D 回路 1 3 に個別抵抗 R 3 が接続している状態での構成を示している。内部 G N D 回路 1 3 は、P M O S トランジスタ M 1 2 およびダイオード D 3 を備える。なお、図中のその他回路とは、例えば、図 2 に示した駆動回路 1 4 に該当する。

[0046] 接続関係を記すと、ダイオード D 3 のカソードは、電源電圧と、その他回路の一端と接続し、ダイオード D 3 のアノードは、トランジスタ M 1 2 のゲートに接続する。トランジスタ M 1 2 のソースは、その他回路の他端と接続する。抵抗 R 3 の一端は、経路 3 に接続し、抵抗 R 3 の他端は、トランジスタ M 1 2 のドレインと接続する。

[0047] ここで、図 8 に示した I N 回路 1 1 では、逆流電流は、抵抗 R 1 を介して、ダイオード D 1 を通過し、図 9 に示した S T 回路 1 2 では、逆流電流は、

抵抗 R_2 を介して、ダイオード D_2 を通過する。また、図10に示した内部GND回路13では、逆流電流は、抵抗 R_3 を介して、トランジスタ M_{12} のドレインからソースへ抜けている。

[0048] このような逆流電流の流れにおいて、IN回路11やST回路12では、ダイオードの順方向に逆流電流が流れるので、内部GND回路13に流れる逆流電流に比べて、大きな逆流電流が流れ込みやすいといえる。逆に、内部GND回路13では、IN回路11やST回路12に流れる逆流電流に比べて、小さな逆流電流が流れるといえる。

[0049] 大きな逆流電流が流れ込んでしまう可能性が高い内部回路に対しては、その内部回路に対して配置される個別抵抗の抵抗値を大きくして、逆流電流の流れ込みを、逆流電流が流れ込みにくい回路よりも強く制限する。

[0050] したがって、個別抵抗を適応的に設定する場合、IN回路11およびST回路12に対する抵抗 R_1 、 R_2 の抵抗値は、内部GND回路13の抵抗 R_3 の抵抗値よりも大きく設定する。逆に、内部GND回路13に対する抵抗 R_3 の値は、IN回路11およびST回路12の抵抗 R_1 、 R_2 の抵抗値よりも小さく設定する。すなわち、 $R_1 > R_3$ 、 $R_2 > R_3$ となる。ただし、 $(1/R_1) + (1/R_2) + (1/R_3) = R_0$ の条件は満たすようにする。

[0051] (PN接合の面積に応じた個別抵抗値の設定)

次に内部回路に含まれるトランジスタのPN接合の面積に応じて、個別抵抗の抵抗値を適応的に設定する場合について説明する。なお、トランジスタの断面構成としては、NチャネルMOSFETの場合について説明する。

[0052] 図11はNチャネルMOSFETの断面構成を示す図である。P型シリコン基板100にN型拡散層101s、101dが形成されている。また、N型拡散層101sから電極102sが引き出されてソースが形成され、N型拡散層101dから電極102dが引き出されてドレインが形成されている。

[0053] さらに、2つの対向するN型拡散層101s、101dの間の酸化膜(S

i O₂) 103上に置かれたポリシリコン（多結晶シリコン）103gから電極を引き出してゲートが形成されている。

[0054] ちなみに、NチャネルMOSFETの場合、ゲートに正電位を印加すると、ゲート直下のP型シリコン基板の表面のP型拡散層がN型に反転し、これがソースとドレイン間で電流が流れる道（チャンネル）として形成されることになる。

[0055] また、ゲートへの印加電圧が大きくなると、ドレインーソース間に電流が流れやすくなり、チャンネルの長さが短くなるほど、またはゲート酸化膜の厚みが薄いほど、電流特性は向上することになる。

[0056] 図11において、PN接合（半導体中でP型領域とN型領域とが接している部分）110a、110bの面積（表面積）が大きいトランジスタ程、そのトランジスタに流れる電流の許容量が高いので、逆流電流の許容度合も高いといえる。

[0057] したがって、逆流電流が流れ込む内部回路の中のライン上にトランジスタが存在し、そのトランジスタのPN接合の面積が大きい場合は、逆流電流の許容度が高い内部回路とみなせるので、該内部回路に配置する個別抵抗の抵抗値は小さく設定する。

[0058] または、逆流電流が流れ込む内部回路の中のライン上にトランジスタが存在し、そのトランジスタのPN接合の面積が小さい場合は、逆流電流の許容度が低い内部回路とみなせるので、該内部回路に配置する個別抵抗の抵抗値は大きく設定する。

[0059] このように、内部回路にトランジスタが含まれる場合、トランジスタのPN接合の面積に応じて個別抵抗の抵抗値を設定する。ただし、個別抵抗の合成抵抗値と、保護抵抗の抵抗値とが同じ値になる条件は満たすようにする。

[0060] （第4の実施の形態）

上記の実施の形態では、個別抵抗の一端は経路3に接続し、個別抵抗の他端は、1つの内部回路のGND部に接続することで、個別抵抗と、内部回路とが1対1の関係で配置される構成であった。

[0061] これに対し、第4の実施の形態は、個別抵抗の一端を経路3に接続し、個別抵抗の他端は、2つ以上の内部回路のGND部に接続することで、個別抵抗と、内部回路とが1対多の関係で配置するように構成したものである。

[0062] 図12はIPSの構成例を示す図である。IPS10-4は、図2で示した回路構成に対して、さらに抵抗R4、R5を備えている。

抵抗R4の一端および抵抗R5の一端は、GND端子に接続する。抵抗R4の他端は、IN回路11のGND部11gと、ST回路12のGND部12gと接続する。抵抗R5の他端は、内部GND回路13のGND部13gの他端に接続する。その他の構成は図2と同じである。

[0063] このように、1つの個別抵抗の一端に複数の内部回路を接続してもよい。このような構成によっても、負電位の印加防止および過大な逆流電流の流れ込み抑制を実現することが可能になる。

[0064] (駆動回路)

次に駆動回路の構成および動作について説明する。図13は駆動回路の構成例を示す図である。駆動回路500は、インダクタンス負荷の電流をオン・オフ制御する回路であり、インダクタンス負荷としてはソレノイドバルブ4aを示している。

[0065] 駆動回路500は、出力段MOSFET5a（図2のトランジスタM0に該当）、ゲート抵抗52および制御回路53を備える。また、遮断用MOSFET54、ダイナミッククランプダイオード55および逆流防止ダイオード56を備える。

[0066] ダイナミッククランプダイオード55は、直列接続された複数のツェナーダイオードにより構成されている。さらにプルダウンデプレッションMOSFET57、入力プルダウン抵抗58、GND端子59、入力端子50および出力端子51を備える。

[0067] 入力端子50には、入力プルダウン抵抗58の一端と、制御回路53の高電位側と、ゲート抵抗52の一端が接続する。ゲート抵抗52の他端には、遮断用MOSFET54のドレインと、プルダウンデプレッションMOSF

E T 5 7 のドレインと、逆流防止ダイオード 5 6 のカソードおよび出力段 M O S F E T 5 a のゲートが接続する。また、制御回路 5 3 の出力側に、遮断用 M O S F E T 5 4 のゲートが接続する。

[0068] 出力端子 5 1 には、出力段 M O S F E T 5 a のドレインと、ダイナミッククランプダイオード 5 5 のカソードが接続し、ダイナミッククランプダイオード 5 5 のアノードと、逆流防止ダイオード 5 6 のアノードが接続する。

[0069] G N D 端子 5 9 には、出力段 M O S F E T 5 a のソースと、プルダウンプレッション M O S F E T 5 7 のソースと、遮断用 M O S F E T 5 4 のソースと、制御回路 5 3 の低電位側および入力プルダウン抵抗 5 8 の他端が接続する。

[0070] 動作について説明する。スイッチ S W を導通させ、ソレノイドバルブ 4 a と出力段 M O S F E T 5 a に主電源 V O の電圧を印加する（電源投入）。この電源投入時にはソレノイドバルブ 4 a は動作しない。

[0071] 入力端子 5 0 に出力段 M O S F E T 5 a のゲートしきい値電圧 V_{th} （例えば 1.5 V 程度）の数倍の電圧（例えば 5 V 程度）を印加する。

この電圧はゲート抵抗 5 2 を介して出力段 M O S F E T 5 a のゲートに正規のゲート電圧（例えば、5 V 程度）として印加される。そうすると、出力段 M O S F E T 5 a が導通してソレノイドバルブ 4 a に電流が流れて、ソレノイドバルブ 4 a が動作を開始する。

[0072] 制御回路 5 3 は、コンパレータ、抵抗、ダイオードなどで構成された回路が内蔵され、入力端子 5 0 から入力される出力段 M O S F E T 5 a のゲート電圧を電源としている。

制御回路 5 3 は、出力段 M O S F E T 5 a のゲートしきい値電圧 V_{th} 以下の所定の電圧（例えば、1 V 程度）から動作するように設計されている。また、所定の電圧以上で、さらに出力段 M O S F E T 5 a のゲートしきい値電圧 V_{th} 以上の制御回路 5 3 で決められた電圧（制御回路のしきい値電圧 H と称し、例えば、 $H = 2.5$ V 程度である）以下では、遮断用 M O S F E T 5 4 がオンするゲート信号を出力するように設計されている。

[0073] 一方、制御回路53のしきい値電圧Hを超えた電圧では、遮断用MOSFET54がオフするゲート信号を出力するように設計されている。

入力端子50に制御回路53のしきい値電圧Hを超える信号V1が印加された場合、電圧V1をゲート抵抗52とプルダウンデプレッションMOSFET57のインピーダンスで分圧した電圧が、出力段MOSFET5aのゲートにゲート電圧として印加される。このゲート電圧が出力段MOSFET5aのゲートしきい値電圧 V_{th} 以上の場合は、出力段MOSFET5aが導通する。

[0074] プルダウンデプレッションMOSFET57の電圧・電流特性は、ゲートがGND電極に接続しており、ドレイン電流は数十 μ A程度で飽和する様に設計されている。そのため、数十 μ A程度以下ではドレイン電圧は低い電圧となる。

[0075] 一方、ドレイン電流が数十 μ A程度以上ではドレイン電圧に依存せずにドレイン電流は一定になり、プルダウンデプレッションMOSFET57のインピーダンスは大きくなる。

[0076] 出力段MOSFET5aの通常動作においては、プルダウンデプレッションMOSFET57のインピーダンスは、ゲート抵抗52に比べて極めて大きくなるため、入力端子50の電圧V1は、ゲート抵抗52で殆ど低下せずに、ほぼそのまま出力段MOSFET5aのゲートにゲート電圧として印加される。

[0077] 一方、入力端子50に制御回路53のしきい値電圧H以下の信号が印加された場合は、制御回路53から出力される信号で遮断用MOSFET54が導通し、出力段MOSFET5aのゲート電圧を低下させる。

[0078] このゲート電圧が出力段MOSFET5aのゲートしきい値電圧 V_{th} より低下すると出力段MOSFET5aは遮断する。

このように、出力段MOSFET5aのゲートしきい値電圧 V_{th} 以下の電圧でも制御回路53は正常に動作できるように設計されている。これにより、制御回路53のしきい値電圧Hを超える電圧が、入力端子50から制御

回路 53 に入力されると、その電圧は出力段 MOSFET 5a のゲートしきい値電圧 V_{th} 以上であるので、出力段 MOSFET 5a は導通する。

[0079] 一方、制御回路 53 のしきい値電圧 H （例えば、2.5V 程度）以下の電圧が入力端子 50 から制御回路 53 に入力されると、この電圧は出力段 MOSFET 5a のゲートしきい値電圧 V_{th} 以上であるが、制御回路 53 から信号で遮断用 MOSFET 54 が導通するので、出力段 MOSFET 5a は遮断する。

[0080] つまり、入力端子 50 の電圧 V_1 が制御回路 53 のしきい値電圧 H を超えると、出力段 MOSFET 5a は導通し、制御回路 53 のしきい値電圧 H 以下では、出力段 MOSFET 5a は導通しない。

[0081] このことから、出力段 MOSFET 5a の本来のゲートしきい値電圧 V_{th} が、見かけ上、制御回路のしきい値電圧 H （例えば、2.5V 程度）に上昇したことになる。

次に電源投入時ではなく、出力段 MOSFET 5a が遮断したときについて説明する。図 12 において、ダイナミッククランプダイオード 55 は、出力段 MOSFET 5a を遮断した場合に、ソレノイドバルブ 4a のインダクタンスにより発生する高電圧から出力段 MOSFET 5a を保護するためのものである。

[0082] このダイナミッククランプダイオード 55 に、クランプ電圧を超える高電圧が印加された場合、ダイナミッククランプダイオード 55 - 逆流防止ダイオード 56 - ゲート抵抗 52 - 入力プルダウン抵抗 58 - GND 端子 59 の経路でサージ電流が流れる。

[0083] このサージ電流により、ゲート抵抗 52 および入力プルダウン抵抗 58 に電圧降下が発生する。この電圧降下により出力段 MOSFET 5a のゲート電圧を持ち上げられる。

ゲート電圧が出力段 MOSFET 5a のゲートしきい値電圧 V_{th} を超えると、出力段 MOSFET 5a は導通する。この導通により、ソレノイドバルブ 4a のインダクタンスに蓄えられたエネルギーは処理される。

- [0084] なお、入力端子50に接続されるドライブ回路がオフ時に、低インピーダンスでGND電位にプルダウンする場合は、ゲート電圧を持ち上げるのは、ゲート抵抗52の電圧降下となる。
- [0085] 駆動回路500では、制御回路53の電源は、入力端子50から入力される電圧V1（信号電圧）を用いている。そのため、この制御回路53は、個別の制御用電源を必要とせず、駆動回路500は、見かけ上、3端子のMOSFETと同等の動作をする。
- [0086] ここで、GND端子59は、MOSFETのソース端子、入力端子50はゲート端子、出力端子51はドレイン端子にそれぞれ相当する。また、制御回路53と同様に電圧V1を電源とする、図示しない電流制限回路や過電流保護回路などを駆動回路500に付加することにより、保護機能などを持つ3端子の高機能MOSFETとして使用することができる。
- [0087] 以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0088] 1 半導体装置
- 1-1、1-n 内部回路
- 1a 接地端子
- 1b 出力端子
- 2-1、2-n 接地部
- 3a 経路
- R₁、R_n 抵抗

請求の範囲

- [請求項1] 装置内に実装された内部回路と、
 当該装置を接地する接地端子につながる経路と、前記内部回路との間に配置される抵抗と、
 を備え、
 当該装置の出力端子が負電位になることで前記接地端子から前記出力端子に向かって逆流電流が流れる前記経路であって、前記抵抗の一端は、前記経路に接続し、前記抵抗の他端は、前記内部回路の接地部に接続する、
 ことを特徴とする半導体装置。
- [請求項2] 前記抵抗の他端が、1つの前記内部回路の前記接地部に接続して、前記抵抗と、前記内部回路とが1対1の関係で配置されることを特徴とする請求項1記載の半導体装置。
- [請求項3] 複数の前記抵抗の合成抵抗値は、
 前記経路上に位置し、一端を前記接地端子と接続し、他端を複数の前記内部回路の前記接地部に接続して、前記逆流電流に対して前記内部回路を保護するために設けられた保護抵抗の抵抗値と同一であることを特徴とする請求項1記載の半導体装置。
- [請求項4] 複数の前記抵抗の合成抵抗値が、前記保護抵抗の抵抗値と同一であるという条件を満たした上で、複数の前記抵抗の個々の抵抗値は、前記抵抗が接続される前記内部回路の前記逆流電流の許容度合にもとづいて適応的に設定されることを特徴とする請求項3記載の半導体装置。
- [請求項5] 前記内部回路にトランジスタが含まれる場合、前記トランジスタのPN接合の面積に応じて前記抵抗の抵抗値が設定されることを特徴とする請求項4記載の半導体装置。
- [請求項6] 前記抵抗の一端は、前記経路に接続し、前記抵抗の他端は、2つ以上の前記内部回路の前記接地部に接続して、前記抵抗と、前記内部回

路とが1対多の関係で配置されることを特徴とする請求項1記載の半導体装置。

[請求項7]

半導体装置の負電位印加防止方法において、

前記半導体装置を接地する接地端子につながる経路に、前記半導体装置の出力端子が負電位になることで前記接地端子から前記出力端子に向かって逆流電流が流れる場合に、

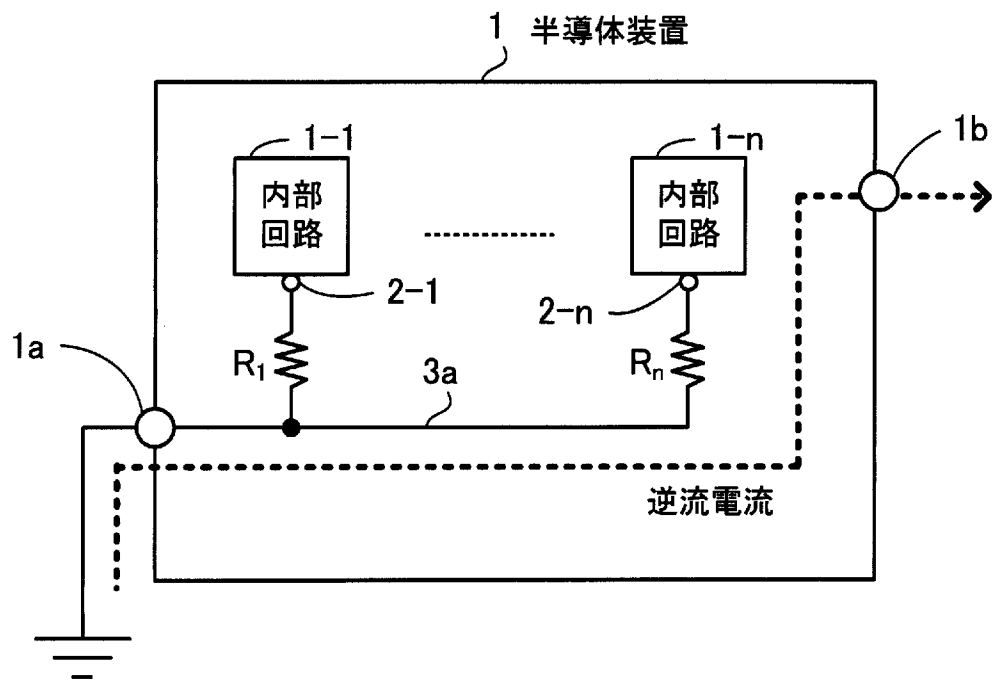
前記経路と、前記半導体装置内に実装された内部回路との間に抵抗を配置し、

前記抵抗の一端を、前記経路に接続し、

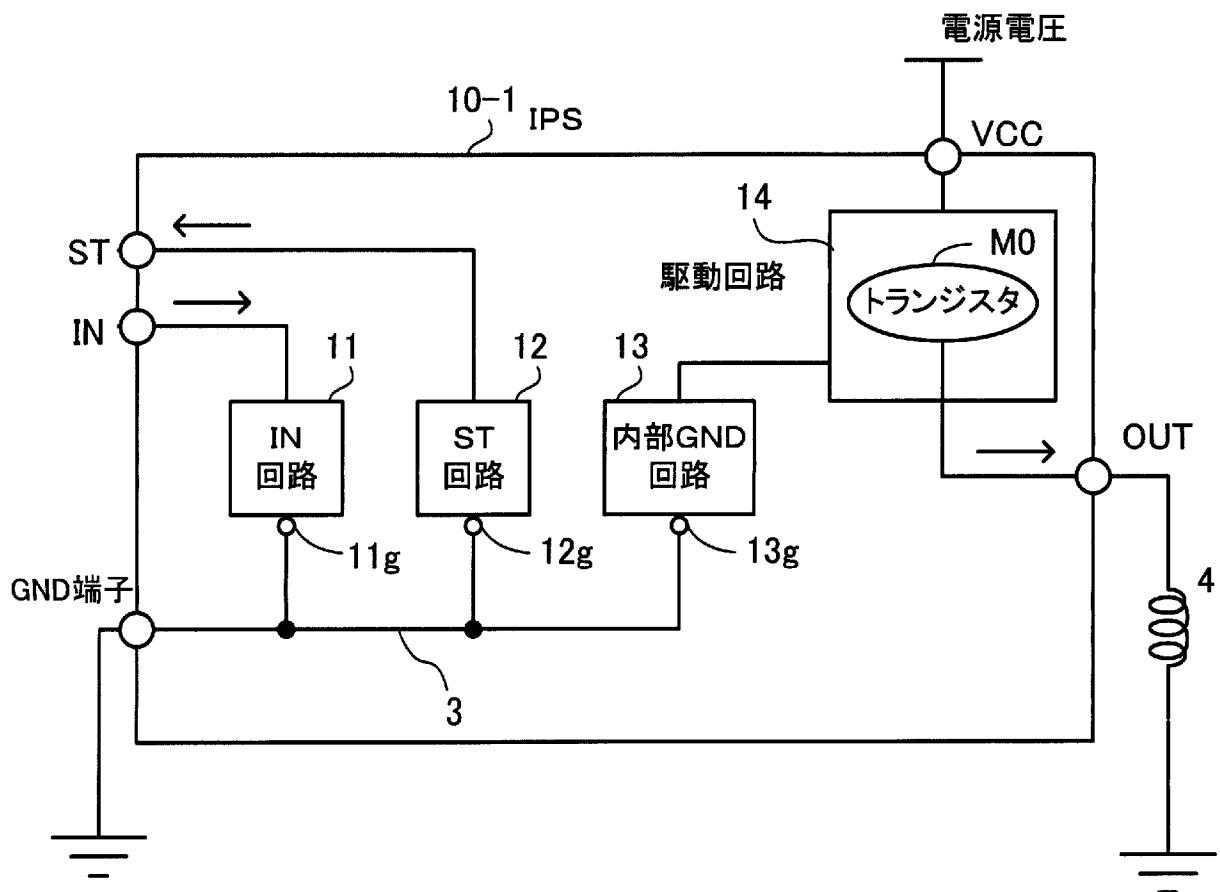
前記抵抗の他端を、前記内部回路の接地部に接続する、

ことを特徴とする負電位印加防止方法。

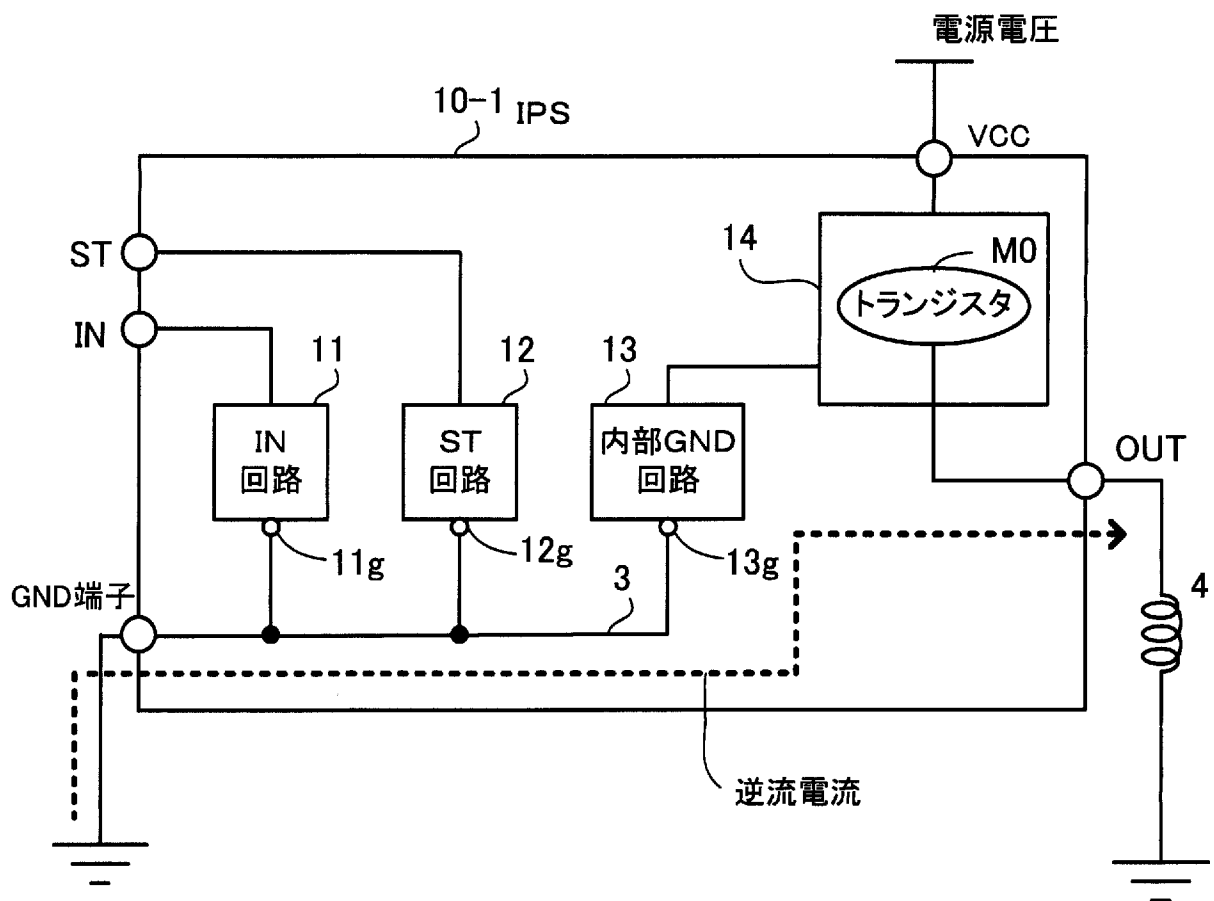
[図1]



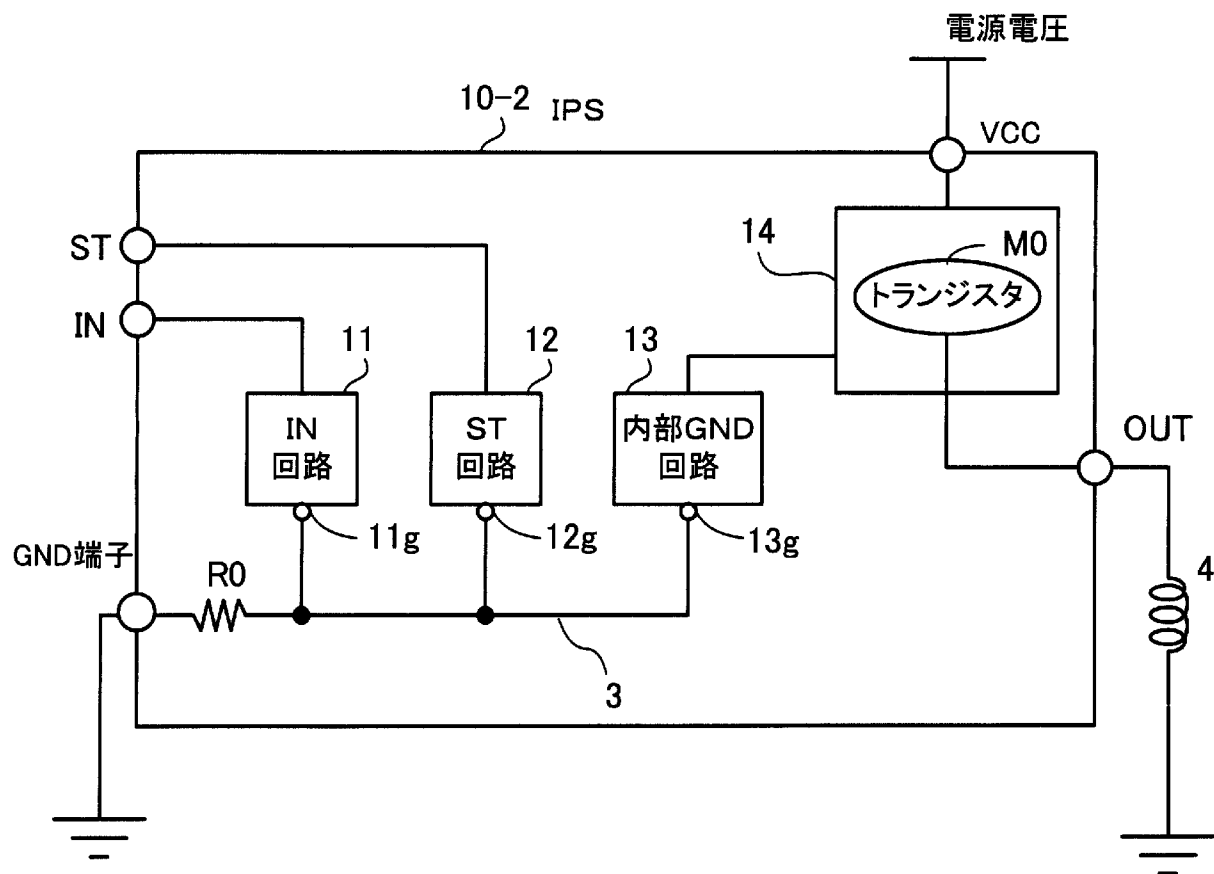
[図2]



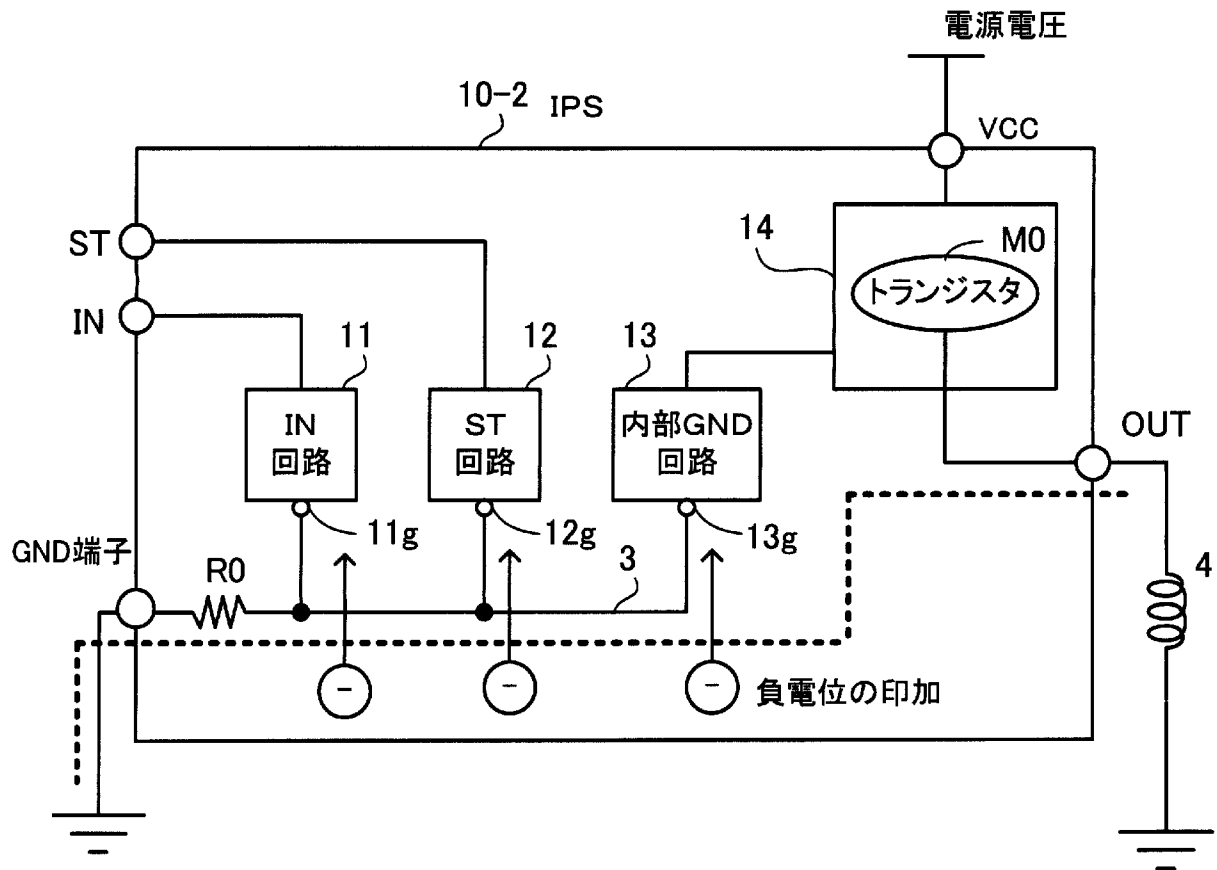
[図3]



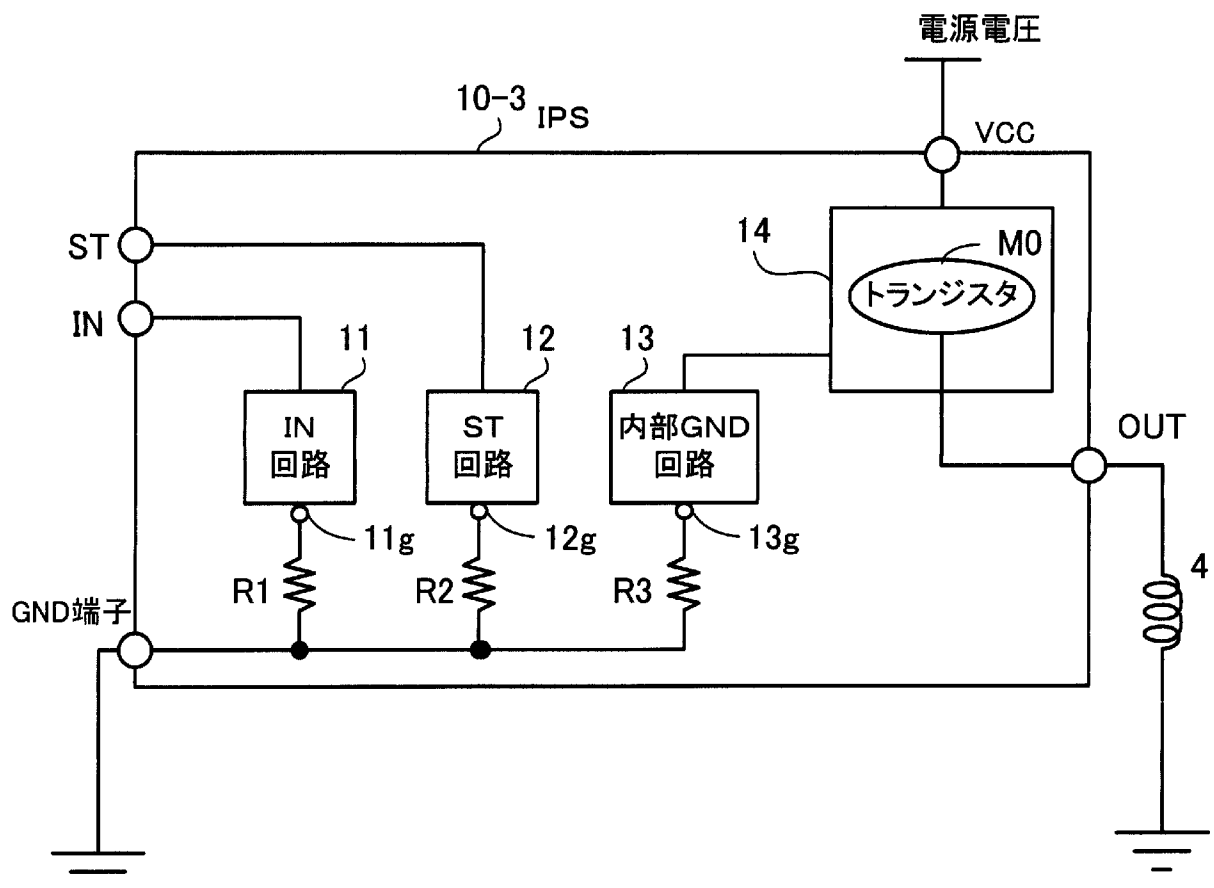
[図4]



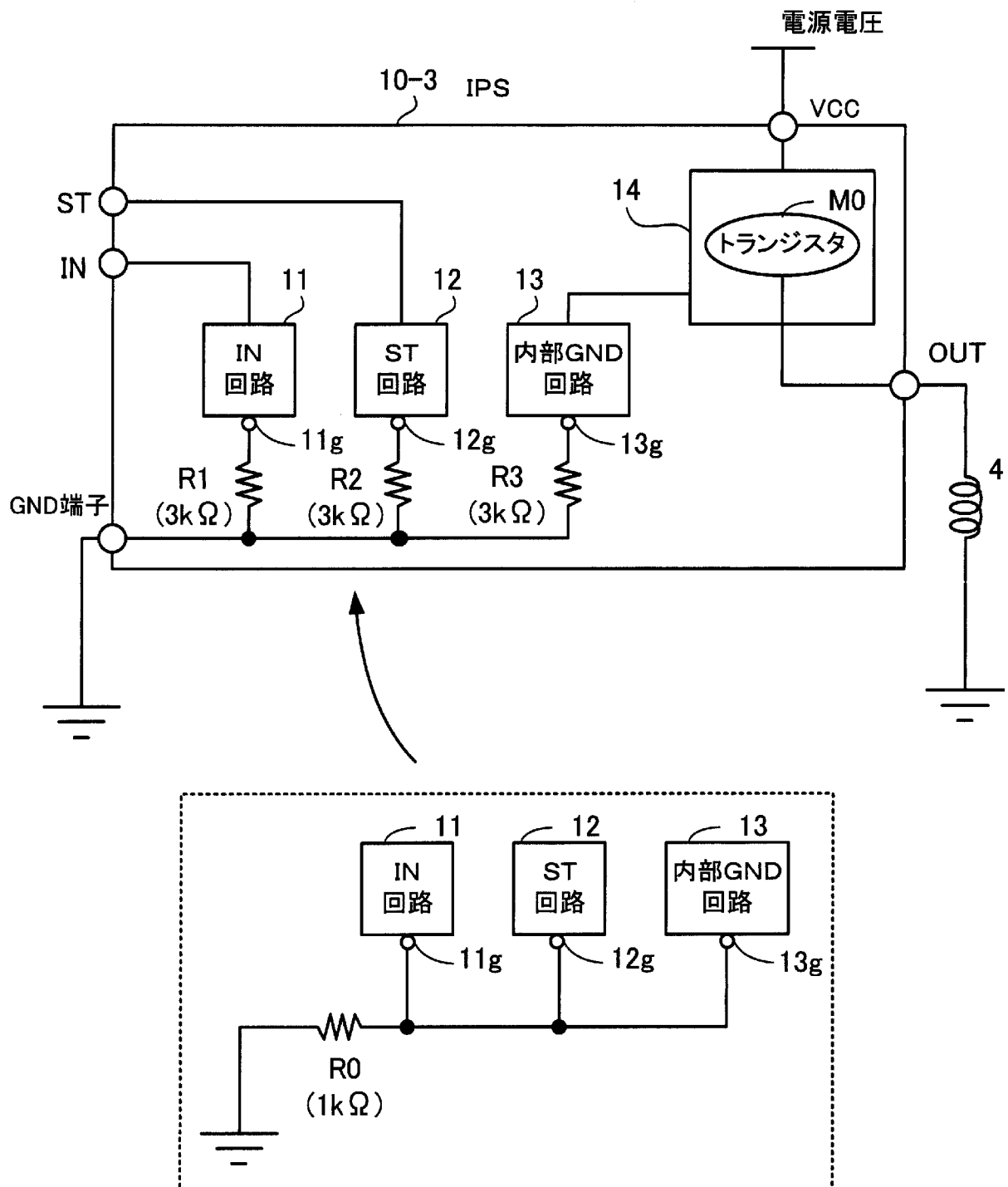
[図5]



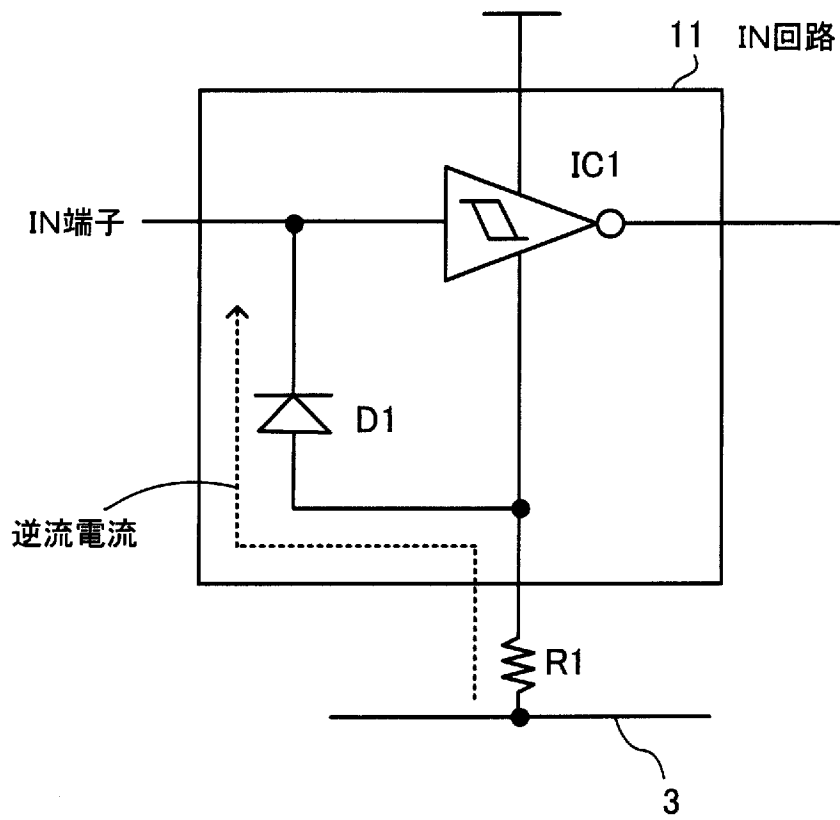
[図6]



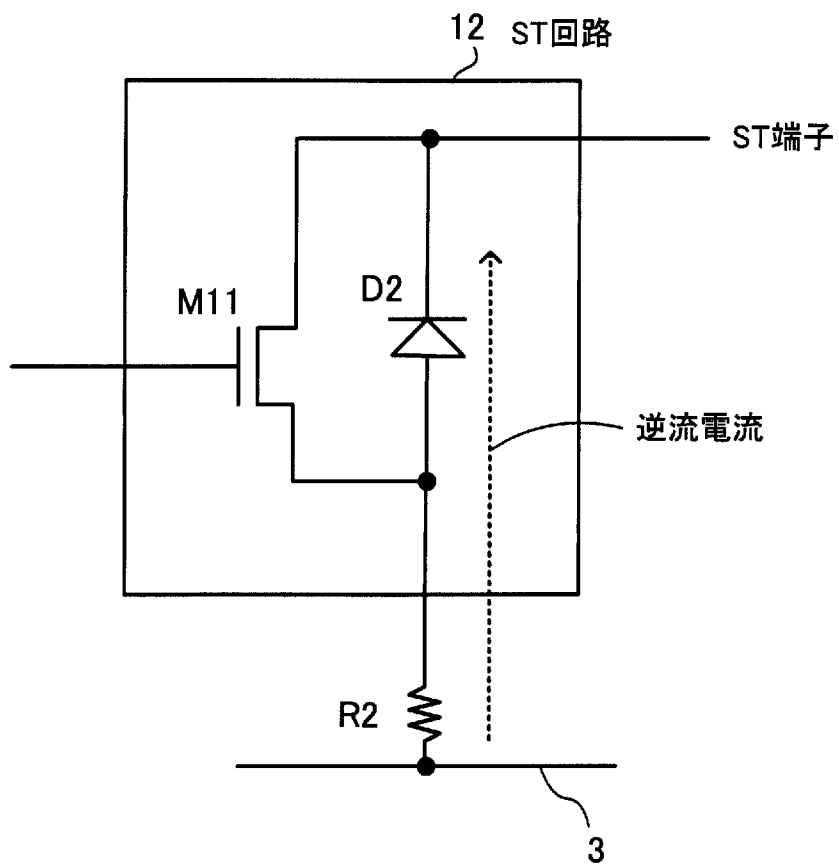
[図7]



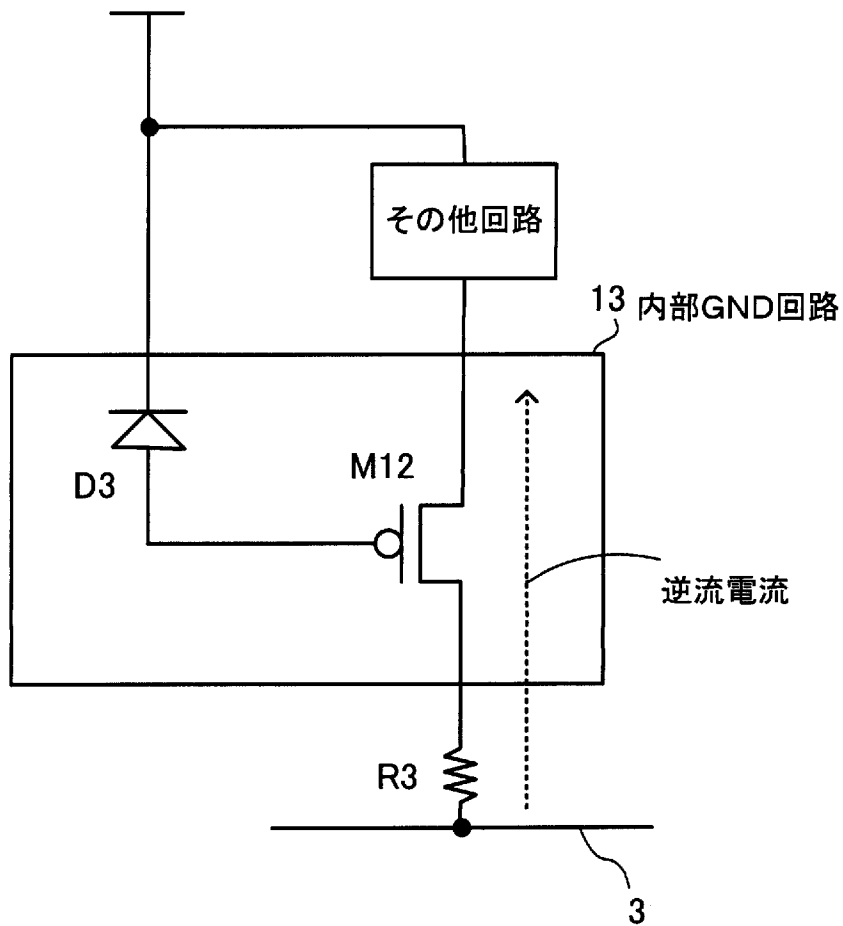
[図8]



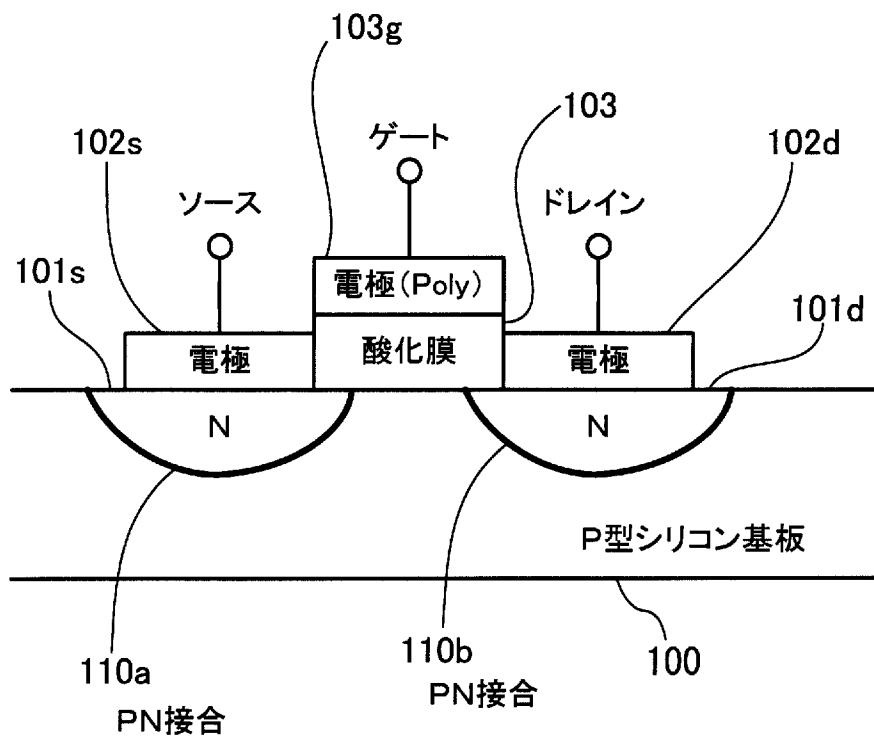
[図9]



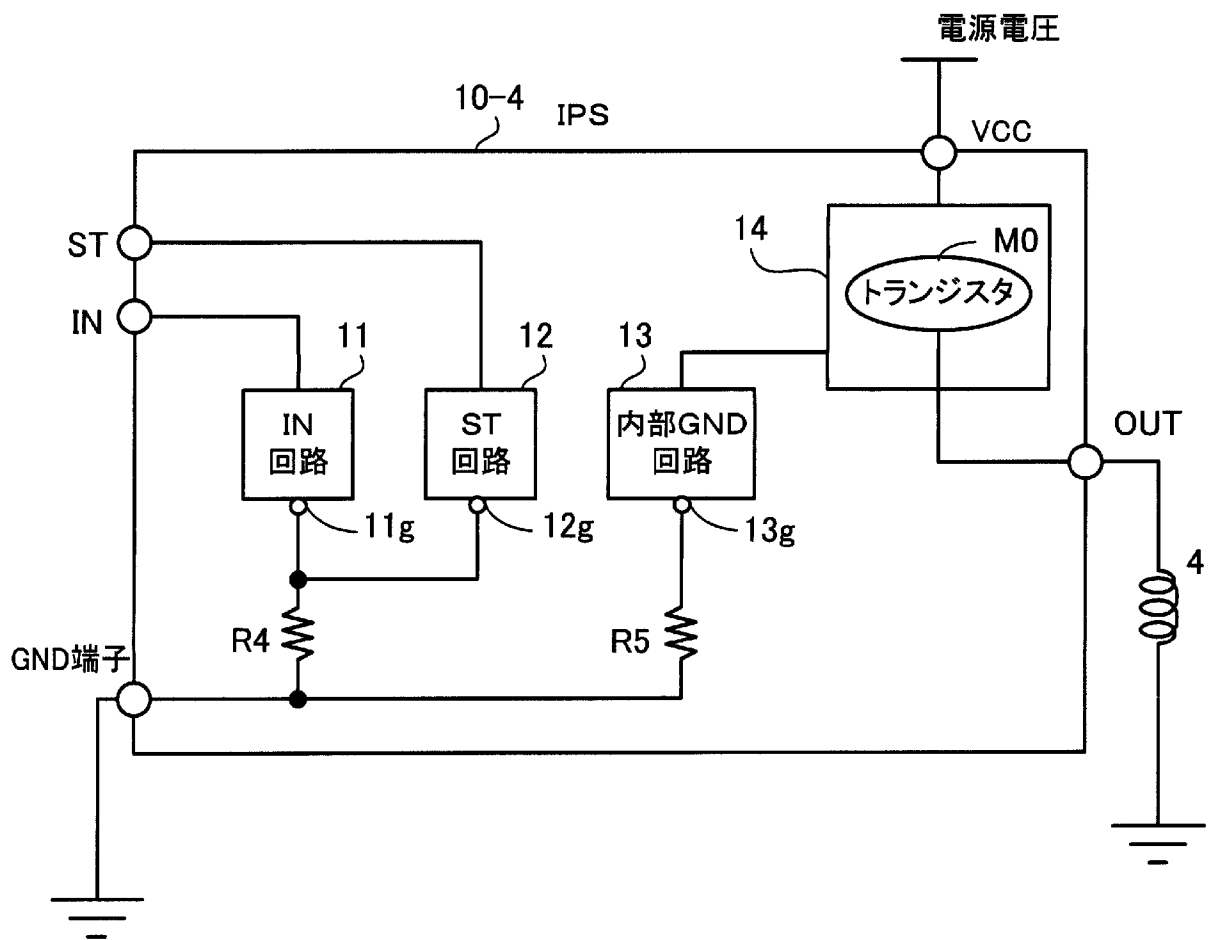
[図10]



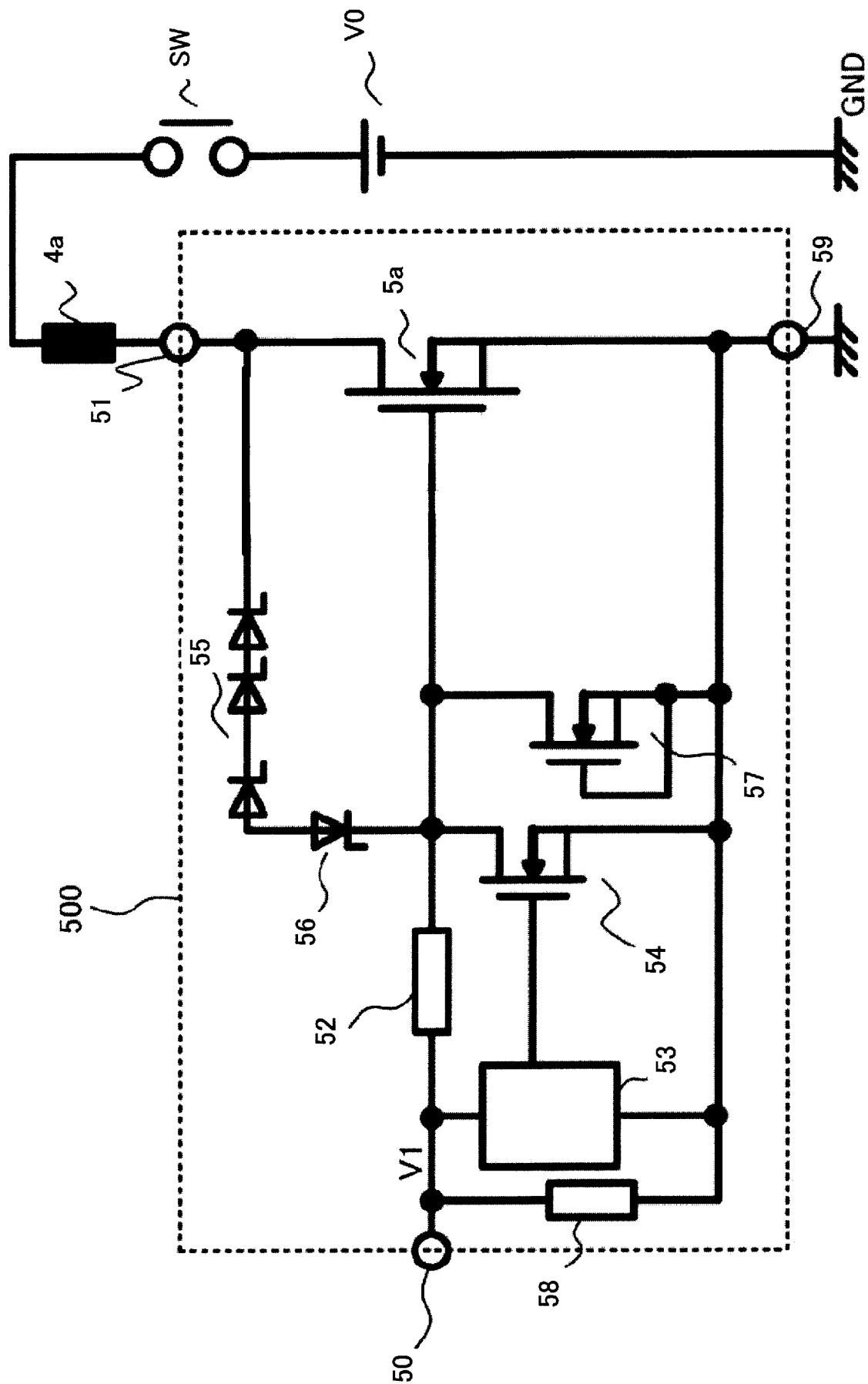
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/079287

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H03K17/16(2006.01)i, H03K17/695(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L27/04, H01L27/06, H03K17/16, H03K17/695

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-034079 A (Fuji Electric Co., Ltd.), 16 February 2012 (16.02.2012), entire text; all drawings & US 2012/0038392 A1	1-7
A	JP 2009-010477 A (NEC Electronics Corp.), 15 January 2009 (15.01.2009), entire text; all drawings & US 2009/0002055 A1	1-7
A	JP 06-090520 A (Toshiba Corp.), 29 March 1994 (29.03.1994), entire text; all drawings & US 5391948 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 December 2015 (28.12.15)

Date of mailing of the international search report
12 January 2016 (12.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/079287

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-146008 A (Fuji Electric Co., Ltd.), 25 July 2013 (25.07.2013), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H03K17/16(2006.01)i, H03K17/695(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L27/04, H01L27/06, H03K17/16, H03K17/695

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-034079 A（富士電機株式会社）2012.02.16, 全文全図 & US 2012/0038392 A1	1-7
A	JP 2009-010477 A（NECエレクトロニクス株式会社）2009.01.15, 全文全図 & US 2009/0002055 A1	1-7
A	JP 06-090520 A（株式会社東芝）1994.03.29, 全文全図 & US 5391948 A	1-7

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 1 2 . 2 0 1 5

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-146008 A (富士電機株式会社) 2013. 07. 25, 全文全図 (ファミリーなし)	1-7