



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I627752 B

(45)公告日：中華民國 107 (2018) 年 06 月 21 日

(21)申請案號：103117520

(22)申請日：中華民國 103 (2014) 年 05 月 19 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2013/06/03 日本

2013-116659

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：井上隆 INOUE, TAKASHI (JP)；中山達峰 NAKAYAMA, TATSUO (JP)；岡本康宏 OKAMOTO, YASUHIRO (JP)；川口宏 KAWAGUCHI, HIROSHI (JP)；竹脇利至 TAKEWAKI, TOSHIYUKI (JP)；名倉延宏 NAGURA, NOBUHIRO (JP)；永井隆行 NAGAI, TAKAYUKI (JP)；三浦喜直 MIURA, YOSHINAO (JP)；宮本廣信 MIYAMOTO, HIRONOBU (JP)

(74)代理人：陳長文

(56)參考文獻：

US 7449762B1

US 20100127275A1

US 20100314663A1

審查人員：張展溢

申請專利範圍項數：12 項 圖式數：46 共 78 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於提高半導體裝置之特性。

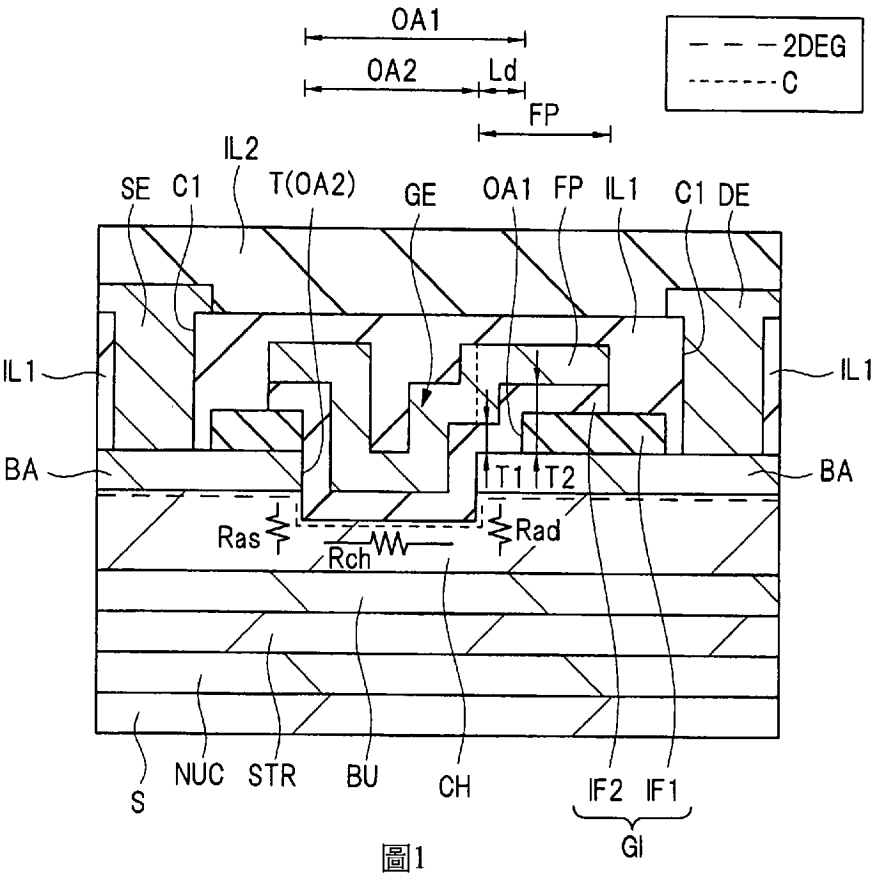
本發明係以包含如下構件之方式構成半導體裝置：緩衝層 BU、通道層 CH 及阻障層 BA，其等形成於基板 S 之上方；槽 T，其貫通阻障層 BA 到達至通道層 CH 之中途；閘極電極 GE，其介隔閘極絕緣膜 GI 而配置於該槽 T 內；及閘極電極 GE 之兩側之阻障層 BA 上之汲極電極 DE 及源極電極 SE。且，閘極絕緣膜 GI 包含：第 1 部，其位於槽 T 之端部側，且自槽 T 之端部向汲極電極 DE 側延伸；及第 2 部，其係較第 1 部位於更靠近汲極電極 DE 側，且膜厚大於第 1 部。第 1 部包含絕緣膜 IF2 之單層膜，第 2 部包含絕緣膜 IF1 與絕緣膜 IF2 之積層膜。如此，於槽 T 之汲極電極 DE 側之端部藉由減小第 1 部之膜厚，可降低接通電阻。

To provide a semiconductor device having improved characteristics. The semiconductor device has a substrate and thereon a buffer layer, a channel layer, a barrier layer, a trench penetrating therethrough and reaching the inside of the channel layer, a gate electrode placed in the trench via a gate insulating film, and drain and source electrodes on the barrier layer on both sides of the gate electrode. The gate insulating film has a first portion made of a first insulating film and extending from the end portion of the trench to the side of the drain electrode and a second portion made of first and second insulating films and placed on the side of the drain electrode relative to the first portion. The on resistance can be reduced by decreasing the thickness of the first portion at the end portion of the trench on the side of the drain electrode.

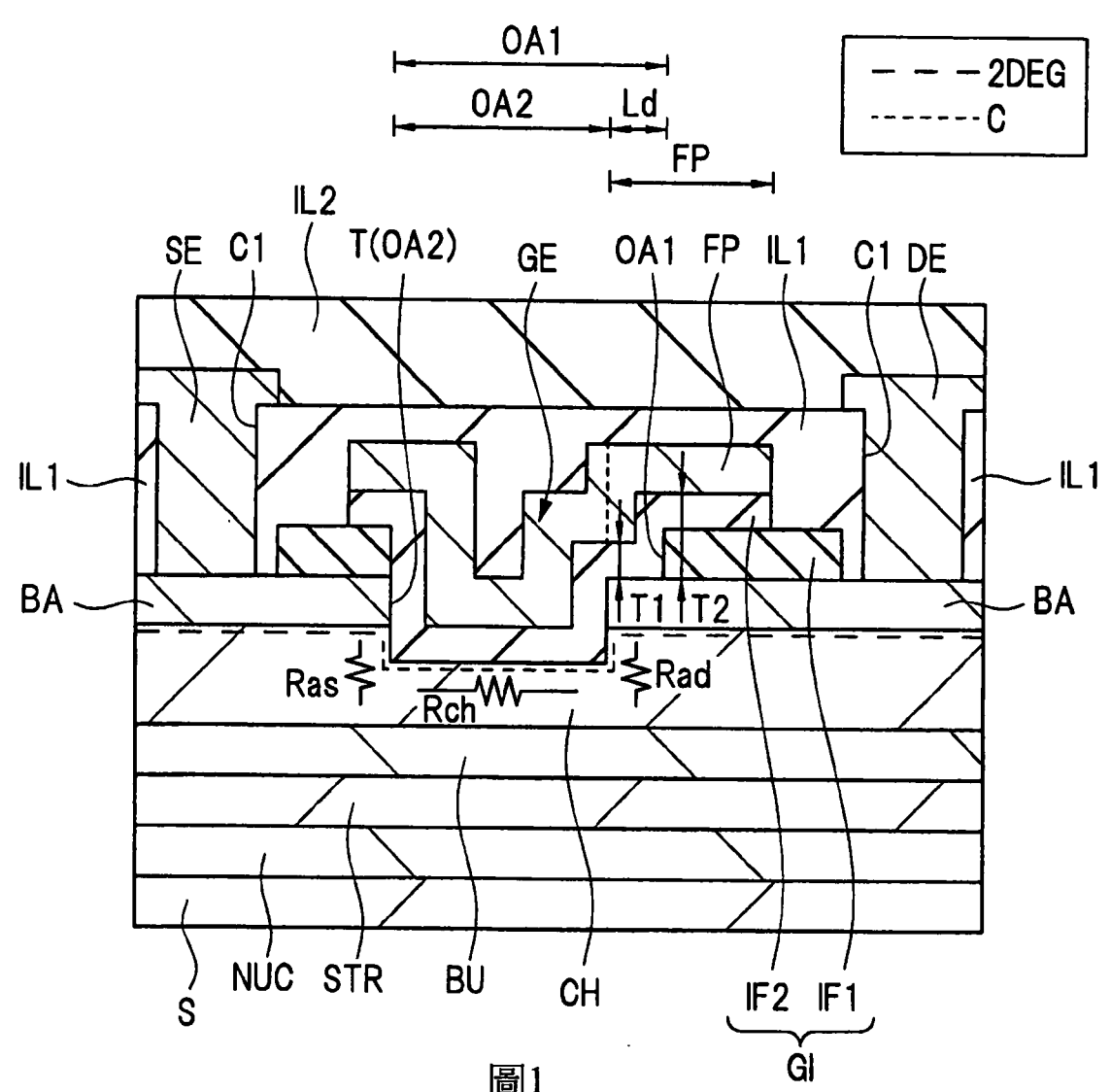
指定代表圖：

符號簡單說明：

- 2DEG . . . 2 維電子氣
- BA . . . 阻障層
- BU . . . 緩衝層
- C . . . 通道
- C1 . . . 接觸孔
- CH . . . 通道層
- DE . . . 汲極電極
- FP . . . 場板電極
- GE . . . 閘極電極
- GI . . . 閘極絕緣膜
- IF1 . . . 絕緣膜
- IF2 . . . 絕緣膜
- IL1 . . . 絕緣層
- IL2 . . . 絕緣層
- Ld . . . 後退量
- NUC . . . 核產生層
- OA1 . . . 開口區域
- OA2 . . . 開口區域
- Rad . . . 通道電阻
- Ras . . . 通道電阻
- Rch . . . 通道電阻
- S . . . 基板
- SE . . . 源極電極
- STR . . . 形變緩和層
- T . . . 槽
- T1 . . . 膜厚
- T2 . . . 膜厚



圖式



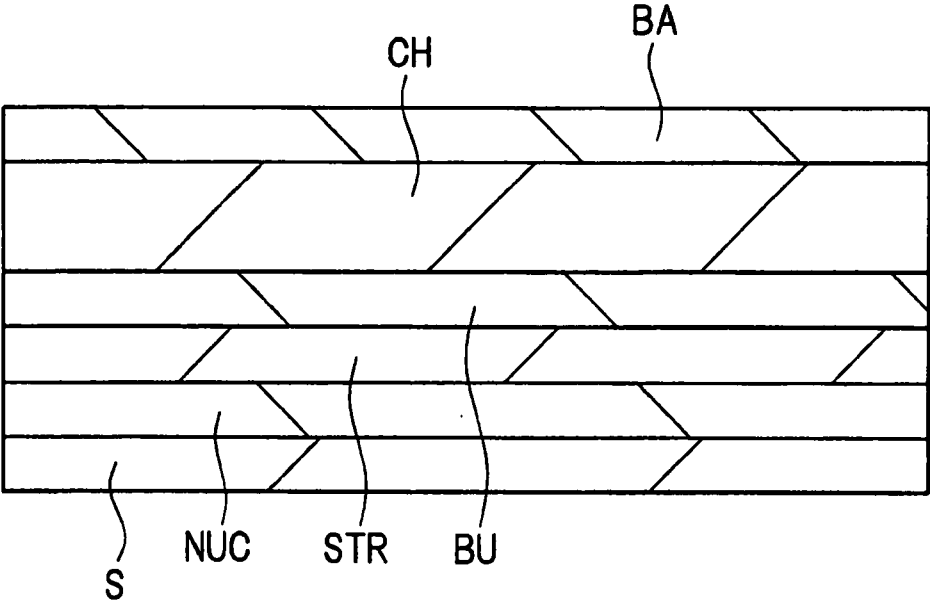


圖2

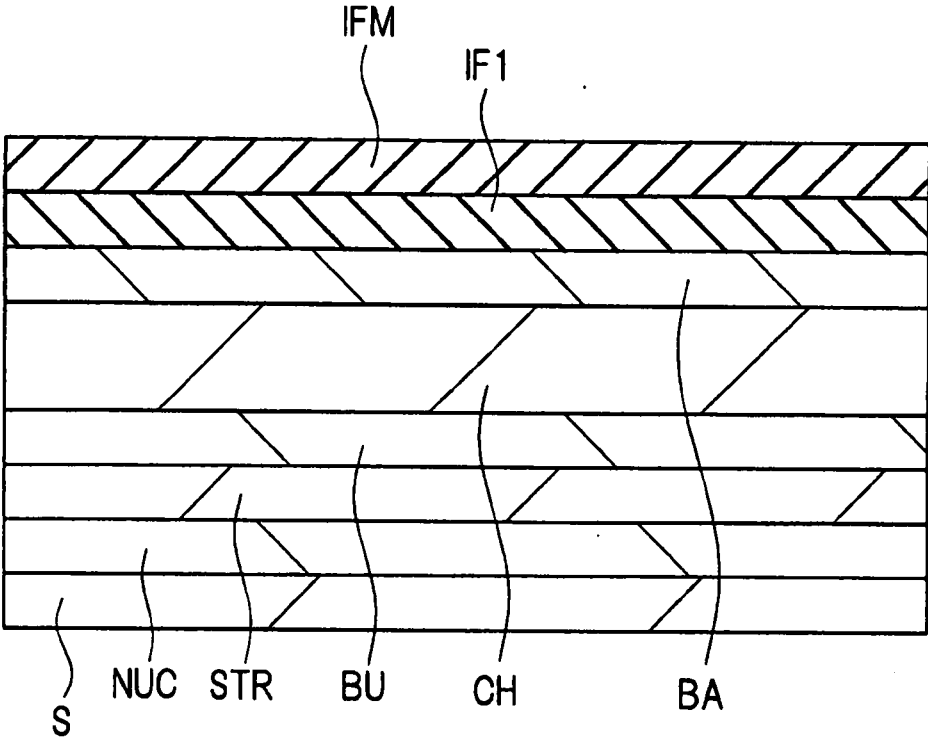


圖3



• •

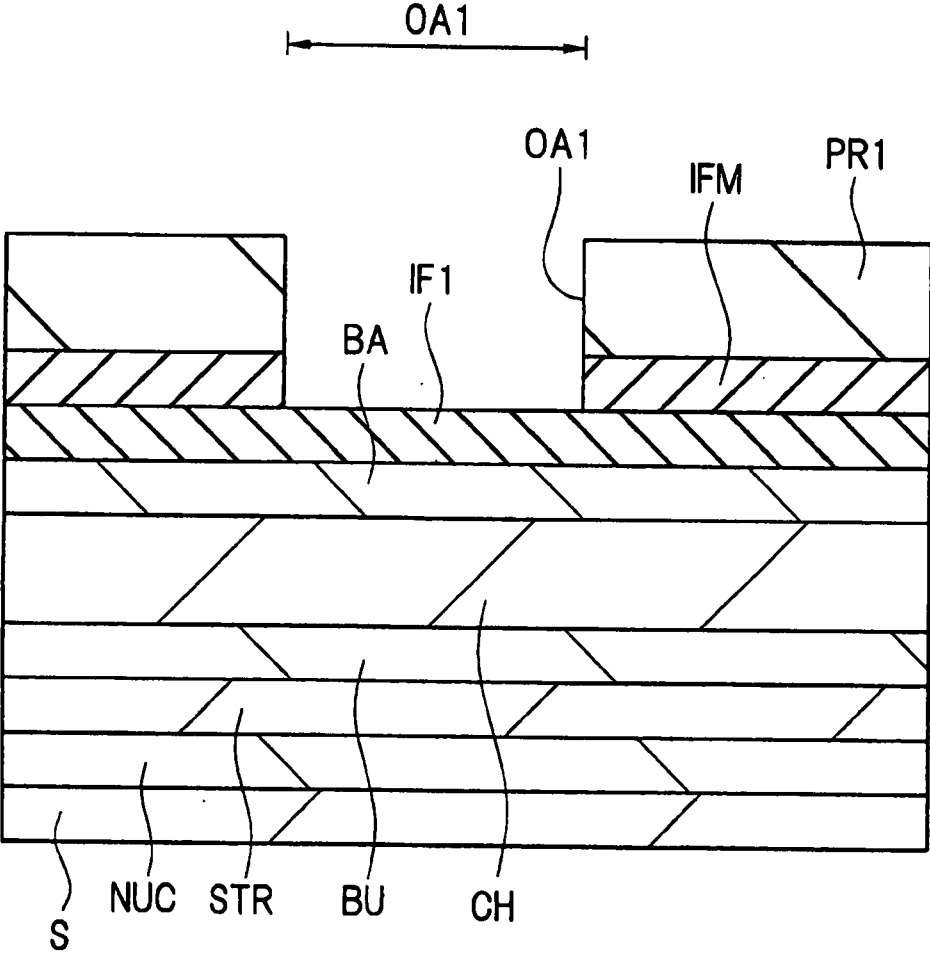


圖5

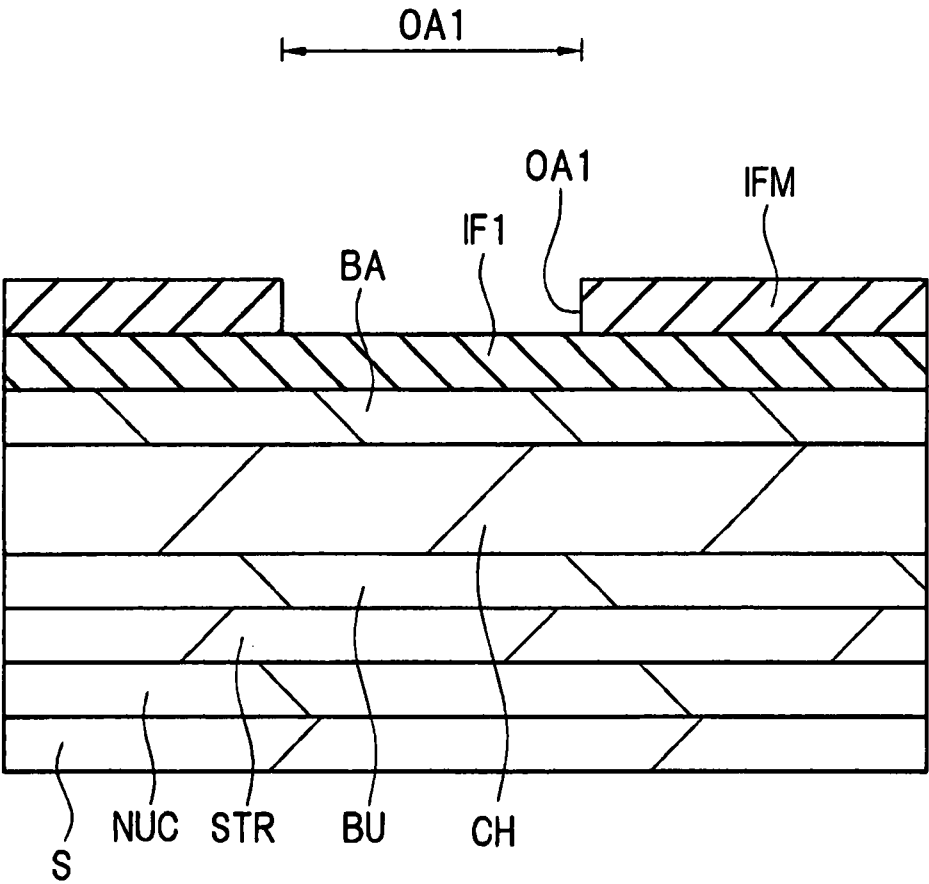


圖6

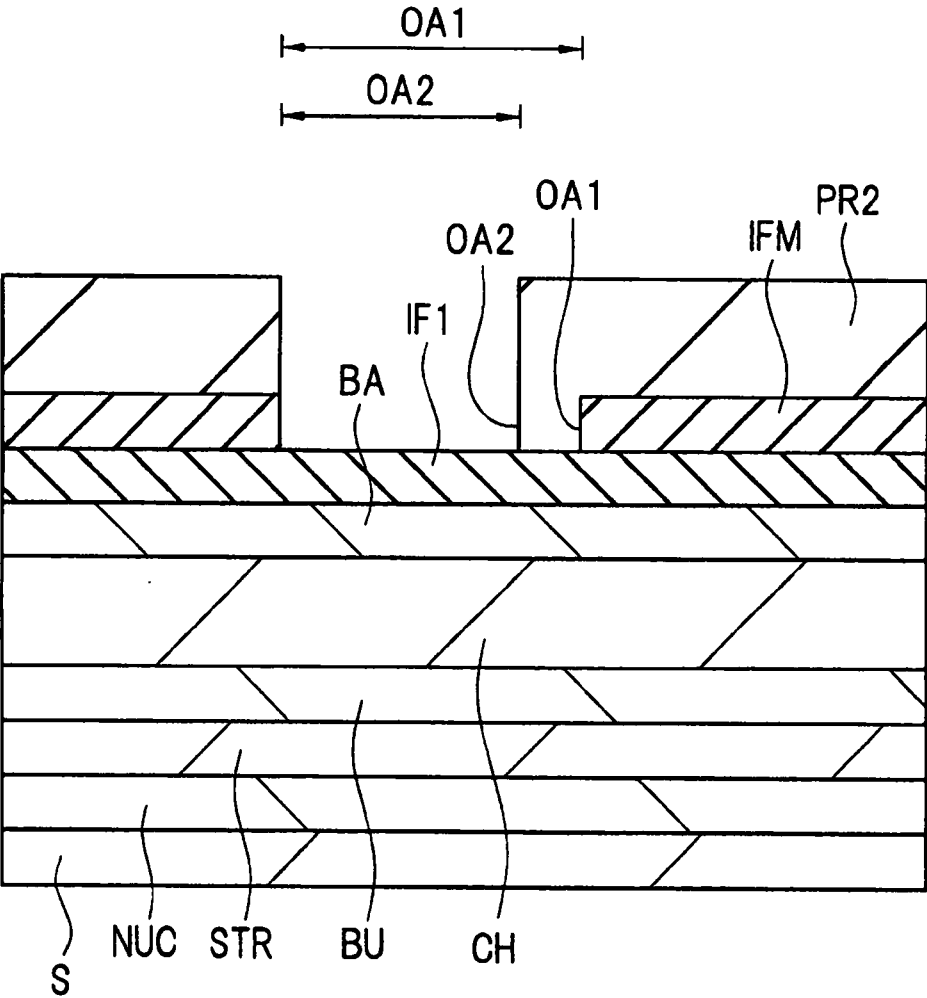


圖7

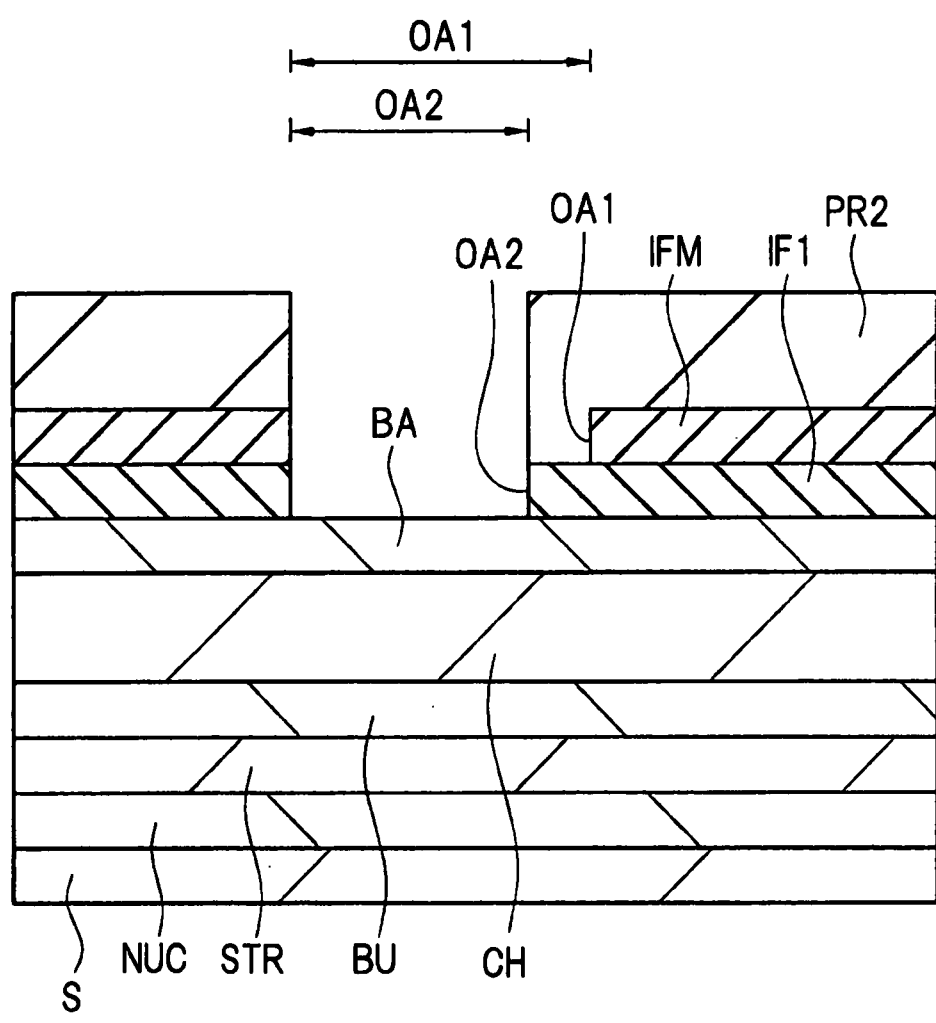


圖8

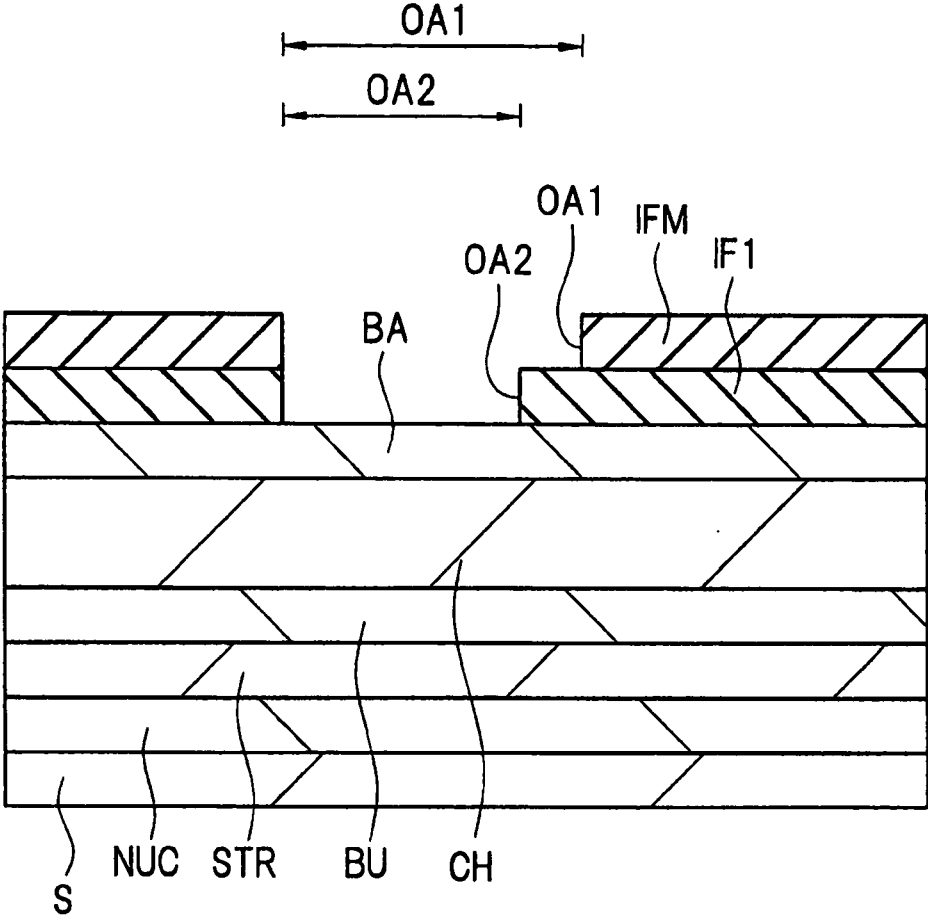


圖9

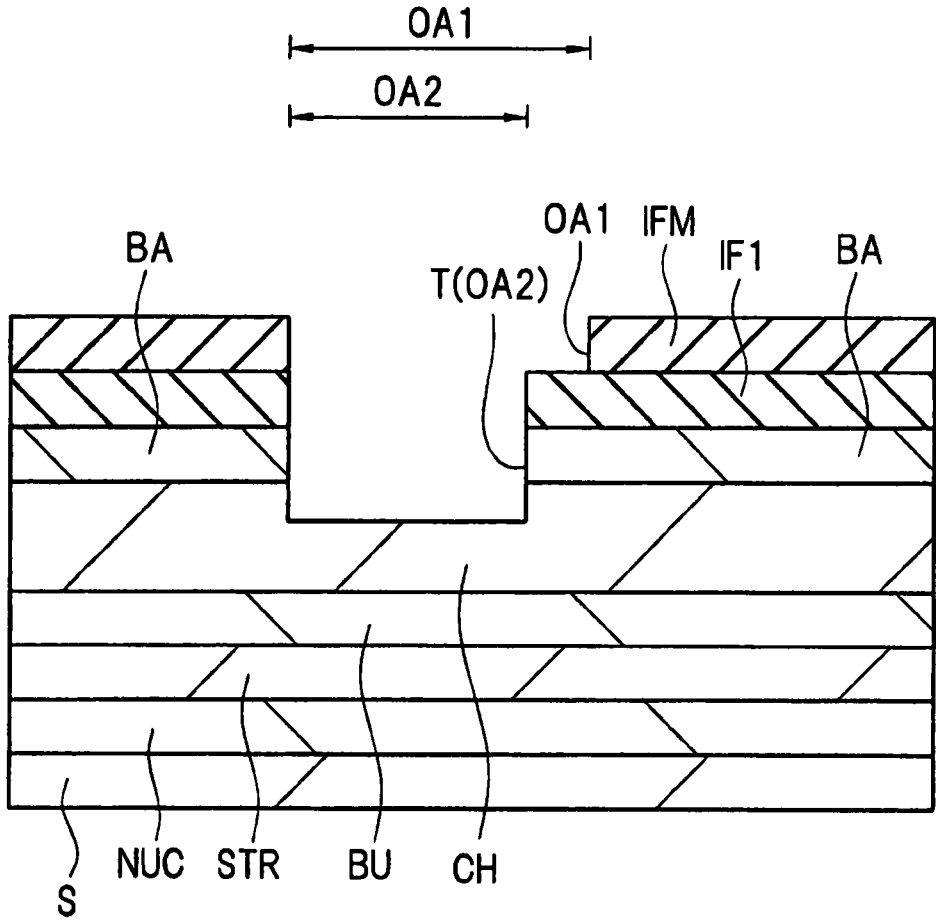


圖10

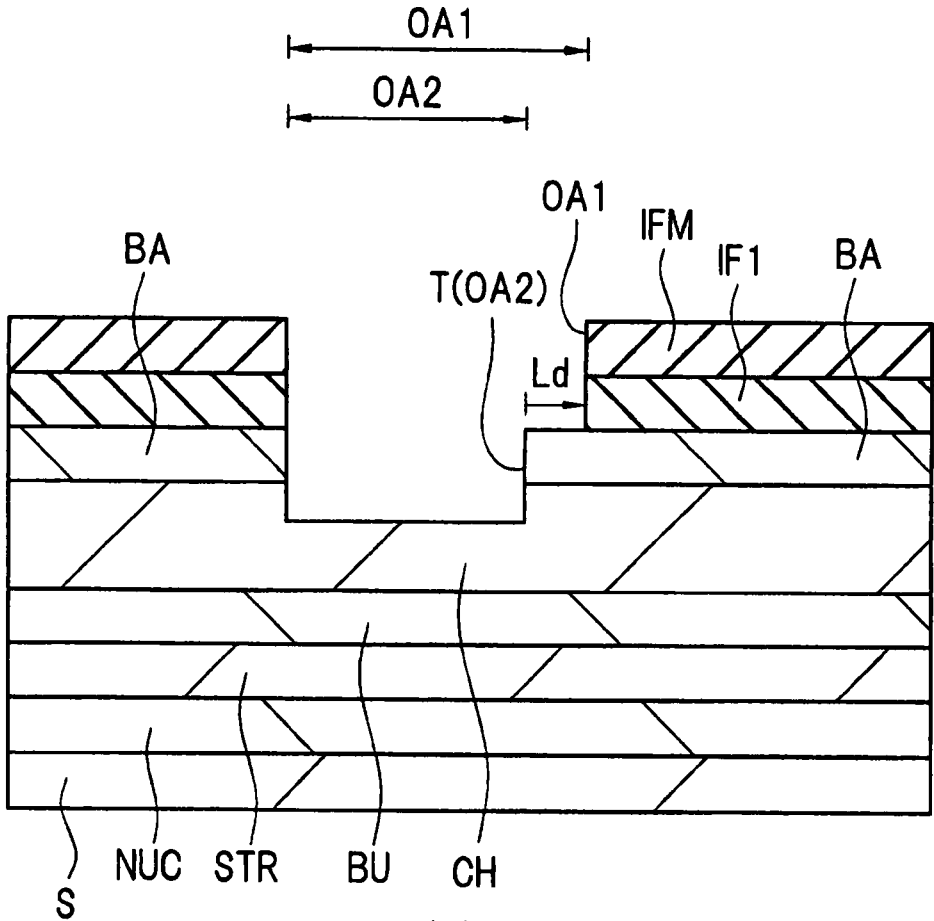


圖11

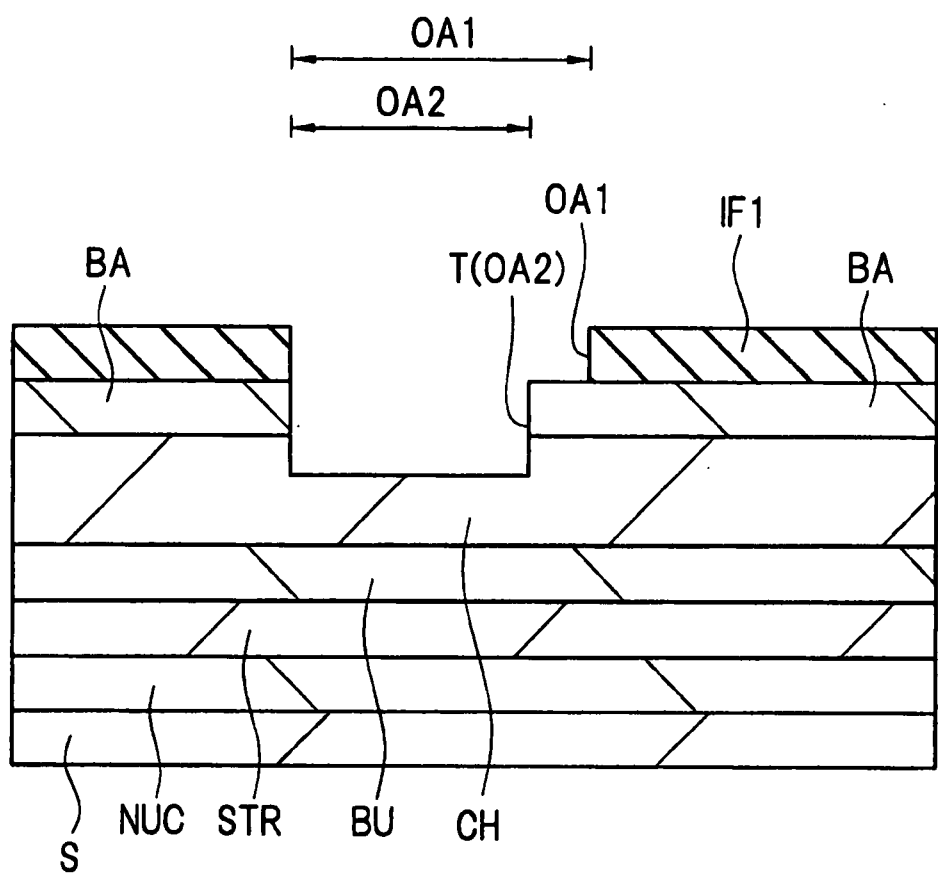


圖12

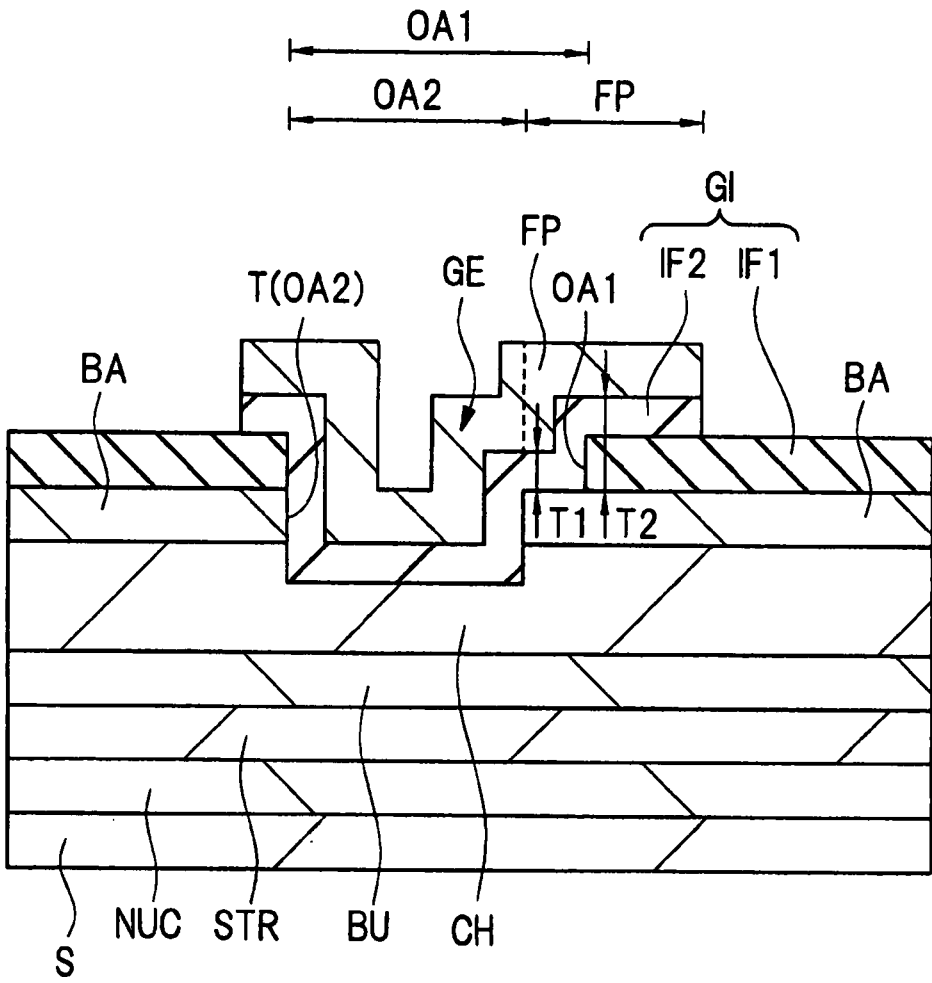


圖13

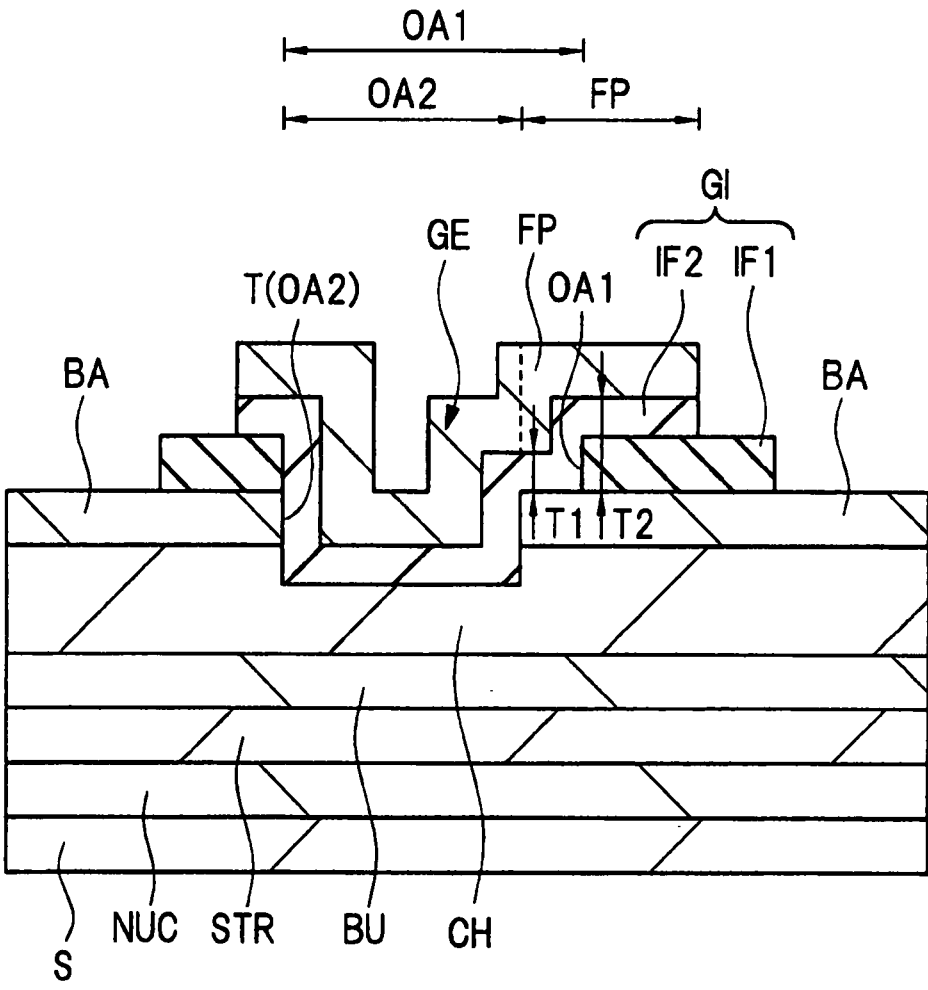


圖14

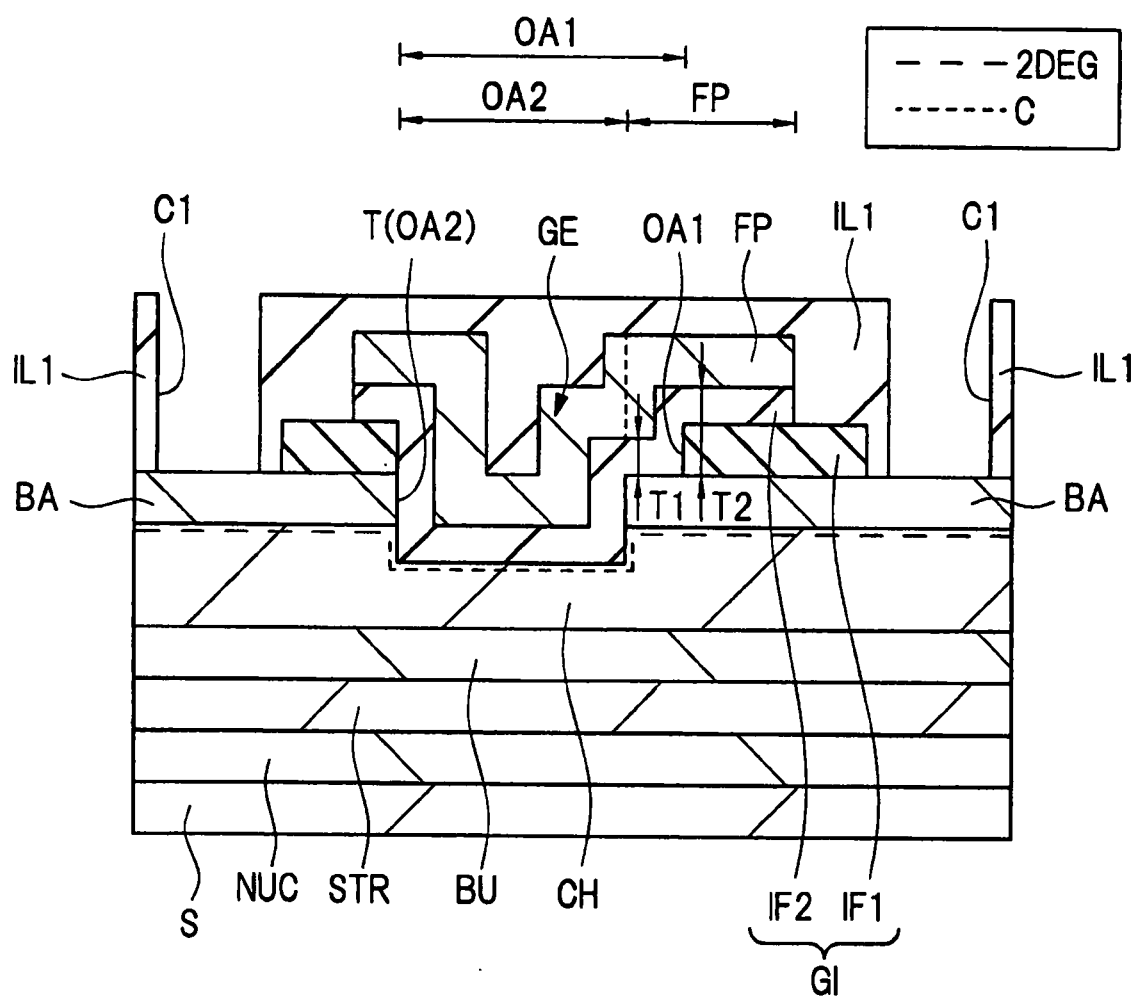
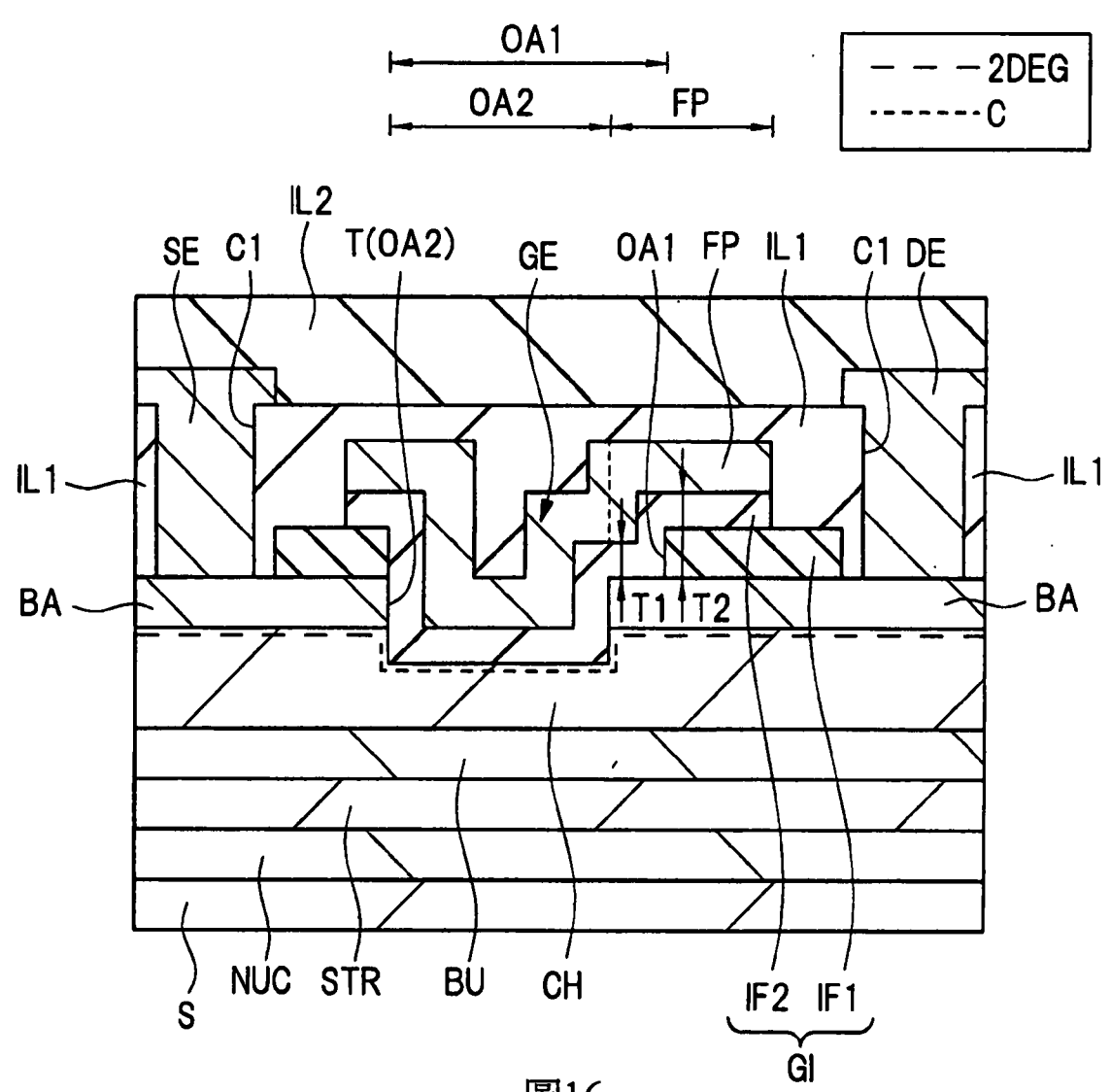


圖15



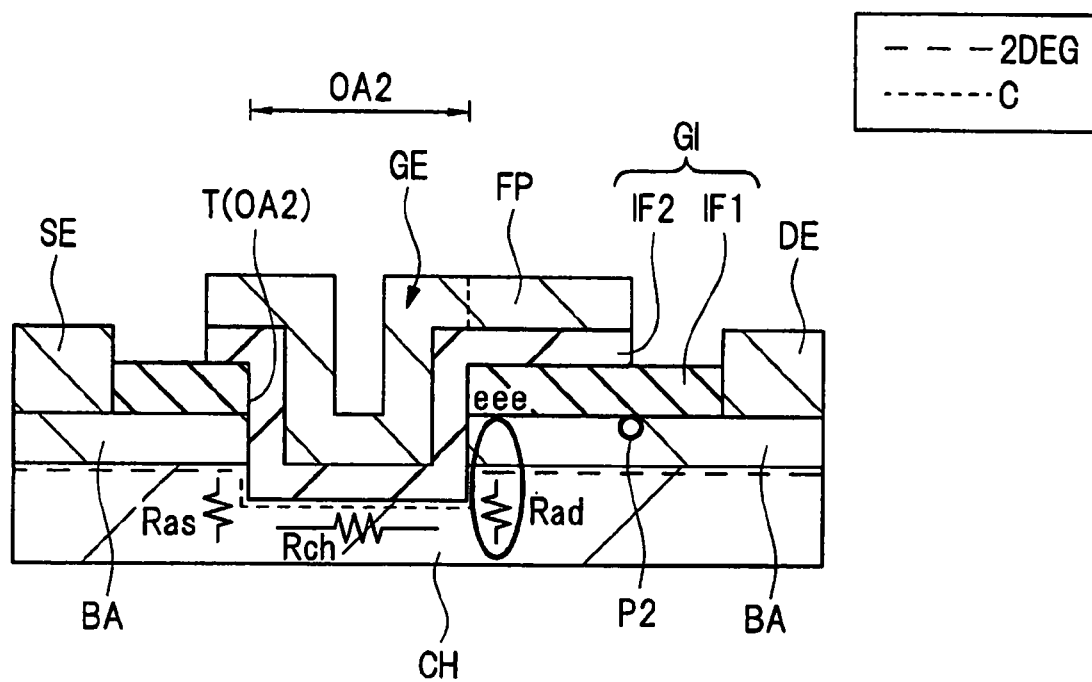


圖17

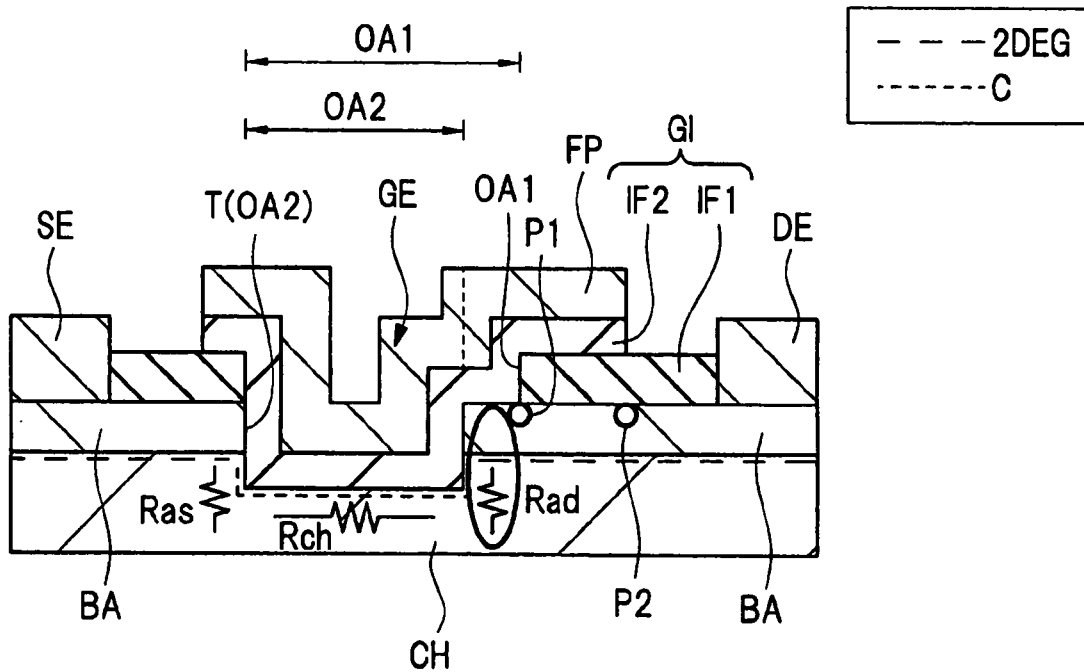


圖18



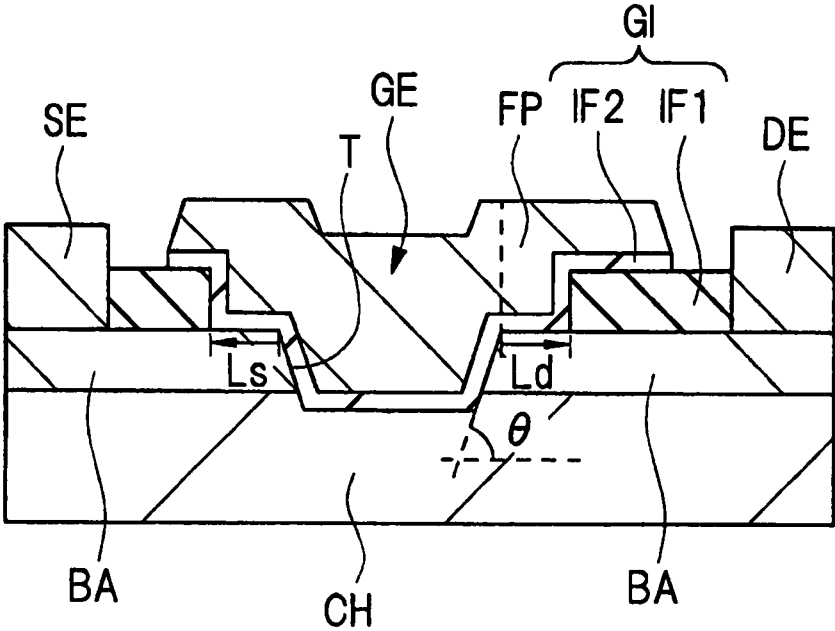


圖21

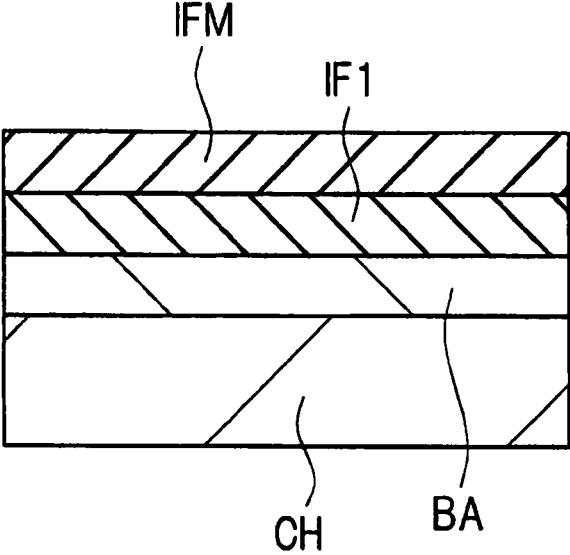


圖22

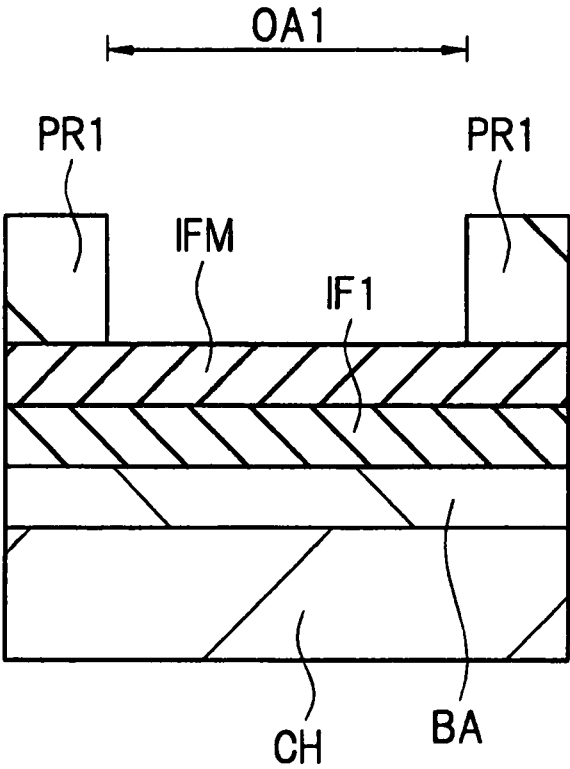


圖23

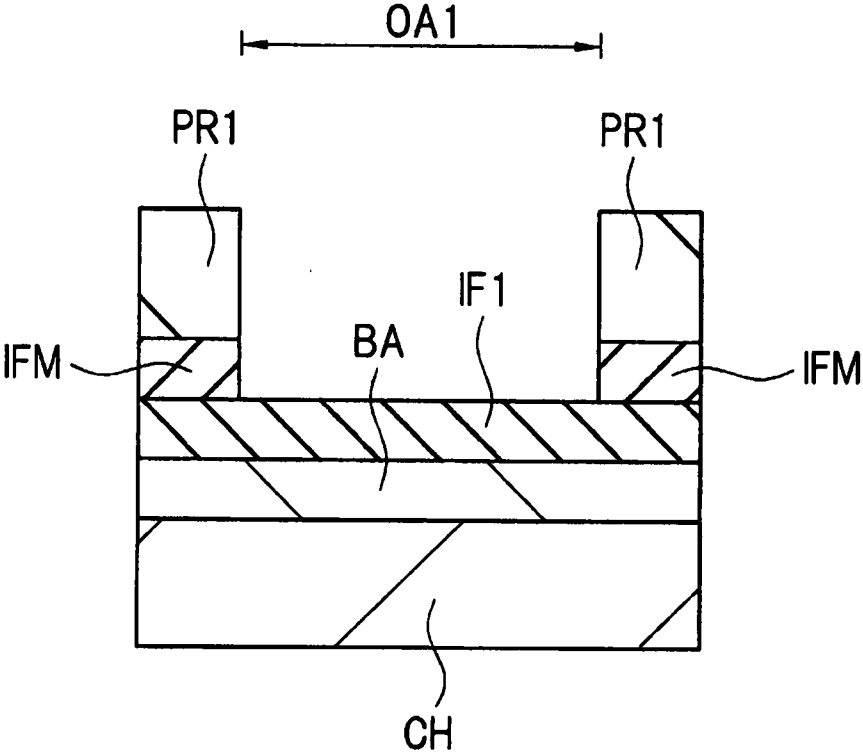


圖24

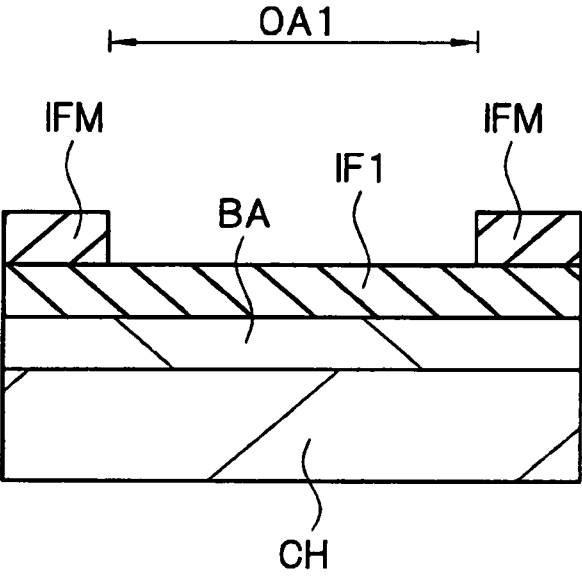


圖25

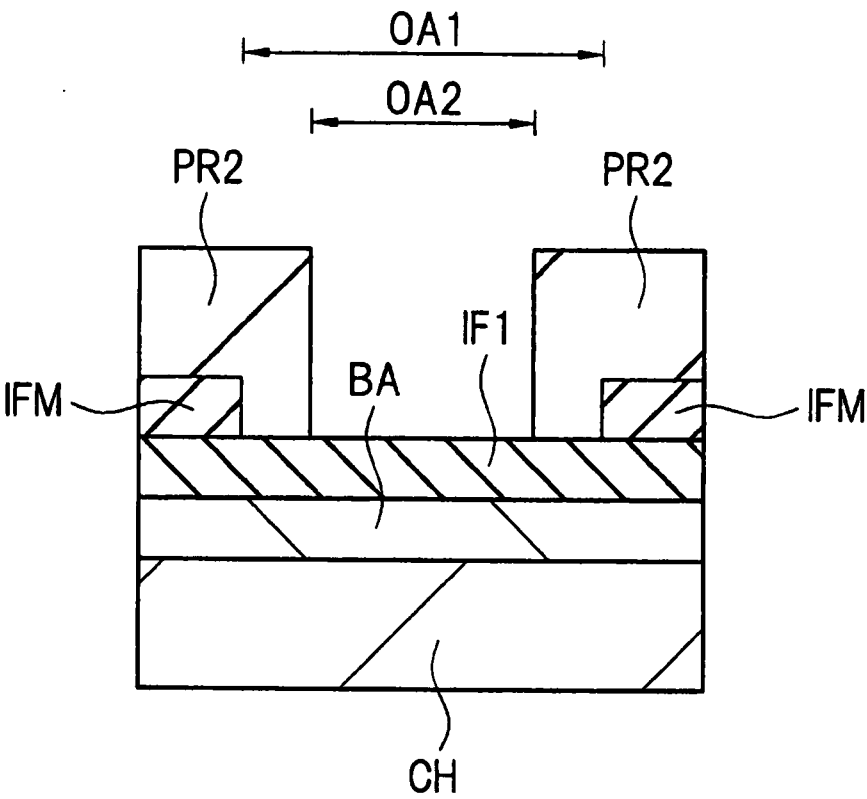


圖26

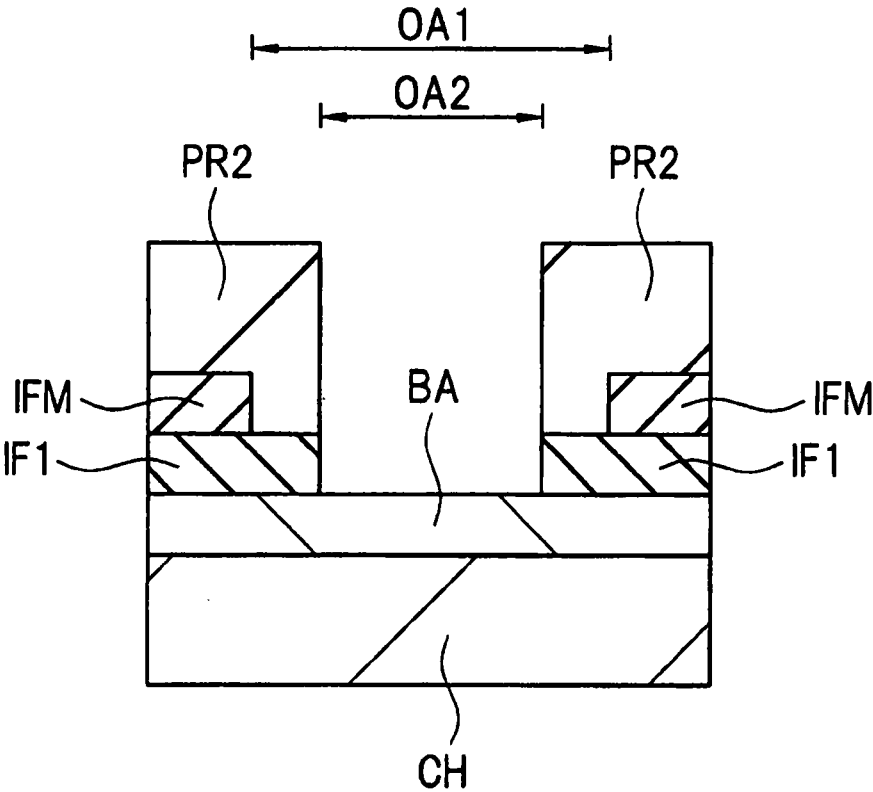


圖27

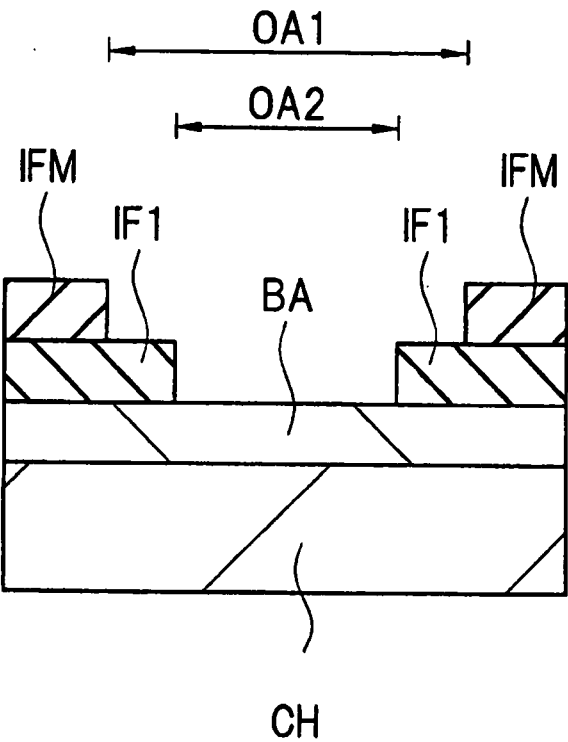


圖28

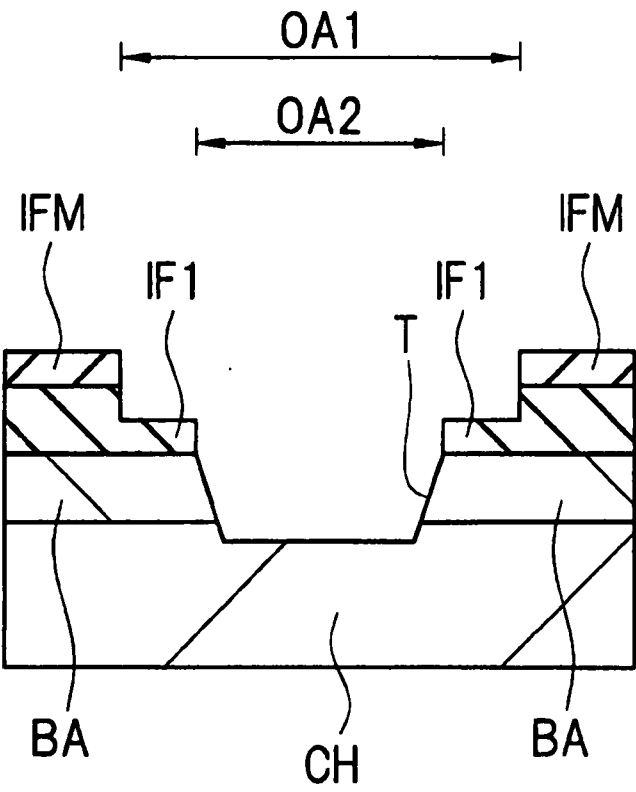


圖29

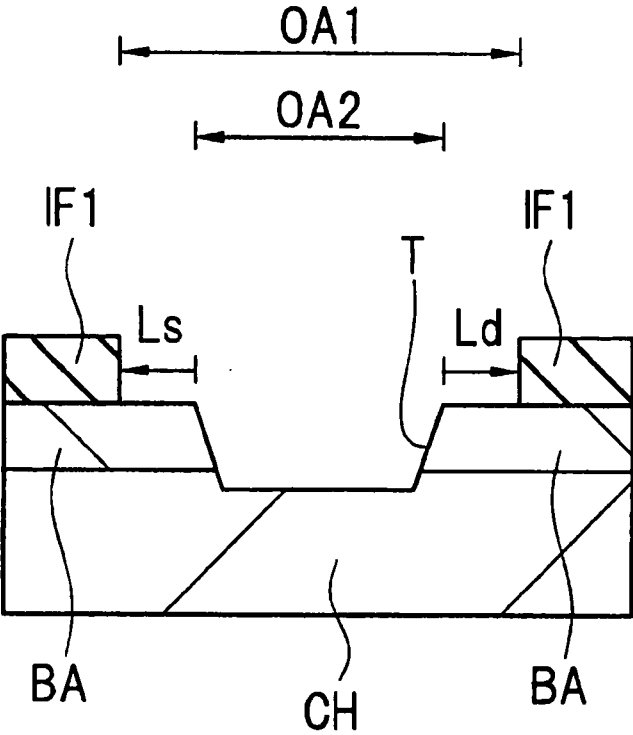
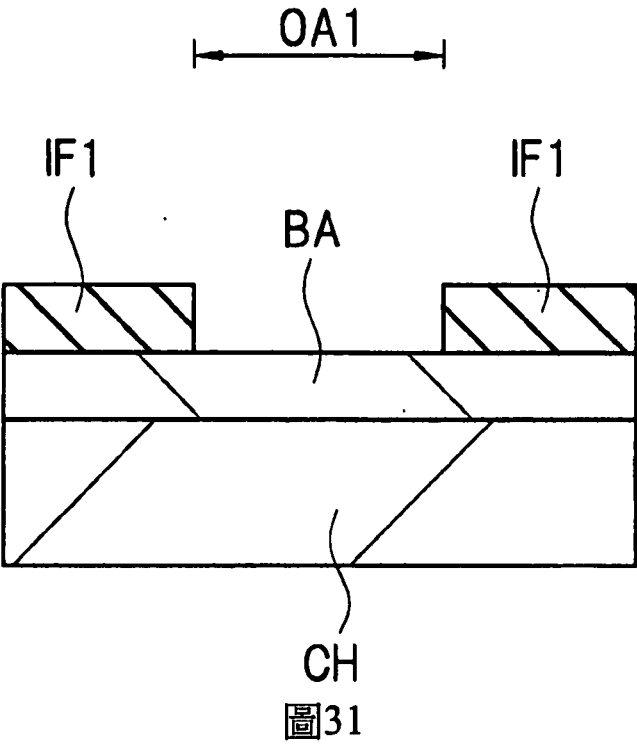


圖30



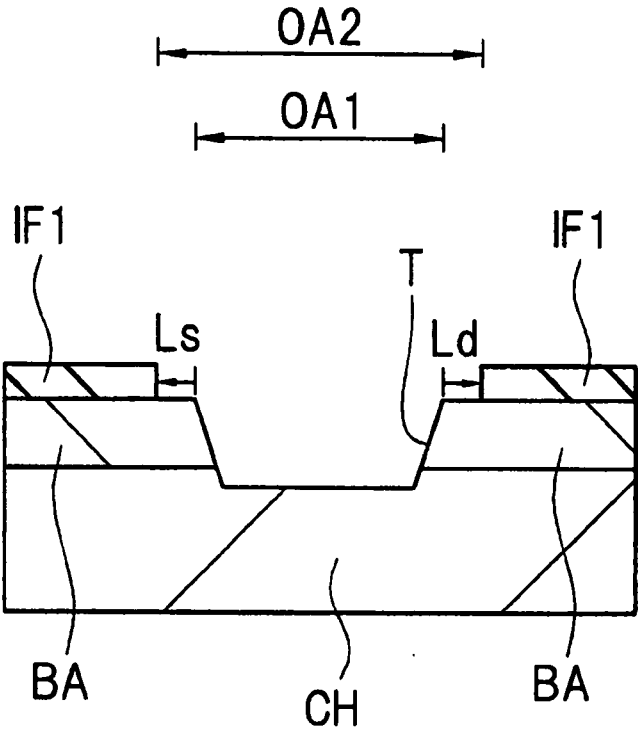


圖32

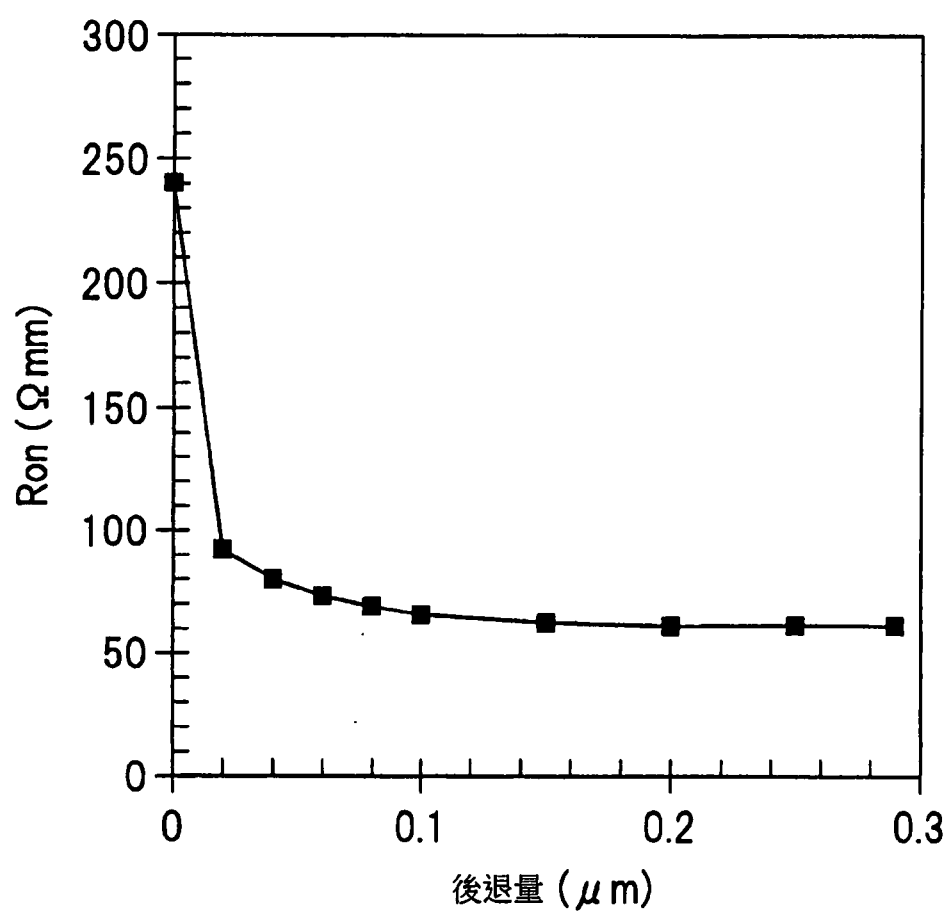


圖33

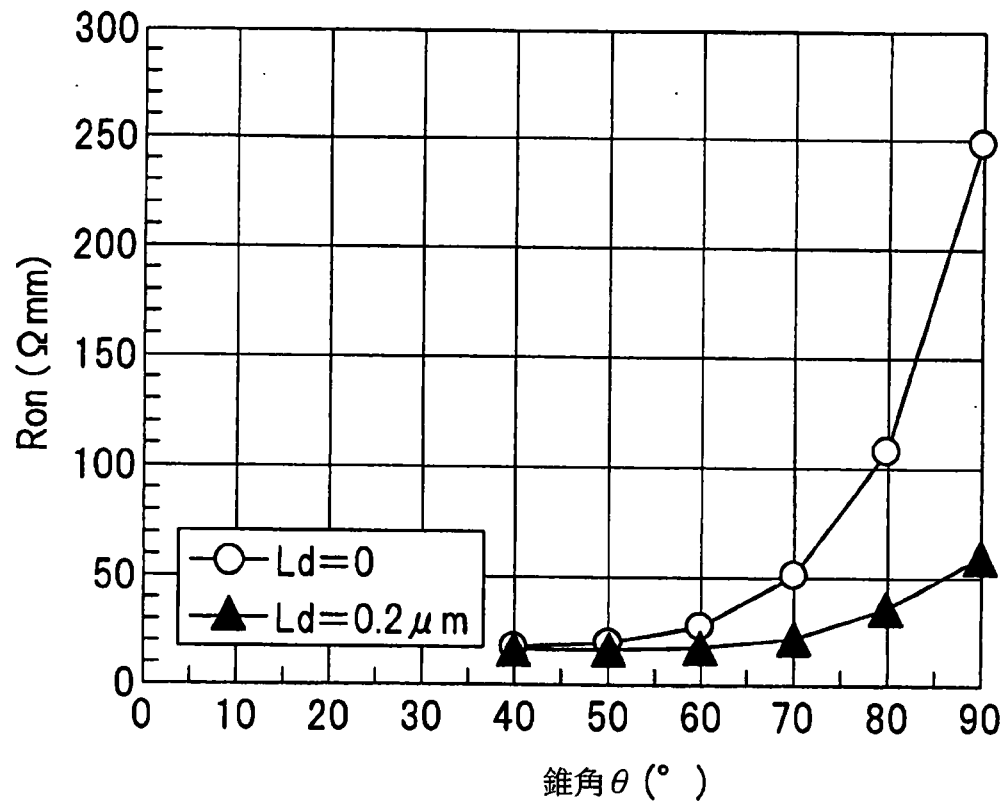


圖34

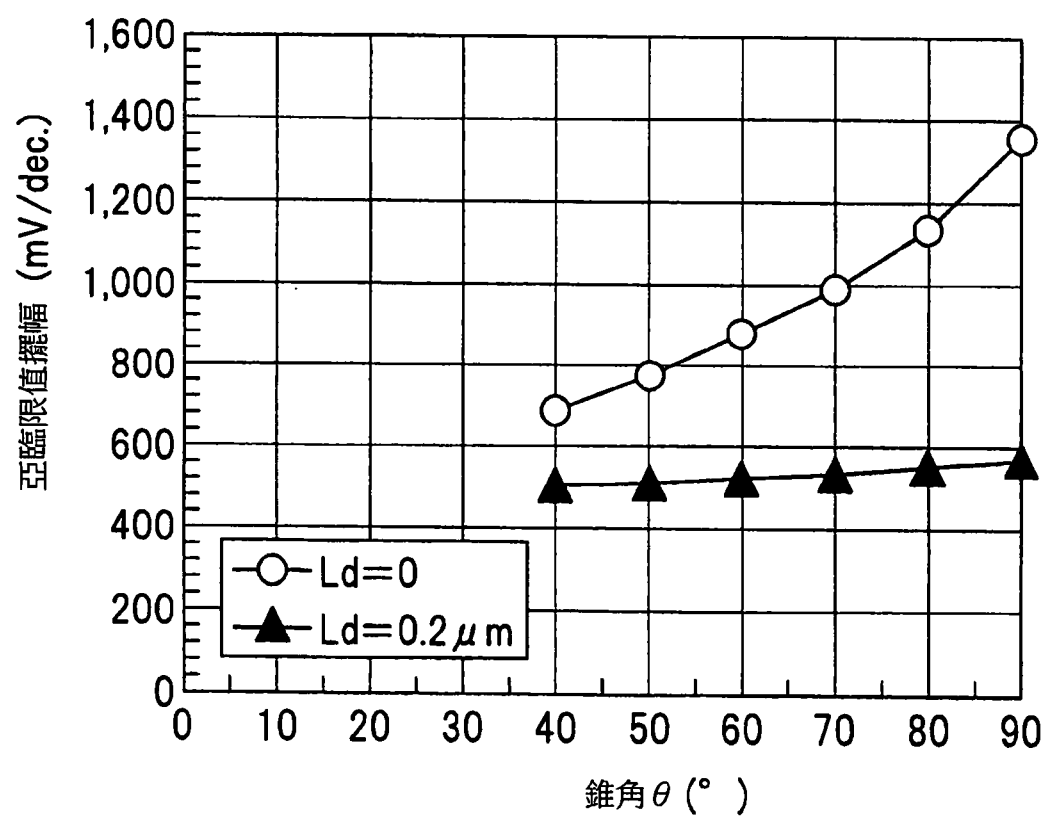


圖35

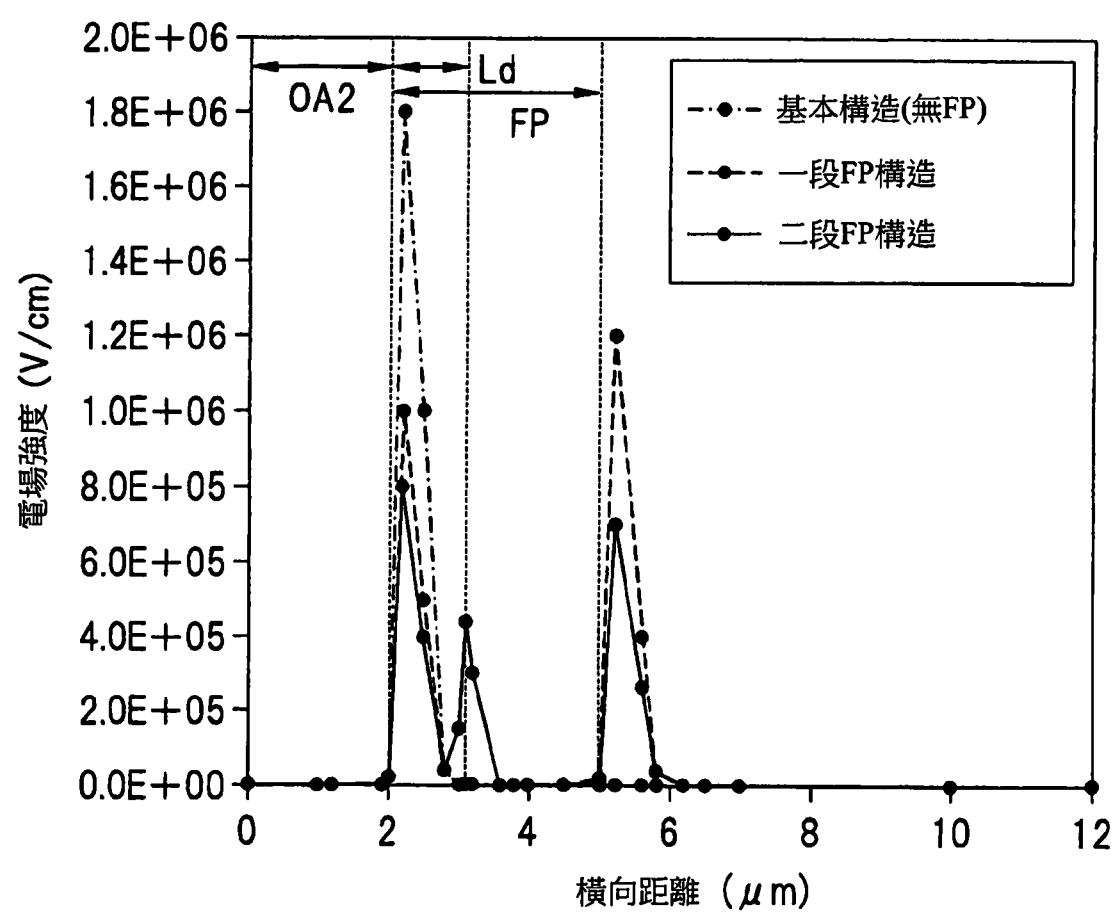


圖36

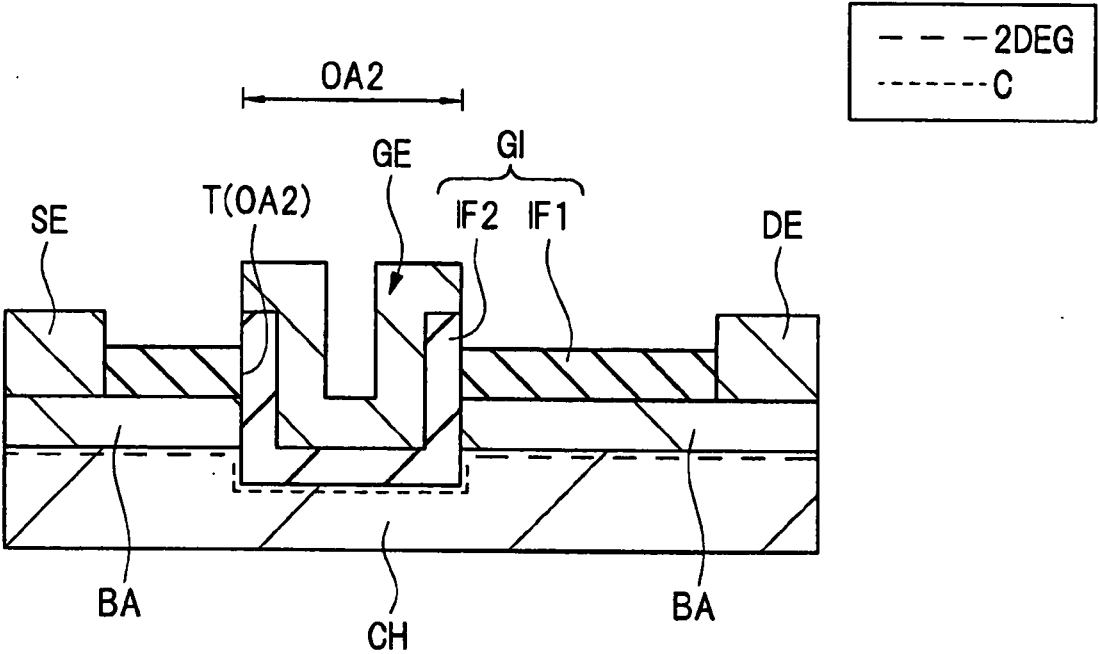


圖37



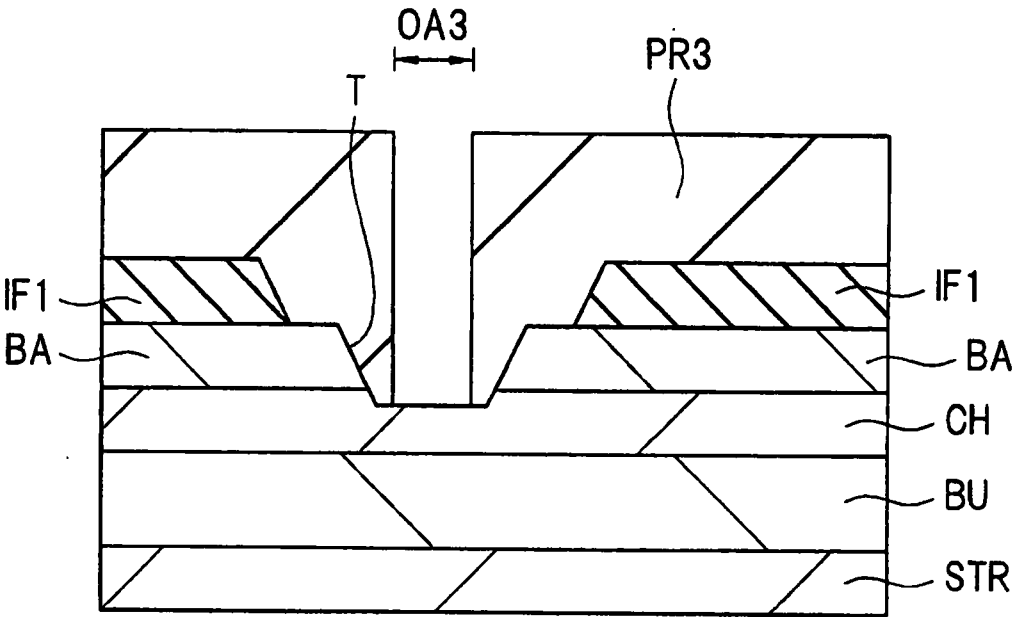


圖40

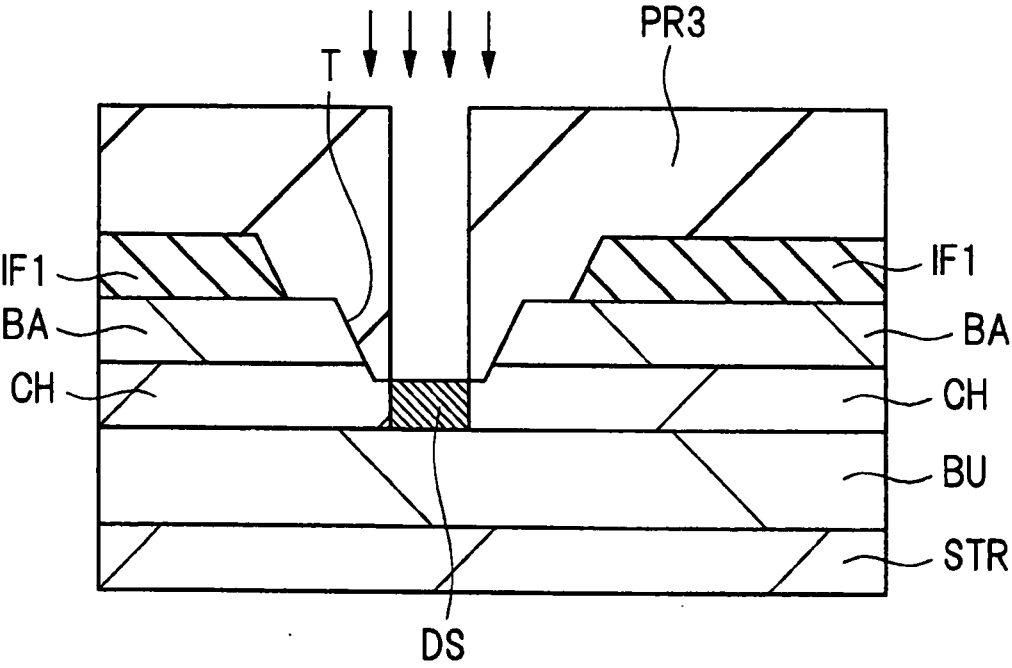


圖41

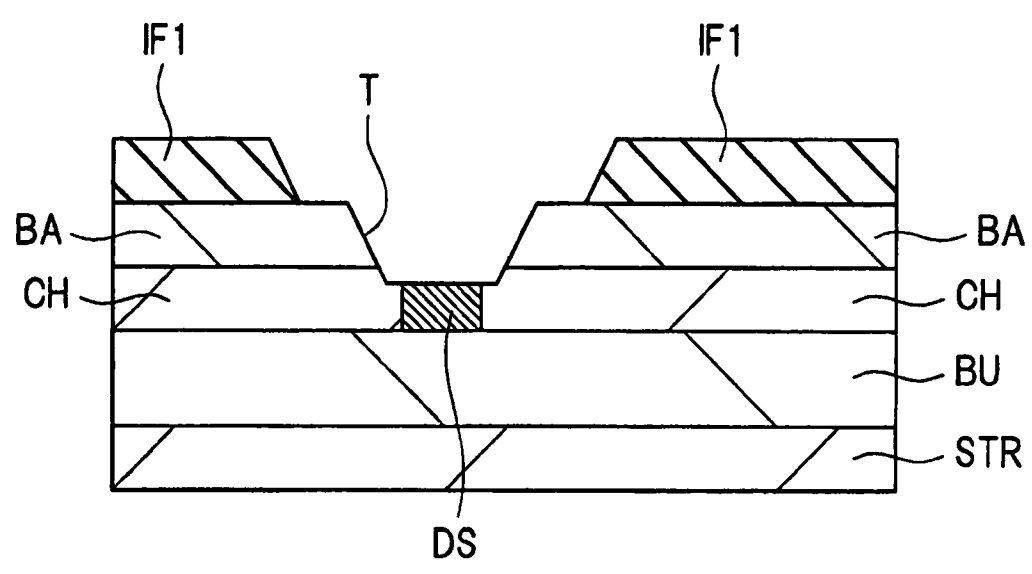


圖42

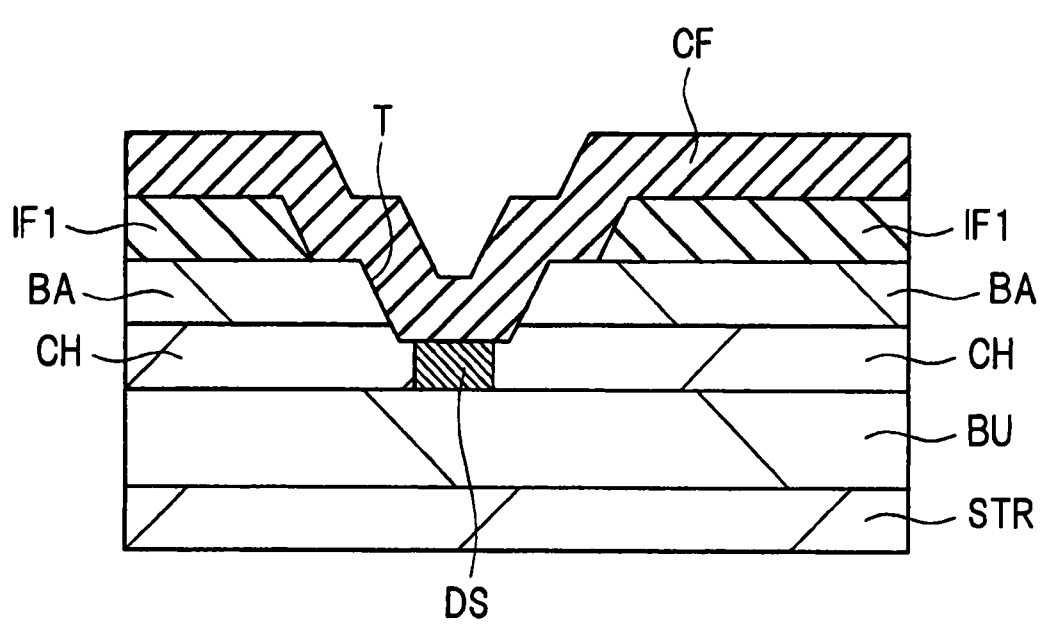


圖43

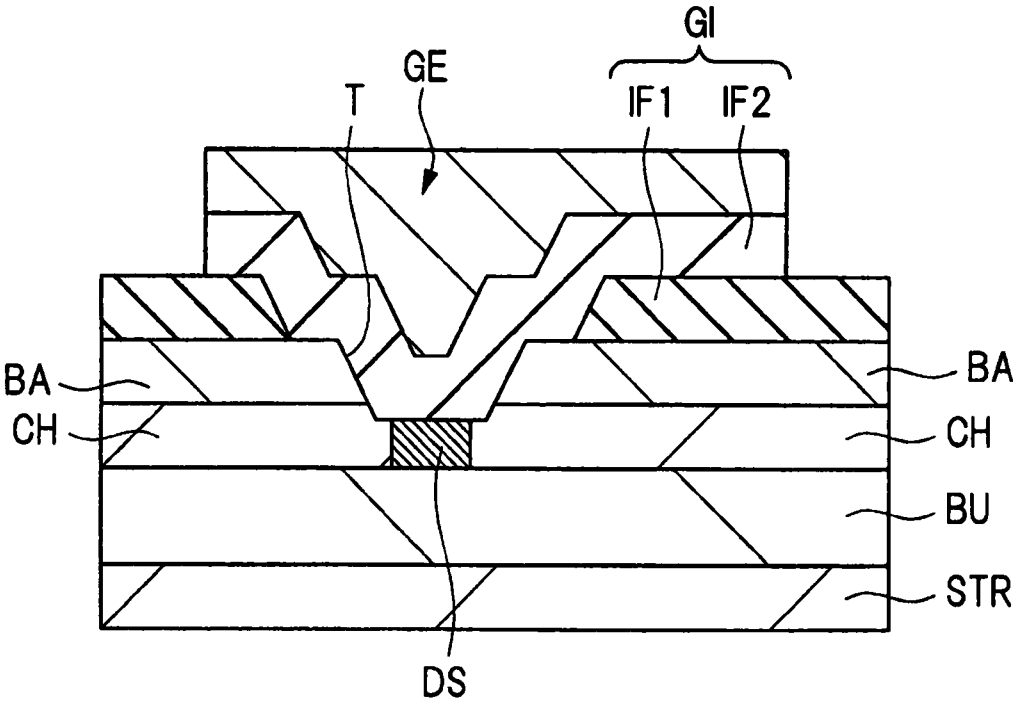


圖44

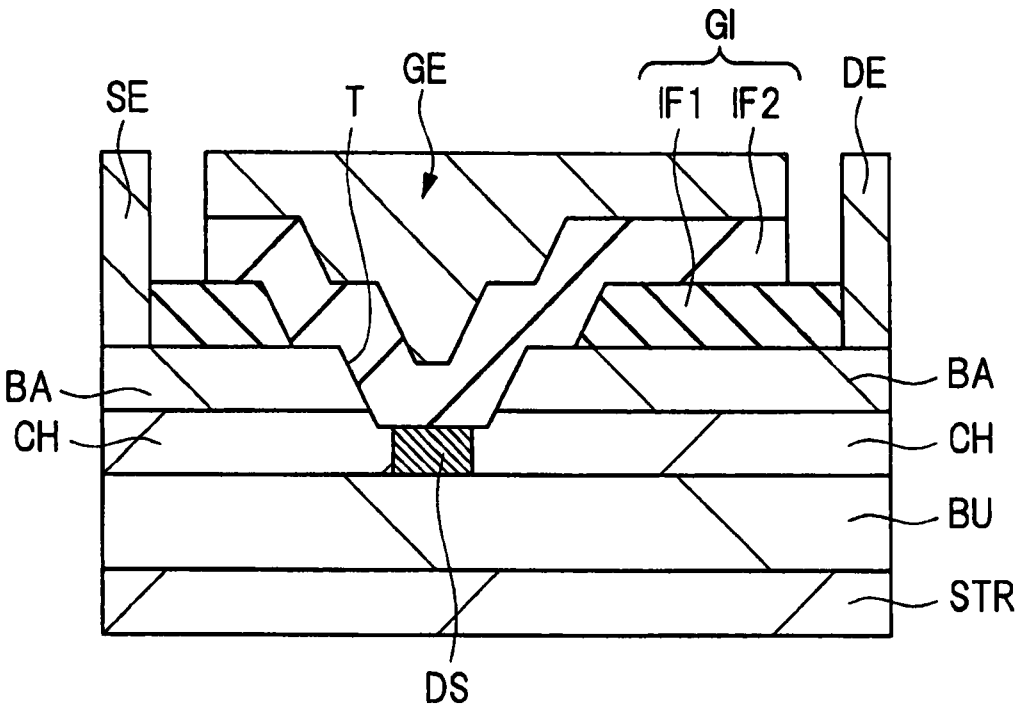


圖45

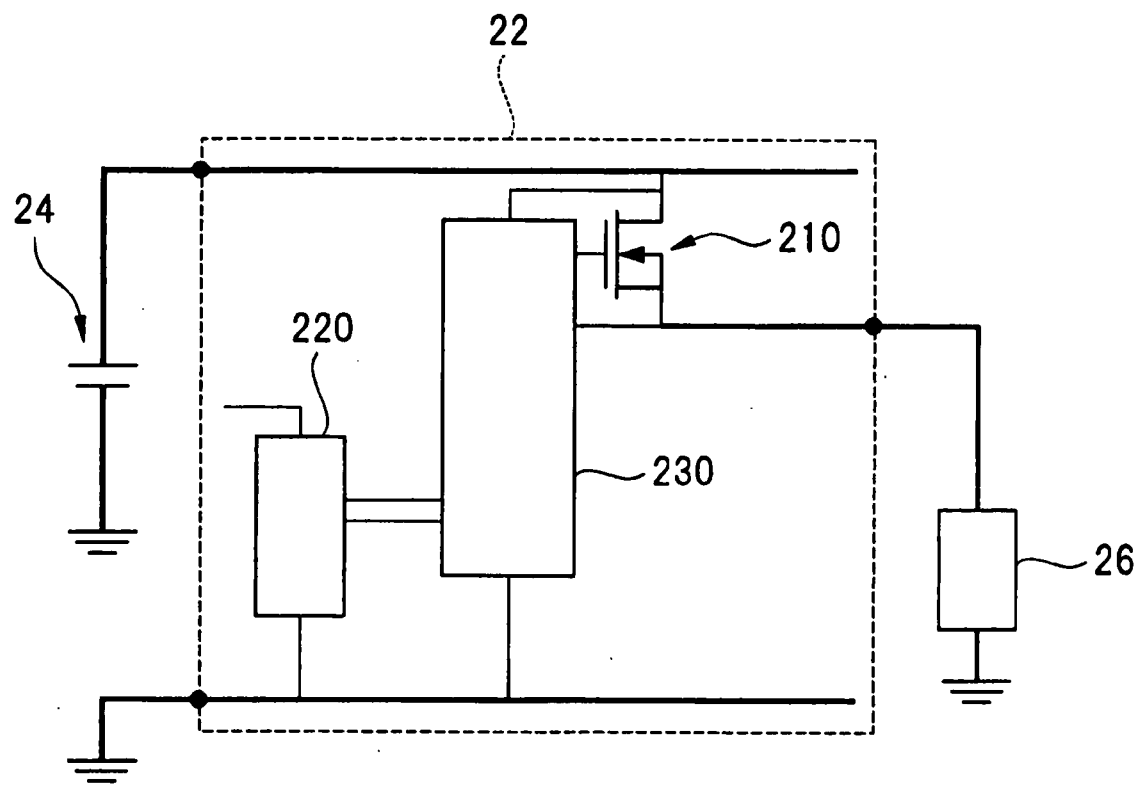


圖46

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明係關於一種半導體裝置及半導體裝置之製造方法，例如係可較適宜地利用於使用氮化物半導體之半導體裝置及其製造方法者。

【先前技術】

近年來，使用具有大於Si之帶隙之III-V族之化合物之半導體裝置正備受注目。於其中，使用具有以下優點之氮化鎵(GaN)之半導體裝置之開發亦處於進展中：1)絕緣破壞電場較大之點、2)電子飽和速度較大之點、3)導熱率較大之點、4)可於AlGaN與GaN之間形成良好之異質接合之點、及5)為無毒且安全性較高之材料之點等。

再者，根據高耐壓及高速開關特性，使用氮化鎵之功率MISFET(Metal Insulator Semiconductor Field Effect Transistor：金屬絕緣半導體場效電晶體)，且為可實現常斷動作之半導體裝置之開發正處於進展中。

例如，於以下之非專利文獻1中，揭示有一種使用AlGaN與GaN之異質接合，為了進行常斷動作，將閘極凹槽向較異質接合更為後側之位置挖入之構造之MISFET。

又，於以下之非專利文獻2中，揭示有一種於將閘極凹槽向較異質接合更為後側之位置挖入時，使用將絕緣膜圖案化開口之掩膜，使

該絕緣膜殘存於裝置中之MISFET。

又，於以下之非專利文獻3中，有關於將氮化膜應用於AlGa_N/Ga_N異質接合系磊晶之表面保護膜之情形時之AlGa_N之表面電位之降低效果之記載。例如，揭示有於以Cat-CVD(Catalytic Chemical Vapor Deposition：催化化學氣相沉積)形成氮化膜之情形時，表面電位降低效果相當大。

又，於以下之非專利文獻4中，有關於在將ECR濺鍍成膜所產生之各種保護膜應用於AlGa_N/Ga_N異質接合系磊晶之表面保護膜之情形時，於表面保護膜與AlGa_N之界面之表面電位阻障高度與界面片材電荷密度之記載。

又，於以下之專利文獻1中，揭示有一種電晶體，其非具有閘極凹槽之電晶體，而係使場板層之厚度階段性變化之異質接合場效電晶體。

又，於以下之專利文獻2及專利文獻3中，揭示有一種半導體裝置，其非具有閘極凹槽之半導體裝置，而係具有與閘極電極一體形成之第1場板電極、及與源極電極一體形成之第2場板電極之半導體裝置。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利第4888115號公報

[專利文獻2]日本專利第4417677號公報

[專利文獻3]美國專利第7075125號說明書

[非專利文獻]

[非專利文獻1]N. Ikeda et al., “Over 1.7 kV normally-off Ga_N hybrid MOS-HFETs with a lower on-resistance on a Si substrate,” IE3 International Symposium on Power semiconductor Devices and ICs

(ISPSD), pp. 284-287, 2011.

[非專利文獻2]K. Ota et al., “A Normally-off GaN FET with High Threshold Voltage Uniformity Using A Novel Piezo Neutralization Technique,” International Electron Device Meeting (IEDM) 2009, IEDM09-154, 2009.

[非專利文獻3]N. Onojima et al., “Reduction in potential barrier height of AlGa_N/Ga_N heterostructures by Si₃N₄ passivation,” J. Appl. Phys. 101, 043703 (2007)

[非專利文獻4]N. Maeda et al., “Systematic Study of Deposition Effect (Si₃N₄, SiO₂, AlN, and Al₂O₃) on Electrical Properties in AlGa_N/Ga_N Heterostructures,” Jpn. J. Appl. Phys., Vol. 46, No. 2 (2007), pp. 547-554

【發明內容】

[發明所欲解決之問題]

本發明者係從事於使用如上所述之氮化物半導體之半導體裝置之研究開發，對常斷型之半導體裝置之特性提高，正在深入研究。於該過程中，已判明對使用氮化物半導體之半導體裝置之特性有進一步改善之餘地。

其他課題與新穎之特徵應可自本說明書之記述及附加圖式明瞭。

[解決問題之技術手段]

若簡單說明本案所揭示之實施形態中之具有代表性者之概要，則如下所述。

本案所揭示之一實施形態所示之半導體裝置係具有介隔閘極絕緣膜配置於槽內之閘極電極之半導體裝置。以具有位於槽之端部側且自槽之端部向第1電極側延伸之第1部、與較第1部位於更靠近第1電極

側之位置且膜厚大於上述第1部之第2部之方式構成該閘極絕緣膜。

本案所揭示之一實施形態所示之半導體裝置之製造方法具有如下步驟：將第1膜作為掩膜，蝕刻第1氮化物半導體層及第2氮化物半導體層之積層體，藉此形成貫通第2氮化物半導體層而到達至第1氮化物半導體層之中途之槽。且，使第1膜之端部自槽之端部後退之後，於包含槽之內部之第1膜上形成第2膜。

[發明之效果]

根據本案所揭示之以下所示之具有代表性之實施形態所示之半導體裝置，可提高半導體裝置之特性。

又，根據本案所揭示之以下所示之具有代表性之實施形態所示之半導體裝置之製造方法，可製造特性良好之半導體裝置。

【圖式簡單說明】

圖1係顯示實施形態1之半導體裝置之構成之剖面圖。

圖2係顯示實施形態1之半導體裝置之製造步驟之剖面圖。

圖3係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖2後之製造步驟之剖面圖。

圖4係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖3後之製造步驟之剖面圖。

圖5係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖4後之製造步驟之剖面圖。

圖6係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖5後之製造步驟之剖面圖。

圖7係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖6後之製造步驟之剖面圖。

圖8係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖7後之製造步驟之剖面圖。

圖9係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖8後之製造步驟之剖面圖。

圖10係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖9後之製造步驟之剖面圖。

圖11係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖10後之製造步驟之剖面圖。

圖12係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖11後之製造步驟之剖面圖。

圖13係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖12後之製造步驟之剖面圖。

圖14係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖13後之製造步驟之剖面圖。

圖15係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖14後之製造步驟之剖面圖。

圖16係顯示實施形態1之半導體裝置之製造步驟之剖面圖，係顯示繼圖15後之製造步驟之剖面圖。

圖17係示意性顯示比較例之半導體裝置之構成之剖面圖。

圖18係示意性顯示實施形態1之半導體裝置之閘極電極附近之構成之剖面圖。

圖19係示意性顯示實施形態1之半導體裝置之變化例1之構成之剖面圖。

圖20係示意性顯示實施形態1之半導體裝置之變化例2之構成之剖面圖。

圖21係示意性顯示實施形態2之半導體裝置之構成之剖面圖。

圖22係顯示實施形態2之半導體裝置之製造步驟之剖面圖。

圖23係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯

示繼圖22後之製造步驟之剖面圖。

圖24係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖23後之製造步驟之剖面圖。

圖25係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖24後之製造步驟之剖面圖。

圖26係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖25後之製造步驟之剖面圖。

圖27係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖26後之製造步驟之剖面圖。

圖28係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖27後之製造步驟之剖面圖。

圖29係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖28後之製造步驟之剖面圖。

圖30係顯示實施形態2之半導體裝置之製造步驟之剖面圖，係顯示繼圖29後之製造步驟之剖面圖。

圖31係顯示實施形態2之半導體裝置之另一製造步驟之剖面圖。

圖32係顯示實施形態2之半導體裝置之另一製造步驟之剖面圖，係顯示繼圖31後之製造步驟之剖面圖。

圖33係顯示半導體裝置之接通電阻與後退量之關係之圖表。

圖34係顯示半導體裝置之接通電阻與錐角之關係之圖表。

圖35係顯示半導體裝置之S值與錐角之關係之圖表。

圖36係顯示後退量 $L_d = 0$ 之情形、後退量 $L_d = 0.2 \mu m$ 之情形及無場板電極之情形時之半導體裝置之電場強度分佈之圖表。

圖37係示意性顯示無場板電極之半導體裝置之構成之剖面圖。

圖38係示意性顯示實施形態3之半導體裝置之構成之剖面圖。

圖39係顯示實施形態3之半導體裝置之製造步驟之剖面圖。

圖40係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖39後之製造步驟之剖面圖。

圖41係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖40後之製造步驟之剖面圖。

圖42係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖41後之製造步驟之剖面圖。

圖43係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖42後之製造步驟之剖面圖。

圖44係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖43後之製造步驟之剖面圖。

圖45係顯示實施形態3之半導體裝置之製造步驟之剖面圖，係顯示繼圖44後之製造步驟之剖面圖。

圖46係顯示實施形態4之電子裝置之構成之電路圖。

【實施方式】

於以下實施形態中爲了方便起見，於有必要時，分割成複數個部分或實施形態進行說明，但除了特別明示之情形以外，該等並非彼此無關係者，存在一者係另一者之一部分或全部之變化例、應用例、詳細說明、補充說明等之關係。又，於以下實施形態中，提及要件之數等(包含個數、數值、量、範圍等)之情形時，除了特別明示之情形及原理上明確限定於特定之數之情形等以外，並非限定於該特定之數者，亦可為特定之數以上或以下。

再者，於以下實施形態中，其構成要件(亦包含要件步驟等)係除了特別明示之情形及認為原理上明確必須之情形等以外，並非必須。同樣地，於以下實施形態中，提及構成要件等之形狀、位置關係等時，除了特別明示之情形及認為原理上明確並非如此之情形等以外，包含實質上與該形狀等近似或類似者等。此點對上述數等(包含個

數、數值、量、範圍等)亦為相同。

以下，基於圖式詳細說明實施形態。另，於用以說明實施形態之所有圖中，對具有相同功能之構件標註相同或關連之符號，並省略其重複之說明。又，於存在複數個類似之構件(部位)之情形時，有時對總稱之符號追加記號而顯示個別或特定之部位。又，於以下實施形態中，除了特別必要時以外，原則上不重複同一或相同之部分之說明。

又，於實施形態所使用之圖式中，亦有為了容易觀察圖式，即便為剖面圖亦省略陰影線之情形。

又，於剖面圖中，各部位之大小並非與實際裝置對應者，為了易於理解圖式，有相對放大顯示特定之部位之情形。

(實施形態1)

以下，一面參照圖式一面對本實施形態之半導體裝置進行詳細說明。圖1係顯示本實施形態之半導體裝置之構成之剖面圖。圖2～圖16係顯示本實施形態之半導體裝置之製造步驟之剖面圖。

[構造說明]

圖1係顯示本實施形態之半導體裝置之構成之剖面圖。圖1所示之半導體裝置係使用氮化物半導體之MIS(Metal Insulator Semiconductor：金屬絕緣半導體)型之場效電晶體(FET；Field Effect Transistor)。該半導體裝置亦稱為高電子遷移率電晶體(HEMT：High Electron Mobility Transistor)或功率電晶體。本實施形態之半導體裝置係所謂之凹槽閘極型之半導體裝置。

於本實施形態之半導體裝置中，於基板S上依序形成有核產生層NUC、形變緩和層STR、緩衝層BU、通道層(亦稱為電子移動層)CH及阻障層BA。閘極電極GE係貫通阻障層BA，介隔閘極絕緣膜GI形成於到達至通道層之中途之槽T之內部。通道層CH或阻障層BA包含氮

化物半導體，阻障層BA係帶隙較通道層CH更寬之氮化物半導體。

於通道層CH與阻障層BA之界面附近之通道層CH側，產生2維電子氣2DEG。又，在於閘極電極GE施加有正電位(臨限值電位)之情形時，於閘極絕緣膜GI與通道層CH之界面附近形成通道C。作為形成該通道C之區域之電阻，有沿著槽T之底面產生之MIS通道之電阻即通道電阻 R_{ch} 、沿著槽T之源極電極SE側之側面(亦稱為側壁)產生之MIS通道之電阻即通道電阻 R_{as} 、及沿著槽T之汲極電極DE側之側面產生之MIS通道之電阻即通道電阻 R_{ad} 。

上述2維電子氣2DEG係由以下機制形成。構成通道層CH或阻障層BA之氮化物半導體(此處為氮化鎵系之半導體)係禁帶寬度(帶隙)或電子親和力分別不同。因此，於該等半導體之接合面，產生井型電位。藉由於該井型電位內累積電子，於通道層CH與阻障層BA之界面附近產生2維電子氣2DEG。

此處，形成於通道層CH與阻障層BA之界面附近之2維電子氣2DEG係藉由形成有閘極電極GE之槽T分斷。因此，於本實施形態之半導體裝置中，可在於閘極電極GE未施加有正電位(臨限值電位)之狀態維持斷開狀態，可在於閘極電極GE已施加正電位(臨限值電位)之狀態維持接通狀態。如此，可進行常斷動作。

對本實施形態之半導體裝置之構成，進一步詳細說明。如圖1所示，本實施形態之半導體裝置係於基板S上形成有核產生層NUC，且於核產生層NUC上形成有形變緩和層STR。核產生層NUC係為了產生形變緩和層STR等形成於上部之層生長時之結晶核而形成。又，形成於上部之層之構成元素(例如Ga等)自形成於上部之層擴散至基板S，係為了防止基板S變質而形成。又，形變緩和層STR係為了緩和相對於基板S之應力，抑制於基板S產生翹曲或龜裂而形成。

於該形變緩和層STR上形成有緩衝層BU，於緩衝層BU上形成有

包含氮化物半導體之通道層(亦稱為電子移動層)CH，且於通道層CH上形成有包含氮化物半導體之阻障層BA。即，於形變緩和層STR之主面(上表面)上，自下而上依序形成(積層)有緩衝層BU、通道層CH及阻障層BA。於阻障層BA上，介隔歐姆層分別形成有源極電極SE及汲極電極DE。緩衝層BU係位於通道層CH與形變緩和層STR之間之中間層。

閘極電極GE係貫通絕緣膜IF1及阻障層BA，介隔閘極絕緣膜GI形成於挖入至通道層CH之中途之槽(亦稱為溝槽、凹槽)T之內部。

閘極絕緣膜GI包含絕緣膜IF1與絕緣膜IF2之積層膜。絕緣膜IF1於開口區域OA1具有開口部。該開口部係設置於較槽T之形成區域(開口區域OA2)更靠近汲極電極DE側距離Ld之較寬之區域。換言之，絕緣膜IF1係自槽T之汲極電極DE側之端部後退距離Ld。有時亦將該距離Ld稱為“後退量Ld”。

如此，使絕緣膜IF1自槽T之汲極電極DE側之端部後退距離Ld而配置，再者，於包含槽T之內部之絕緣膜IF1之上部配置絕緣膜IF2。藉此，使包含絕緣膜IF1與絕緣膜IF2之積層膜之閘極絕緣膜GI之膜厚於槽T之汲極電極DE側之端部成為與絕緣膜IF1之膜厚對應之膜厚T1，於超過後退量Ld之汲極電極DE側，成為與絕緣膜IF1及絕緣膜IF2之膜厚之和對應之膜厚T2(> T1)。

又，換言之，閘極絕緣膜GI係於自槽T之汲極電極DE側之端部至汲極電極DE之間具有包含絕緣膜IF2之單層膜之第1部、與較該第1部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2部。自槽T之汲極電極DE側之端部至第2部(絕緣膜IF2之槽T側之端部)成為距離Ld。

於包含絕緣膜IF1與絕緣膜IF2之積層膜之閘極絕緣膜GI上配置有閘極電極GE。該閘極電極GE係於一方向(於圖1中為右側，汲極電極

DE側)伸出之形狀。該伸出部係稱為場板電極(亦稱為場板電極部)FP。該場板電極FP係自汲極電極DE側之槽T之端部向汲極電極DE側延伸之閘極電極GE之一部分之區域。

因此，閘極電極GE(場板電極FP)係位於包含絕緣膜IF2之單層膜之第1部上，又，亦位於較該第1部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2部上。換言之，於場板電極FP之下層，配置包含絕緣膜IF2之單層膜之第1部、與較該第1部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2部。

如此，以位於槽T之汲極電極DE側之端部之第1部、與較該第1部位於更靠近汲極電極DE側之位置且膜厚大於上述第1部之第2部，構成閘極絕緣膜GI，於其上部配置包含場板電極FP之閘極電極GE。藉此，由於槽T之汲極電極DE側之端部之閘極絕緣膜GI之膜厚(T1)減小，故於形成通道C之槽T之底面或側面中之汲極電極DE側之底面部或側面，閘極調變容易發揮作用。換言之，更容易形成通道C。因此，可降低沿著槽T之汲極電極DE側之側面產生之通道電阻Rad。

又，藉由設置上述第1部及上述第2部，而如追加詳細說明般，場板電極FP之下方之電場集中部位分散至2部位(參照圖18)。因此，電場集中緩和，閘極耐壓提高。再者，藉此，可縮短場板電極FP之長度，進而可縮短閘極電極GE與汲極電極DE之間之距離。因此，可實現裝置之縮小化或高積體化。

於該閘極電極GE之兩側之阻障層BA上，形成有源極電極SE及汲極電極DE。另，相較於自槽T之端部至源極電極SE之距離，自槽T之端部至汲極電極DE之距離更大。該源極電極SE及汲極電極DE係以分別經由絕緣膜IF1或絕緣層IL1之開口部而與阻障層BA連接之方式形成。該連接係歐姆連接。

於閘極電極GE上形成有絕緣層IL1。又，上述源極電極SE及汲極電極DE係形成於絕緣層IL1中形成之接觸孔內及其上部。於該絕緣層IL1、源極電極SE及汲極電極DE上形成有絕緣層IL2。

[製法說明]

接著，一面參照圖2～圖16，一面說明本實施形態之半導體裝置之製造方法，且進一步明確該半導體裝置之構成。圖2～圖16係顯示本實施形態之半導體裝置之製造步驟之剖面圖。

如圖2所示，於基板S上依序形成核產生層NUC、形變緩和層STR及緩衝層BU。作為基板S，使用例如包含(111)面露出之矽(Si)之半導體基板，於其上部，作為核產生層NUC，使用例如使用有機金屬氣相沉積(MOCVD：Metal Organic Chemical Vapor Deposition)法等使氮化鋁(AlN)層異質磊晶生長。接著，於核產生層NUC上，作為形變緩和層STR，形成使氮化鎵(GaN)層與氮化鋁(AlN)層之積層膜(AlN/GaN膜)反復積層而成之超晶格構造體。例如，使用有機金屬氣相沉積法等，使氮化鎵(GaN)層及氮化鋁(AlN)層分別以2～3 nm左右之膜厚，各自反復異質磊晶生長為100層(合計200層)左右。另，作為基板S，除了上述矽以外，亦可使用包含SiC或藍寶石等之基板。再者通常，包含核產生層NUC且核產生層NUC以下之III族氮化物層係全部以III族元素面生長(即本案之情形時，鎵面生長或鋁面生長)形成。

接著，於形變緩和層STR上形成緩衝層BU。於形變緩和層STR上，作為緩衝層BU，使用例如有機金屬氣相沉積法等使AlGaN層異質磊晶生長。

接著，於緩衝層BU上形成通道層CH。例如，於緩衝層BU上，使用有機金屬氣相沉積法等使氮化鎵(GaN)層異質磊晶生長。該通道層CH之膜厚係例如3 nm以上。

接著，於通道層CH上，作為阻障層BA，例如使用有機金屬氣相

沉積法等使AlGa_N層異質磊晶生長。該阻障層BA之AlGa_N層之Al之組成比大於上述緩衝層BU之AlGa_N層之Al之組成比。

如此，形成緩衝層BU、通道層CH及阻障層BA之積層體。該積層體係藉由上述異質磊晶生長、即於[0001]結晶軸(C軸)方向積層之III族面生長而形成。換言之，藉由(0001)Ga面生長形成上述積層體。於該積層體中之通道層CH與阻障層BA之界面附近，產生2維電子氣2DEG。

接著，如圖3所示，於阻障層BA上，形成絕緣膜IF1作為頂蓋膜。作為頂蓋膜，較佳為使用氮化矽膜。該氮化矽膜對於抑制Ga_N裝置之電流崩塌現象較為有效。又，作為氮化矽膜之成膜方法，雖有CVD法或ECR濺鍍法，但由於ECR濺鍍法有使裝置變得複雜之嫌，故於量產上多使用CVD法。因此例如，作為絕緣膜IF1，使用CVD(Chemical Vapor Deposition：化學氣相沉積)法等，以900埃(1 Å = 10⁻¹⁰ m)左右之膜厚堆積氮化矽膜(含有氮化矽之膜)。接著，於絕緣膜IF1上，作為掩膜用之絕緣膜IFM，使用CVD法等，以900埃左右之膜厚堆積氧化矽膜。

接著，如圖4所示，使用光學微影技術，形成於開口區域OA1具有開口部之光阻膜PR1。接著，如圖5所示，將光阻膜PR1作為掩膜，蝕刻掩膜用之絕緣膜IFM。作為氧化矽膜之蝕刻氣體，可使用例如C₄H₈等烴類氣體。藉此，如圖5所示，於絕緣膜IF1上，形成於開口區域OA1具有開口部之掩膜用之絕緣膜IFM。接著，如圖6所示，藉由電漿剝離處理等去除光阻膜PR1。

接著，如圖7所示，使用光學微影技術，形成於位於開口區域OA1之內側之開口區域OA2具有開口部之光阻膜PR2。接著，如圖8所示，將光阻膜PR2作為掩膜，蝕刻絕緣膜IF1。作為氮化矽膜之蝕刻氣體，可使用例如SF₆或CF₄等氟系之氣體。由於下層之阻障層

BA(AlGaIn層)幾乎未被氟系之氣體蝕刻，故作為掩膜用之絕緣膜IFM(氧化矽膜)之蝕刻氣體，使用氟系之氣體較適宜。

接著，藉由電漿剝離處理等去除光阻膜PR2。藉此，如圖9所示，於阻障層BA上，形成於開口區域OA2具有開口部之絕緣膜IF1。再者，於該絕緣膜IF1上，配置自開口區域OA2之一端後退之絕緣膜IFM，且為於開口區域OA1具有開口部之掩膜用之絕緣膜IFM。該絕緣膜IF1成為閘極絕緣膜GI之一部分。又，絕緣膜IFM成為用以使絕緣膜IF1自後述之槽T之端部後退之蝕刻時之掩膜。

接著，如圖10所示，將絕緣膜IF1及絕緣膜IFM之積層膜作為掩膜，蝕刻阻障層BA及通道層CH(亦稱為積層體)，藉此，形成貫通絕緣膜IF1及阻障層BA而到達至通道層CH之中途之槽T。作為蝕刻氣體，使用例如氯系之氣體(BCl_3 等)。此處，於圖10中雖未明示，但於用以形成槽T之蝕刻時，亦可於絕緣膜IFM之表面或絕緣膜IF1之露出部，蝕刻該等膜，而降低其膜厚。於該蝕刻之後，為了恢復蝕刻損傷，亦可進行熱處理(退火)。

接著，如圖11所示，將掩膜用之絕緣膜IFM作為掩膜，蝕刻絕緣膜IF1。藉此，絕緣膜IF1之槽T側之端部向一方向(於圖11中為右側)後退。將後退量(後退距離)設為“ L_d ”。該方向係後述之汲極電極DE側。接著，如圖12所示，藉由蝕刻去除掩膜用之絕緣膜IFM。

又，亦可將殘存之掩膜用之絕緣膜IFM及絕緣膜IF1之積層膜蝕刻特定之膜厚度(絕緣膜IF1之露出部之膜厚度)，使絕緣膜IF1之槽T側之端部後退。此時，亦可以完全去除掩膜用之絕緣膜IFM，調整蝕刻量。又，於掩膜用之絕緣膜IFM殘存之情形時，亦可另外藉由蝕刻去除殘存之絕緣膜IFM。

接著，如圖13所示，於槽T內及包含阻障層BA之露出部之絕緣膜IF1上，形成絕緣膜IF2。該絕緣膜IF1與絕緣膜IF2係作為閘極絕緣膜

GI發揮功能。另，於已對閘極電極GE施加正電位(臨限值電位)之狀態下，有助於閘極調變之閘極絕緣膜GI主要為絕緣膜IF2之部分。

例如，作為絕緣膜IF2，使用ALD(Atomic Layer Deposition：原子層沉積)法等，將氧化鋁(氧化鋁膜、 Al_2O_3)堆積於槽T內及包含阻障層BA之露出部之絕緣膜IF1上。作為絕緣膜IF2，除了氧化鋁(含有氧化鋁之膜)以外，亦可使用氧化矽膜、或介電常數高於氧化矽膜之高介電常數膜。作為高介電常數膜，亦可使用氧化鈺膜(HfO_2 膜)。又，作為高介電常數膜，亦可使用如鋁酸鈺膜、HfON膜(氮氧化鈺膜)、HfSiO膜(矽酸鈺膜)、HfSiON膜(氮氧化矽鈺膜)、HfAlO膜之其他鈺系絕緣膜。

如此，以如上所述之絕緣膜IF1與絕緣膜IF2之積層膜構成閘極絕緣膜GI。藉此，於槽T之側壁側，設置包含絕緣膜IF2之單層膜之第1膜厚部。又，於後述之汲極電極DE側，設置包含絕緣膜IF1及絕緣膜IF2之積層膜之第2膜厚部。第2膜厚部之膜厚T2大於第1膜厚部之膜厚T1(參照圖13)。

接著，於槽T之內部之閘極絕緣膜GI上形成閘極電極GE。例如，於閘極絕緣膜GI上，作為導電性膜，例如使用濺鍍法等堆積包含鎳(Ni)膜與其上部之金(Au)膜之積層膜(亦稱為Au/Ni膜)。接著，使用光學微影技術及蝕刻技術，將Au/Ni膜圖案化，藉此形成閘極電極GE。另，亦可於該Au/Ni膜之蝕刻時，蝕刻下層之絕緣膜IF2。

於該圖案化時，將閘極電極GE圖案化成於一方向(於圖13中為右側、汲極電極DE側)伸出之形狀。換言之，以設置場板電極(亦稱為場板電極部)FP作為閘極電極GE之一部分之方式進行圖案化。場板電極FP係閘極電極GE之一部分之區域，係指自汲極電極DE側之槽T之端部向汲極電極DE側延伸之電極部分。

即，場板電極FP係以覆蓋包含絕緣膜IF2之單層膜之第1膜厚部

上、及較該第1膜厚部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2膜厚部上之方式配置。

接著，如圖14所示，去除後述之源極電極SE及汲極電極DE之形成區域之絕緣膜IF1。使用光學微影技術及蝕刻技術，將絕緣膜IF1圖案化，藉此使源極電極SE及汲極電極DE之形成區域之阻障層BA露出。另，亦可於後述之接觸孔C1之形成時進行該絕緣膜IF1之去除。

接著，如圖15所示，於閘極電極GE上形成絕緣層IL1。於閘極電極GE、絕緣膜IF1及阻障層BA上，作為絕緣層IL1，例如使用CVD法等形成氧化矽膜。此後，使用光學微影技術及蝕刻技術，於絕緣層IL1中形成接觸孔C1。該接觸孔C1係配置於閘極電極GE之兩側之阻障層BA上。

接著，如圖16所示，於包含接觸孔C1之內部之絕緣層IL1上形成歐姆層(未圖示)。例如，使用蒸鍍法等，將包含鈦(Ti)膜與其上部之鋁(Al)膜之積層膜(亦稱為Al/Ti膜)堆積於包含接觸孔C1內之絕緣層IL1上。再者，例如，使用濺鍍法等，將包含鈦(Ti)膜與其上部之氮化鈦(TiN)膜之積層膜(亦稱為TiN/Ti膜)堆積於Al/Ti膜上。藉此，形成鈦(Ti)膜、鋁(Al)膜、鈦(Ti)膜及氮化鈦(TiN)膜之積層膜(亦稱為TiN/Ti/Al/Ti膜)，例如以550℃進行30分左右之熱處理。藉由該熱處理，TiN/Ti/Al/Ti膜與GaN系半導體界面之接觸成為歐姆接觸。接著，於TiN/Ti/Al/Ti膜(歐姆層，未圖示)上，使用濺鍍法等堆積鋁合金膜。作為鋁合金，例如可使用Al與Si之合金(Al-Si)、Al與Cu(銅)之合金(Al-Cu)、Al、Si及Cu(Al-Si-Cu)等。接著，使用光微影技術及蝕刻技術，將TiN/Ti/Al/Ti膜及鋁合金膜圖案化，藉此於接觸孔C1內介隔歐姆層(未圖示)形成源極電極SE及汲極電極DE。

接著，於包含源極電極SE及汲極電極DE上之絕緣層IL1上形成絕緣層(亦稱為頂蓋膜、表面保護膜)IL2。於包含源極電極SE及汲極電

極DE上之絕緣層IL1上，作為絕緣層IL2，例如使用CVD法等堆積氮氧化矽(SiON)膜。

藉由以上步驟，可形成圖1所示之半導體裝置。另，上述步驟係一例，亦可藉由上述步驟以外之步驟，製造本實施形態之半導體裝置。

如此，根據本實施形態，由於採用使構成閘極絕緣膜GI之絕緣膜IF1與絕緣膜IF2中之絕緣膜IF1自槽T之汲極電極DE側之端部後退距離Ld而配置，再者，於包含槽T之內部之絕緣膜IF1之上部配置絕緣膜IF2之構成，故可將場板電極FP之下層之閘極絕緣膜GI設為階梯狀之構造(二段構造)。換言之，於場板電極FP之下層，配置有包含絕緣膜IF2之單層膜之第1部、與較該第1部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2部。

藉此，如上所述，由於槽T之汲極電極DE側之端部之閘極絕緣膜GI之膜厚(T1)減小，故於形成通道C之槽T之底面或側面中之汲極電極DE側之底面部或側面，閘極調變容易發揮作用。換言之，更容易形成通道C。因此，可降低沿著槽T之汲極電極DE側之側面產生之通道電阻Rad。

又，藉由設置上述第1部及上述第2部，而如追加詳細說明般，場板電極FP之下方之電場集中部位分散至2部位(參照圖18)。因此，電場集中緩和，閘極耐壓提高。再者，藉此，可縮短場板電極FP之長度，進而可縮短閘極電極GE與汲極電極DE之間之距離。因此，可實現裝置之縮小化或高積體化。

圖17係示意性顯示比較例之半導體裝置之構成之剖面圖。圖18係示意性顯示本實施形態之半導體裝置之閘極電極附近之構成之剖面圖。

於圖17所示之比較例之半導體裝置中，不將絕緣膜IF1之槽T側

之端部向汲極電極DE側後退，而使絕緣膜IF1延伸至槽T之側壁。該情形時，於槽T之汲極電極DE側之端部，絕緣膜之膜厚成為與絕緣膜IF1及絕緣膜IF2之膜厚之和對應之膜厚(T2)。即，較圖18所示之本實施形態之半導體裝置之情形厚膜化($T2 > T1$)。

因此，於圖17所示之比較例之半導體裝置中，有沿著槽T之汲極電極DE側之側面產生之通道電阻Rad增大之虞。於半導體裝置之動作時，沿著槽T之汲極電極DE側之側面產生之通道C係受到偏壓至汲極電極DE之較大之正汲極電壓之影響，成為正電位。然而，如上所述，若槽T之汲極電極DE側之端部之絕緣膜之膜厚(T2)較大，則閘極電極GE之場板電極FP與阻障層BA(半導體區域、氮化物半導體區域)之距離變大，槽T之汲極電極DE側之端部之通道C無法以閘極電壓充分調變。因此，槽T之汲極電極DE側之端部之通道C具有實效上較高之臨限值 V_{th} ，接通電阻變高。

又，藉由通道狹窄，進而，接通電阻增大。即，於阻障層BA即AlGaIn層之表面產生有負分極電荷(e)(參照圖17)。然而，作為絕緣膜IF1所使用之氮化矽膜(SiN膜)無法充分補償上述分極電荷(e)(參照非專利文獻3等)。尤其藉由熱CVD法或電漿CVD(Plasma-Enhanced CVD)將氮化矽膜(SiN膜)成膜之情形時，有成為富含Si之膜組成之傾向。根據本發明者之研究，已判明富含Si之氮化矽膜之補償AlGaIn層之表面之負分極電荷(e)之效果更小。

因此，於以藉由熱CVD法或電漿CVD成膜之富含Si之氮化矽膜覆蓋槽T之汲極電極DE側之端部之通道部之構造中，受到未被補償而殘存之負分極電荷(e)之影響，容易於槽T之汲極電極DE側之端部之通道C產生通道狹窄。藉此，半導體裝置之接通電阻進一步上升。

另，藉由以包含GaIn之覆蓋層覆蓋阻障層BA即AlGaIn層之表面，可將阻障層BA(半導體區域、氮化物半導體區域)之最表面之分極

電荷(e)自負設為正。如此，考慮解決由上述通道狹窄引起之接通電阻增加之問題之技術。然而，於使用包含GaN之覆蓋層之構造中，因包含GaN之覆蓋層/包含AlGaN層之阻障層BA之界面之負分極電荷之影響，關鍵之包含AlGaN層之阻障層BA/包含GaN之通道層CH之界面之通道C之片材電荷濃度 N_s 減少。如此，即便使用包含GaN之覆蓋層，亦難以抑制接通電阻之增大。

又，於圖17所示之比較例之半導體裝置中，於半導體裝置之動作時，電場集中於閘極電極GE之場板電極FP之汲極電極DE側之端部(地點P2)。因此，於場板電極FP之汲極電極DE側之端部(地點P2)之正下方之阻障層BA(半導體區域、氮化物半導體區域)中容易產生破壞。

相對於此，於本實施形態(圖18)之半導體裝置中，由於使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，故於槽T之汲極電極DE側之端部，絕緣膜之膜厚(T1)變小。因此，閘極電極GE之場板電極FP與半導體區域(氮化物半導體區域)之距離變小，槽T之汲極電極DE側之端部之通道部中之由閘極電壓引起之調變變大。因此，可降低槽T之汲極電極DE側之端部之通道部之臨限值 V_{th} ，可降低接通電阻。

又，由於使無法充分補償阻障層BA即AlGaN層之表面之負分極電荷(e)之絕緣膜IF1(氮化矽膜、SiN膜)後退，故於槽T之汲極電極DE側之端部，絕緣膜IF2與阻障層BA即AlGaN層接觸。尤其藉由選定負分極電荷(e)之補償效果大於絕緣膜IF1(氮化矽膜、SiN膜)之絕緣膜材料作為絕緣膜IF2，可抑制通道狹窄之產生。尤其於使用氧化鋁作為絕緣膜IF2之情形時，由於相較於氮化矽膜，AlGaN層之表面之負分極電荷(e)之補償效果更大，故可將氧化鋁與AlGaN層之界面之負分極電荷(e)抵消(例如參照非專利文獻4)。因此，可抑制於槽T之汲極電極DE側之端部之通道部產生通道狹窄，可降低接通電阻。

又，於本實施形態(圖18)之半導體裝置中，由於使絕緣膜IF1之

槽T側之端部向汲極電極DE側後退，而將場板電極FP之下層之閘極絕緣膜GI設為階梯狀之構造(二段構造)，故電場集中緩和。即，如圖18所示，於半導體裝置之動作時，電場集中部位分散至絕緣膜IF1之槽T側之端部(地點P1)與閘極電極GE之場板電極FP之汲極電極DE側之端部(地點P2)之2部位。絕緣膜IF1之槽T側之端部(地點P1)係第1膜厚部與第2膜厚部之邊界。如此，藉由將電場集中部位分散至2部位，電場集中緩和，閘極耐壓增大(亦參照實施形態2之圖36)。又，可縮短閘極電極GE之場板電極FP之長度、或閘極電極GE與汲極電極DE之距離，可實現半導體裝置之小型化或高積體化。

以下，對本實施形態之變化例進行說明。

(變化例1)

於上述實施形態中，雖僅使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，但亦可使絕緣膜IF1之槽T側之汲極電極DE側之端部及源極電極SE側之端部之各者後退。圖19係示意性顯示本實施形態之半導體裝置之變化例1之構成之剖面圖。

如圖19所示，使絕緣膜IF1之汲極電極DE側之端部自槽T之端部向汲極電極DE側後退後退量 L_d ，進而，使絕緣膜IF1之源極電極SE側之端部自槽T之端部向源極電極SE側後退後退量 L_s 。該情形時，於槽T之端部與源極電極SE之間，閘極電極GE之下層之閘極絕緣膜GI亦成為階梯狀之構造(二段構造)。其他構成由於與上述實施形態相同，故省略其說明。又，於製造方法中，將開口區域OA1之形成區域自開口區域OA2向源極電極SE側增大距離 L_s 之寬度，向汲極電極DE側增大距離 L_d 之寬度。藉此，可設定大於開口區域OA2之開口區域OA1。且，形成於開口區域OA1具有開口部之掩膜用之絕緣膜IFM，將此作為掩膜蝕刻絕緣膜IF1。其他步驟由於與上述實施形態相同，故省略其說明。

(變化例2)

於上述實施形態中，雖將槽T之側壁形成為相對於阻障層BA或通道層CH之表面大致垂直(錐角 $\theta = 90^\circ$)，但亦可將槽T之側壁設為錐形狀。圖20係示意性顯示本實施形態之半導體裝置之變化例2之構成之剖面圖。

如圖20所示，於本例中，槽T之側面(側壁)與槽T之底面之延長面所成之角度(亦稱為錐角 θ)係小於 90° 。換言之，槽T之側面(側壁)與(111)面所成之角度小於 90° 。其他構成由於與上述實施形態相同，故省略其說明。又，於製造方法中，以使槽T之側壁成為錐形狀之方式，調整槽T之形成時之蝕刻條件。例如，於各向同性之蝕刻氣體之成分大於各向異性之蝕刻氣體成分之條件下進行蝕刻。其他步驟由於與上述實施形態相同，故省略其說明。

(實施形態2)

雖於實施形態1之變化例1中，使絕緣膜IF1之槽T側之汲極電極DE側之端部及源極電極SE側之端部之各者後退，又，於變化例2中，將槽T之側壁設為錐形狀，但亦可一面使絕緣膜IF1之槽T側之汲極電極DE側之端部及源極電極SE側之端部之各者後退，一面將槽T之側壁形成為錐形狀。圖21係示意性顯示本實施形態之半導體裝置之構成之剖面圖。

[構造說明]

如圖21所示，於本實施形態之半導體裝置中，使絕緣膜IF1之槽T側之汲極電極DE側之端部向汲極電極DE側後退後退量 L_d ，進而，使絕緣膜IF1之槽T側之源極電極SE側之端部向源極電極SE側後退後退量 L_s 。且，再者，槽T之側面(側壁)與槽T之底面之延長面所成之角度 θ 係小於 90° 。其他構成由於與實施形態1相同，故省略其說明。

[製法說明]

接著，一面參照圖22～圖30，一面說明本實施形態之半導體裝置之製造方法，且進一步明確該半導體裝置之構成。圖22～圖30係顯示本實施形態之半導體裝置之製造步驟之剖面圖。另，對與實施形態1相同之步驟，省略其詳細說明。

首先，與實施形態1相同，於基板S上形成核產生層NUC、形變緩和層STR、緩衝層BU、通道層CH及阻障層BA之積層體(參照圖2)。

接著，如圖22所示，於阻障層BA上形成絕緣膜IF1作為頂蓋膜。例如，作為絕緣膜IF1，使用CVD法等，以900埃左右之膜厚堆積氮化矽膜。接著，於絕緣膜IF上，作為掩膜用之絕緣膜IFM，使用CVD法等，以900埃左右之膜厚堆積氧化矽膜。

接著，如圖23所示，使用光學微影技術，形成於開口區域OA1具有開口部之光阻膜PR1。例如，開口寬度係1.8 μm 左右。接著，如圖24所示，將光阻膜PR1作為掩膜，蝕刻掩膜用之絕緣膜IFM。作為氧化矽膜之蝕刻氣體，可使用例如C₄H₈等烴類氣體。接著，藉由電漿剝離處理等去除光阻膜PR1。藉此，如圖25所示，於絕緣膜IF1上，形成於開口區域OA1具有開口部之掩膜用之絕緣膜IFM。

接著，如圖26所示，使用光學微影技術，形成於位於開口區域OA1之內側之開口區域OA2具有開口部之光阻膜PR2。例如，開口區域OA2係位於開口區域OA1之大致中央部，開口寬度係1 μm 左右。接著，如圖27所示，將光阻膜PR2作為掩膜，蝕刻絕緣膜IF1。作為氮化矽膜之蝕刻氣體，可使用例如SF₆或CF₄等氟系之氣體。由於下層之阻障層BA(AlGaIn層)幾乎不會被氟系之氣體蝕刻，故作為掩膜用之絕緣膜IFM(氧化矽膜)之蝕刻氣體，使用氟系之氣體較適宜。接著，藉由電漿剝離處理等去除光阻膜PR2。藉此，如圖28所示，於阻障層BA上，形成於開口區域OA2具有開口部之絕緣膜IF1。再者，於該絕緣膜IF1上，配置自開口區域OA2之兩端後退之絕緣膜IFM，且為於開口

區域OA1具有開口部之掩膜用之絕緣膜IFM。該絕緣膜IF1成為閘極絕緣膜GI之一部分。又，絕緣膜IFM成為用以使絕緣膜IF1自後述之槽T之端部後退之蝕刻時之掩膜。

接著，如圖29所示，將絕緣膜IFM及絕緣膜IF1作為掩膜，蝕刻阻障層BA及通道層CH，藉此，形成貫通絕緣膜IF1及阻障層BA而到達至通道層CH之中途之槽T。作為蝕刻氣體，可使用例如 BCl_3 等之氯系之氣體。槽T之深度、即自阻障層BA之表面至槽T之底面之距離係例如300埃左右。又，槽T之側壁與槽T之底面之延長面所成之角度(錐角 θ)係根據使用 BCl_3 之一般之乾式蝕刻，可控制於 $60 \sim 80^\circ$ 左右。又，藉由 BCl_3 ，自絕緣膜IFM之表面及絕緣膜IF1之露出部蝕刻特定之膜厚量。絕緣膜IFM之殘存膜厚係例如600埃左右，絕緣膜IF1之露出部之殘存膜厚係例如600埃左右。

接著，藉由自絕緣膜IFM之表面及絕緣膜IF1之露出部蝕刻特定之膜厚量，去除絕緣膜IFM，且使絕緣膜IF1殘存。絕緣膜IF1之露出部之殘存膜厚係例如80 nm左右。藉此，可獲得絕緣膜IF1之槽T側之一端部向一方向(於圖30中為右側)後退後退量 L_d ，絕緣膜IF1之槽T側之另一端部向另一方向(於圖30中為左側)後退後退量 L_s 之絕緣膜IF1。一方向係後述之汲極電極DE側，另一方向係後述之源極電極SE側。後退量 L_s 、 L_s 較佳為分別設為絕緣膜IF2之膜厚以上，具體而言，設為 $0.2 \mu\text{m}$ 以上。又，後退量 L_s 、 L_s 亦可設為相同程度。於該蝕刻之後，為了恢復蝕刻損傷，亦可進行熱處理(退火)。

此後，與實施形態1相同，形成絕緣膜IF2、閘極電極GE、源極電極SE及汲極電極DE等(參照圖21)。

即，於槽T內及包含阻障層BA之露出部之絕緣膜IF1上，形成絕緣膜IF2。例如，作為絕緣膜(閘極絕緣膜)IF2，使用ALD法等堆積氧化鋁100 nm左右。

接著，於絕緣膜IF2上形成閘極電極GE。例如，於閘極絕緣膜GI上，作為導電性膜，例如使用濺鍍法等堆積TiN膜。接著，使用光學微影技術及蝕刻技術，將TiN膜圖案化，藉此形成閘極電極GE。

於該圖案化時，將閘極電極GE圖案化成於一方向(於圖21中為右側、汲極電極DE側)伸出之形狀。換言之，以設置場板電極FP作為閘極電極GE之一部分之方式進行圖案化。即，場板電極FP係以覆蓋包含絕緣膜IF2之單層膜之第1部上、及較該第1部位於更靠近汲極電極DE側之位置且包含絕緣膜IF1與絕緣膜IF2之積層膜之第2部上之方式配置。

接著，去除後述之源極電極SE及汲極電極DE之形成區域之絕緣膜IF1。接著，於閘極電極GE上形成絕緣層(未圖示)，使用光學微影技術及蝕刻技術，於絕緣層中形成接觸孔。接著，於包含接觸孔內之絕緣層上形成歐姆層(未圖示)。例如，形成Al合金/Ti膜(歐姆層，未圖示)，進而，於該上方使用濺鍍法等堆積鋁膜。接著，使用光學微影技術及蝕刻技術將Al合金/Ti膜及鋁膜圖案化，藉此介隔歐姆層(未圖示)形成源極電極SE及汲極電極DE。

此後，於源極電極SE及汲極電極DE上，例如使用CVD法等堆積氮氧化矽(SiON)膜，而形成絕緣層(未圖示)。

藉由以上步驟，可形成圖21所示之半導體裝置。

如此，由於在本實施形態中，亦與實施形態1相同，使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，故可降低槽T之汲極電極DE側之端部之通道部之臨限值 V_{th} ，可降低接通電阻。又，可抑制於槽T之汲極電極DE側之端部之通道部產生通道狹窄，可降低接通電阻。再者，於半導體裝置之動作時，電場集中部位分散至絕緣膜IF1之槽T側之端部(地點P1)與閘極電極GE之場板電極FP之汲極電極DE側之端部(地點P2)之2部位，從而電場集中緩和，閘極耐壓提高(參照圖21、圖

18)。

另，於上述步驟中，由於使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，故雖使用掩膜用之絕緣膜IFM，但亦可調整絕緣膜IF1與阻障層BA及通道層CH之蝕刻選擇比，於形成槽T時，利用自絕緣膜IF1之槽T之端部之減膜(後退)，確保後退量 L_d 、 L_s 。圖31及圖32係顯示本實施形態之半導體裝置之其他製造步驟之剖面圖。

如圖31所示，於阻障層BA上形成絕緣膜IF1作為頂蓋膜。接著，使用光學微影技術及蝕刻技術，於絕緣膜IF1之開口區域OA1形成開口部。接著，將該絕緣膜IF1作為掩膜，蝕刻阻障層BA及通道層CH。此時，藉由調整蝕刻條件，利用絕緣膜IF1之減膜，蝕刻距絕緣膜IF1之表面特定之膜厚量及距槽T之側壁特定之膜厚量之絕緣膜IF1。藉此，可使絕緣膜IF1自槽T之側壁後退。例如，該情形時，可於5 nm～0.1 μm 之範圍控制後退量 L_d 、 L_s 。

但，為了控制性良好且較大確保後退量 L_d 、 L_s ，例如確保絕緣膜IF2之膜厚以上、或0.2 μm 以上之後退量(L_d 、 L_s)，較佳為採用使用掩膜用之絕緣膜IFM之上述步驟。

另，上述步驟係一例，亦可藉由上述步驟以外之步驟，製造本實施形態之半導體裝置。

(評估結果)

以下對本實施形態之半導體裝置(圖21)之各個特性(接通電阻、S值、及電場強度)之評估結果進行說明。另，設定後退量 $L_d = L_s$ ，閘極長度(開口區域OA2之寬度)設為1 μm ，場板電極之長度設為2 μm ，閘極電極GE與汲極電極DE之間之距離設為10 μm 。

圖33係顯示半導體裝置之接通電阻與後退量之關係之圖表。縱軸表示接通電阻 $R_{on}[\Omega \text{ mm}]$ ，橫軸表示後退量 $L_d[\mu \text{ m}]$ 。該接通電阻 R_{on} 係沿著上述槽T之底面產生之通道電阻 R_{ch} 、沿著槽T之源極電極

SE側之側面產生之通道電阻 R_{as} 及沿著槽T之汲極電極DE側之側面產生之通道電阻 R_{ad} 之和($R_{on} = R_{ch} + R_{as} + R_{ad}$)。又，作為偏壓條件，設定汲極電壓 $V_d = 0.1$ V，閘極電壓 $V_g = 10$ V。又，絕緣膜IF2即氧化鋁之膜厚設為100 nm，絕緣膜IF1之殘存膜厚設為60 nm，槽T之深度設為40 nm，上述錐角 θ 設為約 90° 。

上述條件之半導體裝置之情形時，如圖33所示，接通電阻 R_{on} 係隨著後退量 L_d 之增加而降低。例如，即便後退量 L_d 為0.02 μm 左右，亦確認接通電阻 R_{on} 之降低。又，已判明後退量 L_d 於0.1 μm 左右時，接通電阻 R_{on} 充分降低，且，後退量 L_d 於0.2 μm 以上時，接通電阻 R_{on} 成為大致特定，若為將絕緣膜IF1整面去除之情形($L_d \sim \infty$)，則可獲得相同程度之接通電阻 R_{on} 。

接著，對上述條件中設為後退量 $L_d = 0$ (無後退)，後退量 $L_d = 0.2$ μm 之半導體裝置，研究了接通電阻 R_{on} 與錐角 θ [$^\circ$]之關係。圖34係顯示半導體裝置之接通電阻與錐角之關係之圖表。縱軸表示接通電阻 R_{on} [$\Omega \text{ mm}$]，橫軸表示錐角 θ [$^\circ$]。

於後退量 $L_d = 0$ (無後退)之情形時，隨著錐角 θ 之增加，接通電阻 R_{on} 增加。又，已判明後退量 $L_d = 0.2$ μm 之情形時，隨著錐角 θ 之增加，接通電阻 R_{on} 亦增加，但其增加率減小。又，已判明於錐角 θ 為 $50 \sim 90^\circ$ 之範圍內，使絕緣膜IF1自槽T側之端部後退之情形時，相較於未後退之情形，可降低接通電阻 R_{on} 。又，已判明尤其於以錐角 θ 為 $70 \sim 80^\circ$ 之一般之蝕刻條件下形成之形狀，使絕緣膜IF1自槽T側之端部後退之情形時，相較於未後退之情形，可降低接通電阻 R_{on} ，可將接通電阻抑制為未後退之情形之接通電阻之40～30%左右之值。

又，如上所述，於使用氧化鋁作為絕緣膜(閘極絕緣膜)IF2之情形時，由於補償阻障層BA即AlGaN層之表面之負分極電荷(e)之效果

較大，故可降低氧化鋁與AlGaIn之界面之負分極電荷(e)。其結果，可抑制於槽T之汲極電極DE側之端部之通道部產生通道狹窄。

如此，認為除了藉由使絕緣膜IF1自槽T側之端部後退，可減小閘極電極GE之場板電極FP與阻障層BA(半導體區域、氮化物半導體區域)之距離，可降低接通電阻之效果1以外，藉由氧化鋁之負分極電荷(e)之補償獲得之效果2，亦可確認圖34所示之接通電阻之抑制效果。

接著，對設為後退量 $L_d = 0$ (無後退)，後退量 $L_d = 0.2 \mu\text{m}$ 之半導體裝置，研究了S值與錐角 $\theta [^\circ]$ 之關係。圖35係顯示半導體裝置之S值與錐角之關係之圖表。縱軸表示S值[mV/dec.]，橫軸表示錐角 $\theta [^\circ]$ 。S值[mV/dec.]係顯示接通/斷開之切換之銳度之值(Subthreshold Swing：亞臨限值擺幅)。該S值於通常之應用程式中設定為越想越好。關於該S值，定義為於已施加汲極電壓 $V_d = 0.1 \text{ V}$ 之狀態，掃描閘極電壓 V_g ，使汲極電流 I_d 成為 $1 \times 10^{-5} (1\text{E-}5) \sim 1 \times 10^{-6} (1\text{E-}6) [\text{A/mm}]$ 。

於後退量 $L_d = 0$ (無後退)之情形時，隨著錐角 θ 之增加，S值增加。又，已判明後退量 $L_d = 0.2 \mu\text{m}$ 之情形時，即便錐角 θ 增加，S值亦幾乎不變化，即幾乎沒有S值之錐角 θ 之依存性。

如此，已判明藉由採用使絕緣膜IF1自槽T側之端部後退之半導體裝置之構成，可大幅降低接通電阻，再者，S值亦大幅改善。此亦認為係上述效果1及效果2所獲得者。

接著，關於上述條件中之後退量 $L_d = 0$ (無後退)、後退量 $L_d = 0.2 \mu\text{m}$ 及無場板電極FP之半導體裝置，對自槽T之底面之源極電極SE側之端部，以相同深度向汲極電極DE方向延伸之區域(部位)之電場強度分佈進行了研究。圖36係顯示後退量 $L_d = 0$ 之情形、後退量 $L_d = 0.2 \mu\text{m}$ 之情形及無場板電極FP之情形時之半導體裝置之電場強度分佈之圖表。

縱軸表示電場強度[V/cm]，橫軸係自槽T之底面之源極電極SE側

之端部，以相同深度向汲極電極DE方向延伸之區域(部位)之橫向之距離[μm]。電場強度係汲極電壓 $V_d = 100\text{ V}$ 之斷開時(閘極電壓 $V_g = 0\text{ V}$)者，以2維裝置模擬算出。又，閘極長度(開口區域OA2之寬度)設為 $2\text{ }\mu\text{m}$ ，場板電極之長度設為 $3\text{ }\mu\text{m}$ ，閘極電極GE與汲極電極DE之間之距離設為 $10\text{ }\mu\text{m}$ 。絕緣膜IF2即氧化鋁之膜厚設為 100 nm ，絕緣膜IF1之殘存膜厚設為 60 nm ，槽T之深度設為 40 nm ，槽T之側壁與槽T之底面之延長面所成之角度(錐角 θ)設為約 90° 。

於圖36中顯示(1)無場板電極FP之半導體裝置(基本構造、基準)、(2)後退量 $L_d = 0$ 之半導體裝置、即如圖17所示之比較例之半導體裝置(一段FP構造之半導體裝置)及(3)後退量 $L_d = 1\text{ }\mu\text{m}$ 之半導體裝置、即本實施形態之半導體裝置(二段FP構造之半導體裝置)之3種半導體裝置之電場強度分佈。圖37係示意性顯示(1)之無場板電極FP之半導體裝置之構成之剖面圖。於圖37所示之半導體裝置中，未使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，再者，未設置有自汲極電極DE側之槽T之端部向汲極電極DE側延伸之場板電極FP。

如圖36所示，可知於(1)之無場板電極FP之半導體裝置(基本構造、基準)之情形時，於閘極電極GE之汲極電極DE側之端部集中有較大之電場。因此，於上述端部，容易產生破壞。

又，於(2)之後退量 $L_d = 0$ 之半導體裝置(一段FP構造)中，閘極電極GE之汲極電極DE側之端部之電場集中與(1)之情形相比大幅緩和。然而，於場板電極FP之汲極電極DE側之端部，確認有相對較大之電場集中。因此，於場板電極FP之汲極電極DE側之端部，容易產生破壞。於實際之半導體裝置之耐壓評估中，亦確認有場板電極FP之汲極電極DE側之端部之耐壓之劣化。

相對於此，於(3)之後退量 $L_d = 1\text{ }\mu\text{m}$ 之半導體裝置中，分散至絕緣膜IF1之槽T側之端部(上述地點P1)與閘極電極GE之場板電極FP之

汲極電極DE側之端部(上述地點P2)之2部位(參照圖18)。因此，與(2)之情形相比，場板電極FP之汲極電極DE側之端部之電場集中大幅緩和。又，閘極電極GE之汲極電極DE側之端部之電場集中亦與(2)之情形相比較為緩和，以已施加汲極電壓 $V_d = 100 \text{ V}$ 之狀態，最大電場強度可抑制為 $8.0\text{E} + 05(8 \times 10^5) [\text{V/cm}]$ 左右。如此，可知於自槽T之底面之源極電極SE側之端部至場板電極FP之汲極電極DE側之端部之區域，電場集中整體上緩和。藉此，半導體裝置之斷開耐壓特性提高。

如此，根據本實施形態之半導體裝置(二段FP構造之半導體裝置)，場板電極FP之下部之電場集中緩和，閘極耐壓提高。再者，藉此，可縮短場板電極FP之長度，進而可縮短閘極電極GE與汲極電極DE之間之距離。因此，可實現裝置之縮小化或高積體化。

另，於上述實施形態1及2中，雖已詳細說明抑制槽T之汲極電極DE側之端部之通道C具有實效上較高之臨限值 V_{th} ，而謀求接通電阻之降低，但藉由提高臨限值 V_{th} ，例如設為 $V_{th} \geq 2 \text{ V}$ 等，亦可使常斷特性穩定化。例如，亦可應用AlGaN層作為緩衝層BU，利用通道層CH(GaN層)與緩衝層BU(AlGaN層)之界面(GaN/AlGaN)之負分極電荷，提高傳導帶下端之電位，藉此提高臨限值 V_{th} ，使常斷特性進一步穩定化。

(實施形態3)

於本實施形態中，對藉由於通道部形成含有雜質之半導體區域，而提高臨限值 V_{th} ，使常斷特性進一步穩定化之例進行說明。圖38係示意性顯示本實施形態之半導體裝置之構成之剖面圖。

[構造說明]

如圖38所示，於本實施形態之半導體裝置中，於槽T之底面、即形成通道之區域，形成有含有雜質之半導體區域DS。另，其他構成由於與實施形態2(圖21)相同，故省略其詳細之說明。即，於本實施

形態之半導體裝置中，使絕緣膜IF1之槽T側之汲極電極DE側之端部向汲極電極DE側後退後退量 L_d ，進而，使絕緣膜IF1之槽T側之源極電極SE側之端部向源極電極SE側後退後退量 L_s 。且，再者，槽T之側面(側壁)與槽T之底面之延長面所成之角度小於 90° 。

[製法說明]

接著，一面參照圖39～圖45，一面說明本實施形態之半導體裝置之製造方法，且進一步明確該半導體裝置之構成。圖39～圖45係顯示本實施形態之半導體裝置之製造步驟之剖面圖。另，對與實施形態1或2相同之步驟，省略其詳細之說明。

首先，與實施形態1相同，於基板S上形成核產生層NUC、形變緩和層STR、緩衝層BU、通道層CH及阻障層BA之積層體(參照圖2)。

接著，如圖39所示，於阻障層BA上形成絕緣膜IF1作為頂蓋膜。例如，作為絕緣膜IF1，使用CVD法等，以900埃左右之膜厚堆積氮化矽膜。此後，與實施形態2相同，形成於開口區域OA2具有開口部之絕緣膜IF1，藉由蝕刻開口區域OA2之阻障層BA及通道層CH而形成槽T。該槽T之側壁與槽T之底面之延長面所成之角度(錐角 θ)係小於 90° 。接著，藉由蝕刻開口區域OA1之絕緣膜IF1，使絕緣膜IF1之端部後退。開口區域OA2係位於開口區域OA1之大致中央部。

接著，如圖40所示，使用光學微影技術，形成於開口區域OA3具有開口部之光阻膜PR3。開口區域OA3係位於開口區域OA2之大致中央部。

接著，如圖41所示，將光阻膜PR3作為掩膜，於開口區域OA3之通道層CH注入雜質離子。藉此，於槽T之底面，形成有含有雜質之半導體區域DS。

此處，使用Mg(鎂)作為雜質，以10 KeV～15 KeV之植入能量，將 $1E18/cm^2$ ($1 \times 10^{18}/cm^2$)左右之Mg離子植入至通道層(GaN層)CH。藉

此，可形成含有p型之雜質之半導體區域DS。又，亦可將F(氟)作為雜質導入至通道層(磊晶層基板)CH。對於注入氟(F)作為雜質，CF₄電漿處理較為有效。若使試料暴露於CF₄電漿中，則將氟離子(F⁻)導入至通道層(磊晶層基板)CH中。具體而言，於反應性離子蝕刻裝置內，只要以例如135 W之電力進行200秒左右之處理即可。但，為了恢復CF₄電漿處理引起之表面損傷，較佳的是於處理後以400℃進行10分左右之熱處理。另，此處，雖將半導體區域DS之底面之高度設為與緩衝層BU之表面相同程度之高度，但半導體區域DS只要形成於至少形成通道之區域即可。因此，半導體區域DS之底面可高於通道層CH之底面，又，半導體區域DS之底面亦可低於緩衝層BU之表面。接著，如圖42所示，藉由電漿剝離處理等去除光阻膜PR3。

接著，如圖43所示，於包含槽T之內部之絕緣膜IF1上形成被覆膜(亦稱為保護膜)CF。作為被覆膜CF，例如使用CVD法等堆積氧化矽膜。接著，為了將雜質(此處為Mg)活化，進行熱處理(退火)。接著，藉由蝕刻等去除被覆膜CF。

接著，如圖44所示，形成絕緣膜IF2及閘極電極GE。絕緣膜IF2及閘極電極GE可與實施形態1或2相同地形成(參照圖13)。

接著，如圖45所示，形成源極電極SE及汲極電極DE。源極電極SE及汲極電極DE可與實施形態1或2相同地形成(參照圖14～圖16)。

如此，於本實施形態中，由於與實施形態1或2相同，亦使絕緣膜IF1之槽T側之端部向汲極電極DE側後退，故可降低接通電阻。又，電場集中緩和，閘極耐壓提高(參照圖21、圖18)。

再者，由於在槽T之底面、即形成通道之區域，已形成含有p型雜質或氟(氟陰離子)之半導體區域DS，故該部位之電位提高而可提高臨限值V_{th}，可使常斷特性進一步穩定化。

另，上述步驟係一例，亦可藉由上述步驟以外之步驟，製造本

實施形態之半導體裝置。

(實施形態4)

於應用上述實施形態1～3所說明之半導體裝置(電晶體)之電子裝置中無限制，例如可應用於圖46所示之電子裝置。圖46係顯示本實施形態之電子裝置之構成之電路圖。

圖46所示之電子裝置22係使用於車輛之電子裝置，與電源24及負載26連接。電源24係例如搭載於車輛之電池。負載26係例如搭載於車輛之電子零件，例如為成為前照燈、電窗之動力源、車輛之動力源之馬達。且，該電子裝置22控制自電源24供給至負載26之電力。

電子裝置22具有搭載於電路基板(例如印刷配線基板)上之具有電晶體210之半導體裝置、半導體裝置220、及控制電路230。半導體裝置220具有微電腦，經由電路基板之配線連接於電晶體210。半導體裝置220係經由控制電路230控制電晶體210。

詳細而言，半導體裝置220係對控制電路230輸入控制信號。且，控制電路230係根據自半導體裝置220所輸入之控制信號，對電晶體210之閘極電極輸入信號。如此，半導體裝置220係經由控制電路230控制電晶體210。藉由控制該電晶體210，將來自電源24之電力適當供給至負載26。

例如，作為該電子裝置22之電晶體210，可應用上述實施形態1～3所說明之半導體裝置(電晶體)。

以上，雖基於實施形態具體說明由本發明者完成之發明，但本發明並不限定於上述實施形態，當然可於不脫離其主旨之範圍內進行各種變更。例如，亦可將實施形態3之半導體區域DS應用於實施形態1(圖1)之半導體裝置。

【符號說明】

2DEG 2維電子氣

22	電子裝置
24	電源
26	負載
210	電晶體
220	半導體裝置
230	控制電路
BA	阻障層
BU	緩衝層
C	通道
C1	接觸孔
CF	被覆膜
CH	通道層
DE	汲極電極
DS	半導體區域
e	分極電荷
FP	場板電極
GE	閘極電極
GI	閘極絕緣膜
IF1	絕緣膜
IF2	絕緣膜
IFM	絕緣膜
IL1	絕緣層
IL2	絕緣層
Ld	後退量
Ls	後退量
NUC	核產生層

OA1	開口區域
OA2	開口區域
OA3	開口區域
P1	地點
P2	地點
PR1	光阻膜
PR2	光阻膜
PR3	光阻膜
Rad	通道電阻
Ras	通道電阻
Rch	通道電阻
S	基板
SE	源極電極
STR	形變緩和層
T	槽
T1	膜厚
T2	膜厚



申請日：

IPC分類：

發明摘要

※ 申請案號：103117520

※ 申請日：103年5月19日

※IPC 分類：H01L

【發明名稱】

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明之目的在於提高半導體裝置之特性。

本發明係以包含如下構件之方式構成半導體裝置：緩衝層BU、通道層CH及阻障層BA，其等形成於基板S之上方；槽T，其貫通阻障層BA到達至通道層CH之中途；閘極電極GE，其介隔閘極絕緣膜GI而配置於該槽T內；及閘極電極GE之兩側之阻障層BA上之汲極電極DE及源極電極SE。且，閘極絕緣膜GI包含：第1部，其位於槽T之端部側，且自槽T之端部向汲極電極DE側延伸；及第2部，其係較第1部位於更靠近汲極電極DE側，且膜厚大於第1部。第1部包含絕緣膜IF2之單層膜，第2部包含絕緣膜IF1與絕緣膜IF2之積層膜。如此，於槽T之汲極電極DE側之端部藉由減小第1部之膜厚，可降低接通電阻。

【英文】

To provide a semiconductor device having improved characteristics. The semiconductor device has a substrate and thereon a buffer layer, a channel layer, a barrier layer, a trench penetrating therethrough and reaching the inside of the channel layer, a gate electrode placed in the trench via a gate insulating film, and drain and source electrodes on the barrier layer on both sides of the gate electrode. The gate insulating film has a first portion made of a first insulating film and extending from the end portion of the trench to the side of the drain electrode and a second portion made of first and second insulating films and placed on the side of the drain electrode relative to the first portion. The on resistance can be reduced by decreasing the thickness of the first portion at the end portion of the trench on the side of the drain electrode.

申請專利範圍

1. 一種半導體裝置，其包含：

第1氮化物半導體層，其形成於基板之上方；

第2氮化物半導體層，其形成於上述第1氮化物半導體層上，且其帶隙寬於上述第1氮化物半導體層；

槽，其貫通上述第2氮化物半導體層，到達至上述第1氮化物半導體層之中途；

閘極電極，其介隔閘極絕緣膜而配置於上述槽內；

第1電極及第2電極，其分別形成於上述閘極電極之兩側之上述第2氮化物半導體層之上方；且

上述閘極絕緣膜包含：

第1部，其係位於上述槽之端部側，自上述槽之上述端部向上述第1電極側延伸；

第2部，其係位於上述第1電極與上述第1部之間，膜厚大於上述第1部，且具有面向上述第1電極之第1側面；及

第3部，其係位於上述第1電極與上述第2部之間，膜厚小於上述第2部，且具有面向上述第1電極之第2側面；及

絕緣層，其配置於上述第1側面、上述第2側面及上述第3部之上表面，上述絕緣層自上述第1電極延伸到達至上述第2部之上述第1側面；且

上述第1側面及上述第2側面之各者與上述第3部之上述上表面接觸。

2. 如請求項1之半導體裝置，其中

上述第1部包含配置於上述第2氮化物半導體層上之第2膜；且

上述第2部包含第1膜與配置於上述第2氮化物半導體層及上述

第1膜上之上述第2膜。

3. 如請求項2之半導體裝置，其中

上述第2膜包括含有氧化鋁之膜。

4. 如請求項3之半導體裝置，其中

上述第1膜包括含有氮化矽之膜。

5. 如請求項1之半導體裝置，其中

上述槽包括錐形狀之側壁。

6. 如請求項5之半導體裝置，其中

上述槽之側面與上述槽之底面之延長面所成之角度係 90° 以下且大於 0° 。

7. 如請求項6之半導體裝置，其中

上述角度係 70° 以上 90° 以下。

8. 如請求項2之半導體裝置，其中

自上述槽之上述端部至上述第1膜之距離係上述第2膜之膜厚以上。

9. 如請求項8之半導體裝置，其中

自上述槽之上述端部至上述第1膜之距離係 $0.2\ \mu\text{m}$ 以上。

10. 如請求項2之半導體裝置，其中

自上述槽之上述端部至上述第1膜之距離係 $5\ \text{nm}$ 以上 $0.1\ \mu\text{m}$ 以下。

11. 如請求項1之半導體裝置，其中

上述絕緣層配置於上述閘極絕緣膜之上述第2部之上表面。

12. 如請求項1之半導體裝置，其中

上述第2部包含第1膜與位於上述第2氮化物半導體層及上述第1膜上之第2膜；且

上述絕緣層配置於上述閘極絕緣膜之上述第2部之上表面。

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

2DEG	2維電子氣
BA	阻障層
BU	緩衝層
C	通道
C1	接觸孔
CH	通道層
DE	汲極電極
FP	場板電極
GE	閘極電極
GI	閘極絕緣膜
IF1	絕緣膜
IF2	絕緣膜
IL1	絕緣層
IL2	絕緣層
Ld	後退量
NUC	核產生層
OA1	開口區域
OA2	開口區域
Rad	通道電阻
Ras	通道電阻
Rch	通道電阻
S	基板
SE	源極電極

STR	形變緩和層
T	槽
T1	膜厚
T2	膜厚

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無