



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 273 312**

51 Int. Cl.:  
**H04B 1/707** (2006.01)  
**H04Q 7/38** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **05108806 .0**  
86 Fecha de presentación : **04.02.2002**  
87 Número de publicación de la solicitud: **1608080**  
87 Fecha de publicación de la solicitud: **21.12.2005**

54 Título: **Algoritmo de búsqueda de celda inicial.**

30 Prioridad: **27.02.2001 US 271642 P**  
**31.07.2001 US 918611**

45 Fecha de publicación de la mención BOPI:  
**01.05.2007**

45 Fecha de la publicación del folleto de la patente:  
**01.05.2007**

73 Titular/es:  
**INTERDIGITAL TECHNOLOGY CORPORATION**  
**3411 Silverside Road, Concord Plaza**  
**Suite 105, Hagley Building**  
**Wilmington, Delaware 19810, US**

72 Inventor/es: **Demir, Alpaslan y**  
**Grieco, Donald M.**

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 273 312 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Algoritmo de búsqueda de celda inicial.

5 **Antecedentes**

La presente invención se refiere generalmente a la sincronización de equipo de usuario (UE -“user equipment”) con una estación de base. Más particularmente, la presente invención se refiere a un sistema de búsqueda de celda que se sirve de un algoritmo de búsqueda de celda inicial mejorado.

10 Los algoritmos de búsqueda de celda inicial se utilizan para sincronizar el UE con una estación de base. El UE lleva a cabo este procedimiento a través de un canal de enlace descendente común denominado canal de sincronización físico (PSCH -“physical synchronization channel”). Haciendo referencia a la Figura 2, el PSCH tiene una estructura en la que se transmite el mismo código de sincronización primario (PSC -“primary synchronization code”) en el comienzo  
15 de cada ranura, en tanto que se transmite un código de sincronización secundario (SSC -“secondary synchronization code”) para cada ranura, lo que da lugar a quince (15) SSCs diferentes. Como conocen los expertos de la técnica, una trama que tiene una longitud de quince (15) ranuras puede transmitir quince (15) SSCs.

El orden de transmisión del SSC depende del número de grupos de código de mezcla criptográfica primario. Como  
20 ejemplo, en un sistema de quinientos doce (512) celdas, existen sesenta y cuatro (64) grupos. En cada grupo, las configuraciones del SSC y sus desplazamientos o corrimientos cíclicos son diferentes. Como resultado de ello, existen quinientos doce (512) códigos de mezcla criptográfica primarios. A cada celda de un sistema de quinientos doce (512) celdas se le asigna un código de tal manera que no se utiliza un mismo código por parte de más de una celda en un área de recepción dada.

25 En consecuencia, los sistemas de sincronización de búsqueda de celda determinan el código de mezcla criptográfica primario de una celda mediante el uso de un algoritmo de búsqueda de celda inicial. Los algoritmos de búsqueda de celda inicial comunes se sirven de tres (3) algoritmos principales: un algoritmo de la etapa 1 detecta el PSC y determina un desajuste de chip; un algoritmo de la etapa 2 utiliza la información dada por la etapa 1 y detecta el desajuste de  
30 ranura y el número de grupos de código; y un algoritmo de la etapa 3 emplea la información proporcionada por el algoritmo de la etapa 2 y detecta el código de mezcla criptográfica primario. Desgraciadamente, los algoritmos de cada una de las etapas presentan un error intrínseco asociado a ellos. El error presente en cada una de las etapas es causado por la detección por parte del UE del ruido asociado con el canal de enlace descendente común recibido, lo que puede dar lugar a un elevado número de detecciones falsas.

35 Asimismo, los algoritmos de búsqueda de celda inicial comunes no pueden hacerse cargo de un rechazo por parte de las capas superiores de la red móvil terrestre pública errónea (PLMN -“public land mobile network”). Puesto que la mayor parte de los algoritmos detectan la celda más fuerte existente en el canal de enlace descendente común, es probable que cada vez que el algoritmo ubica una celda, se asociará la misma PLMN a la celda. Esto da lugar a un  
40 conflicto y, en última instancia, a una indicación al UE de que no hay servicio.

De acuerdo con ello, existe la necesidad de un sistema y de un método que reduzcan el número de detecciones falsas por parte del algoritmo de búsqueda de celda inicial, y sean capaces de superar el conflicto asociado a un rechazo debido a una PLMN errónea.

45 **Sumario**

La presente invención consiste en un sistema y un método para llevar a efecto una búsqueda de celda inicial y establecer un enlace de comunicación entre un UE y una estación de base de una red de comunicación. La señal de  
50 comunicación se trata o procesa en primer lugar para generar un valor de índice y un desajuste de chip asociados a un código de sincronización, lo que produce una primera decisión. Se extrae una muestra de pico de la señal de comunicación y se lleva a cabo un segundo tratamiento en la señal de comunicación. El segundo tratamiento recupera de la señal de comunicación el número de grupos de código, el desajuste de la ranura y el código de sincronización secundario, lo que da lugar a una segunda decisión. Se lleva a cabo un tercer tratamiento o procesamiento en la señal  
55 de comunicación, en respuesta al número de grupos de código y al desajuste de la ranura, lo que recupera el código de mezcla criptográfica primario. El código de mezcla criptográfica primario se utiliza entonces para la sincronización del UE con la celda asociada con el código de mezcla criptográfica primario. A lo largo de todo el procedimiento, se emplea una lógica de exclusión de ventana para mejorar el apantallamiento o protección de las bandas de frecuencia mientras se está llevando a cabo la búsqueda de código inicial. Por medio de un sistema de registros de almacenamiento intermedio y contadores, los desajustes de chip rechazados y los códigos de mezcla criptográfica primarios rechazados  
60 se almacenan con propósitos de comprobación y comparación por parte de la lógica de exclusión de ventana, lo que puede entonces reiniciar el procedimiento de decisión con la detección de una PLMN equivocada, evitándose con ello un estado de conflicto.

65 **Breve descripción de los dibujos**

La Figura 1 es una ilustración del sistema de búsqueda de celda inicial fabricado de acuerdo con la realización preferida de la presente invención.

## ES 2 273 312 T3

La Figura 2 es una ilustración del canal de sincronización físico (PSCH).

La Figura 3 es un diagrama de bloques del módulo de la etapa 1, de acuerdo con la realización preferida de la presente invención.

La Figura 4 es un diagrama de flujo del módulo de la etapa 1, de acuerdo con la realización preferida de la presente invención.

La Figura 5 es un diagrama de bloques del módulo de la etapa 2, de acuerdo con la realización preferida de la presente invención.

La Figura 6 es una ilustración gráfica de la estructura de la Transformada de Hadamard Rápida (FHT -“Fast Hadamard Transform”).

La Figura 7 es una ilustración de la estructura de matriz de entrada de acuerdo con la realización preferida de la presente invención.

La Figura 8 es una ilustración de la estructura de matriz de grupos de código de acuerdo con la realización preferida de la presente invención.

La Figura 9 es una ilustración de la estructura de matriz de correlación de acuerdo con la realización preferida de la presente invención.

Las Figuras 10A y 10B muestran un diagrama de flujo del algoritmo de la etapa 2, de acuerdo con la realización preferida de la presente invención.

La Figura 11 es un diagrama de bloques del módulo de la etapa 3, de acuerdo con la realización preferida de la presente invención.

La Figura 12 es un diagrama de bloques del dispositivo de correlación de la etapa 3, de acuerdo la realización preferida de la presente invención.

Las Figuras 13A y 13B son un diagrama de flujo del algoritmo de la etapa 3, de acuerdo con la realización preferida de la presente invención.

Las Figuras 14A y 14B muestran un diagrama de flujo de la lógica de decisión de búsqueda de celda del controlador, de acuerdo con la realización preferida de la presente invención.

Las Figuras 15A y 15B muestran un diagrama de flujo de la lógica de exclusión de ventana del controlador, de acuerdo con la realización preferida de la presente invención.

### **Descripción detallada de la realización preferida**

En la Figura 1 se ilustra el sistema 10 de sincronización de búsqueda de celda de acuerdo con la realización preferida de la presente invención. El sistema 10 comprende un módulo 12 de la etapa 1, un módulo 14 de la etapa 2, un módulo 16 de la etapa 3, y un controlador 18 destinado a llevar a cabo la sincronización entre un equipo de usuario (UE -“user equipment”) y una estación de base. Con el fin de llevar a cabo esta sincronización, el UE, a través del sistema 10 de sincronización de búsqueda de celda, utiliza un algoritmo de búsqueda de celda inicial, que se describirá aquí en lo que sigue.

El algoritmo de la etapa 1 del algoritmo de búsqueda de celda inicial se lleva a cabo utilizando el módulo 12 de la etapa 1. Haciendo referencia a la Figura 3, el módulo 12 de la etapa 1 comprende dos Dispositivos de Correlación de Golay Jerárquicos (HGC -“Hierarchical Golay Correlators”) 21, 22, dos modificadores del valor absoluto (AVM -“absolute value modifiers”) 23, 24, un circuito de decisión 25, un circuito de normalización 26, una tabla de consulta 27, un multiplicador 28, un divisor 19 y un comparador 29 de la etapa 1. El filtro de coseno elevado a la raíz cuadrada (RRCFIR -“root raised cosine filter”) 1 que se muestra no forma parte del módulo 12 de la etapa 1, pero se ilustra aquí para proporcionar una imagen completa.

El propósito del módulo 12 de la etapa 1 es encontrar el recorrido o camino más fuerte o intenso a lo largo de una trama que sea de calidad para las muestras que ha detectado el UE, y determinar el desajuste de chip del camino más fuerte. El RRCFIR 1 conectado al divisor 19 es un filtro conformado con forma de impulso que muestrea la señal de comunicación de enlace descendente procedente de la estación de base, al doble de la velocidad de chip, y remite la señal de muestra al divisor 19. El divisor 19 divide la señal muestreada en sus muestras par e impar, y las hace pasar a los HGCs 21, 22.

Los HGCs 21, 22 están conectados a los AVMS 23, 24 y al selector de muestra 34 del módulo 14 de la etapa 2 (ilustrado en la Figura 5), que se describirán aquí en lo que sigue. Los HGCs 21, 22 correlacionan el PSC de la señal de entrada. Como conocen los expertos de la técnica, los HGCs 21, 22 suministran como salida, respectivamente, los

## ES 2 273 312 T3

valores complejos de las muestras par e impar de la señal de entrada. Las salidas de los HGCs 21, 22 son remitidas a los AVMs 23, 24 y al selector de muestra 34.

5 Los AVMs 23, 24, conectados a los HGCs 21, 22 y al circuito de decisión 25, determinan las magnitudes de los HGCs 21, 22, de tal modo que la ecuación para generar las magnitudes se determina de acuerdo con la siguiente ecuación:

$$\text{Abs}(x) \sim \max(|x_{\text{real}}|, |x_{\text{imag}}|) + 0,5 \cdot \min(|x_{\text{real}}|, |x_{\text{imag}}|) \quad \text{Ecuación 1}$$

10

El uso del valor absoluto aproximado de acuerdo con la Ecuación 1 reduce los dispositivos físicos o hardware que se requiere en esta implementación y no provoca ninguna degradación significativa del comportamiento. Una vez que se han determinado los valores absolutos aproximados por medio de los AVMs 23, 24, respectivamente, las muestras par e impar modificadas se suministran como salida al un circuito de decisión 25.

15

20 El circuito de decisión 25, conectado a los AVMs 23, 24 y al controlador 18, determina el desajuste de chip. Las muestras par e impar modificadas que se suministran como salida desde los AVMs 23, 24, se introducen en un MUX (multiplexador) 8 situado dentro del circuito de decisión 25, y se combinan en una única corriente. Esta corriente es una representación de la intensidad de la señal transmitida en una de las muestras de cada ranura de cada una de las tramas. Como se ha ilustrado en la Figura 2, existen dos mil quinientos sesenta (2.560) chips en cada ranura y quince (15) ranuras en cada trama. Como la señal de entrada se muestrea a dos veces la velocidad de chip, existen 5.120 muestras en cada ranura. En consecuencia, el circuito de decisión 25 determina la ubicación del PSC en la señal, descentrada en chip, mediante el barrido a través de las 5.120 muestras acumuladas en el extremo de cada ranura.

25

La corriente generada por el MUX se remite a un acumulador (no mostrado), situado dentro del circuito de decisión 25. Este acumulador tiene un registro con una longitud de cinco mil ciento veinte (5.120) muestras, que almacena el valor de muestra acumulado para cada ranura de cada una de las tramas, y opera sobre la velocidad de las ranuras. La intensidad de la señal para cada muestra de una ranura se suma a la resistencia de la señal de cada muestra de cada ranura subsiguiente. Como ejemplo de ello, las muestras de la ranura 1 comprenden los siguientes valores de intensidad de señal: {1, 5, 3, 7}; las muestras de la ranura 2 comprenden los valores de intensidad de la señal siguientes: {2, 4, 8, 3}. Inicialmente, los registros del acumulador tienen los valores {0, 0, 0, 0}. Como cada valor de muestra a partir de la ranura 1 se añade a los registros del acumulador, los valores de los registros cambian en consecuencia. Por ejemplo, cuando se añade el primer valor de muestra de la ranura 1 al primer valor del registro, el acumulador presenta los valores {1, 0, 0, 0}; cuando se añade el segundo valor de muestra de la ranura 1 al segundo valor del registro, el acumulador tiene los valores {1, 5, 0, 0}, y así sucesivamente. Una vez que se ha añadido al acumulador el último valor de muestra de la ranura 1, se añade el primer valor de muestra de la ranura 2 al primer registro del acumulador, lo que da lugar a que el acumulador tenga los valores {3, 5, 3, 7}; cuando se añade el segundo valor de muestra de la ranura 2 al segundo valor del registro, el acumulador presenta los valores {3, 9, 3, 7}. La realización preferida de la presente invención efectúa una limpieza de los registros del acumulador una vez que se han acumulado cinco (5) tramas, lo que es equivalente a setenta y cinco (75) ranuras. El número de tramas acumuladas se cuenta por medio de un contador (no mostrado) de la etapa 1, ubicado dentro del circuito de decisión 25.

30

Se genera una decisión o determinación del desajuste de chip por parte del circuito de decisión 25, al final de cada trama, o quince (15) ranuras. El circuito de decisión 25 determina el registro del acumulador que tiene el valor máximo de muestra acumulado, MAX, y le asigna un índice. El índice corresponde a la posición media de chip de la señal de PSC para la estación de base con la señal más fuerte o intensa.

35

La asignación de desajuste de chip se determina mediante el uso del valor de desajuste de HGC de 511. Como conocen los expertos de la técnica, la salida del HGC está retrasada en 256 chips. En consecuencia, cuando el circuito de decisión 25 asigna un índice dentro de la muestra de pico, el valor de desajuste de HGC ha de ser restado. Puesto que el PSC tiene una longitud de 256 chips, o sea, una longitud de 512 muestras, la sustracción del desajuste de HGC del índice equivale a establecer el desajuste de chip al comienzo de la ranura. En el caso de que el índice generado por el circuito de decisión 25 sea mayor que el valor de desajuste de HGC de 511, entonces el desajuste de chip se calcula de acuerdo con la Ecuación 2 que se proporciona a continuación:

40

$$\text{desajuste\_chip} = \text{ÍNDICE} - 511 \quad \text{Ecuación 2}$$

45

Si el índice es menor que el valor de desajuste de HGC, entonces el desajuste de chip se calcula de acuerdo con la Ecuación 3 que se proporciona a continuación:

50

$$\text{Desajuste\_chip} = 5,120 + \text{ÍNDICE} - 511 \quad \text{Ecuación 3}$$

55

Como se ilustra en la Figura 3, el circuito de decisión 25 comprende también un generador 5 de máscara que se utiliza para excluir de la detección, por parte del circuito de decisión 25, una ventana situada en el entorno de un desajuste de chip rechazado. Este generador 5 de máscara prohíbe, en consecuencia, que el circuito de decisión 25

## ES 2 273 312 T3

utilice un índice asociado con un desajuste de chip rechazado. Los detalles del generador 5 de máscara se describirán aquí más adelante.

5 El desajuste de chip calculado y el contador de cómputo de tramas de la etapa 1 se suministran como salida a un controlador 18 que se describirá aquí más adelante. El circuito de decisión 25 también suministra como salida el valor de chip acumulado máximo, MAX, y el valor de chip acumulado, SALIDA (“OUTPUT”) para todos los registros.

10 El valor de chip acumulado, SALIDA, para todos los registros se suministra como salida a un circuito de normalización 26, en el que es muestreado al 20% de la velocidad de chip (uno de cada cinco), sumado y normalizado, a continuación, a 1024. El contador de cómputo de tramas de la etapa 1 se suministra como salida a la tabla de consulta 27 con el fin de determinar el factor de ganancia adecuado basándose en el número de tramas acumulado. Las salidas del circuito de normalización 26 y de la tabla de consulta 27 se multiplican entonces por el multiplicador 28. La salida del multiplicador 28 se considera el Umbral de Ruido y es remitida a un circuito comparador 29 de la etapa 1, a fin de ser comparada con el valor de muestra acumulado máximo, MAX. Si el valor de muestra acumulado máximo MAX es mayor que el Umbral de Ruido, entonces el amplificador diferencial 29 suministra como salida una señal firme de etapa 1 alta al controlador, que indica una buena decisión para la etapa 1; en caso contrario, se suministra como salida una señal baja.

20 Como se ha establecido en lo anterior, el desajuste de chip y otras salidas se determinan al final de cada trama. Por lo tanto, la fiabilidad de la primera decisión es menor que la de la segunda debido a que la segunda decisión se realiza sobre treinta ranuras en lugar de sobre quince ranuras. La fiabilidad se incrementa a medida que aumenta el número de ranuras acumuladas. La salida fiable más elevada se genera en la trama M1-ésima, siendo M1 un número entero mayor o igual que uno (1). El controlador 18 restablece el contador de cómputo de tramas de la etapa 1 y los registros del acumulador situados al final de cada trama M1-ésima. Los resultados de rendimiento ante el debilitamiento o 25 atenuación de diferentes canales muestran que una integración de cinco tramas es lo suficientemente buena como para detectar el PSC. Sin embargo, esta integración puede cambiarse a más o menos tramas.

30 En la Figura 4 se ilustra un diagrama de flujo del módulo de la etapa 1. El UE detecta la recepción de comunicaciones a través del canal de enlace descendente común (etapa 401) y muestrea la señal al doble de la velocidad de chip, con lo que genera muestras pares e impares (etapa 402). Los HGCs 21, 22 remiten a continuación las salidas a los AVMs 23, 24 y al selector de muestra 34 (etapa 404). Los AVMs 23, 24 aproximan las magnitudes de las salidas pares e impares procedentes de los HGCs 21, 22 (etapa 405) y las remiten al circuito de decisión 25 (etapa 406). Con la recepción de las magnitudes de salida, el circuito de decisión 25 combina las magnitudes (etapa 407), lo que representa la intensidad de señal de la señal transmitida por una de las muestras de cada una de las ranuras de cada 35 trama. Se acumula la intensidad de señal de cada muestra para todas las ranuras situadas dentro de cada trama (etapa 408). El circuito de decisión 25 determina entonces la muestra de la trama que tiene el valor de muestra acumulado máximo (etapa 409), y le asigna un índice (etapa 410). Basándose en el índice, se asigna un valor de chip al índice (etapa 411), conocido como el desajuste de chip, y se suministra como salida al controlador 18 (etapa 412). Se genera a continuación un valor de umbral de ruido mediante el uso del valor de chip acumulado para todas las muestras, y se 40 compara entonces el cómputo de tramas (etapa 413) con el valor de muestra acumulado máximo (etapa 414), lo que indica al controlador 18 una decisión firme o provisional (etapa 415).

Haciendo referencia de nuevo a la Figura 1, las salidas del módulo 12 de la etapa 1, el desajuste de chip, la decisión firme de la etapa 1 y el contador de la etapa 1 se remiten al controlador 18. El controlador 18 remite el desajuste de chip al módulo 14 de la etapa 2. Como se ha establecido anteriormente, el módulo 14 de la etapa 2 utiliza un algoritmo de la etapa 2 que toma la salida de desajuste de chip procedente de la etapa 1 y las salidas de los HGC 21, 22 y detecta el desajuste de ranura y el número de grupos de código. El módulo 14 de la etapa 2, que se ilustra en la Figura 5, comprende un comparador 30 de la etapa 2, un selector de muestra 34, un dispositivo de conjugación 36, un multiplicador complejo 38, una Transformada de Hadamard Rápida (FHT -“Fast Hadamard Transform”) 33, un 50 supresor 31 de envolvente, un generador 35 de matriz de entrada, un codificador de RS 37 y un circuito de decisión 39 de la etapa 2.

55 El propósito del algoritmo de la etapa 2 consiste en proporcionar al algoritmo de la etapa 3 el número de grupos de código de mezcla criptográfica y el desajuste de ranura. El desajuste de chip procedente del módulo 12 de la etapa 1 se envía desde el controlador 18 a un retardador 32 del módulo 14 de la etapa 2. Este desajuste de chip es retrasado para una trama por medio del retardador 32, con el fin de permitir al módulo de la etapa 1 realizar una primera decisión. El desajuste de chip retardado se remite a continuación al selector de muestra 34, que está conectado al retardador 32, a un dispositivo de conjugación 36 y a los HGCs 21, 22 del módulo 12 de la etapa 1. Con el uso del índice determinado por el circuito de decisión 25, el selector de muestra 34 extrae las salidas de pico de los HGC 21, 22 a partir de la 60 señal de entrada, las cuales son entonces conjugadas por el dispositivo de conjugación 36 y suministradas como salida al multiplicador complejo 38.

65 La misma señal de comunicación suministrada al módulo 12 de la etapa 1 se suministra como entrada a un circuito de alineación 15, el cual alinea la señal de entrada de tal manera que el módulo 14 de la etapa 2 comienza su búsqueda del número de grupos de código de mezcla criptográfica y del desajuste de ranura al comienzo de la ranura. Una vez que se ha alineado la señal, el circuito de alineamiento 15 la remite al módulo 14 de la etapa 2. Incluso aunque existen dos mil quinientos sesenta (2.560) chips en cada ranura, ha de resultar evidente de la Figura 2 que el PCS está situado dentro de los 256 primeros chips de cada ranura. Como se ha determinado el desajuste de chip por medio del módulo

## ES 2 273 312 T3

de la etapa 1, el módulo de la etapa 2 determina el SSC utilizando la posición del PSC más fuerte en los 256 primeros chips de cada ranura. Como conocen los expertos de la técnica, una vez que se han generado los códigos SSC, se aplica un secuencia de envolvente a las filas de una matriz de Hadamard con el fin de tener una cierta ortogonalidad entre los códigos PSC y SSC. Esta envolvente ha de ser eliminada antes de proseguir con la parte restante del algoritmo de la etapa 2. Esta supresión de la envolvente se lleva a cabo por medio del supresor 31 de envolvente.

Una vez que se ha eliminado la envolvente de la señal de entrada, la señal se suministra como salida desde el supresor 31 de envolvente a la transformada FHT 33 acoplada al supresor 31 de envolvente, así como al multiplicador 38, el cual reduce la complejidad de la operación de correlación de Hadamard pura. La Figura 6 es una ilustración de la estructura de FHT. La salida de la transformada FHT 33 se multiplica por el conjugado de los HGC 21, 22 de pico, por medio del multiplexador complejo 38 conectado al dispositivo de conjugación 36 y a la transformada FHT 33. El uso del conjugado de la salida de pico procedente de los HGCs 21, 22 proporciona una corrección de fase de la salida de FHT y transforma la entrada que corresponde al código SSC transmitido, sobre el eje real.

Una vez que se ha multiplicado la salida de la transformada FHT 33 en el multiplicador complejo 38, las partes reales de las salidas de FHT son remitidas al generador 35 de matriz de entrada por parte del multiplicador 38, lo que pone las salidas de FHT en una matriz real de  $15 \times 16$ , denominada matriz de entrada. En la matriz de entrada existen quince (15) ranuras y en cada ranura dieciséis (16) elementos para una trama. La matriz de entrada se actualiza para cada trama. La matriz de entrada se remite a continuación al circuito de decisión 39, en el que se realizan unas determinaciones con respecto al desajuste de ranura y al número de grupos de código. La estructura de la matriz de entrada se ilustra en la Figura 7.

Se genera una matriz de correlación dentro del circuito de decisión 39 de la etapa 2, mediante el uso de la matriz de entrada 35 y de una matriz de grupos de código conocida, lo que da lugar a una matriz de  $64 \times 15$ . La matriz de correlación se restablece cuando el contador de tramas para el módulo de la etapa 2 alcanza M2, de manera similar a la descrita con el módulo de la etapa 1. Con el fin de generar la matriz de correlación, el circuito de decisión 39 avanza escalonadamente a través de cada uno de los elementos de la matriz de grupos de código y de los elementos de la matriz de entrada 35, de acuerdo con la ecuación 4 que se da en lo que sigue:

$$\text{Matrizcorr}[i][j] + = \text{Matrizentrada}[k][\text{matriz\_grupos\_código}[i][k]] \quad \text{Ecuación 4}$$

Donde  $j$  es un entero que se va incrementando de uno en uno de 0 a 14, que representa los desplazamientos o corrimientos cíclicos que se llevan a cabo en la matriz identidad con respecto a las columnas;  $i$  es un entero que se va incrementado de uno en uno de 0 a 63; y  $k$  es un entero que se va incrementado de uno en uno de 0 a 14. La estructura de la matriz de grupos de código y de la matriz de correlación resultante se ilustran, respectivamente, en las Figuras 8 y 9. Una vez que se ha generado la matriz de correlación, se encuentra la entrada máxima por parte del circuito de decisión 39. La fila correspondiente de la entrada máxima encontrada es el número de grupos de código, y la columna correspondiente es el desajuste de ranura.

Análogamente al módulo 12 de la etapa 1, si la correlación máxima MAX 2 es mayor que el umbral, el circuito comparador 30 suministrará como salida una señal firme de la etapa 2, alta, al controlador 18, indicando una decisión firme, en tanto que, en caso contrario, se suministra como salida una señal baja que indica una decisión provisional. El valor de umbral se calcula utilizando el valor de magnitud medio de la matriz de correlación:

$$\text{Th} = k \frac{1}{960} \left( \sum_{i=0}^{63} \sum_{j=0}^{14} \text{mag}(c_{ij}) \right)$$
$$k = 5,12, P_{fa} = 10^{-14} \quad \text{Ecuación 5}$$

donde  $P_{fa}$  es la probabilidad de una falsa alarma. El módulo 14 de la etapa 2 suministra como salida al controlador 18 el número de grupos de código, el desajuste de ranura, la decisión firme de la etapa 2 y el contador de la etapa 2.

En la Figura 10 se ilustra el diagrama de flujo para el algoritmo de la etapa 2. El módulo de la etapa 2 recibe la señal de comunicación procedente de la estación de base a través del canal de enlace descendente (etapa 1.001). Se extrae una secuencia de envolvente de la señal de comunicación (etapa 1.002a) y ésta se suministra como salida a una transformada FHT 33 (etapa 1.003a). Al mismo tiempo, el desajuste de chip procedente del módulo 12 de la etapa 1 se suministra como entrada a un retardador 34 que extrae la salida par o impar de pico generada por los HGCs 21, 22 del módulo 12 de la etapa 1, basándose en el desajuste de chip (etapa 1.003b). La salida del transformador FHT 33 se multiplica entonces por el conjugado de la salida de muestra par o impar de pico procedente del selector de muestra 34 (etapa 1.004), y se transforma una de las entradas de la salida de FHT, la que corresponde al código SSC, sobre el eje real (etapa 1.005). La parte real de las salidas de FHT para cada ranura de una trama se remite al generador 35 de matriz de entrada (etapa 1.006). El generador 35 de matriz de entrada crea entonces la matriz de entrada (etapa 1.007). La matriz de entrada se remite entonces al circuito de decisión 39 con el fin de determinar el desajuste de ranura y el número de grupos de código (etapa 1.008). Utilizando la matriz de entrada y la matriz de grupos de código, conocida, el circuito de decisión 39 genera una matriz de correlación (etapa 1.009). Una vez que se ha generado la matriz de correlación, el circuito de decisión 39 localiza la entrada máxima de la matriz de correlación (etapa 1.010), para la que

## ES 2 273 312 T3

se determina la fila correspondiente de la entrada máxima hallada de manera que sea el número de grupos de código, siendo la columna el desajuste de ranura. El número de grupos de código y el desajuste de ranura se remiten entonces al controlador 18 (etapa 1.011). Se calcula a continuación un valor de umbral con el uso del valor de magnitud medio de la matriz de correlación (etapa 1.012), y se compara con la correlación máxima (etapa 1.013), con lo que se remite una indicación de una decisión firme o provisional al controlador 18 (etapa 1.014).

La salida de desajuste de chip procedente del módulo 12 de la etapa 1, así como la salida de desajuste de ranura y de número de grupos de código procedente del módulo de la etapa 2, son remitidas por el controlador 18 al módulo 16 de la etapa 3, el cual utiliza un algoritmo de la etapa 3 con el propósito de determinar cuál de los códigos de mezcla criptográfica primarios viene con la menor probabilidad de falsa alarma ( $P_{fa}$ ) cuando el número de grupos de código se ha dado. Existen ocho códigos de mezcla criptográfica primarios en cada grupo de códigos.

El diagrama de bloques del módulo 16 de la etapa 3 se ilustra en la Figura 11. Análogamente al módulo 14 de la etapa 2, la señal de comunicación se suministra como entrada a un segundo circuito de alineación 18 que alinea la señal de salida de tal modo que el módulo 16 de la etapa 3 comienza su búsqueda para el número de códigos de mezcla criptográfica al comienzo de la trama. Una vez que se ha alineado la señal de entrada, el circuito de alineamiento 18 remite la señal de entrada al módulo 16 de la etapa 3. El módulo de la etapa 3 comprende ocho (8) generadores de código de mezcla criptográfica,  $40_1, \dots, 40_8$ , ocho (8) circuitos de correlación  $41_1, \dots, 41_8$ , un circuito de estimación de ruido 42, un circuito de decisión 44 de la etapa 3, un circuito de soporte de decisión 45, un circuito de ganancia 46 y un circuito comparador 47. El número de grupos de código generado por el módulo 14 de la etapa 2 se suministra como entrada a los ocho (8) generadores de código de mezcla con ininteligibilidad,  $40_1, \dots, 40_8$ , y se generan códigos de mezcla criptográfica a partir de los mismos. La salida de los generadores de código de mezcla criptográfica,  $40_1, \dots, 40_8$ , se remite a los dispositivos de correlación de código de mezcla criptográfica,  $41_1, \dots, 41_8$ , respectivamente.

Conjuntamente con los códigos de mezcla criptográfica suministrados como salida desde los generadores de código de mezcla criptográfica,  $40_1, \dots, 40_8$ , la señal de comunicación, tras ser procesada por un circuito de realineación 15 con el uso del desajuste de chip y del desajuste de ranura suministrados como salida desde el controlador 18, se suministra como entrada a los dispositivos de correlación  $41_1, \dots, 41_8$ . Los dispositivos de correlación  $40_1, \dots, 40_8$  utilizan integración no coherente sobre un cierto número de ranuras. La integración puede ser sobre múltiples tramas. La correlación se realiza de forma coherente para cada símbolo que corresponde a los datos de 256 chips. Los valores absolutos de los resultados de la correlación se acumulan a lo largo de  $10 \cdot N$  símbolos por cada trama, donde N es el número de ranuras que se han de acumular desde el comienzo de una trama. En una única ranura existen diez partes de datos con una longitud de 256 chips; en consecuencia, se realizan por cada ranura diez correlaciones coherentes de 256 chips y diez acumulaciones. La figura 12 muestra los detalles de un dispositivo de correlación  $41_1$ .

Una vez que los dispositivos de correlación  $41_1, \dots, 41_8$  han generado las salidas, han de encontrarse la salida máxima y su índice. El circuito de decisión 44 de la etapa 3 toma las salidas de los dispositivos de correlación de código de mezcla con inteligibilidad,  $41_1, \dots, 41_8$ , determina el dispositivo de correlación  $41_1, \dots, 41_8$  con la salida máxima, y genera un índice del mismo. El índice es el número de códigos de mezcla con ininteligibilidad. A continuación se remite el número de códigos de mezcla criptográfica al circuito de soporte de decisión 45 y al controlador 18. El circuito de soporte de decisión 45 observa las M3 últimas decisiones tomadas por el circuito de decisión 44. Si un código se repite por más de k veces de entre M3 entradas, entonces el código que se ha repetido es el número de códigos de mezcla criptográfica que se suministra como salida desde el circuito de soporte de decisión 45 al controlador 18. Sin embargo, la salida del circuito de soporte de decisión 45 se utiliza únicamente cuando no hay una decisión firme a lo largo de M3 tramas consecutivas. Incluso aunque el circuito de soporte de decisión se ha ilustrado únicamente en el módulo 16 de la etapa 3, es posible utilizar un circuito de soporte de decisión 45 como el descrito con respecto al módulo 16 de la etapa 3, tanto para el módulo 12 de la etapa 1 como para el módulo 14 de la etapa 2 que se han descrito anteriormente.

Una decisión firme se indica cuando el valor de correlación máximo determinado es mayor que el valor de umbral calculado. El valor de umbral se calcula utilizando el circuito 42 de estimación de ruido, el cual se emplea para la medición del ruido, y un factor de ganancia. El ruido se determina tomando la magnitud de la diferencia entre los sucesivos símbolos piloto comunes. Este método de estimación del ruido elimina cualquier sesgo o desviación en la estimación del ruido debida a interferencia de señal ortogonal. El resultado del dispositivo 42 de estimación del ruido se multiplica por el factor de ganancia en el multiplicador 46, el cual se determina o establece de modo que sea el umbral. Cuando la correlación máxima determinada es mayor que el umbral calculado, el comparador 47 suministra como salida una señal firme de la etapa 3, alta, que indica una decisión firme, en tanto que, en caso contrario, se genera una señal baja que indica una decisión provisional.

En la Figura 13 se ilustra el diagrama de flujo del algoritmo de la etapa 3. La salida de número de grupos de código desde el módulo 14 de la etapa 2 se suministra como entrada a los generadores de código de mezcla criptográfica,  $40_1, \dots, 40_8$ , del módulo 16 de la etapa 3 (etapa 1.301), los cuales generan entonces códigos de mezcla de inteligibilidad a partir de los mismos (etapa 1.302). La salida de los generadores de código de mezcla criptográfica se remite entonces a los dispositivos de correlación de código de mezcla criptográfica,  $41_1, \dots, 41_8$  (etapa 1.303). Conjuntamente con los códigos de mezcla criptográfica suministrados como salida desde los generadores de código de mezcla criptográfica,  $40_1, \dots, 40_8$ , la señal de comunicación se correlaciona en los dispositivos de correlación de código de mezcla criptográfica,  $41_1, \dots, 41_8$  (etapa 1.304), los cuales generan entonces diez correlaciones coherentes de 256 chips y diez acumulaciones no coherentes por ranura temporal (etapa 1.305). Los resultados acumulados se remiten al circuito de

## ES 2 273 312 T3

decisión 44 de la etapa 3 (etapa 1.306). El circuito de decisión 44 determina el dispositivo de correlación con la máxima salida y genera un índice del mismo, que es el número de códigos de mezcla de inteligibilidad (etapa 1.307). Se calcula entonces un valor de umbral (etapa 1.308) y se compara con el valor de correlación máximo (etapa 1.309). Si el valor de correlación máximo es mayor que el umbral calculado, el módulo 16 de la etapa 3 suministra como salida una señal firme de la etapa 3, alta, (etapa 1.310) que tiene como resultado que el circuito de decisión 44 suministre como salida el número de código de mezcla criptográfica al controlador 18 (etapa 1.311). En caso contrario, se suministra como salida una señal baja al controlador 18 (etapa 1.313) y se suministra como salida el número de códigos de mezcla criptográfica al circuito de soporte de decisión 45 (etapa 1.313). Como el circuito de soporte de decisión 45 observa las M3 últimas decisiones tomadas por el circuito de decisión 44, se suministra como salida un número de código de mezcla criptográfica al controlador 18 cuando un código de mezcla criptográfica se repite k veces de entre M3 entradas (etapa 1.311).

Haciendo referencia de nuevo a la Figura 1, el controlador 18 comprende un registro de almacenamiento intermedio 9 de desajustes de chips rechazados, un contador 11 de desajustes de chips rechazados, un registro de almacenamiento intermedio 13 de vectores de cogido de mezcla criptográfica primarios rechazados, un contador 3 de códigos de mezcla criptográfica primarios rechazados, un circuito lógico de decisión 2 y un circuito lógico 6 de exclusión de ventana. El controlador 18 se utiliza para tomar mejores decisiones durante todo el algoritmo de búsqueda de celda, de acuerdo con la realización preferida de la presente invención.

En la Figura 14 se ilustra el diagrama de flujo de la lógica de decisión utilizada por el controlador 18 para determinar el código de mezcla criptográfica primario para su sincronización con la estación de base transmisora. El controlador 18 recibe el desajuste de chip, la señal firme de la etapa 1 y la señal de contador de la etapa 1 desde el módulo 12 de la etapa 1 (etapa 1.401). Si la señal firme de la etapa 1 es alta, el controlador 18 remite el desajuste de chip firme al módulo 14 de la etapa 2 (etapa 1.402a), en tanto que, en caso contrario, se remite un desajuste de chip provisional (etapa 1.402b). El módulo 14 de la etapa 2 genera el número de grupos de código, el valor de desajuste de ranura, la decisión firme de la etapa 2 y el contador de la etapa 2 (etapa 1.403). Si la señal firme de la etapa 2 es alta, entonces el controlador remite el grupo de código firme al módulo de la etapa 3 (etapa 1.404a). En caso contrario, el controlador 18 remite un grupo de código provisional al módulo 16 de la etapa 3 (etapa 1.404b), y si el contador de la etapa 2 es menor que M2, entonces el módulo 14 de la etapa 2 continúa generando el número de grupos de código (etapa 1.403). Si el contador de la etapa 2 es igual a M2, entonces se restablece el módulo 14 de la etapa 2 (etapa 1.407), lo que da lugar a que el módulo de la etapa 2 genere un número de códigos y un desplazamiento de ranura (etapa 1.403). El módulo 16 de la etapa 3 genera entonces un número de códigos de mezcla criptográfica y la señal firme de la etapa 3 (etapa 1.405), generada en la etapa 1.403, al recibir el desplazamiento de ranura y el número de grupos de código. Si la señal firme de la etapa 3 es alta, entonces el circuito lógico de decisión 2 determina que el número de códigos de mezcla criptográfica es firme y pone fin al procedimiento lógico de decisión. Si la señal firme de la etapa 3 es baja y la señal firme de la etapa 1 es alta o el contador de la etapa 2 es menor que M2, el módulo de la etapa 2 continúa generando un número de grupos de código (etapa 1.403). En caso contrario, el módulo de la etapa 2 recibe una señal de restitución o restablecimiento desde el controlador 18 y restablece en 0 el contador de la etapa 2 (etapa 1.407). Este procedimiento continúa hasta que la decisión suministrada como salida por el módulo 16 de la etapa 3 sea firme.

Debido a un posible error de frecuencia inicial en el VCO, puede producirse una pérdida excesiva de correlación de señal. En consecuencia, el VCO se hace avanzar paso a paso en frecuencia con el fin de controlar el error de frecuencia máximo posible entre el UE y la celda. Al inicializar el UE, el controlador 18 inicializa la frecuencia de búsqueda de celda con el uso del sintetizador de frecuencia 20. Haciendo referencia a la Figura 1, el sintetizador de frecuencia 20 comprende un circuito de frecuencia adaptativo (AFC -“adaptive frequency circuit”) 4 y un oscilador controlado por tensión (VCO -“voltage controlled oscillator”) 7 ó un oscilador controlado numéricamente (NCO -“numerically controlled oscillator”). El AFC 4, conectado al controlador 18 y al VCO 7, comprende una tabla de asignación de frecuencia (FAT -“frequency allocation table”) y una tabla de escalones de frecuencia (FST -“frequency step table”).

Cuando se inicializa el controlador 18, el AFC 4 ajusta la frecuencia utilizando la primera frecuencia de la FAT y el valor de desajuste obtenido de la FST. Esta frecuencia inicial es la frecuencia que se utiliza por el controlador 18 para llevar a cabo la búsqueda de celda. La FST es una tabla de frecuencias escalonadas, o frecuencias de desajuste, por ejemplo {0, 2, -2, 4, -4, 6, -6, ..., N, -N}, que se utilizan para descentrar o desplazar la frecuencia que se está utilizando por parte del controlador 18. La FAT incluye una pluralidad de frecuencias predeterminadas que utiliza el controlador 18 ó un controlador de nivel 1 (no mostrado) para asignar el UE a la estación de base y sincronizarlo con ella. Para los propósitos de esta descripción, la pluralidad de frecuencias listadas se definen como  $F_0, F_1, F_2, \dots, F_N$  en la FAT, y las frecuencias de desajuste se definen en la FST como  $SF_0, SF_1, -SF_1, SF_2, -SF_2, \dots, SF_N, -SF_N$ . De acuerdo con ello, cuando se inicializa el controlador, la frecuencia de desajuste es SFO y la frecuencia  $> F_0$ . El AFC 4 combina los dos valores,  $F_0 + SF_0$ , y remite el valor de frecuencia resultante a la VCO o NCO 7, que mantiene la frecuencia de UE en su frecuencia remitida.

El controlador 18 lleva a efecto la lógica de decisión anteriormente descrita. Si, tras un número X de tramas, la decisión firme de la etapa 3 suministrada como salida no se pone en un valor alto, el controlador indica al AFC 4 que salte al siguiente desajuste de la FST, por ejemplo,  $SF_1$ . El AFC 4 combina entonces la nueva frecuencia de desajuste con la frecuencia de la FAT,  $F_0 + SF_1$ , y suministra como salida la frecuencia resultante al VCO o NCO 7, a fin de mantener el UE en esta frecuencia.

## ES 2 273 312 T3

El controlador 18 continúa saltando a través de las frecuencias de desajuste de la FST hasta que se detecta una señal alta procedente del módulo 16 de la etapa 3, que indica una detección firme, o hasta que se hayan intentado todas las frecuencias de desajuste por parte del controlador 18. Una vez que se han intentado la totalidad de las frecuencias de desajuste, el AFC 4 restablece la frecuencia de desajuste de la FST en  $SF_0$ , salta a la siguiente frecuencia de la FAT,  $F_1$ , y combina los dos valores,  $F_1 + SF_0$ , para suministrarlos como salida al VCO o NCO 7. El VCO o NCO 7 regula entonces la frecuencia del UE de modo que sea esta nueva frecuencia resultante, y el controlador 18 lleva entonces a cabo la decisión lógica hasta que se detecta una señal alta procedente del módulo 16 de la etapa 3. Este procedimiento de avance por saltos a través de la FST y de avance por saltos, a continuación, hasta la siguiente frecuencia de la FAT se prosigue hasta que se genera como salida una señal alta por parte del módulo 16 de la etapa 3. Una vez que este suceso da lugar a la detección de un código de mezcla criptográfica, el AFC 4 bloquea el valor de desajuste de la FST en la posición que tiene en ese momento, que no se habrá de reajustar hasta que se inicialice el controlador 18.

Como saben los expertos de la técnica, la mayor parte de los proveedores de servicios de un sistema de comunicación tienen una red móvil terrestre pública (PLMN -“public land mobile network”) diferente. El UE utiliza la PLMN detectada para determinar si el proveedor de servicios proporciona o no servicio en la posición del UE. El controlador 18 se sirve de una lógica de exclusión de ventana ubicada dentro del circuito lógico 6 de exclusión de ventana, para superar un rechazo debido a que la PLMN sea errónea. Puesto que la detección de la salida de los HGC 21, 22 en el valor de pico siempre proporciona la misma PLMN, el controlador 18 utiliza la lógica de exclusión de ventana para superar este obstáculo. El circuito lógico de exclusión de ventana está conectado al circuito lógico de decisión 2, al registro de almacenamiento intermedio 9 de vectores de desajuste de chip rechazados, a un contador 11 de desajustes de chip rechazados, a un registro de almacenamiento intermedio 13 de vectores de código de mezcla criptográfica primarios rechazados, y a un contador 3 de códigos de mezcla criptográfica primarios rechazados. El circuito lógico 6 de exclusión de ventana comprueba el código de mezcla criptográfica primario suministrado como salida desde el módulo de la etapa 3, con respecto a los códigos de mezcla criptográfica primarios rechazados que están almacenados en el registro de almacenamiento intermedio 13 de vectores de código de mezcla criptográfica primarios rechazados. Si el código de mezcla criptográfica primario suministrado como salida desde el módulo de la etapa 3 se encuentra en el registro de almacenamiento intermedio 13, o bien se ha detectado una PLMN equivocada, el circuito lógico 6 de exclusión de ventanas rechaza el código e inicializa de nuevo el circuito lógico de decisión. Cada vez que se rechaza un código de mezcla criptográfica primario, el desajuste de chip que se generó por el módulo de la etapa 1 se almacena en el registro de almacenamiento intermedio 9 de vectores de desajuste de chip rechazados y es utilizado por el generador 5 de máscara. El generador 5 de máscara del circuito de decisión 25 situado dentro del módulo 12 de la etapa 1, se sirve de los valores almacenados en el registro de almacenamiento intermedio 9 de vectores de desajuste de chip rechazados y del contador 11 de desajustes de chip rechazados, procedente del controlador 18, para determinar los chips de cada ranura que se han de excluir en la ventana. La exclusión de los códigos de mezcla criptográfica primarios y los desajustes de chip detectados se hace sólo dentro de una única banda de frecuencias. Los registros de almacenamiento intermedio y los contadores se restablecen cuando existe una confirmación por parte de la estación de base o se está utilizando una nueva banda de frecuencias por parte del controlador de nivel 1.

Con el fin de ajustar la banda de frecuencias utilizada por el controlador 18 durante el proceso lógico de exclusión de ventana, el controlador de la capa 1 indica al AFC 4 que salte a la siguiente frecuencia de la FAT. Como ya está establecida la frecuencia de desajuste de la FST, el AFC combina la nueva frecuencia con la frecuencia de desajuste establecida. EL VCO o NCO 7 se ajusta entonces de manera que mantenga esta frecuencia combinada.

En la Figura 15 se ilustra un diagrama de flujo de la lógica de exclusión de ventana utilizada por el controlador. El controlador 18 ejecuta la lógica de decisión de búsqueda de celda y encuentra un código de mezcla criptográfica primario (etapa 1.501). El código de mezcla criptográfica primario se hace pasar a las capas superiores (etapa 1.502), que almacenan la frecuencia y el índice del código de mezcla criptográfica primario (etapa 1.503). Si la PLMN es correcta para el proveedor de servicios concreto, el UE es sincronizado con la estación de base y se pone fin al procedimiento (etapa 1.514). Si la PLMN es incorrecta y existe una frecuencia restante en la FAT del AGC 4, el AGC 4 salta a la siguiente frecuencia de la FAT y el controlador 18 cambia la frecuencia, almacena el código de mezcla criptográfica primario en el registro de almacenamiento intermedio 13 de vectores, y restablece el algoritmo de búsqueda de celda (etapa 1.505). Ha de apreciarse que la condición de fallo supervisa, ya sea los registros de almacenamiento intermedio 3, 11 de contador, ya sea un temporizador para determinar si se ha producido una condición de fallo. Una condición de fallo indica que no se producirá la sincronización en las condiciones presentes en ese momento (por ejemplo, la frecuencia). Si ya no queda ninguna frecuencia dentro de la FAT, el controlador 18 comienza con el barrido de las frecuencias con el código de mezcla criptográfica primario almacenado (etapa 1.506). El controlador 18 establece entonces la primera frecuencia y hace pasar el código de mezcla con ininteligibilidad primario rechazado a la búsqueda de celda inicial con el método de exclusión de ventana (etapa 1.507). El controlador 18 restablece la búsqueda de celda inicial con el método de exclusión de ventana y restablece también la condición de fallo (etapa 1.508). El código de mezcla criptográfica primario rechazado se hace pasar al interior del registro de almacenamiento intermedio 13 de vectores de código de mezcla criptográfica primarios rechazados, y se incrementa el contador de códigos de mezcla criptográfica primarios rechazados (etapa 1.509). Se ejecuta la lógica de decisión de búsqueda de celda y se hallan un código de mezcla criptográfica primario y un desajuste de chip (etapa 1.510). Si el código de mezcla criptográfica primario es almacenado en el registro de almacenamiento intermedio 13 de vectores de código de mezcla criptográfica primarios rechazados, entonces el desajuste de chip se hace pasar al interior del registro de almacenamiento intermedio 9 de vectores de desajuste de chip rechazados, y se incrementa el contador 11 de desajustes de chip rechazados (etapa 1.511). Se ejecuta de nuevo la lógica de decisión de búsqueda de celda, excluyendo una ventana en el entorno del desajuste de chip rechazado (etapa 1.512). Si el código de mezcla criptográfica primario generado por esta lógica de

## ES 2 273 312 T3

decisión de búsqueda de celda, es almacenado de nuevo en el registro de almacenamiento intermedio de vectores de código de mezcla criptográfica primarios rechazados, entonces el desajuste de chip detectado se hace pasar al interior del registro de almacenamiento intermedio de vectores de desajuste de chip rechazados y se incrementa el contador de desajustes de chip rechazados (etapa 1.511), y se ejecuta de nuevo la lógica de decisión de búsqueda de celda, excluyendo una ventana del valor del desajuste de chip rechazado (etapa 1.512). Las etapas 1.511 y 1.512 prosiguen hasta que el código primario detectado ya no se encuentre en la lista, instante en el cual el código de mezcla criptográfica primario se remite a las capas superiores para esperar una confirmación por parte de la estación de base (etapa 1.513). Si existe una condición de fallo y no queda ninguna frecuencia, el controlador 18 indica que no está disponible ningún servicio (etapa 1.517) y se pone fin al procedimiento. Si ha habido un fallo y queda una frecuencia en el ancho de banda, el controlador 18 establece una nueva frecuencia y hace pasar el código de mezcla criptográfica primario rechazado para esa frecuencia (etapa 1.516). El controlador 18 restablece entonces la búsqueda de celda inicial con el método de exclusión de ventana y el supervisor de condición de fallo (etapa 1.508). El controlador 18 prosigue entonces la búsqueda de celda inicial con el método de exclusión de ventana, según se ha descrito anteriormente. Si no existe ninguna condición de fallo y la PLMN es correcta, el controlador 18 indica que el UE está sincronizado con la estación de base al recibir la confirmación (etapa 1.518), y se pone fin al procedimiento. Si la PLMN es incorrecta, el código de mezcla criptográfica primario rechazado se hace pasar al interior del registro de almacenamiento intermedio 13 de vectores de código de mezcla criptográfica primarios rechazados, y se incrementa el contador 3 de códigos de mezcla criptográfica primarios rechazados (etapa 1.515). La lógica de decisión de búsqueda de celda se ejecuta de nuevo excluyendo una ventana en torno al valor de desajuste de chip rechazado previamente (etapa 1.512). Este procedimiento continúa hasta que el controlador indica que no hay ningún servicio disponible o se recibe una confirmación procedente de una estación de base.

25

30

35

40

45

50

55

60

65

# ES 2 273 312 T3

## REIVINDICACIONES

1. Un método para llevar a cabo una búsqueda de celda inicial y establecer un enlace de comunicación entre un UE (equipo de usuario) y una estación de base en una red de comunicación, de tal modo que el método comprende las etapas de:

llevar a cabo una búsqueda de celda para detectar una red móvil terrestre pública PLMN, un código de mezcla criptográfica primario y un desplazamiento o desajuste asociado a dicha estación de base;

comparar dicho código de mezcla criptográfica primario con un código de mezcla criptográfica primario previamente almacenado, y dicho desajuste con un desajuste previamente almacenado;

rechazar dicho código de mezcla criptográfica primario y dicho desajuste si el código de mezcla criptográfica primario es igual a uno de dichos códigos de mezcla de inteligibilidad primarios previamente almacenados;

llevar a cabo adicionalmente dicha búsqueda de celda excluyendo una ventana predeterminada en el entorno de cualesquiera desajustes rechazados; y

ajustar una frecuencia de búsqueda en respuesta a una condición de fallo de sincronización.

2. El método de acuerdo con la reivindicación 1, que comprende adicionalmente las etapas de:

llevar a cabo una búsqueda de celda con el fin de detectar un código de mezcla criptográfica primario y un desajuste asociado a dicha estación de base;

determinar si dicha primera estación de base está asociada a una red móvil terrestre pública (PLMN -“public land mobile network”) concreta; y

ajustar una frecuencia de búsqueda en respuesta a dicha determinación de dicha PLMN.

3. El método de acuerdo con la reivindicación 2, en el que dicha búsqueda de celda comprende las etapas de:

recibir una señal de comunicación de entrada;

tratar o procesar primeramente dicha señal de comunicación y generar un valor de índice asociado a un código de sincronización primario contenido en dicha señal de comunicación, de tal manera que dicho valor de índice se utiliza para calcular dicho desajuste;

extraer una muestra de pico de dicha señal de comunicación en respuesta a dicho valor de índice;

procesar por segunda vez dicha señal de comunicación en respuesta a dicho valor de índice y a dichas muestras de pico, y recuperar un número de grupos de código, un desplazamiento o desajuste de ranura y un código de sincronización secundario;

procesar por tercera vez dicha señal de comunicación y recuperar un código de mezcla criptográfica primario en respuesta a dicho número de grupos de código y a dicho desajuste de ranura, a fin de sincronizar dicho UE con dicha estación de base, de tal modo que dicha recuperación de dicho código de mezcla criptográfica primario es una decisión de código firme; y

ajustar una frecuencia de búsqueda de dicho UE en respuesta a dicha decisión de código hasta que dicha decisión de código es firme.

4. El método de acuerdo con la reivindicación 3, en el cual dicho ajuste de dicha frecuencia de búsqueda comprende las etapas de:

extraer una de entre una pluralidad de frecuencias de desajuste y una de entre una pluralidad de frecuencias de búsqueda;

combinar dicha una de dicha pluralidad de frecuencias de desajuste con dicha una de dicha pluralidad de frecuencias de búsqueda con el fin de generar dicha frecuencia de búsqueda;

mantener dicha frecuencia de búsqueda; y

ajustar dicha frecuencia de desajuste en respuesta a dicha decisión de código.

5. Un sistema para llevar a cabo una búsqueda de celda inicial y establecer un enlace de comunicación entre un UE (equipo de usuario) y una estación de base en una red de comunicación, de tal modo que el sistema comprende:

## ES 2 273 312 T3

un sistema de búsqueda de celda adaptado para detectar una red móvil terrestre pública PLMN, un código de mezcla criptográfica primario y un desplazamiento o desajuste asociado a dicha estación de base;

5 un controlador adaptado para comparar dicho código de mezcla criptográfica primario y dicho desajuste con valores previamente almacenados en memoria, para rechazar dicho código de mezcla criptográfica y dicho desajuste si dicho código de mezcla criptográfica primario es igual a uno de dichos valores previamente almacenados en la memoria, y para llevar a cabo adicionalmente una búsqueda de celda excluyendo una ventana predeterminada en el entorno de cualesquiera desajustes rechazados; y

10 un sintetizador de frecuencia, adaptado para ajustar una frecuencia de búsqueda en respuesta a una condición de fallo procedente de dicho controlador.

6. El sistema de acuerdo con la reivindicación 5, en el cual dicho controlador comprende adicionalmente:

15 un primer registro de almacenamiento intermedio, destinado a almacenar códigos de mezcla criptográfica primarios rechazados;

20 un segundo registro de almacenamiento intermedio, destinado a almacenar vectores de desajuste de chip rechazados;

un circuito de exclusión de ventana, destinado a superar la lógica de rechazo y sensible a dicha comparación desfavorable y a la detección de la PLMN; y

25 un circuito lógico de decisión, sensible al circuito de exclusión de ventana con el fin de determinar que el código de mezcla criptográfica detectado es correcto.

7. El sistema de acuerdo con la reivindicación 6, que comprende adicionalmente:

30 un generador de máscara para determinar los chips de cada ranura que se han de excluir por parte del circuito de exclusión de ventana, y sensible a los desajustes de chip almacenados en el segundo registro de almacenamiento intermedio.

35

40

45

50

55

60

65

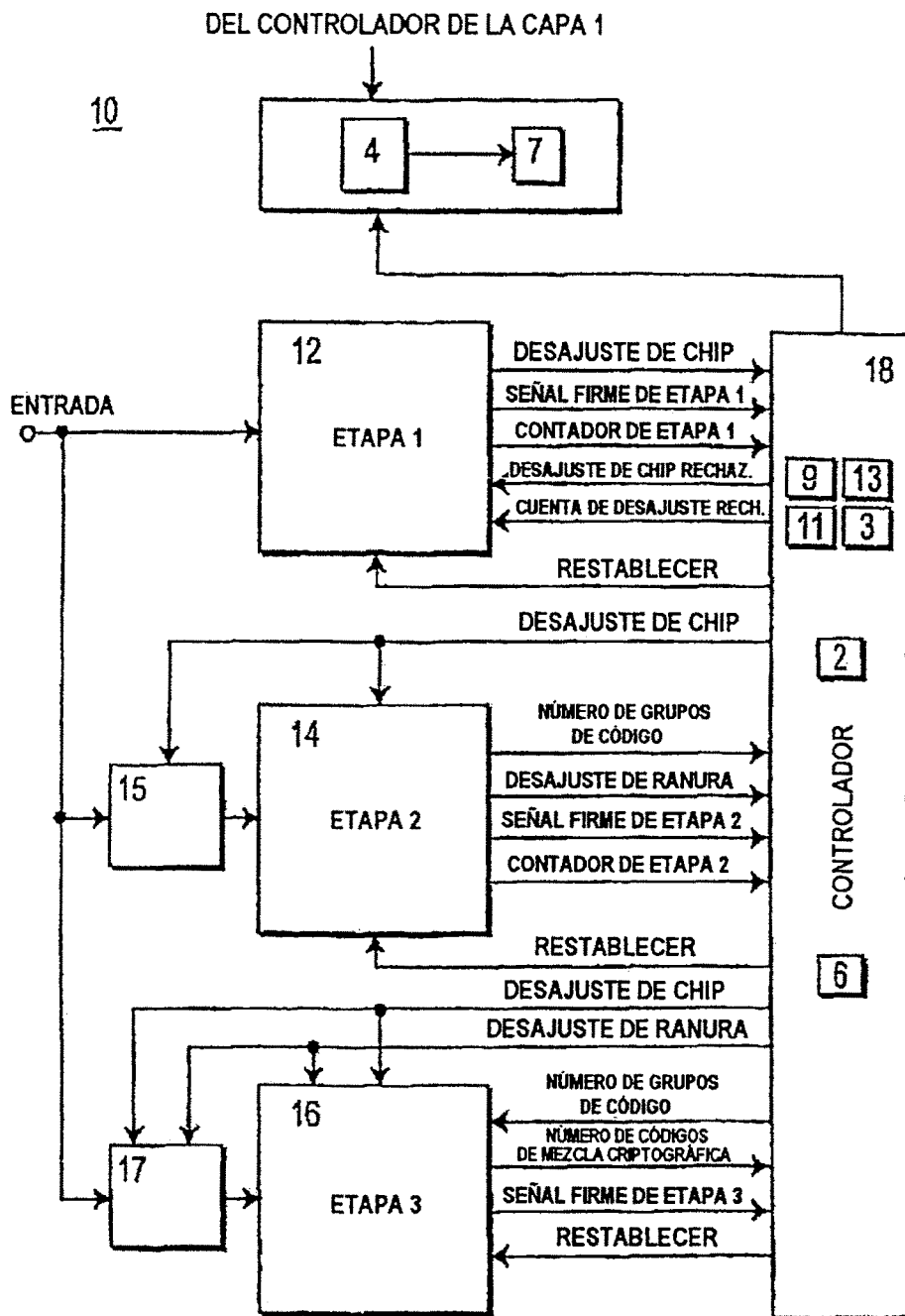


FIG. 1

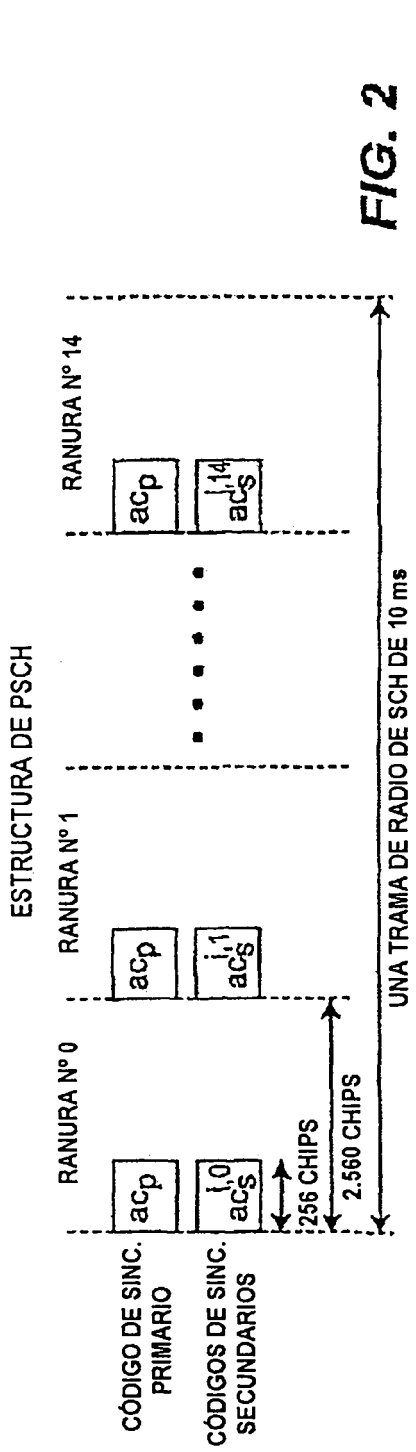


FIG. 2

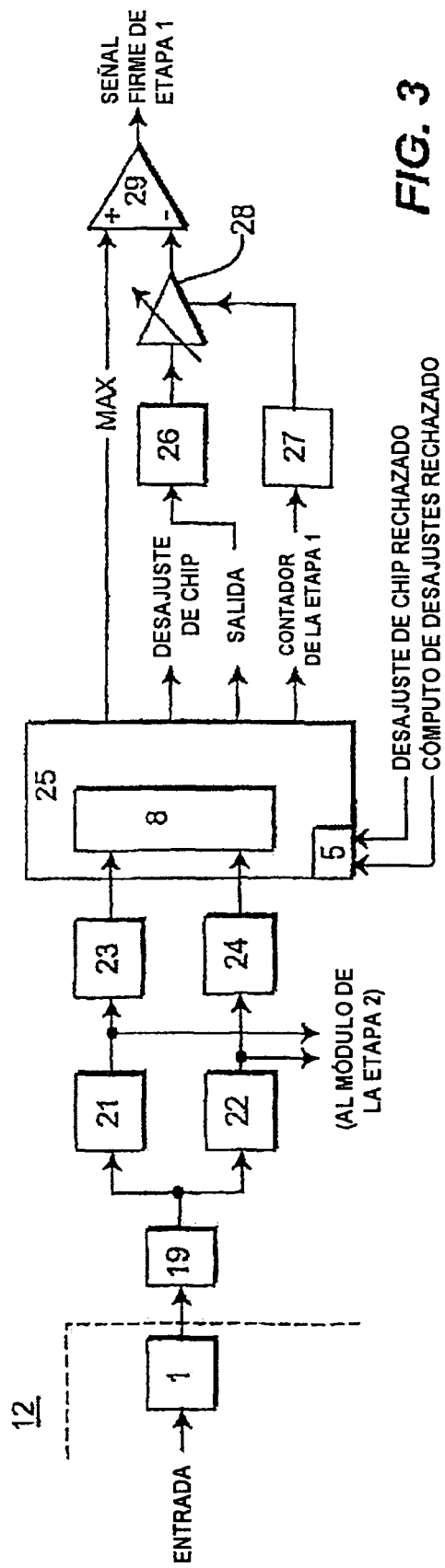


FIG. 3

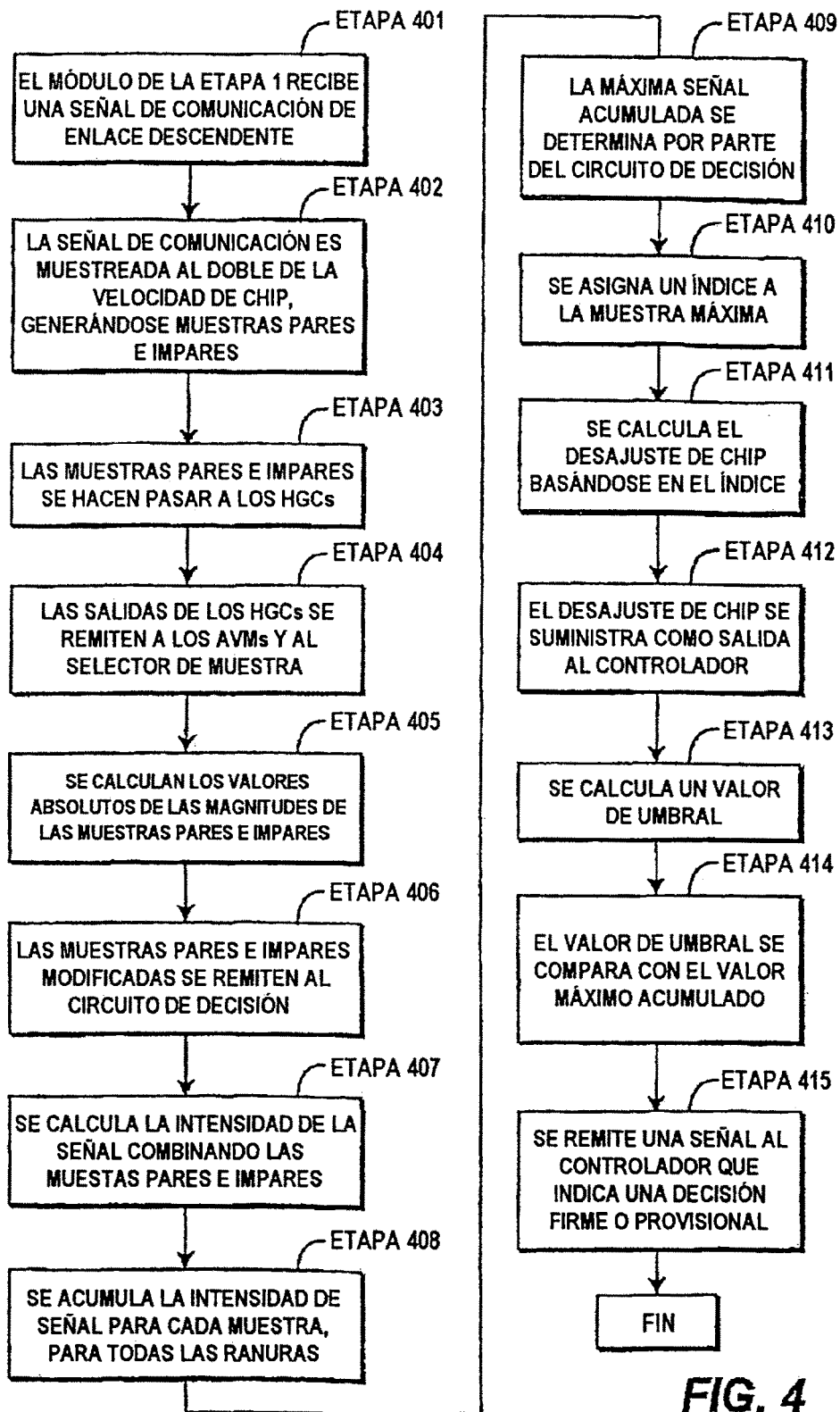


FIG. 4

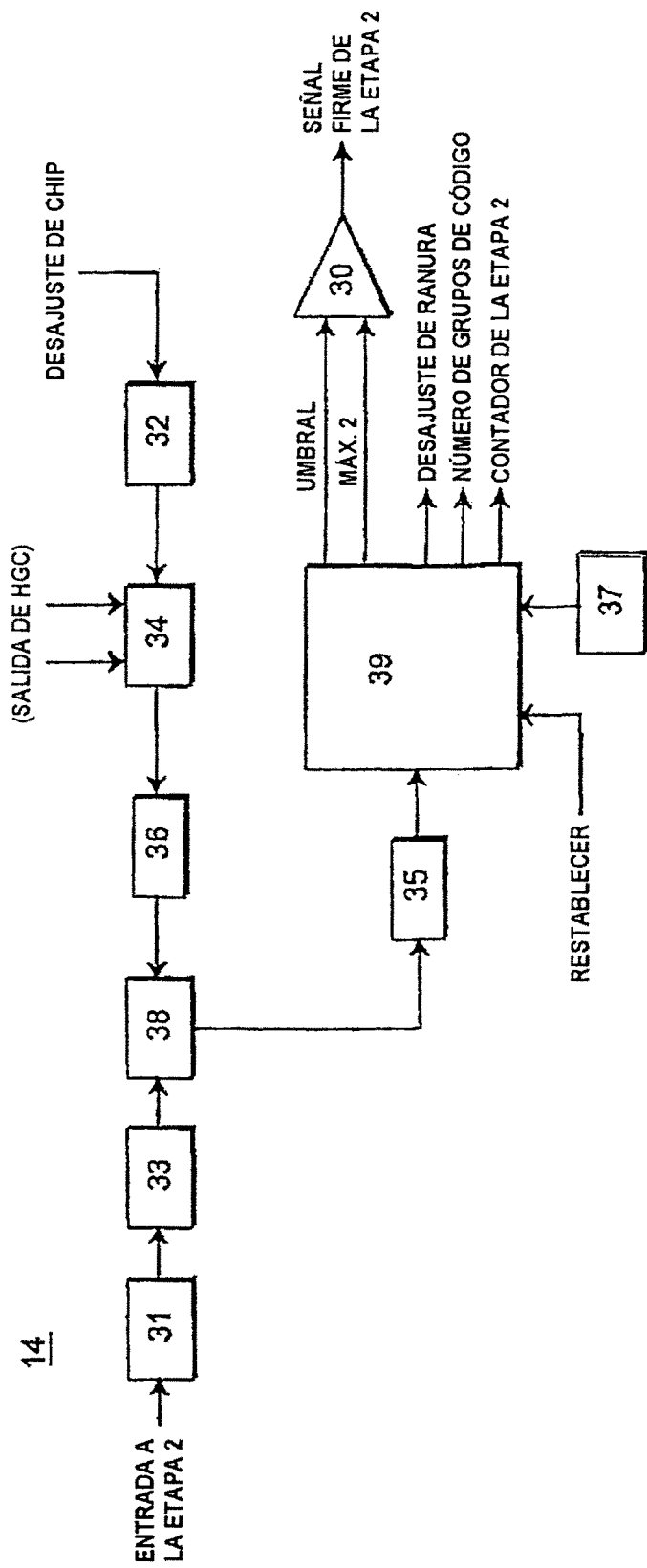
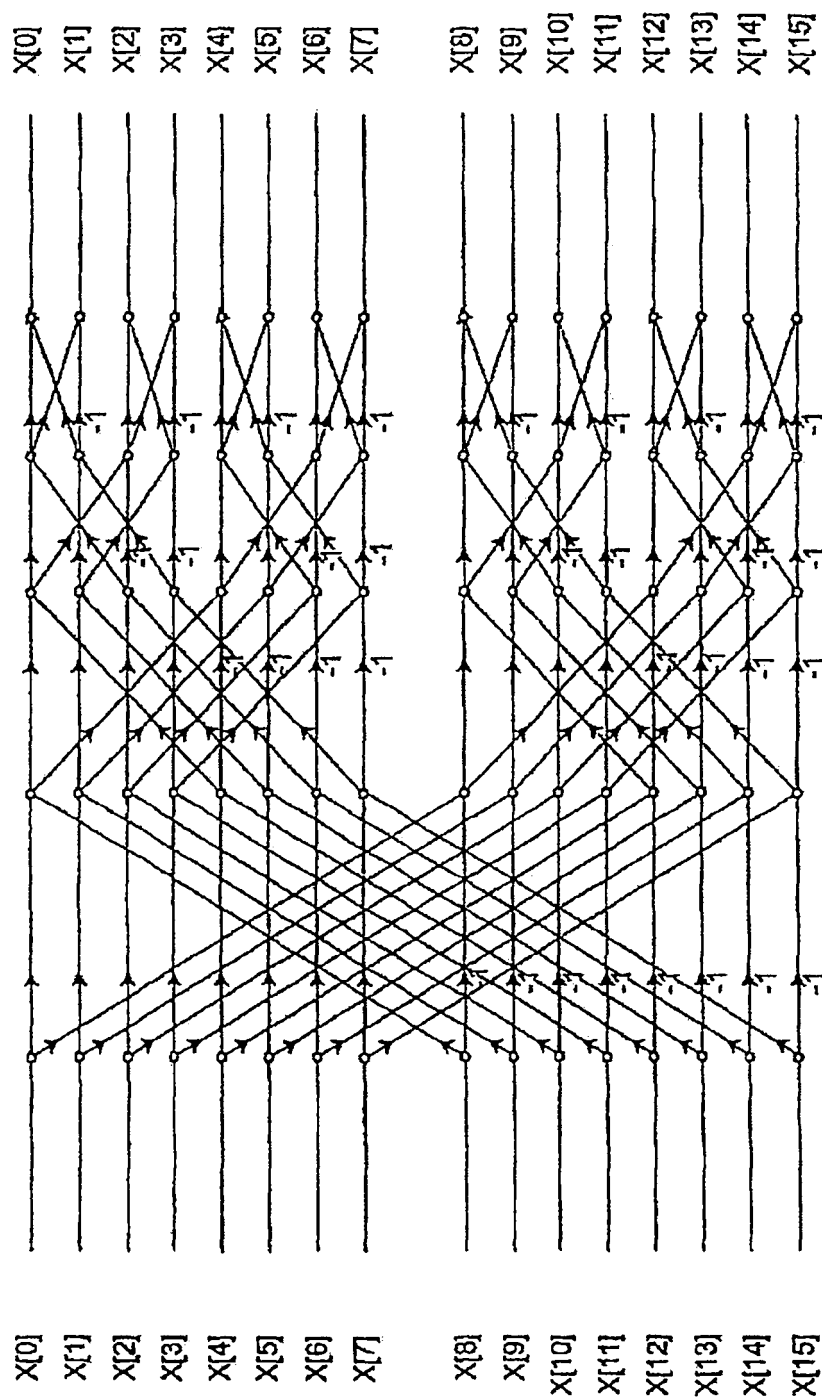


FIG. 5

14



ESTRUCTURA DE LA TRANSFORMADA DE HADAMARD RÁPIDA

FIG. 6

$$\text{MATRIZ DE ENTRADA} = \begin{matrix} & \text{ELEMENTOS DE LA SALIDA DE FHT} \\ & \begin{bmatrix} X_{1,1} & X_{1,2} & \cdot & \cdot & \cdot & X_{1,16} \\ X_{2,1} & X_{2,2} & \cdot & \cdot & \cdot & X_{2,16} \\ \cdot & \cdot & X_{i,j} & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ X_{15,1} & X_{15,2} & \cdot & \cdot & \cdot & X_{15,16} \end{bmatrix} \\ & \end{matrix} \Bigg]_{15 \times 16}$$

$i = 1,2,3,\dots,15$  RANURAS

$j = 1,2,3,\dots,16$  ELEMENTOS POR RANURA DESDE LA SALIDA DE HGC

**FIG. 7**

$$\text{MATRIZ DE GRUPOS DE CÓDIGO (MATRIZ CONOCIDA)} = \begin{matrix} & \begin{bmatrix} 1 & 1 & 2 & 8 & \cdot & \cdot & \cdot & 15 & 7 & 16 \\ 1 & 1 & 5 & 16 & \cdot & \cdot & \cdot & 14 & 12 & 10 \\ \cdot & \cdot & \cdot & \cdot & X_{i,j} & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ 9 & 12 & 10 & 15 & \cdot & \cdot & \cdot & 12 & 16 & 10 \end{bmatrix} \\ & \end{matrix} \Bigg]_{64 \times 15}$$

$i = 1,2,3,\dots,64$  GRUPOS

$j = 1,2,3,\dots,15$  RANURAS

$X_{i,j}$  = CÓDIGOS DE S-SCH, UNO DE CADA 16 POR RANURA.

**FIG. 8**

$$\text{MATRIZ DE CORRELACIÓN} = \begin{matrix} & \begin{bmatrix} C_{0,0} & C_{0,1} & \cdot & \cdot & C_{0,14} \\ C_{1,0} & C_{1,1} & \cdot & \cdot & C_{1,14} \\ \cdot & \cdot & C_{i,j} & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ C_{63,0} & C_{63,1} & \cdot & \cdot & C_{63,14} \end{bmatrix} & \text{POR TRAMA} \\ & \end{matrix} \Bigg]_{64 \times 15}$$

$C_{i,j} = \sum_k \text{MATRIZ DE ENTRADA } [k] \text{ [MATRIZ DE GRUPOS DE CÓDIGO } [i][j][k]]$

$i = 0,1,2,\dots,63$  GRUPOS

$j = 0,1,2,\dots,14$  DESPLAZAMIENTOS CÍCLICOS CON RESPECTO A LAS COLUMNAS

$k = 0,1,2,\dots,14$  RANURAS POR TRAMA (DESAJUSTES DE RANURA).

**FIG. 9**

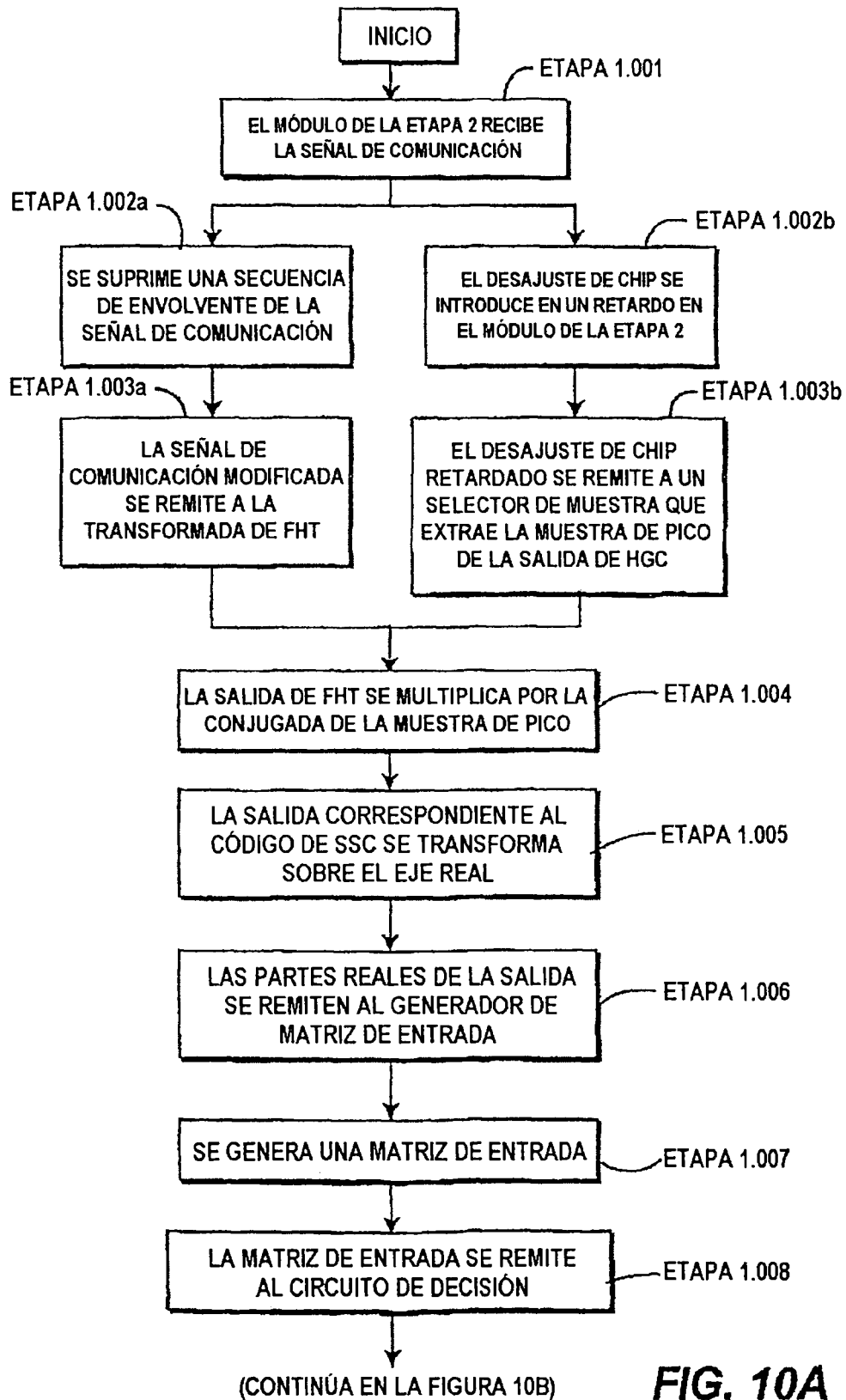
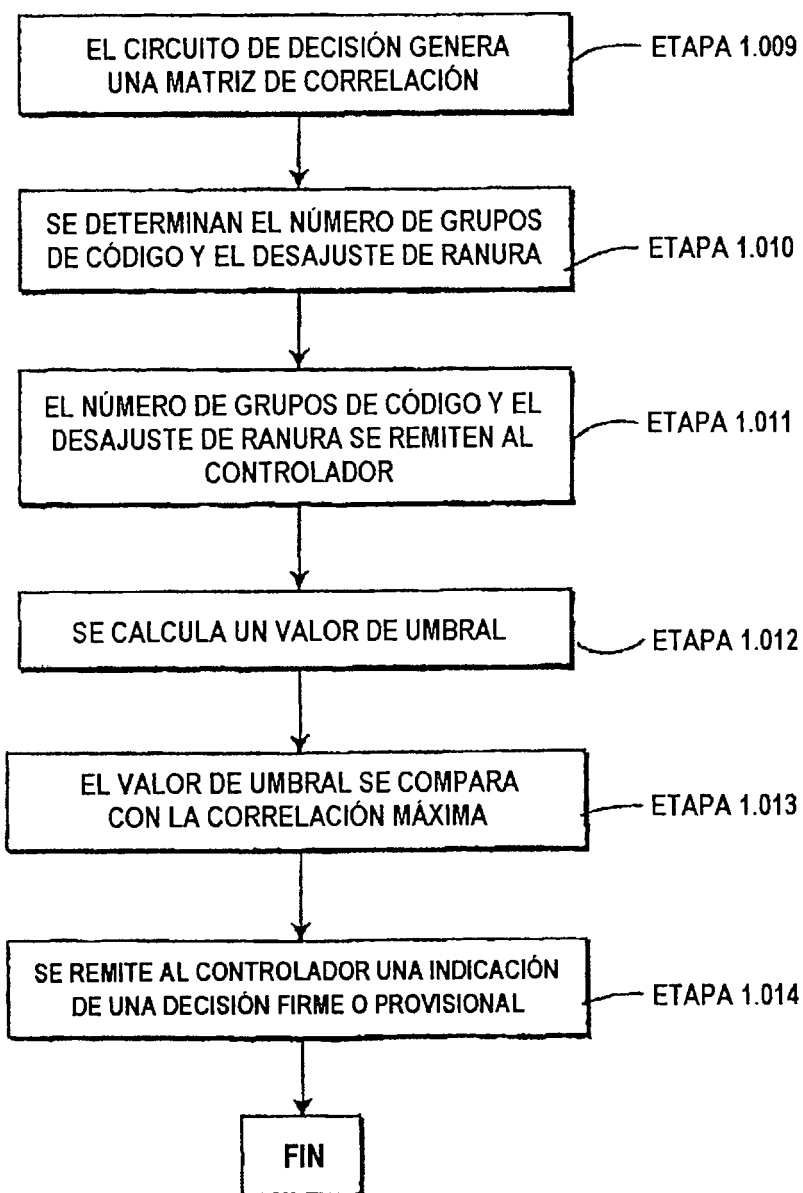


FIG. 10A



**FIG. 10B**

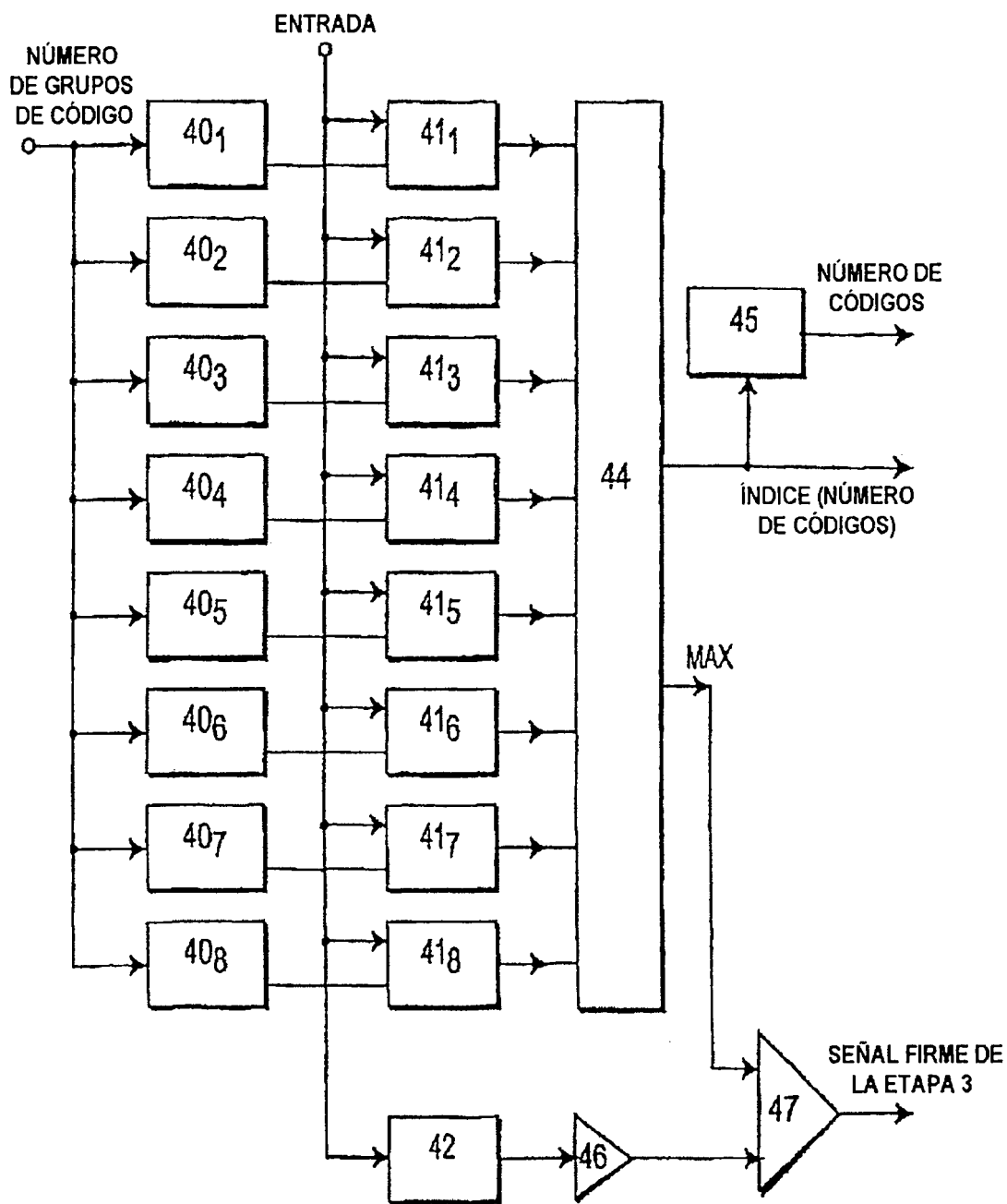


FIG. 11

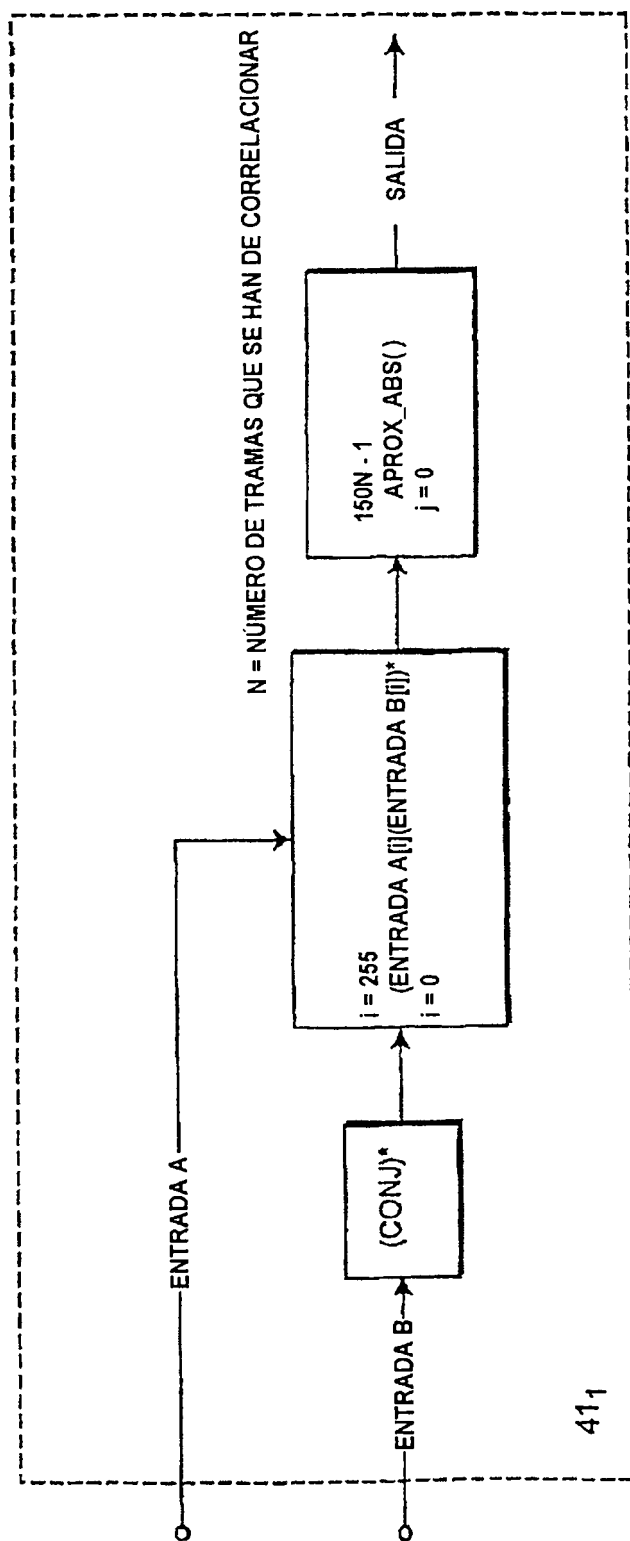
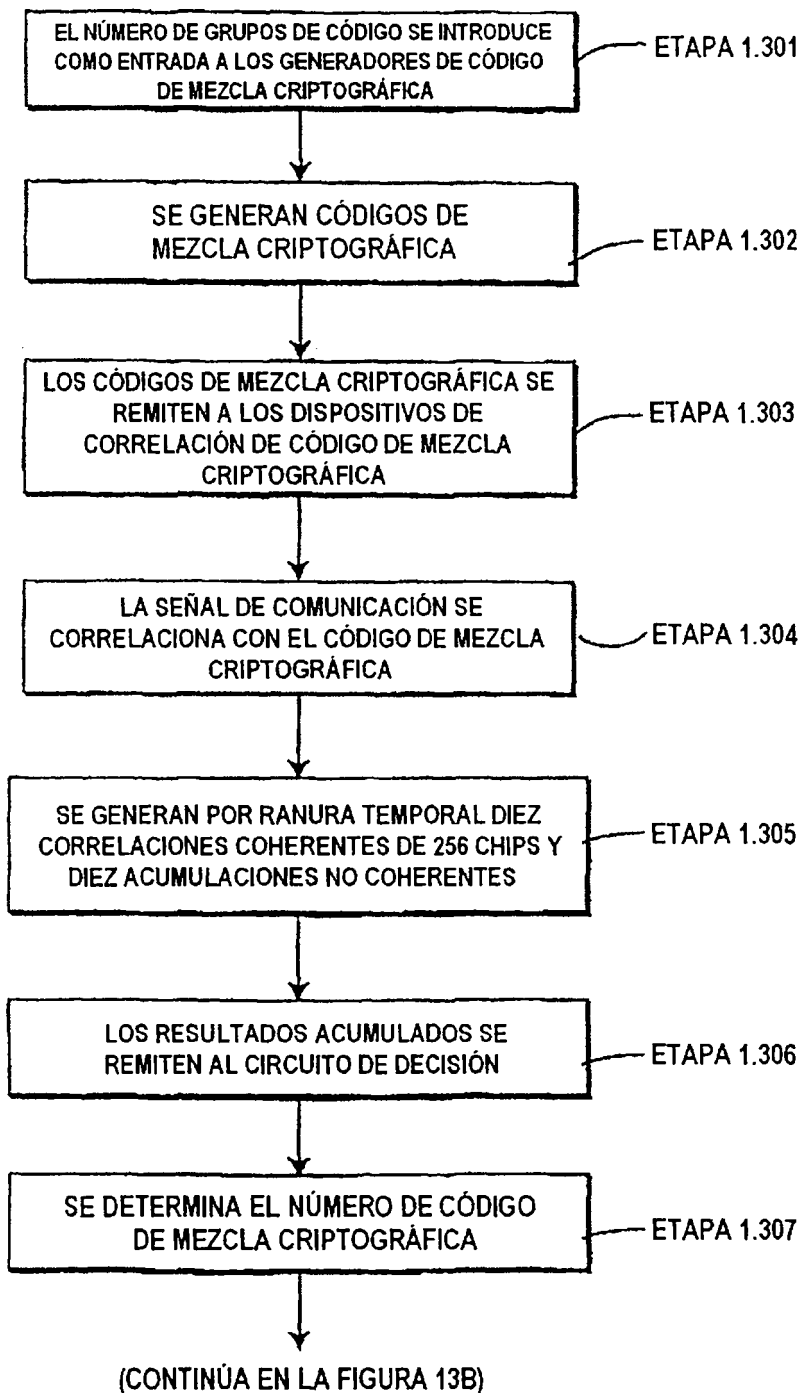
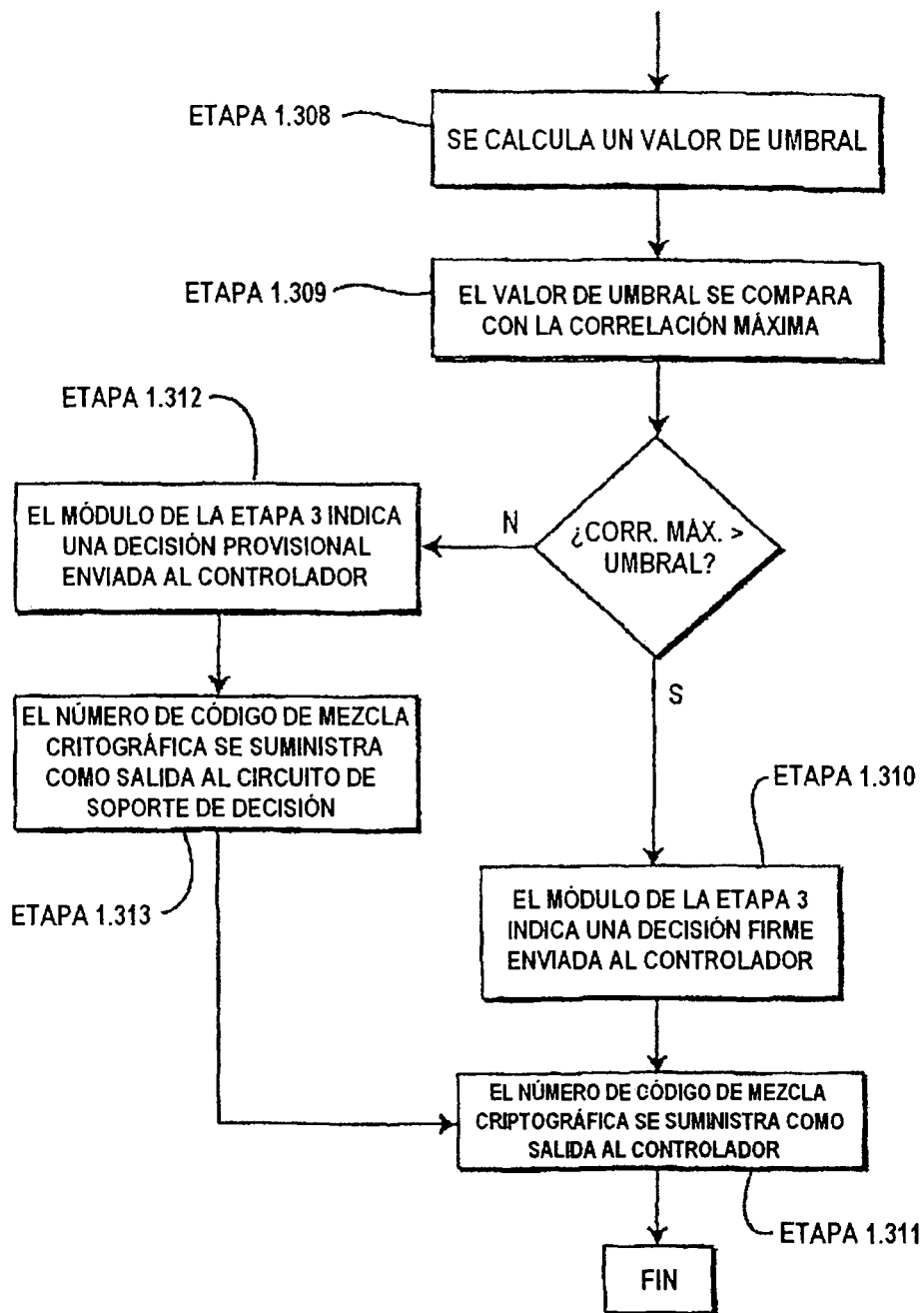


FIG. 12



**FIG. 13A**



**FIG. 13B**

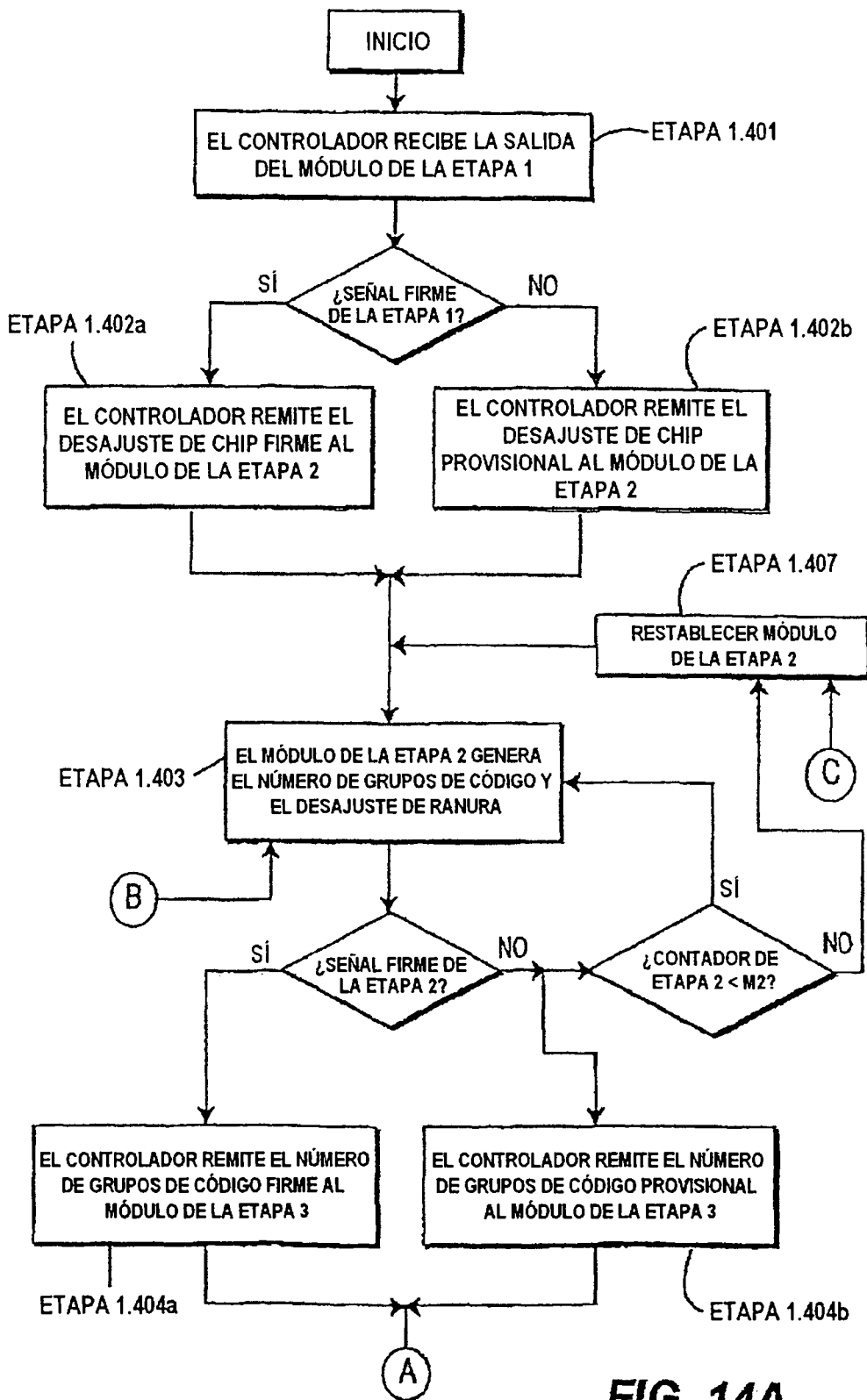


FIG. 14A

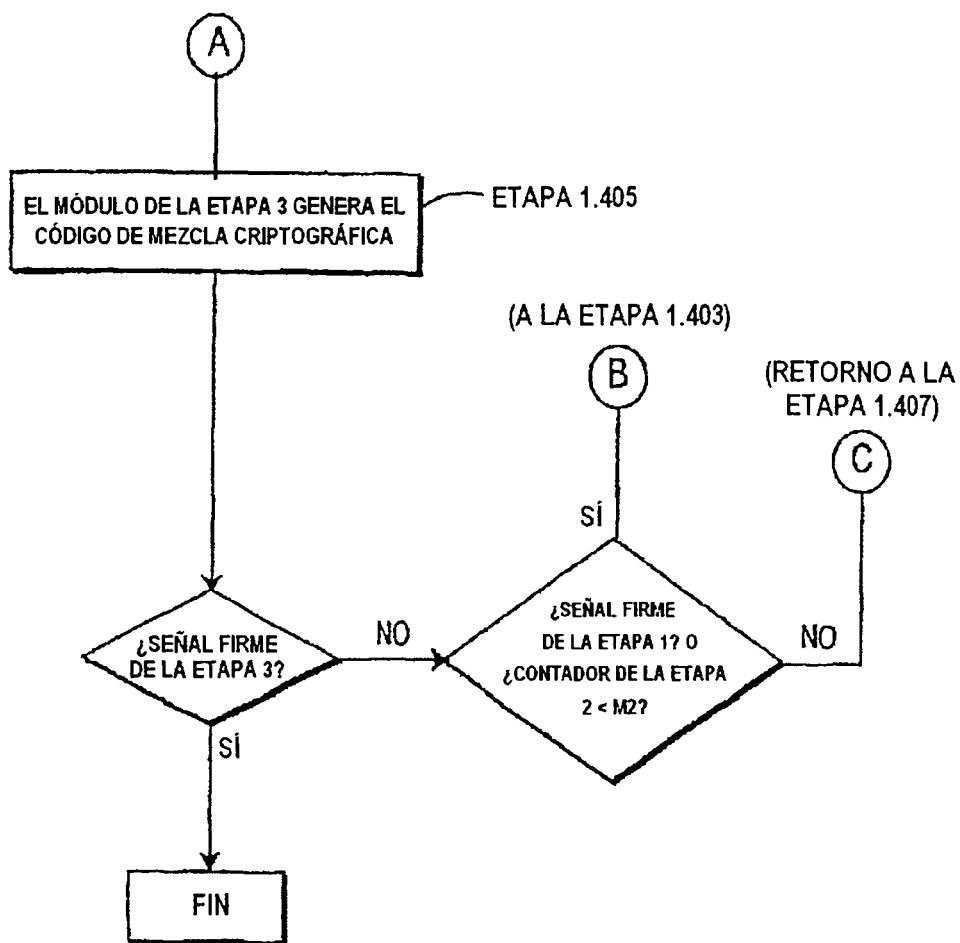


FIG. 14B

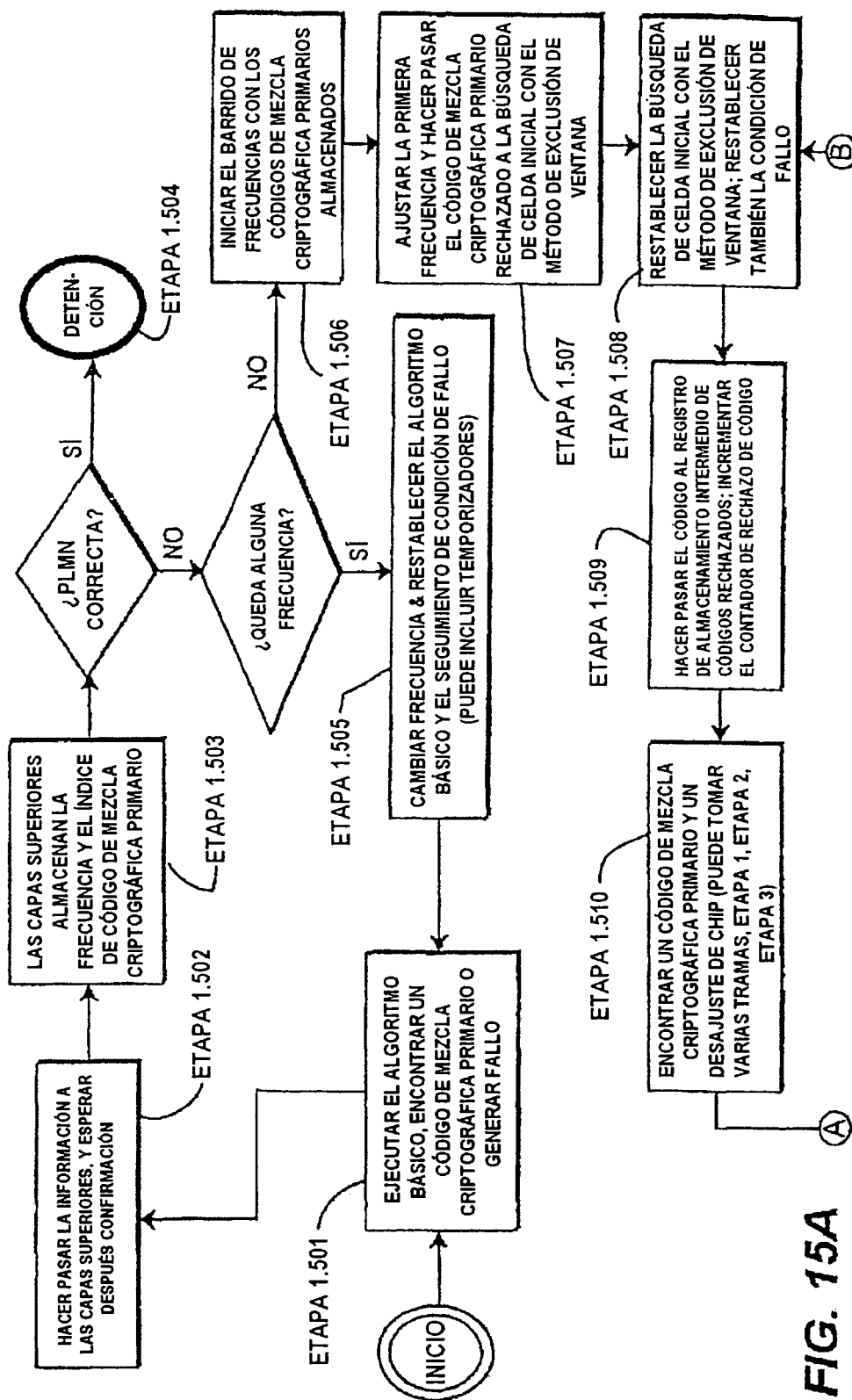
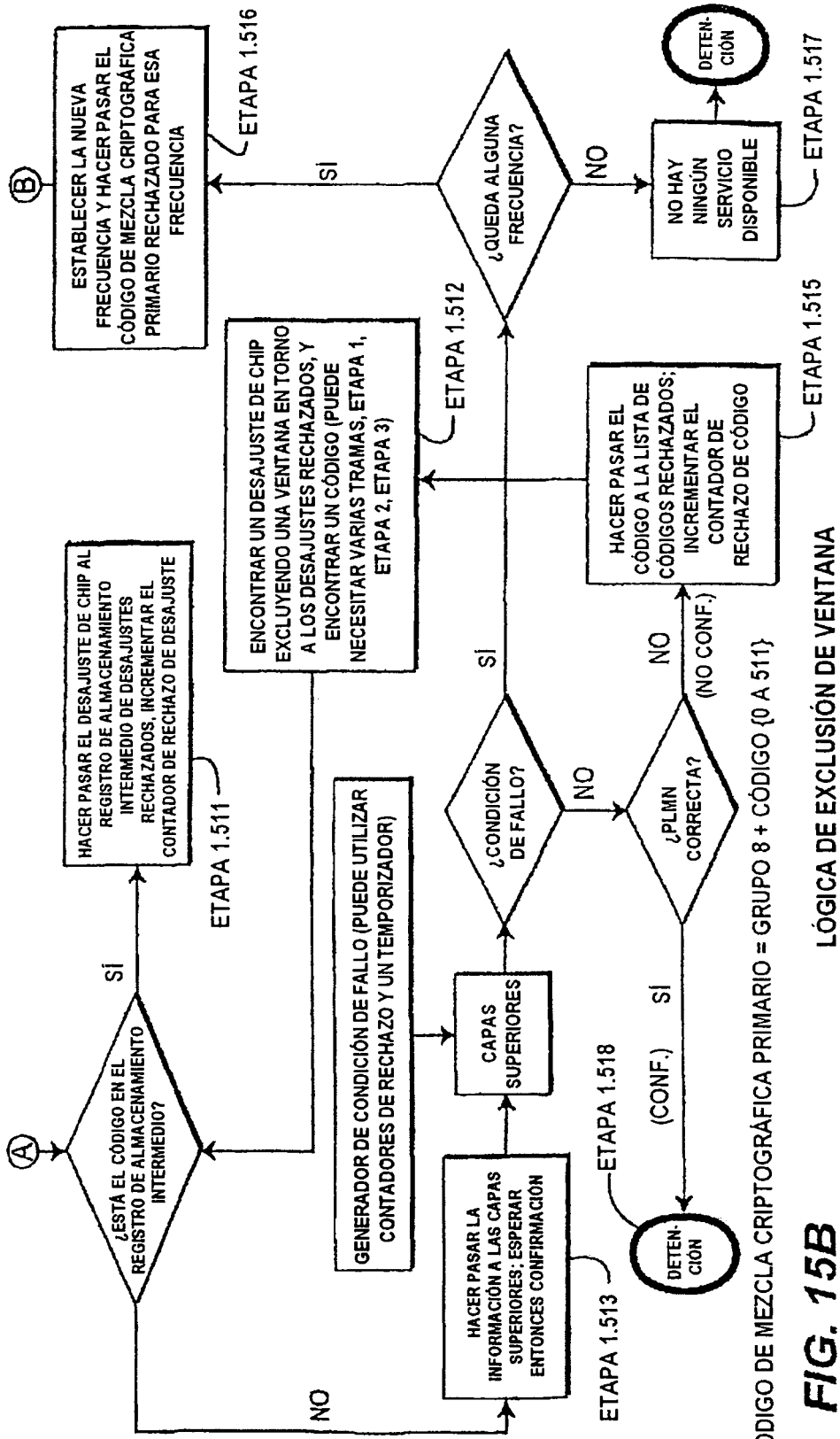


FIG. 15A



NOTA: CÓDIGO DE MEZCLA CRIPTOGRÁFICA PRIMARIO = GRUPO 8 + CÓDIGO {0 A 511}

FIG. 15B

LÓGICA DE EXCLUSIÓN DE VENTANA