【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和6年12月10日(2024.12.10)

【国際公開番号】WO2023/189053
【出願番号】特願2024-511470(P2024-511470)
【国際特許分類】
H01L 29/78(2006.01)
H01L 29/12(2006.01)
H01L 29/739(2006.01)
H01L 29/06(2006.01)
【FI】
H01L 29/78 652N
H01L 29/78 652T
H01L 29/78 653C
H01L 29/78 652D
H01L 29/78 652M
H01L 29/78 652J
H01L 29/78 652Q
H01L 29/78 652F
H01L 29/78 652S
H01L 29/78 655A
H01L 29/78 652P
H01L 29/06 301M
H01L 29/06 301G
H01L 29/06 301V

【手続補正書】
【提出日】令和6年10月9日(2024.10.9)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
主面を有するチップと、
前記主面に形成されたトレンチ抵抗構造と、
前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造に電気的に接続されるように前記トレンチ抵抗構造の上に配置されたゲートパッドと、
前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電気的に接続されるように前記トレンチ抵抗構造の上に配置されたゲート配線と、を含む、半導体装置。
【請求項２】
前記ゲート配線は、平面視において前記トレンチ抵抗構造の内方部を横切る２辺を有している、請求項１に記載の半導体装置。
【請求項３】
前記トレンチ抵抗構造は、前記主面に形成されたトレンチ、前記トレンチの壁面を被覆する絶縁膜、および、前記絶縁膜を挟んで前記トレンチ内に配置された埋設抵抗を含み、
前記ゲートパッドは、前記埋設抵抗よりも低い抵抗値を有し、前記埋設抵抗に電気的に

接続され、
前記ゲート配線は、前記埋設抵抗よりも低い抵抗値を有し、前記埋設抵抗に電気的に接続されている、請求項１に記載の半導体装置。
【請求項４】
前記埋設抵抗は、前記トレンチの周縁から間隔を空けて前記トレンチの内方部内に配置され、前記トレンチの周縁との間で前記絶縁膜を露出させる絶縁領域を区画している、請求項３に記載の半導体装置。
【請求項５】
前記ゲートパッドは、前記埋設抵抗の平面積以上の平面積を有している、請求項４に記載の半導体装置。
【請求項６】
前記ゲート配線は、平面視において前記埋設抵抗よりも幅狭な帯状に形成されている、請求項４に記載の半導体装置。
【請求項７】
前記ゲート配線は、平面視において前記トレンチ内において前記埋設抵抗を横切る２辺を有している、請求項４に記載の半導体装置。
【請求項８】
前記埋設抵抗は、前記トレンチの深さよりも小さい厚さを有し、前記主面の高さ位置から前記トレンチの底壁側に間隔を空けて前記トレンチ内に配置され、
前記ゲートパッドは、前記主面の高さ位置に対して前記トレンチの底壁側の領域において前記埋設抵抗に接続され、
前記ゲート配線は、前記主面の高さ位置に対して前記トレンチの底壁側の領域において前記埋設抵抗に接続されている、請求項３に記載の半導体装置。
【請求項９】
前記ゲートパッドは、前記主面よりも上方に突出した部分を有している、請求項８に記載の半導体装置。
【請求項１０】
前記トレンチ抵抗構造は、前記トレンチ内で前記埋設抵抗を被覆する埋設絶縁体を含み、
前記ゲートパッドは、前記埋設絶縁体を貫通して前記埋設抵抗に電気的に接続されるように前記埋設絶縁体の上に配置され、
前記ゲート配線は、前記埋設絶縁体を貫通して前記埋設抵抗に電気的に接続されるように前記埋設絶縁体の上に配置されている、請求項８に記載の半導体装置。
【請求項１１】
前記埋設絶縁体に接続されるように前記主面を被覆する層間絶縁膜をさらに含む、請求項１０に記載の半導体装置。
【請求項１２】
前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電気的に接続されるように前記主面の上に配置されたゲートサブパッドをさらに含む、請求項１に記載の半導体装置。
【請求項１３】
前記ゲートパッドは、前記トレンチ抵抗構造の平面積未満の平面積を有している、請求項１～１２のいずれか一項に記載の半導体装置。
【請求項１４】
前記ゲートパッドは、平面視において前記トレンチ抵抗構造の壁面から間隔を空けて前記トレンチ抵抗構造の壁面によって取り囲まれた領域内に配置されている、請求項１～１２のいずれか一項に記載の半導体装置。
【請求項１５】
前記ゲート配線は、平面視において前記トレンチ抵抗構造よりも幅狭な帯状に形成されている、請求項１～１２のいずれか一項に記載の半導体装置。
【請求項１６】

前記トレンチ抵抗構造に隣り合うように前記トレンチ抵抗構造から間隔を空けて前記主面に形成され、前記トレンチ抵抗構造とは異なる電位が付与されるダミートレンチ構造をさらに含む、請求項１～１２のいずれか一項に記載の半導体装置。

【請求項１７】

前記トレンチ抵抗構造に隣り合うように前記トレンチ抵抗構造から間隔を空けて前記主面に形成されたトレンチゲート構造をさらに含み、

前記ゲート配線は、前記トレンチゲート構造に電気的に接続されている、請求項１～１２のいずれか一項に記載の半導体装置。

【請求項１８】

前記トレンチ抵抗構造および前記トレンチゲート構造に隣り合うように前記主面に形成されたトレンチソース構造をさらに含む、請求項１７に記載の半導体装置。

【請求項１９】

前記主面の表層部に形成された第１導電型の半導体領域と、

前記半導体領域内に位置するように前記主面に形成された前記トレンチ抵抗構造と、

前記半導体領域とｐｎ接合部を形成するように前記半導体領域内において前記トレンチ抵抗構造に沿う領域に形成された第２導電型のウェル領域と、をさらに含む、請求項１～１２のいずれか一項に記載の半導体装置。

【請求項２０】

前記主面の内方部に形成された第１面部、前記第１面部から前記チップの厚さ方向に窪むように前記主面の周縁部に形成された第２面部、ならびに、前記第１面部および前記第２面部を接続する接続面部によって前記主面に区画された台地をさらに含み、

前記トレンチ抵抗構造は、前記第１面部に形成されている、請求項１～１２のいずれか一項に記載の半導体装置。