



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0077254
(43) 공개일자 2025년05월30일

(51) 국제특허분류(Int. Cl.)
H02M 1/00 (2007.01) H02M 1/08 (2006.01)
H02M 3/155 (2006.01) H02M 3/335 (2006.01)
(52) CPC특허분류
H02M 1/0067 (2021.05)
H02M 1/009 (2021.05)
(21) 출원번호 10-2023-0164860
(22) 출원일자 2023년11월23일
심사청구일자 2023년11월23일

(71) 출원인
한국항공우주연구원
대전광역시 유성구 과학로 169-84 (어은동)
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
박정언
대전광역시 유성구 과학로 169-84 (어은동)
한정규
대전광역시 유성구 동서대로 125 (덕명동)
(74) 대리인
리앤목특허법인

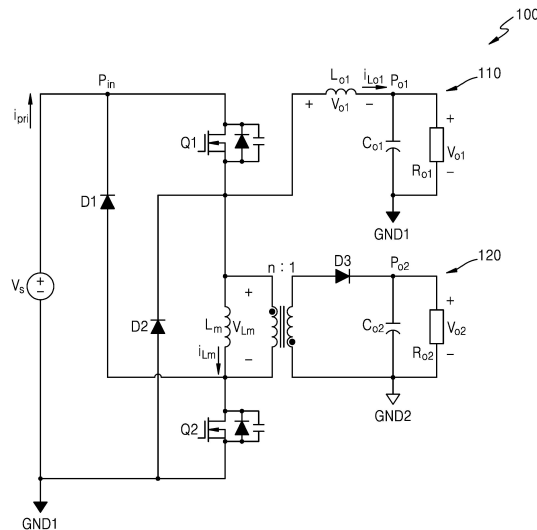
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 2-스위치 플라이백 컨버터와 벡 컨버터를 통합한 컨버터 회로 및 이의 제어 방법

(57) 요약

2-스위치 플라이백 컨버터와 벡 컨버터를 통합한 컨버터 회로가 제공된다. 상기 컨버터 회로는 제1 노드와 제2 노드 사이의 1차 코일과 2차 코일을 갖는 가극성 트랜스포머, 입력 포트와 상기 제1 노드 사이의 제1 스위치, 상기 제2 노드와 제1 그라운드 사이의 제2 스위치, 상기 제2 노드에서 상기 입력 포트에 연결되는 제1 다이오드, 상기 제1 그라운드에서 상기 제1 노드로 연결되는 제2 다이오드, 상기 제1 노드와 제1 출력 포트 사이의 출력 인덕터, 상기 제1 출력 포트와 상기 제1 그라운드 사이의 제1 출력 커패시터, 상기 2차 코일에서 제2 출력 포트에 연결되는 제3 다이오드, 상기 제2 출력 포트와 제2 그라운드 사이의 제2 출력 커패시터, 및 상기 제1 노드와 상기 제2 노드 사이에 상기 1차 코일과 병렬로 연결되는 자화 인덕터를 포함한다.

대표도 - 도1



(52) CPC특허분류

H02M 1/083 (2013.01)

H02M 3/155 (2013.01)

H02M 3/335 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129849
과제번호	2017M1A3A4A07015924
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	다목적실용위성 7호 개발사업
연구과제명	다목적실용위성 7호 시스템 및 본체 개발
기 여 율	90/100
과제수행기관명	한국항공우주연구원
연구기간	2021.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체-대학 협력기반지역혁신사업
연구과제명	(대전세종충남지역혁신플랫폼)충남대학교
기 여 율	10/100
과제수행기관명	(대전세종충남지역혁신플랫폼)충남대학교
연구기간	2023.04.01 ~ 2024.02.29

명세서

청구범위

청구항 1

제1 노드와 제2 노드 사이의 1차 코일과 2차 코일을 갖는 가극성 트랜스포머;
 입력 포트와 상기 제1 노드 사이의 제1 스위치;
 상기 제2 노드와 제1 그라운드 사이의 제2 스위치;
 상기 제2 노드에서 상기 입력 포트에 연결되는 제1 다이오드;
 상기 제1 그라운드에서 상기 제1 노드로 연결되는 제2 다이오드;
 상기 제1 노드와 제1 출력 포트 사이의 출력 인덕터;
 상기 제1 출력 포트와 상기 제1 그라운드 사이의 제1 출력 커패시터;
 상기 2차 코일에서 제2 출력 포트에 연결되는 제3 다이오드;
 상기 제2 출력 포트와 제2 그라운드 사이의 제2 출력 커패시터; 및
 상기 제1 노드와 상기 제2 노드 사이에 상기 1차 코일과 병렬로 연결되는 자화 인덕터를 포함하는 컨버터 회로.

청구항 2

청구항 1에 있어서,
 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 인덕터, 및 상기 제1 출력 커패시터는 상기 제1 스위치의 개폐에 따라 벡 컨버터로 동작하는 것을 특징으로 하는 컨버터 회로.

청구항 3

청구항 1에 있어서,
 상기 가극성 트랜스포머, 상기 제1 및 제2 스위치들, 상기 제1 내지 제3 다이오드들, 및 제2 출력 커패시터는 상기 제1 및 제2 스위치들의 개폐에 따라 2-스위치 플라이백 컨버터로 동작하는 것을 특징으로 하는 컨버터 회로.

청구항 4

청구항 1에 있어서,
 상기 가극성 트랜스포머의 상기 제1 코일과 상기 제2 코일의 권선비는 $n:1$ 이고,
 상기 제1 및 제2 스위치들은 동일한 스위칭 주기(T_s)마다 동시에 턴 온 되고,
 상기 제1 스위치의 제1 듀티비(D_1)는 0.5보다 작고 상기 제2 스위치의 제2 듀티비(D_2)보다 큰 것을 특징으로 하는 컨버터 회로.

청구항 5

청구항 4에 있어서,
 상기 제2 스위치가 턴 온 되기 전에 상기 제2 스위치의 양단 전압은 0이하로 감소되어, 상기 제2 스위치가 턴 온 될 때 영전압 스위칭이 이루어지는 것을 특징으로 하는 컨버터 회로.

청구항 6

청구항 4에 있어서,

상기 제1 및 제2 스위치들이 동시에 턴 온 되는 순간에 상기 자화 인덕터의 전류(i_{Lm})는 상기 제2 노드로부터 상기 제1 노드로 흐르는 것을 특징으로 하는 컨버터 회로.

청구항 7

청구항 4에 있어서,

상기 제2 출력 포트와 상기 제2 그라운드 사이에 연결되는 전기 부하가 제2 출력 저항값(R_{o2})을 갖는 경우, 상기 제2 스위치의 영전압 스위칭을 달성하기 위해, 상기 자화 인덕터의 인덕턴스(L_m)는 $n^2(1-D_2)^2R_{o2}T_s/2$ 보다 작은 것을 특징으로 하는 컨버터 회로.

청구항 8

제1 노드와 제2 노드 사이의 1차 코일과 2차 코일을 갖는 가극성 트랜스포머, 입력 포트와 상기 제1 노드 사이의 제1 스위치, 상기 제2 노드와 제1 그라운드 사이의 제2 스위치, 상기 제2 노드에서 상기 입력 포트에 연결되는 제1 다이오드, 상기 제1 그라운드에서 상기 제1 노드로 연결되는 제2 다이오드, 상기 제1 노드와 제1 출력 포트 사이의 출력 인덕터, 상기 제1 출력 포트와 상기 제1 그라운드 사이의 제1 출력 커패시터, 상기 2차 코일에서 제2 출력 포트에 연결되는 제3 다이오드, 상기 제2 출력 포트와 제2 그라운드 사이의 제2 출력 커패시터, 및 상기 제1 노드와 상기 제2 노드 사이에 상기 1차 코일과 병렬로 연결되는 자화 인덕터를 포함하는 컨버터 회로의 제어 방법에 있어서,

상기 제1 및 제2 스위치들을 동일한 스위칭 주기(T_s)마다 동시에 턴 온 시키는 단계;

상기 제2 스위치를 제2 듀티비(D_2)에 해당하는 시간 동안 턴 온 상태를 유지한 후 턴 오프 시키는 단계; 및

상기 제1 스위치를 상기 제2 듀티비(D_2)보다 크고 0.5보다 작은 제1 듀티비(D_1)에 해당하는 시간 동안 턴 온 상태를 유지한 후 턴 오프 시키는 단계를 포함하는 컨버터 회로의 제어 방법.

청구항 9

청구항 8에 있어서,

상기 가극성 트랜스포머의 상기 제1 코일과 상기 제2 코일의 권선비는 $n:1$ 이고,

상기 제2 출력 포트와 상기 제2 그라운드 사이에 연결되는 전기 부하가 제2 출력 저항값(R_{o2})을 갖는 경우, 상기 제2 스위치의 영전압 스위칭을 달성하기 위해, 상기 자화 인덕터의 인덕턴스(L_m)는 $n^2(1-D_2)^2R_{o2}T_s/2$ 보다 작은 것을 특징으로 하는 컨버터 회로의 제어 방법.

청구항 10

청구항 8에 있어서,

상기 제1 및 제2 스위치들이 동시에 턴 온 되는 순간에 상기 자화 인덕터의 전류(i_{Lm})가 상기 제2 노드로부터 상기 제1 노드로 흐르도록 상기 제2 듀티비(D_2)를 결정하는 것을 특징으로 하는 컨버터 회로의 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 2-스위치 플라이백 컨버터와 벡 컨버터를 통합한 컨버터 회로 및 이의 제어 방법에 관한 것이다.

배경 기술

[0002] 위성의 전력이 증가함에 따라 버스 전압 레벨(Bus Voltage Level)도 높아지고 있다. 종래에는 버스 전압 레벨이 50V 내지 100V 수준이었으나, 최근 전기추진유닛, 핵연료유닛, 고출력안테나 등과 같이 많은 전력을 필요로

하는 유닛들이 위성에 탑재되면서 버스 전압 레벨이 200V 내지 400 V 수준으로 높아졌다.

[0003] 한편, 위성의 다양한 유닛들에 직류 전력을 공급하기 위해 절연형(isolated type) DC-DC 컨버터와 비절연형(non-isolated type) DC-DC 컨버터가 함께 사용되고 있다. 예컨대, 비절연형 DC-DC 컨버터는 전기추진유닛의 내부에서 전력선을 연결하기 위해 사용되고, 절연형 DC-DC 컨버터는 전기추진유닛의 외부에서, 또는 다른 타입의 전력선과 연결하기 위해 사용될 수 있다.

[0004] 위성에 탑재되는 DC-DC 컨버터는 지상에서 사용되는 DC-DC 컨버터에 비해 많은 설계 제한점들이 존재한다. 특히 높은 버스 전압 레벨을 갖는 위성 전력 시스템을 위해 non-leg 구조의 heritage topology가 필요하다. 스위치의 전압 스트레스가 낮으면서 높은 전력 변환 효율을 갖는 절연형 컨버터 토폴로지가 필요하다. 위성 전력 시스템을 위해 비절연형 컨버터 출력과 절연형 컨버터 출력을 함께 갖는 통합형 three port DC-DC 컨버터 회로를 통해 무게와 단가를 절감할 필요가 있다.

[0005] 이러한 필요에 따라 본 발명의 발명자들은 반도체 소자 수를 저감한 고효율 통합형 전력 회로 및 그 제어 방법을 제안한 바 있다(대한민국 특허출원 제10-2021-0127787호). 이 통합형 전력 회로는 2-스위치 포워드 컨버터와 벡 컨버터를 통합한 것으로서, 구동 전원이 입력되는 입력 포트, 벡 컨버터의 출력의 출력되는 비절연형 포트, 및 2-스위치 포워드 컨버터의 출력이 출력되는 절연형 포트를 포함한다. 입력 포트는 제1 스위치와 제2 스위치에 연결되며, 제2 스위치를 영전압 스위칭(zero voltage switching) 동작시킴으로써 제2 스위치의 전압 스트레스를 낮춤으로써 위성에서 사용할 수 있을 정도로 내구성을 높일 수 있었다.

[0006] 그러나 위성의 발사 비용을 줄이기 위해 위성의 전체 무게를 줄이고 위성의 전력 시스템의 향상된 내구성을 확보하는 것은 매우 중요하다. 기존 통합형 전력 회로에서는 벡 컨버터에 사용되는 제1 인덕터와 2-스위치 포워드 컨버터에서 사용되는 제2 인덕터가 필수적이다. 인덕터는 상대적으로 무게와 부피가 큰 소자이므로, 이를 줄이면서도 안정적으로 동작할 수 있는 새로운 컨버터 회로가 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 기존 통합형 전력 회로에 비해 인덕터 개수를 줄일 수 있는 컨버터 회로로서, 2-스위치 플라이백 컨버터와 벡 컨버터를 통합하면서도 영전압 스위칭 동작이 가능한 컨버터 회로 및 이의 제어 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 일 측면에 따른 컨버터 회로는 제1 노드와 제2 노드 사이의 1차 코일과 2차 코일을 갖는 가극성 트랜스포머, 입력 포트와 상기 제1 노드 사이의 제1 스위치, 상기 제2 노드와 제1 그라운드 사이의 제2 스위치, 상기 제2 노드에서 상기 입력 포트에 연결되는 제1 다이오드, 상기 제1 그라운드에서 상기 제1 노드로 연결되는 제2 다이오드, 상기 제1 노드와 제1 출력 포트 사이의 출력 인덕터, 상기 제1 출력 포트와 상기 제1 그라운드 사이의 제1 출력 커패시터, 상기 2차 코일에서 제2 출력 포트에 연결되는 제3 다이오드, 상기 제2 출력 포트와 제2 그라운드 사이의 제2 출력 커패시터, 및 상기 제1 노드와 상기 제2 노드 사이에 상기 1차 코일과 병렬로 연결되는 자화 인덕터를 포함한다.

[0009] 일 예에 따르면, 상기 제1 스위치, 상기 제2 다이오드, 상기 출력 인덕터, 및 상기 제1 출력 커패시터는 상기 제1 스위치의 개폐에 따라 벡 컨버터로 동작할 수 있다.

[0010] 다른 예에 따르면, 상기 가극성 트랜스포머, 상기 제1 및 제2 스위치들, 상기 제1 내지 제3 다이오드들, 및 제2 출력 커패시터는 상기 제1 및 제2 스위치들의 개폐에 따라 2-스위치 플라이백 컨버터로 동작할 수 있다.

[0011] 또 다른 예에 따르면, 상기 가극성 트랜스포머의 상기 제1 코일과 상기 제2 코일의 권선비는 $n:1$ 일 수 있다. 상기 제1 및 제2 스위치들은 동일한 스위칭 주기(T_s)마다 동시에 턴 온 되고, 상기 제1 스위치의 제1 듀티비(D_1)는 0.5보다 작고 상기 제2 스위치의 제2 듀티비(D_2)보다 클 수 있다.

[0012] 또 다른 예에 따르면, 상기 제2 스위치가 턴 온 되기 전에 상기 제2 스위치의 양단 전압은 0이하로 감소되어, 상기 제2 스위치가 턴 온 될 때 영전압 스위칭이 이루어질 수 있다.

[0013] 또 다른 예에 따르면, 상기 제1 및 제2 스위치들이 동시에 턴 온 되는 순간에 상기 자화 인덕터의 전류(i_{lm})는

상기 제2 노드로부터 상기 제1 노드로 흐를 수 있다.

[0014] 또 다른 예에 따르면, 상기 제2 출력 포트와 상기 제2 그라운드 사이에 연결되는 전기 부하가 제2 출력 저항값(R_{o2})을 갖는 경우, 상기 제2 스위치의 영전압 스위칭을 달성하기 위해, 상기 자화 인덕터의 인덕턴스(L_m)는 $n^2(1-D_2)^2R_{o2}T_s/2$ 보다 작을 수 있다.

[0015] 본 발명의 다른 측면에 따르면, 상기 컨버터 회로의 제어 방법은 상기 제1 및 제2 스위치들을 동일한 스위칭 주기(T_s)마다 동시에 턴 온 시키는 단계, 상기 제2 스위치를 제2 듀티비(D_2)에 해당하는 시간 동안 턴 온 상태를 유지한 후 턴 오프 시키는 단계, 및 상기 제1 스위치를 상기 제2 듀티비(D_2)보다 크고 0.5보다 작은 제1 듀티비(D_1)에 해당하는 시간 동안 턴 온 상태를 유지한 후 턴 오프 시키는 단계를 포함한다.

[0016] 일 예에 따르면, 상기 가극성 트랜스포머의 상기 제1 코일과 상기 제2 코일의 권선비는 $n:1$ 일 수 있다. 상기 제2 출력 포트와 상기 제2 그라운드 사이에 연결되는 전기 부하가 제2 출력 저항값(R_{o2})을 갖는 경우, 상기 제2 스위치의 영전압 스위칭을 달성하기 위해, 상기 자화 인덕터의 인덕턴스(L_m)는 $n^2(1-D_2)^2R_{o2}T_s/2$ 보다 작을 수 있다.

[0017] 다른 예에 따르면, 상기 제1 및 제2 스위치들이 동시에 턴 온 되는 순간에 상기 자화 인덕터의 전류(i_{Lm})가 상기 제2 노드로부터 상기 제1 노드로 흐르도록 상기 제2 듀티비(D_2)를 결정할 수 있다.

발명의 효과

[0018] 본 발명에 따르면, 본 발명의 발명자들이 제안한 기존 통합형 전력 회로에 비해 무게와 부피가 큰 인덕터 소자를 하나 줄일 수 있다. 또한, 본 발명에 따른 컨버터 회로의 자화 인덕턴스를 제한함으로써 기존 통합형 전력 회로와 동일하게 제2 스위치를 영전압 스위칭 동작시킬 수 있으며, 제2 스위치의 스위칭 스트레스를 줄임으로써 위성 전력 시스템의 전체 내구성을 높일 수 있다.

[0019] 따라서, 본 발명의 컨버터 회로는 기존 통합형 전력 회로에 비해 전체 무게를 줄이면서도 내구성을 향상시킬 수 있으므로 위성의 전자 장치들에 전력을 공급하는 회로로 사용되기에 더욱 적합하다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 컨버터 회로의 회로도이다.

도 2는 본 발명의 일 실시예에 따르면 컨버터 회로의 동작 타이밍도이다.

도 3은 본 발명의 일 실시예에 따른 컨버터 회로의 영전압 스위칭을 설명하기 위한 파형도이다.

도 4는 비교예에 따른 통합형 전력 회로의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 발명의 기술적 사상은 다양한 형태로 변형되어 구현될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 발명의 다양한 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 발명의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0022] 명세서 전체에서, 어떤 요소가 다른 요소와 '연결'된다고 할 때, 이는 '직접 연결'되는 경우뿐만 아니라, 그 중간에 다른 요소를 사이에 두고 '전기적으로 연결'되는 경우도 포함한다. 어떤 요소가 다른 요소를 '포함'한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라, 또 다른 요소를 더 포함할 수 있는 것을 의미한다.

[0023] 일부 실시예들은 기능적인 블록 구성들 및/또는 다양한 처리 단계들로 설명될 수 있다. 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 발명의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로

구성들에 의해 구현될 수 있다. 기능 블록은 해당 기능을 실행하는 모듈로 지칭될 수 있다. 본 발명의 기능 블록들은 다양한 프로그래밍 언어 또는 스크립트 언어(scripting language)로 구현될 수 있다. 본 발명의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 발명에서 하나의 기능 블록이 실행하는 기능이 복수의 기능 블록들에 의해 실행될 수도 있고, 본 발명에서 복수의 기능 블록들이 실행하는 기능들이 하나의 기능 블록에 의해 수행될 수도 있다.

[0024] 도면에 도시된 요소들 간의 연결 선 또는 연결 부재들은 기능적 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것일 뿐이다. 실제 장치에서는 대체 가능하거나 추가되는 다양한 기능적 연결, 물리적 연결, 또는 회로적 연결에 의해 요소들 간의 연결이 구현될 수 있다.

[0026] 도 1은 본 발명의 일 실시예에 따른 컨버터 회로를 도시한 회로도이다.

[0027] 도 1을 참조하면, 본 발명의 일 실시예에 따른 컨버터 회로(100)는 벡 컨버터(110)와 2-스위치 플라이백 컨버터(120)를 통합한 것으로서, 하나의 입력 포트(P_{in})와 두 개의 출력 포트(P_{o1} , P_{o2})를 갖는다.

[0028] 제1 출력 포트(P_{o1})는 비절연형 출력 포트로서, 입력 포트(P_{in})와 동일하게 제1 그라운드(GND1)에 대해 전위가 정의된다. 제1 출력 포트(P_{o1})는 벡 컨버터(110)의 제1 출력 전압(V_{o1})이 출력된다. 제1 출력 포트(P_{o1})와 제1 그라운드(GND1) 사이에 연결되는 제1 전기 부하에 제1 출력 전압(V_{o1})이 공급된다. 제1 전기 부하는 제1 출력 저항값(R_{o1})을 가질 수 있다.

[0029] 제2 출력 포트(P_{o2})는 절연형 출력 포트로서, 입력 포트(P_{in})와 상이하게 제2 그라운드(GND2)에 대해 전위가 정의된다. 제2 출력 포트(P_{o2})는 2-스위치 플라이백 컨버터(120)의 제2 출력 전압(V_{o2})이 출력된다. 제1 그라운드(GND1)와 제2 그라운드(GND2)는 서로 다른 전위를 가질 수 있다. 제2 출력 포트(P_{o2})와 제2 그라운드(GND2) 사이에 연결되는 제2 전기 부하에 제2 출력 전압(V_{o2})이 공급된다. 제2 전기 부하는 제2 출력 저항값(R_{o2})을 가질 수 있다.

[0030] 입력 포트(P_{in})과 제1 그라운드(GND1) 사이에는 입력 전압(V_s)을 갖는 직류 전원이 연결된다. 직류 전원에서 출력되는 전류를 입력 전류(i_{pri})라고 지칭한다.

[0031] 컨버터 회로(100)는 도 1에 도시된 바와 같이 제1 노드(N1)와 제2 노드(N2)를 갖는다. 컨버터 회로(100)는 가극성 트랜스포머를 갖는다. 가극성 트랜스포머의 1차 코일은 제1 노드(N1)와 제2 노드(N2) 사이에 연결되고, 2차 코일은 제2 그라운드(GND2)에 연결된다. 1차 코일과 2차 코일의 권선비는 $n:1$ 일 수 있다. n 은 0보다 큰 실수이다.

[0032] 컨버터 회로(100)는 제1 스위치(Q1), 제2 스위치(Q2), 제1 다이오드(D1) 및 제2 다이오드(D2)를 포함한다. 제1 스위치(Q1)는 입력 포트(P_{in})와 제1 노드(N1) 사이에 연결되고, 제2 스위치(Q2)는 제2 노드(N2)와 제1 그라운드(GND1) 사이에 연결된다. 제1 스위치(Q1)와 제2 스위치(Q2)는 MOSFET일 수 있으며, 소스와 드레인 사이의 바디 다이오드 및 기생 커패시터를 각각 갖는다.

[0033] 제1 다이오드(D1)는 제2 노드(N2)에서 입력 포트(P_{in})로 연결되고, 제2 다이오드(D2)는 제1 그라운드(GND1)에서 제1 노드(N1)로 연결된다. 제1 다이오드(D1)는 전류가 제2 노드(N2)에서 입력 포트(P_{in})로만 흐르게 하고, 제2 다이오드(D2)는 전류가 제1 그라운드(GND1)에서 제1 노드(N1)로만 흐르게 한다.

[0034] 컨버터 회로(100)는 출력 인덕터(L_{o1})와 제1 출력 커패시터(C_{o1})를 포함한다. 출력 인덕터(L_{o1})는 제1 노드(N1)와 제1 출력 포트(P_{o1}) 사이에 연결되며, 인덕터 전류($i_{L_{o1}}$)는 제1 노드(N1)에서 제1 출력 포트(P_{o1})로 흐르는 전류로 정의된다. 제1 출력 커패시터(C_{o1})는 제1 출력 포트(P_{o1})와 제1 그라운드(GND1) 사이에 연결된다.

[0035] 제1 스위치(Q1), 제2 다이오드(D2), 출력 인덕터(L_{o1}), 및 제1 출력 커패시터(C_{o1})는 제1 스위치(Q1)의 개폐에 따라 벡 컨버터로 동작한다. 제1 스위치(Q1)가 턴 온 될 때, 입력 전류(i_{pri})는 제1 스위치(Q1)와 출력 인덕터(L_{o1})를 통해 제1 출력 포트(P_{o1})로 흐른다. 제1 스위치(Q1)가 턴 오프 되면, 출력 인덕터(L_{o1})에 저장된 인덕터

전류($i_{L_{o1}}$)가 제2 다이오드(D2)를 통해 제1 출력 포트(P_{o1})로 흐른다. 이때, 본 발명에 따르면, 자화 인덕터(L_m)와 제2 스위치(Q2)의 바디 다이오드를 통해서도 제1 그라운드(GND1)에서 제1 노드(N1)로 인덕터 전류($i_{L_{o1}}$)가 흐를 수 있다.

[0036] 컨버터 회로(100)는 제3 다이오드(D3)와 제2 출력 커패시터(C_{o2})를 포함한다. 제3 다이오드(D3)는 가극성 트랜스포머의 2차 코일에서 제2 출력 포트(P_{o2})로 연결되어 전류가 2차 코일에서 제2 출력 포트(P_{o2})로만 흐르게 한다. 제2 출력 커패시터(C_{o2})는 제2 출력 포트(P_{o2})와 제2 그라운드(GND2) 사이에 연결된다.

[0037] 가극성 트랜스포머, 제1 및 제2 스위치들(Q1, Q2), 제1 내지 제3 다이오드들(D1, D2, D3), 및 제2 출력 커패시터(C_{o2})는 제1 및 제2 스위치들(Q1, Q2)의 개폐에 따라 2-스위치 플라이백 컨버터로 동작한다.

[0038] 본 발명에 따른 컨버터 회로(100)는 제1 노드(N1)와 제2 노드(N2) 사이에 가극성 트랜스포머의 1차 코일과 병렬로 연결되는 자화 인덕터(L_m)를 더 포함한다. 자화 인덕터(L_m)를 통해 제1 노드(N1)에서 제2 노드(N2)로 흐르는 전류를 자화 인덕터 전류(i_{Lm})로 정의한다.

[0040] 도 2는 본 발명의 일 실시예에 따른 컨버터 회로의 동작 타이밍도이다.

[0041] 도 1과 함께 도 2를 참조하면, 제1 및 제2 스위치들(Q1, Q2)은 동일한 스위칭 주기(T_s)로 제어된다. 제1 및 제2 스위치들(Q1, Q2)은 턴 온 레벨의 제1 및 제2 제어 신호들(V_{gs1} , V_{gs2})에 의해 제1 시간(t_0)에 동시에 각각 턴 온 된다.

[0042] 제2 제어 신호(V_{gs2})가 제2 시간(t_1)에 턴 오프 레벨로 천이하여 제2 스위치(Q2)는 제2 시간(t_1)에 턴 오프 된다. 제2 스위치(Q2)는 제2 듀티비(D_2)로 제어된다. 즉, $D_2 T_s$ 는 $t_1 - t_0$ 에 해당한다.

[0043] 제1 제어 신호(V_{gs1})가 제3 시간(t_2)에 턴 오프 레벨로 천이하여 제1 스위치(Q1)는 제3 시간(t_2)에 턴 오프 된다. 제1 스위치(Q1)는 제1 듀티비(D_1)로 제어된다. 즉, $D_1 T_s$ 는 $t_2 - t_0$ 에 해당한다. 제1 스위치(Q1)의 제1 듀티비(D_1)는 0.5보다 작고, 제2 스위치(Q2)의 제2 듀티비(D_2)보다 크다.

[0044] 제1 시간(t_0)과 제2 시간(t_1) 사이에, 제1 스위치(Q1)와 제2 스위치(Q2)가 모두 턴 온 되며, 입력 전압(V_s)은 제1 노드(N1)와 제2 노드(N2) 사이에 인가된다. 제1 노드(N1)와 제2 노드(N2) 사이의 자화 인덕터 전압(V_{Lm})이 입력 전압(V_s)과 동일한 크기를 가지므로, 자화 인덕터 전류(i_{Lm})는 입력 전압(V_s)에 비례하고 자화 인덕터(L_m)에 반비례하는 크기로 시간에 따라 선형적으로 증가한다. 즉, 자화 인덕터 전류(i_{Lm})의 크기는 제1 시간(t_0)과 제2 시간(t_1) 사이에 $(t_1 - t_0)V_s/L_m (= D_2 T_s V_s/L_m)$ 만큼, 증가한다.

[0045] 제1 노드(N1)와 제2 노드(N2) 사이에 입력 전압(V_s)이 인가되므로 가극성 트랜스포머의 2차측에 반시계 방향의 전류가 생성되어야 하지만, 2차측의 반시계 방향의 전류는 제3 다이오드(D3)에 의해 차단되므로, 가극성 트랜스포머에는 전류가 흐르지 않는다.

[0046] 출력 인덕터(L_{o1})의 양단에 인가되는 인덕터 전압($V_{L_{o1}}$)의 크기는 입력 전압(V_s)과 제1 출력 전압(V_{o1})의 차(즉, $V_s - V_{o1}$)와 동일하다. 인덕터 전류($i_{L_{o1}}$)는 인덕터 전압($V_{L_{o1}}$)의 크기에 비례하고 출력 인덕터(L_{o1})의 인덕턴스에 반비례하여 시간에 따라 증가한다.

[0047] 입력 전류(i_{pri})는 자화 인덕터 전류(i_{Lm})와 인덕터 전류($i_{L_{o1}}$)의 합과 동일하므로, 제1 시간(t_0)에서 제2 시간(t_1)까지 증가한다. 턴 온된 제1 스위치(Q1)를 통해 흐르는 제1 스위치 전류(i_{Q1})는 입력 전류(i_{pri})와 실질적으로 동일하고, 턴 온된 제2 스위치(Q2)를 통해 흐르는 제2 스위치 전류(i_{Q2})는 자화 인덕터 전류(i_{Lm})와 실질적으로 동일하다. 제1 시간(t_0)과 제2 시간(t_1) 사이에 제1 및 제2 스위치(Q1, Q2)는 턴 온 되므로, 이들 양단의 전압(V_{Q1} , V_{Q2})은 모두 0이다.

[0048] 제2 시간(t_1)에 제2 스위치(Q2)가 턴 오프 된다. 제2 시간(t_1)과 제3 시간(t_2) 사이에, 제1 노드(N1)와 제2 노

드(N2) 사이의 전압은 0이 되며, 자화 인덕터(L_m)에 저장된 자화 인덕터 전류(i_{Lm})는 실질적으로 동일한 크기를 유지되며, 제1 다이오드(D1)와 제1 스위치(Q1)을 통해 시계 방향으로 흐른다.

[0049] 출력 인덕터(L_{o1})의 양단에 인가되는 인덕터 전압($V_{L_{o1}}$)의 크기는 $V_s - V_{o1}$ 로 유지되므로, 인덕터 전류($i_{L_{o1}}$)는 계속하여 시간에 따라 증가한다. 제2 스위치(Q2)가 턴 오프 되므로, 입력 전류(i_{pri})는 인덕터 전류($i_{L_{o1}}$)와 실질적으로 동일하다.

[0050] 제1 스위치(Q1)에는 입력 포트(P_{in})에서 제1 출력 포트(P_{o1})로 흐르는 인덕터 전류($i_{L_{o1}}$)와 제1 다이오드를 통해 시계 방향으로 흐르는 자화 인덕터 전류(i_{Lm})가 흐른다. 제1 스위치 전류(i_{Q1})는 인덕터 전류($i_{L_{o1}}$)와 자화 인덕터 전류(i_{Lm})의 합과 실질적으로 동일하다.

[0051] 제2 스위치(Q2)는 턴 오프 되므로, 제2 스위치 전류(i_{Q2})는 0이고, 제2 스위치(Q2) 양단에는 입력 전압(V_s)과 동일한 크기의 제2 스위치 전압(V_{Q2})이 인가된다.

[0052] 제3 시간(t_2)에 제1 스위치(Q1)가 턴 오프 된다. 제3 시간(t_2)에서 제6 시간(t_5)까지 제1 스위치(Q1)와 제2 스위치(Q2)는 턴 오프 상태를 유지한다.

[0053] 제3 시간(t_2) 이후에, 출력 인덕터(L_{o1}) 양단에는 음의 제1 출력 전압(V_{o1}), 즉, $-V_{o1}$ 이 인가된다. 출력 인덕터(L_{o1})에 저장된 인덕터 전류($i_{L_{o1}}$)는 제2 다이오드(D2)와 제2 스위치(Q2)의 바디 다이오드를 통해 제1 그라운드(GND1)로부터 제1 출력 포트(P_{o1})로 흐른다. 인덕터 전류($i_{L_{o1}}$)의 크기는 제6 시간(t_5)까지 선형적으로 감소한다. 인덕터 전류($i_{L_{o1}}$)의 크기 감소율은 제1 출력 전압(V_{o1})의 크기에 비례하고, 출력 인덕터(L_{o1})의 인덕턴스에 반비례한다.

[0054] 자화 인덕터(L_m)에 저장된 자화 인덕터 전류(i_{Lm})는 제1 다이오드(D1), 직류 전원, 및 제2 다이오드(D2)를 통해 순환하고, 가극성 트랜스포머의 1차 코일을 통해 반시계 방향으로 흐른다. 직류 전원의 입력 전류(i_{pri})는 반대 방향으로 흘러서 음의 값을 가지며, 자화 인덕터 전류(i_{Lm})의 크기에 대응하는 크기를 갖는다. 가극성 트랜스포머의 1차 코일을 통해 흐르는 전류에 대응하여 2차 코일에서도 제3 다이오드(D3)를 통해 시계 방향으로 전류가 흐른다. 제3 다이오드(D3)를 통해 흐르는 전류가 제2 출력 커패시터(C_{o2})에 충전되면서 제2 출력 전압(V_{o2})은 증가하게 된다.

[0055] 자화 인덕터(L_m)에 저장된 자화 인덕터 전류(i_{Lm})의 크기는 서서히 감소하게 되며, 제4 시간(t_3)에 0에 도달한다. 이때 입력 전류(i_{pri}) 역시 0에 도달한다.

[0056] 자화 인덕터 전류(i_{Lm})의 크기가 0이 도달하는 제4 시간(t_3)이 되면, 제2 스위치(Q2)의 기생 커패시터에 저장된 입력 전압(V_s)과 동일한 크기의 전하가 방전하게 된다. 제2 스위치(Q2) 양단의 전압(V_{Q2})은 서서히 감소하게 되며, 제5 시간(t_5)에 제2 스위치 전압(V_{Q2})은 0 이하로 감소하게 된다.

[0057] 제2 스위치(Q2)의 기생 커패시터에 저장된 입력 전압(V_s)과 동일한 크기의 전하가 방전되면서 흐르는 전류는 자화 인덕터(L_m)를 통해서 제2 노드(N2)에서 제1 노드(N1)로 흐르게 되며, 제2 스위치(Q2)의 기생 커패시터에 저장된 전하가 방전하는 동안 자화 인덕터 전류(i_{Lm})는 0보다 감소하게 된다. 제2 스위치(Q2)의 기생 커패시터에 저장된 전하가 모두 방전되는 제5 시간(t_5) 이후에는 자화 인덕터 전류(i_{Lm})의 값이 더 작아지지 않게 된다.

[0058] 제5 시간(t_4) 이후에 제2 스위치 전압(V_{Q2})은 0 이하로 감소하게 되며, 제6 시간(t_5)에 제2 스위치 전압(V_{Q2})의 크기가 0 이하일 때 제2 스위치(Q2)가 턴 온 되므로, 제2 스위치(Q2)가 턴 온 될 때 영전압 스위칭이 이루어지게 되며, 제2 스위치(Q2)의 스위칭 스트레스는 대폭 감소하게 된다.

[0059] 또한, 제2 스위치(Q2)가 턴 온 되는 제6 시간(t_5)에, 자화 인덕터의 전류(i_{Lm})는 0보다 작은 크기를 가지므로, 제2 노드(N2)로부터 제1 노드(N1)로 흐르는 것이다.

[0060] 제2 출력 포트와 상기 제2 그라운드 사이에 연결되는 제2 전기 부하가 제2 출력 저항값(R_{o2})을 갖는 경우, 제2

스위치(Q2)의 영전압 스위칭을 달성하기 위해, 자화 인덕터(L_m)의 인덕턴스는 $n^2(1-D_2)^2R_{o2}T_s/2$ 보다 작도록 설정될 수 있다. 여기서, n 은 가극성 트랜스포머의 2차 코일에 대한 1차 코일의 권선비이고, D_2 는 제2 스위치(Q2)의 듀티비이고, T_s 는 제1 및 제2 스위치의 스위칭 주기이다.

[0061] 본 발명에 따른 컨버터 회로(100)의 자화 인덕터 전류(i_{Lm})가 DCM(Discontinuous Conduction Mode)로 동작하도록 설계해야 제2 스위치(Q2)의 영전압 스위칭이 가능하다. 자화 인덕터 전류(i_{Lm})의 크기는 제1 시간(t_0)에서 제2 시간(t_1)까지 증가하고, 제2 시간(t_1)에서 제3 시간(t_2)까지 유지되고, 제3 시간(t_2)에서 제5시간(t_4)까지 감소하고, 제5 시간(t_4)에서 제6 시간(t_5)까지 유지된다.

[0062] 자화 인덕터 전류(i_{Lm})의 평균 크기는 제2 전기 부하에 공급되는 제2 출력 전류의 평균 크기(I_{o2})를 권선비(n)와 제2 스위치(Q2)의 오프 듀티비($1-D_2$)의 곱으로 나눈 값(즉, $I_{o2}/\{n(1-D_2)\}$)과 동일하다. 자화 인덕터 전류(i_{Lm})의 최대값과 최소값의 차이는 자화 인덕터 전류(i_{Lm})의 크기가 제1 시간(t_0)에서 제2 시간(t_1)까지 증가하는 값과 동일하며, D_2T_sVs/L_m 와 같이 나타낼 수 있다.

[0063] 자화 인덕터 전류(i_{Lm})가 DCM로 동작하기 위해서는, 자화 인덕터 전류(i_{Lm})의 평균 크기(즉, $I_{o2}/\{n(1-D_2)\}$)가 $D_2T_sVs/(2L_m)$ 보다 작아야 한다. 이를 자화 인덕턴스(L_m)에 대하여 정리하면, $L_m < n(1-D_2)VsD_2T_s/(2I_{o2})$ 와 같다. 플라이백 컨버터의 이득은 $V_{o2}/Vs = D_2/\{n(1-D_2)\}$ 이고, 제2 전기 부하의 저항값(R_{o2})은 V_{o2}/I_{o2} 와 같으므로, 자화 인덕턴스(L_m)이 $L_m < n^2(1-D_2)^2R_{o2}T_s/2$ 일 때 제2 스위치(Q2)의 영전압 스위칭을 달성할 수 있다.

[0064] 한편, 자화 인덕턴스(L_m)가 이미 정해진 경우, 제2 스위치(Q2)의 듀티비(D_2)가 $D_2 < 1 - (1/n)(2L_m/R_{o2}T_s)^{1/2}$ 이도록 설정함으로써 제2 스위치(Q2)의 영전압 스위칭을 달성할 수도 있다.

[0066] 도 3은 본 발명의 일 실시예에 따른 컨버터 회로의 영전압 스위칭을 설명하기 위한 파형도이다.

[0067] 도 3을 참조하면, 제2 스위치(Q2)의 제어 신호, 제2 스위치(Q2)의 전압 스트레스, 및 제2 스위치(Q2)의 전류(i_{Q2})가 도시된다.

[0068] 제2 스위치(Q2)의 제어 신호가 하이 레벨일 때 제2 스위치(Q2)는 턴 온 되며, 제2 스위치 전류(i_{Q2})는 선형적으로 증가한다. 이때 제2 스위치(Q2)는 턴 온 되어 있으므로, 제2 스위치(Q2)의 양단에 가해지는 전압 스트레스는 0이다.

[0069] 제2 스위치(Q2)의 제어 신호가 로우 레벨로 천이하면, 제2 스위치(Q2)는 턴 오프 되며, 제2 스위치(Q2)의 양단에 가해지는 전압 스트레스는 300으로 증가한다. 여기서 300은 입력 포트(P_{in})에 연결되는 직류 전원의 입력 전압(V_s)과 동일하다. 제2 스위치(Q2)는 턴 오프 되어 있으므로, 제2 스위치 전류(i_{Q2})는 0으로 급격히 감소한다.

[0070] 자화 인덕터 전류(i_{Lm})가 0에 도달하는 시점(t_3)에 제2 스위치(Q2)의 기생 커패시터에 저장되어 있던 전하가 방전하면서, 타원(Z_v)에 도시된 바와 같이 제2 스위치(Q2)의 전압 스트레스는 0으로 감소한다. 또한, 제2 스위치 전류(i_{Q2})는 원(Z_i)에 도시된 바와 같이 0보다 작아진다. 제2 스위치(Q2)에 역전류가 흐르면서, 제2 스위치(Q2)의 전압 스트레스가 감소하게 된다.

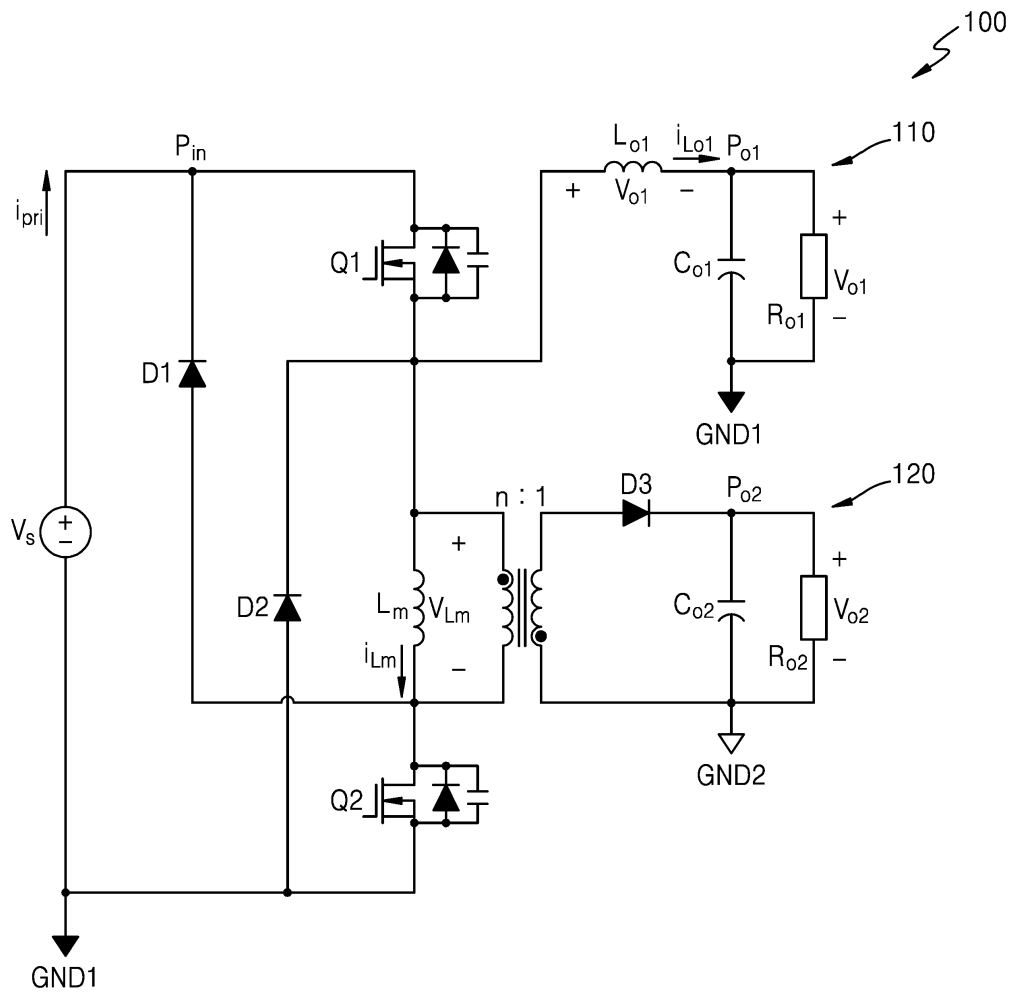
[0071] 제2 스위치(Q2)의 제어 신호가 하이 레벨로 천이하는 시점에 제2 스위치(Q2)의 전압 스트레스는 이미 0으로 감소한 상태이며, 제2 스위치(Q2)는 전압 스트레스가 0인 상태에서 턴 온 상태로 스위칭할 수 있다.

[0072] 제2 스위치(Q2)가 턴 온되기 전에 제2 스위치(Q2)의 전압 스트레스가 0으로 감소한다. 제2 스위치(Q2)가 다시 턴 온된 후에 점진적으로 증가하는 제2 스위치 전류(i_{Q2})는 제2 스위치(Q2)의 전압 스트레스(V_{Q2})와 겹치는 부분이 발생하지 않게 되므로, 제2 스위치 전류(i_{Q2})와 제2 스위치(Q2)의 전압 스트레스(V_{Q2})의 곱으로 나타나는 손실이 발생하지 않는다. 따라서, 손실 없는 제2 스위치(Q2)의 영전압 스위칭이 달성될 수 있다.

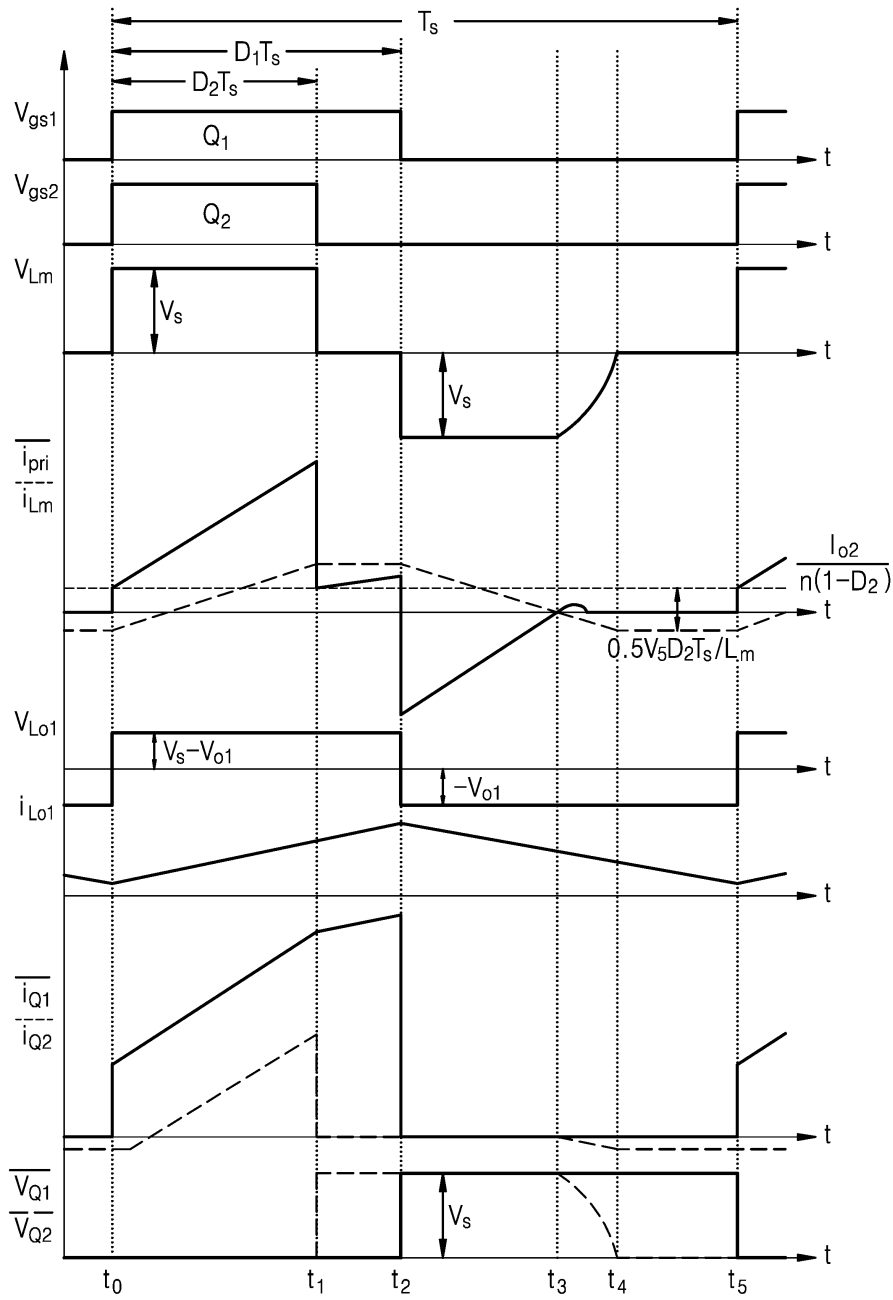
- [0074] 도 4는 비교예에 따른 통합형 전력 회로의 회로도이다.
- [0075] 도 4를 참조하면, 통합형 전력 회로(10)는 벡 컨버터(11)와 2-스위치 포워드 컨버터(12)를 통합한 것으로서, 본 발명의 발명자들이 발명한 것이다.
- [0076] 통합형 전력 회로(10)는 제1 및 제2 스위치(Q_1 , Q_2), 제1 및 제2 입력 다이오드(D_{c1} , D_{c2}), 감극성 트랜스포머, 자화 인덕터(L_m), 제1 출력 인덕터(L_{o1}), 제1 출력 커패시터(C_{o1}), 제1 및 제2 출력 다이오드(D_1 , D_2), 제2 출력 인덕터(L_{o2}), 및 제2 출력 커패시터(C_{o2})를 포함한다.
- [0077] 통합형 전력 회로(10)는 2-스위치 포워드 컨버터(12)를 채용하여 설계가 상대적으로 쉬운 반면, 본 발명에 따라서 2-스위치 플라이백 컨버터(120)를 통합한 컨버터 회로(100)와 비교할 때, 제2 출력 인덕터(L_{o2})와 제2 출력 다이오드(D_2)를 더 포함한다. 따라서, 통합형 전력 회로(10)는 본 발명의 컨버터 회로(100)에 비해 부피가 더 크고, 더 무거우며, 제작 비용도 더 많이 소요된다. 게다가, 배터리 전원을 사용하고 설계 후에 전기 부하가 추가될 수 없는 위성의 전력 시스템에는 2-스위치 포워드 컨버터(12)보다 2-스위치 플라이백 컨버터(120)가 더 적합하다고 알려져 있다.
- [0078] 그러나, 통합형 전력 회로(10)에서 2-스위치 포워드 컨버터(12)를 2-스위치 플라이백 컨버터(120)로 단순 대체할 경우, 제2 스위치(Q_2)의 영전압 스위칭이 달성되지 않아서, 제2 스위치(Q_2)로 인한 전력 손실이 발생하였고, 이때 발생하는 열로 인하여 방열 수단을 부가해야 했다. 방열 수단의 부가로 인한 전체 무게 증가는 통합형 전력 회로(10)에서 제2 출력 인덕터(L_{o2})를 제거한 무게 이득을 초과할 정도였다.
- [0079] 본 발명의 발명자들은 전술한 바와 같이 2-스위치 포워드 컨버터(12)를 2-스위치 플라이백 컨버터(120)로 대체하면서도 제2 스위치(Q_2)의 영전압 스위칭을 달성할 수 있는 방법을 찾아낸 것이다. 본 발명에 따르면, 자화 인덕터(L_m)의 인덕턴스의 크기 또는 제2 스위치(Q_2)의 듀티비(D_2)를 제어함으로써, 제2 스위치(Q_2)의 영전압 스위칭을 달성하면서도, 종래 통합형 전력 회로(10)에 비해 무게와 부피, 및 제작 단가를 낮출 수 있는 컨버터 회로(100)를 제공할 수 있다.
- [0081] 이와 같이 본 발명은 도면들에 도시된 다양한 실시예들을 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

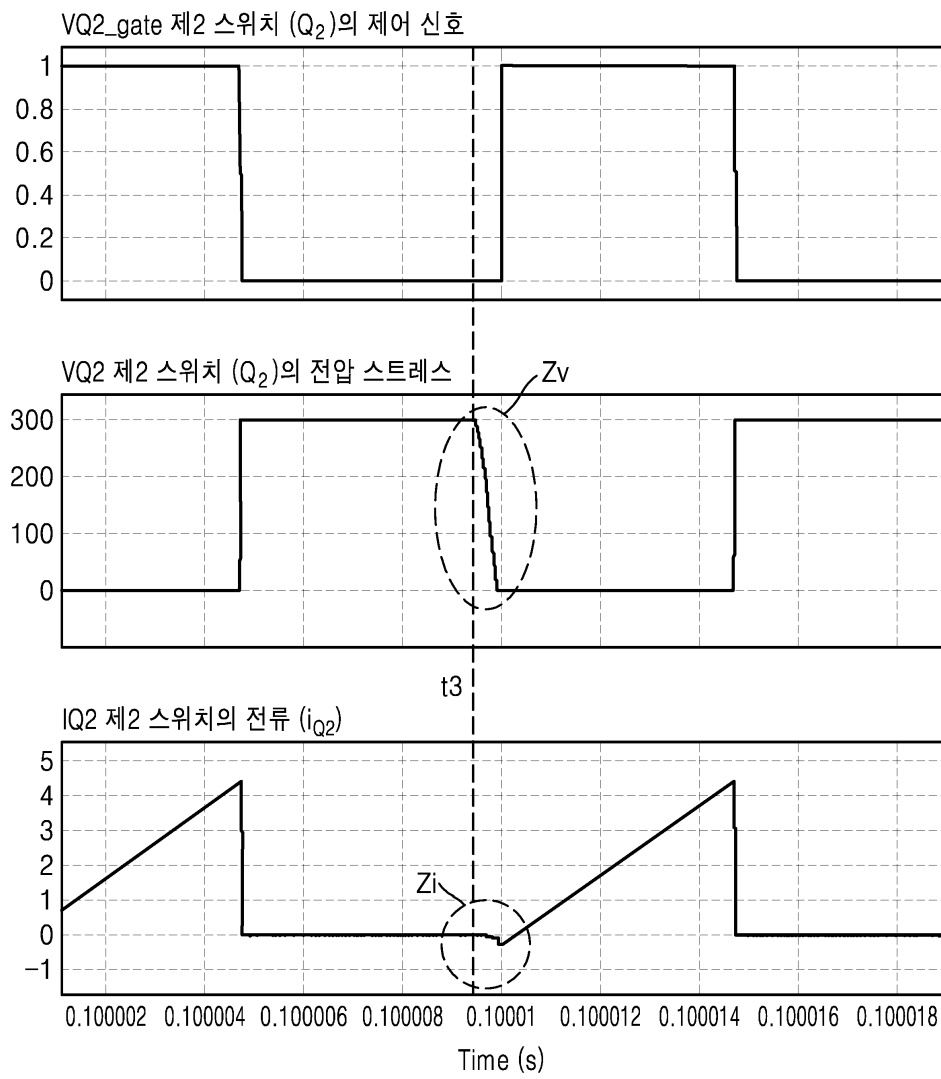
도면1



도면2



도면3



도면4

