



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0082012
(43) 공개일자 2014년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 31/078 (2006.01) H01L 31/042 (2014.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2012-0150835
(22) 출원일자 2012년12월21일
심사청구일자 없음

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
김수현
서울특별시 서초구 바우피로 38 LG연구소
이현민
서울특별시 서초구 바우피로 38 LG연구소
(뒷면에 계속)
(74) 대리인
박병창

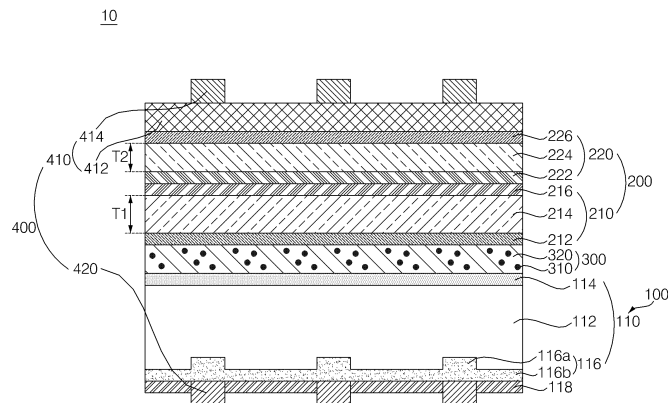
전체 청구항 수 : 총 39 항

(54) 발명의 명칭 태양 전지 및 이의 제조 방법

(57) 요약

본 발명의 실시예에 따른 태양 전지는, 결정질 반도체를 기반으로 하는 제1 광전 변환부; 상기 제1 광전 변환부 위에 형성되며, 비정질 반도체를 기반으로 하는 복수의 변환 부분을 포함하는 제2 광전부; 상기 제1 광전 변환부와 상기 제2 광전 변환부 사이에 상기 제1 광전 변환부와 상기 제2 광전 변환부를 연결하는 접합층; 및 상기 제1 및 제2 광전 변환부에 전기적으로 연결되는 전극을 포함한다.

대표도 - 도1



(72) 발명자

이현

서울특별시 서초구 바우피로 38 LG연구소

정진원

서울특별시 서초구 바우피로 38 LG연구소

특허청구의 범위

청구항 1

결정질 반도체를 기반으로 하는 제1 광전 변환부;

상기 제1 광전 변환부 위에 형성되며, 비정질 반도체를 기반으로 하는 복수의 변환 부분을 포함하는 제2 광전부;

상기 제1 광전 변환부와 상기 제2 광전 변환부 사이에 상기 제1 광전 변환부와 상기 제2 광전 변환부를 연결하는 접합층; 및

상기 제1 및 제2 광전 변환부에 전기적으로 연결되는 전극;

을 포함하는 태양 전지.

청구항 2

제1항에 있어서,

상기 접합층은 비정질 매트릭스에 미세 결정 반도체가 석출된 형태를 가지는 태양 전지.

청구항 3

제2항에 있어서,

상기 비정질 매트릭스가 비정질 실리콘 산화물 및 비정질 실리콘 탄화물 중 적어도 하나를 포함하는 태양 전지.

청구항 4

제2항에 있어서,

상기 접합층에서 상기 미세 결정 반도체의 부피 분율이 5% 내지 30%인 태양 전지.

청구항 5

제2항에 있어서,

상기 제1 광전 변환부는, 제1 도전형을 가지는 베이스 영역과, 상기 제1 도전형과 반대되는 제2 도전형을 가지는 에미터층을 포함하고,

상기 접합층은 상기 에미터층 위에 위치하며 상기 제1 도전형을 가지는 태양 전지.

청구항 6

제2항에 있어서,

상기 접합층의 굴절률이 1.6~1.9인 태양 전지.

청구항 7

제1항에 있어서,

상기 제1 광전 변환부는, 제1 도전형을 가지는 베이스 영역을 구비하는 반도체 기판과, 상기 반도체 기판에 형성되며 상기 제1 도전형과 반대되는 제2 도전형을 가지는 포함하는 에미터층을 포함하는 태양 전지.

청구항 8

제1항에 있어서,

상기 제1 광전 변환부가 다결정 또는 단결정 실리콘을 포함하고,

상기 제1 광전 변환부의 밴드 갭이 1.0eV 내지 1.2eV인 태양 전지.

청구항 9

제1항에 있어서,

상기 제2 광전 변환부의 상기 복수의 변환 부분은 상기 제1 광전 변환부의 밴드 갭보다 큰 밴드 갭을 가지고, 상기 제1 광전 변환부로부터 멀어질수록 밴드 갭이 더 커지는 태양 전지.

청구항 10

제1항에 있어서,

상기 제1 광전 변환부의 전류 밀도에 대한 상기 복수의 변환 부분 각각의 전류 밀도의 비율이 0.8 내지 1.2인 태양 전지.

청구항 11

제1항에 있어서,

상기 복수의 변환 부분은, 상기 제1 광전 변환부 위에 형성되며 제1 밴드 갭을 가지는 제1 변환 부분과, 상기 제1 변환 부분 위에 형성되며 상기 제1 밴드 갭보다 큰 제2 밴드 갭을 가지는 제2 변환 부분을 포함하는 태양 전지.

청구항 12

제11항에 있어서,

상기 제1 변환 부분의 제1 진성층은 게르마늄을 포함하는 비정질 실리콘층을 포함하고, 상기 제1 변환 부분의 제2 진성층은 도핑되지 않은 비정질 실리콘층을 포함하는 태양 전지.

청구항 13

제12항에 있어서,

상기 제1 진성층에서 상기 게르마늄의 원자 함량비가 15% 내지 40%인 태양 전지.

청구항 14

제11항에 있어서,

상기 제1 밴드 갭이 1.2eV 내지 1.6eV이고, 상기 제2 밴드 갭이 1.6eV 내지 1.9eV인 태양 전지.

청구항 15

제11항에 있어서,

상기 제1 광전 변환 부분의 제1 진성층보다 상기 제2 광전 변환 부분의 제2 진성층의 두께가 얇은 두꺼운 태양 전지.

청구항 16

제15항에 있어서,

상기 제1 진성층의 두께가 100nm 내지 350nm이고, 상기 제2 진성층의 두께가 50nm 내지 300nm인 태양 전지.

청구항 17

제11항에 있어서,

상기 제1 변환 부분은, 상기 제1 광전 변환부 위에 차례로 형성되는 제1 하부층, 제1 진성층 및 제1 상부층을 포함하여 pin 또는 nip 접합 구조를 형성하고,

상기 제2 변환 부분은, 상기 제1 변환 부분 위에 차례로 형성되는 제2 하부층, 제2 진성층 및 제2 상부층을 포함하여 pin 또는 nip 접합 구조를 형성하고,

상기 제1 상부층 및 상기 제2 상부층 중 적어도 하나에 탄소 및 산소 중 적어도 하나가 포함되는 태양 전지.

청구항 18

제11항에 있어서,

상기 복수의 변환 부분은, 상기 제2 변환 부분 위에 형성되며 상기 제2 밴드 갭보다 큰 제3 밴드 갭을 가지는 제3 변환 부분을 더 포함하는 태양 전지.

청구항 19

제18항에 있어서,

상기 제1 변환 부분의 제1 진성층은 게르마늄을 포함하는 비정질 실리콘층을 포함하고,

상기 제2 변환 부분의 제2 진성층은 게르마늄을 상기 제1 진성층보다 작게 함유하는 비정질 실리콘층을 포함하며,

상기 제3 변환 부분의 제3 진성층은 도핑되지 않은 비정질 실리콘층을 포함하는 태양 전지.

청구항 20

제19항에 있어서,

상기 제1 진성층에서 상기 게르마늄의 원자 함량비가 25% 내지 50%이고,

상기 제2 진성층에서 상기 게르마늄의 원자 함량비가 10% 내지 35%인 태양 전지.

청구항 21

제18항에 있어서,

상기 제1 밴드 갭이 1.2eV 내지 1.45eV이고,

상기 제2 밴드 갭이 1.4eV 내지 1.6eV이며,

상기 제3 밴드 갭이 1.6eV 내지 1.9eV인 태양 전지.

청구항 22

제18항에 있어서,

상기 제1 광전 변환 부분의 제1 진성층보다 상기 제2 광전 변환 부분의 제2 진성층의 두께가 얇고, 상기 제2 진성층보다 상기 제3 광전 변환 부분의 제3 진성층의 두께가 얇은 태양 전지.

청구항 23

제22항에 있어서,

상기 제1 진성층의 두께가 100nm 내지 350nm의 두께를 가지고,

상기 제2 진성층의 두께가 50nm 내지 300nm이며,

상기 제3 진성층의 두께가 50nm 내지 300nm인 태양 전지.

청구항 24

제18항에 있어서,

상기 제1 변환 부분은, 상기 제1 광전 변환부 위에 차례로 형성되는 제1 하부층, 제1 진성층 및 제1 상부층을 포함하여 pin 또는 nip 접합 구조를 형성하고,

상기 제2 변환 부분은, 상기 제1 변환 부분 위에 차례로 형성되는 제2 하부층, 제2 진성층 및 제2 상부층을 포

함하여 pin 또는 nip 집합 구조를 형성하며,

상기 제3 변환 부분은, 상기 제2 변환 부분 위에 차례로 형성되는 제3 하부층, 제3 진성층 및 제3 상부층을 포함하여 pin 또는 nip 집합 구조를 형성하며,

상기 제1 상부층, 상기 제2 상부층 및 상기 제3 상부층 중 적어도 하나에 탄소 및 산소 중 적어도 하나가 포함되는 태양 전지.

청구항 25

제1항에 있어서,

상기 전극은, 상기 제2 광전 변환부에 연결되는 제1 전극과, 상기 제1 광전 변환부에 연결되는 제2 전극을 포함하는 태양 전지.

청구항 26

제25항에 있어서,

상기 제1 전극은, 상기 제2 광전 변환부 위에 형성되는 투명 전극층과, 상기 투명 전극층 위에 형성되며 패턴을 가지는 금속 전극을 포함하는 태양 전지.

청구항 27

제26항에 있어서,

상기 제1 전극의 상기 금속 전극은 서로 평행하게 형성되는 복수의 핑거 전극을 포함하는 태양 전지.

청구항 28

제27항에 있어서,

상기 제1 전극의 상기 금속 전극은 상기 복수의 핑거 전극을 연결하는 버스바 전극을 더 포함하는 태양 전지.

청구항 29

제25항에 있어서,

상기 제2 전극은 패턴을 가지면서 형성되고,

상기 제2 전극이 형성되지 않은 부분에는 패시베이션 막이 형성되는 태양 전지.

청구항 30

제29항에 있어서,

상기 제2 전극은 서로 평행하게 형성되는 복수의 핑거 전극을 포함하는 태양 전지.

청구항 31

제30항에 있어서,

상기 제2 전극은 상기 복수의 핑거 전극을 연결하는 버스바 전극을 더 포함하는 태양 전지.

청구항 32

제25항에 있어서,

상기 제2 전극은 상기 제1 광전 변환부의 일면에 전체적으로 형성되는 태양 전지.

청구항 33

제25항에 있어서,

상기 제1 광전 변환부의 일면에 형성되는 패시베이션 막을 더 포함하고,

상기 제1 전극은 상기 패시베이션 막을 관통하여 상기 제1 광전 변환부에 점 접촉되는 제1 부분과, 상기 제1 부분에 연결되며 상기 패시베이션 막 위에 전체적으로 형성되는 제2 부분을 포함하는 태양 전지.

청구항 34

결정질 반도체를 포함하는 반도체 기판을 준비하는 단계;

상기 반도체 기판에 불순물을 도핑하여 에미터층을 형성하여 제1 광전 변환부를 형성하는 단계;

상기 에미터층 상에 집합층을 형성하는 단계;

상기 집합층 위에 비정질 반도체를 포함하는 제2 광전 변환부를 형성하는 단계; 및

상기 제2 광전 변환부에 연결되는 제1 전극과 상기 반도체 기판에 연결되는 제2 전극을 형성하는 단계를 포함하고,

상기 제2 광전 변환부를 형성하는 단계는, 상기 집합층 위에 상기 반도체 기판보다 큰 제1 밴드 갭을 가지는 제1 변환 부분을 형성하는 단계와, 상기 제1 변환 부분 위에 상기 제1 밴드 갭보다 큰 제2 밴드 갭을 가지는 제2 변환 부분을 형성하는 단계를 포함하는 태양 전지의 제조 방법.

청구항 35

제34항에 있어서,

상기 에미터층은 열 확산법 또는 이온 주입법에 의하여 형성되는 태양 전지의 제조 방법.

청구항 36

제34항에 있어서,

상기 집합층, 상기 제1 변환 부분 및 상기 제2 변환 부분 중 적어도 하나는 증착에 의하여 형성되는 태양 전지의 제조 방법.

청구항 37

제34항에 있어서,

상기 제1 전극 및 상기 제2 전극 중 적어도 하나는 도금, 인쇄, 증착, 스퍼터, 또는 레이저 소성 접촉에 의하여 형성되는 태양 전지의 제조 방법.

청구항 38

제34항에 있어서,

상기 제1 광전 변환부의 제1 진성층의 두께보다 상기 제2 광전 변환부의 제2 진성층의 두께가 두꺼운 태양 전지의 제조 방법.

청구항 39

제34항에 있어서,

상기 제2 광전 변환부를 형성하는 단계는, 상기 제2 변환 부분을 형성한 다음에 상기 제2 광전 변환 부분 위에 상기 제2 밴드 갭보다 큰 제3 밴드 갭을 가지는 제3 변환 부분을 더 형성하는 태양 전지의 제조 방법.

명세서

기술분야

[0001] 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로, 좀더 상세하게는 다양한 방식의 광전 변환부를 포함하는 태양 전지 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

[0003] 이러한 태양 전지에서는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 그런데 이러한 다양한 층 및 전극의 설계에 따라 태양 전지 효율이 결정될 수 있다. 태양 전지의 상용화를 위해서는 낮은 효율을 극복하여야 하는바, 전극의 면적 및 다양한 층이 태양 전지의 효율을 최대화할 수 있도록 설계되는 것이 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 효율을 최대화할 수 있는 태양 전지 및 그의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 태양 전지는, 결정질 반도체를 기반으로 하는 제1 광전 변환부; 상기 제1 광전 변환부 위에 형성되며, 비정질 반도체를 기반으로 하는 복수의 변환 부분을 포함하는 제2 광전부; 상기 제1 광전 변환부와 상기 제2 광전 변환부 사이에 상기 제1 광전 변환부와 상기 제2 광전 변환부를 연결하는 접합층; 및 상기 제1 및 제2 광전 변환부에 전기적으로 연결되는 전극을 포함한다.

[0006] 본 발명의 실시예에 따른 태양 전지의 제조 방법은, 결정질 반도체를 포함하는 반도체 기판을 준비하는 단계; 상기 반도체 기판에 불순물을 도핑하여 에미터층을 형성하여 제1 광전 변환부를 형성하는 단계; 상기 에미터층 상에 접합층을 형성하는 단계; 상기 접합층 위에 비정질 반도체를 포함하는 제2 광전 변환부를 형성하는 단계; 및 상기 제2 광전 변환부에 연결되는 제1 전극과 상기 반도체 기판에 연결되는 제2 전극을 형성하는 단계를 포함한다. 상기 제2 광전 변환부를 형성하는 단계는, 상기 접합층 위에 상기 반도체 기판보다 큰 제1 밴드 갭을 가지는 제1 변환 부분을 형성하는 단계와, 상기 제1 변환 부분 위에 상기 제1 밴드 갭보다 큰 제2 밴드 갭을 가지는 제2 변환 부분을 형성하는 단계를 포함한다.

발명의 효과

[0007] 본 발명의 실시예에 따르면, 결정질 반도체를 기반으로 하는 제1 광전 변환부와, 비정질 반도체를 기반으로 하는 제2 광전 변환부를 포함하여 다양한 파장의 광을 모두 사용할 수 있어 효율을 향상할 수 있다. 이때, 제2 광전 변환부가 복수의 변환 부분을 포함하여, 제1 광전 변환부와 전류 밀도 균형을 맞추면서도 진성층의 두께가 박막 품질이 저하되지 않는 것이 가능하다. 이에 따라 태양 전지의 효율을 최대화할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예에 따른 태양 전지를 도시한 단면도이다.
- 도 2는 도 1의 태양 전지의 전면을 도시한 평면도이다.
- 도 3는 결정질 실리콘 기반의 제1 광전 변환부만을 포함하는 태양 전지의 일례의 회로이다.
- 도 4은 결정질 실리콘 기반의 제1 광전 변환부와 비정질 실리콘 기반의 제2 변환 부분을 포함하는 제2 광전 변환부를 포함하는 태양 전지의 일례의 회로이다.
- 도 5는 본 발명의 실시예로서, 결정질 실리콘 기반의 제1 광전 변환부와 비정질 실리콘 기반의 제1 및 제2 변환 부분을 포함하는 제2 광전 변환부를 포함하는 태양 전지의 일례의 회로이다.
- 도 6는 비정질 실리콘 박막의 두께에 따른 전류 밀도 및 박막 품질의 경향을 보여주는 그래프이다.
- 도 7은 본 발명의 다른 실시예에 따른 태양 전지의 부분 단면도이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 태양 전지의 부분 단면도이다.
- 도 9는 본 발명의 또 다른 실시예에 따른 태양 전지의 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.
- [0010] 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.
- [0011] 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하지 않는 것을 의미한다.
- [0012] 이하, 첨부한 도면을 참조하면 본 발명의 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다.
- [0013] 도 1은 본 발명의 실시예에 따른 태양 전지를 도시한 단면도이고, 도 2는 도 1의 태양 전지의 전면을 도시한 평면도이다.
- [0014] 도 1을 참조하면, 본 실시예에 따른 태양 전지(10)는, 결정질 반도체(일례로, 결정질 실리콘)를 기반으로 하는 제1 광전 변환부(100)와, 비정질 반도체(일례로 비정질 실리콘)를 기반으로 하는 복수의 변환 부분(210, 220)을 포함하는 제2 광전 변환부(200)와, 제1 광전 변환부(100)와 제2 광전 변환부(300)를 접합하는 접합층(300)을 포함한다. 그리고 태양 전지(10)는 제1 광전 변환부(100) 및 제2 광전 변환부(200)에 전기적으로 연결되어 생성된 전하를 수집하는 전극(400)을 포함한다. 이를 좀더 상세하게 설명하면 다음과 같다.
- [0015] 결정질 반도체를 기반으로 하는 제1 광전 변환부(100)는 pn 접합(junction)을 구비하거나 pn 접합을 형성하는 결정질의 반도체 기판(110)을 구비할 수 있다. 좀더 상세하게는, 반도체 기판(110)은 웨이퍼(wafer) 기판일 수 있다. 일례로, 반도체 기판(110)은 단결정 실리콘 또는 다결정 실리콘 등으로 이루어지는 실리콘 웨이퍼 기판일 수 있다.
- [0016] 이때, 반도체 기판(110)은, 제1 도전형을 나타내는 베이스 영역(112)과 베이스 영역(112)의 전면에 형성되며 제2 도전형을 나타내는 에미터층(114)을 포함하여 pn 접합을 형성할 수 있다. 그리고 베이스 영역(112)의 후면에는 전자와 정공의 재결합을 방지하기 위한 전계를 형성하는 후면 전계층(116)이 형성될 수 있다. 후면 전계층(116)은 베이스 영역(112)과 동일한 제1 도전형을 나타내며, 그 농도가 베이스 영역(112)보다 높을 수 있다.
- [0017] 여기서, 에미터층(114)은 제2 도전형 불순물을 반도체 기판(110)의 전면에 이온 주입법, 열확산법 등의 다양한 방법에 의하여 도핑하여 형성될 수 있다. 그리고 후면 전계층(116)은 제1 도전형 불순물을 반도체 기판(110)의 후면에 이온 주입법, 열확산법 등의 다양한 방법에 의하여 도핑하여 형성될 수 있다. 에미터층(114) 및 후면 전계층(116)이 형성되지 않은 반도체 기판(110)의 부분이 베이스 영역(112)을 이루게 된다. 이 경우에 제1 광전 변환부(100)는, 도 1에 도시한 바와 같이, 동종 접합 방식의 광전 변환부일 수 있다.
- [0018] 다른 예로, 에미터층(114)(또는, 제2 도전형 불순물층)은 반도체 기판(110) 상에 증착 등의 방법에 의하여 형성되며 제2 도전형 불순물을 포함하는 비정질 또는 미세 결정 실리콘층일 수 있다. 후면 전계층(116)(또는, 제1 도전형 불순물층)은 반도체 기판(110) 상에 증착 등의 방법에 의하여 형성되며 제1 도전형 불순물을 포함하는 비정질 또는 미세 결정 실리콘층일 수 있다. 이 경우에는 반도체 기판(110)이 전체적으로 베이스 영역(112)을 이루게 되고, 제1 광전 변환부(100)가 이종 접합 방식의 광전 변환부일 수 있다.
- [0019] 일례로, 제1 도전형이 n형이고 제2 도전형이 p형일 수 있다. n형의 불순물로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 사용할 수 있다. p형의 불순물로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 사용할 수 있다. 그러면, 제2 광전 변환부(200)에서 가장 상부에 위치하는 층(일례로, 제2 상부층(226)이 p형의 도전형을 가져 p형의 층으로부터 광이 입사될 수 있다. 이에 의하면 광이 n형의 도전형 층으로부터 입사되는 경우에 비하여 태양 전지(10)의 특성을 좀더 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 도전형이 p형이고 제2 도전형이 n형일 수 있다.
- [0020] 도면에 도시하지는 않았지만, 반도체 기판(110)의 전면 및/또는 후면은 텍스처링(texturing)되어 피라미드 등의 형태의 요철을 가질 수 있다. 이와 같은 텍스처링에 의해 반도체 기판(110)의 전면 등에 요철이 형성되어 표면 거칠기가 증가되면, 반도체 기판(110)의 전면 등을 통하여 입사되는 광의 반사율을 낮출 수 있다. 따라서 베

스 영역(112)과 에미터층(114)의 계면에 형성된 pn 접합까지 도달하는 광량을 증가시킬 수 있어, 광 손실을 최소화할 수 있다.

- [0021] 본 실시예에서 에미터층(114)은 전체적으로 균일한 도핑 농도를 가지는 균일한 에미터(homogeneous emitter) 구조를 가질 수 있다. 즉, 에미터층(114)이 전극(400)에 직접 접촉하지 않기 때문에, 전극(400)에 접촉되는 부분에서 저항을 낮추기 위하여 형성되는 고농도 부분을 형성하지 않아도 된다. 이에 따라 에미터층(114)을 얇은 에미터(shallow emitter)로 구현할 수 있다. 이에 의하여 태양 전지(10)의 전류 밀도를 향상할 수 있다.
- [0022] 본 실시예에서 후면 전계층(116)은 높은 불순물 농도를 가져 상대적으로 낮은 저항을 가지는 제1 부분(116a)과, 제1 부분(116a)보다 낮은 불순물 농도를 가져 상대적으로 높은 저항을 가지는 제2 부분(116b)을 가질 수 있다. 제1 부분(116a)은 제2 전극(420)의 일부 또는 전체(즉, 적어도 일부)에 접촉 형성되도록 형성된다.
- [0023] 이와 같이, 본 실시예에서는 제2 전극(420) 사이에 대응하는 부분에 상대적으로 높은 저항의 제2 부분(116b)를 형성하여 정공과 전자의 재결합을 방지할 수 있다. 이에 의하여 태양 전지(10)의 전류 밀도를 향상할 수 있다. 이와 함께, 제2 전극(420)과 인접하는 부분에 상대적으로 낮은 저항의 제1 부분(116a)을 형성하여 제2 전극(420)과의 접촉 저항을 저감시킬 수 있다. 즉, 본 실시예의 후면 전계층(116)은 선택적 후면 전계 구조에 의하여 태양 전지(10)의 효율을 최대화할 수 있다.
- [0024] 그러나 본 발명이 이에 한정되는 것은 아니며 후면 전계층(116)이 균일한 도핑 농도를 가지는 균일한 후면 전계(homogeneous back surface field) 구조를 가질 수도 있다. 또는, 후면 전계층(116)이 반도체 기판(110)의 후면에서 제2 전극(420)과 인접한 부분에서만 국부적으로 형성되는 국부적 후면 전계(local back surface field) 구조를 가질 수도 있다.
- [0025] 패시베이션 막(118)은 제2 전극(420)이 형성된 부분을 제외하고 실질적으로 반도체 기판(110)의 후면 전체에 형성될 수 있다. 이러한 패시베이션 막(118)은 반도체 기판(110)의 후면에 존재하는 결함을 부동화하여 소수 캐리어의 재결합 사이트를 제거할 수 있다. 이에 의하여 태양 전지(10)의 개방 전압을 증가시킬 수 있다.
- [0026] 이러한 패시베이션 막(118)은 광이 투과될 수 있도록 투명한 절연 물질로 이루어질 수 있다. 따라서, 이러한 패시베이션 막(118)을 통하여 반도체 기판(110)의 후면을 통해서도 광이 입사될 수 있도록 하여 태양 전지(10)의 효율을 향상할 수 있다. 일례로, 패시베이션 막(118)은 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, MgF₂, ZnS, TiO₂ 및 CeO₂로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 패시베이션 막(118)이 다양한 물질을 포함할 수 있음은 물론이다.
- [0027] 이러한 반도체 기판(110)을 포함하는 제1 광전 변환부(100)의 밴드 갭은 1.0eV 내지 1.2eV일 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 반도체 기판(110)의 구성 물질에 따라서 밴드 갭이 달라질 수 있다.
- [0028] 반도체 기판(110)의 전면(좀더 정확하게는 에미터층(114)) 위에 접합층(300)이 형성되어 제1 광전 변환부(100)와 제2 광전 변환부(200)를 연결한다. 도면에서는 접합층(300)이 에미터층(114) 및 제2 광전 변환부(200)에 직접 접촉하는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니다.
- [0029] 접합층(300)은 우수한 전기 전도 특성을 가지는 물질을 포함하며 제1 광전 변환부(100)와 제2 광전 변환부(200)를 우수한 전기적 특성을 가지도록 연결할 수 있다. 또한, 접합층(300)은 반사 특성을 가져서 태양 전지(10)의 전면에서 입사된 광이 접합층(300)에 도달할 때 일부 광을 다시 제2 광전 변환부(200) 쪽으로 반사하고 나머지 광은 제1 광전 변환부(100)로 향하게 한다. 제2 광전 변환부(200) 쪽으로 반사된 광은 제1 전극(410)의 투명 전극층(412)과 공기 사이의 계면에서 발생하는 전반사에 의하여 다시 태양 전지(10) 내부로 다시 흡수된다. 이에 따라 태양 전지(10)의 전면과 접합층(300) 사이에서 광이 반복하여 이동할 수 있게 된다. 이는 흡수하는 파장이 커질수록 흡수 계수가 작아짐을 고려하여, 흡수하는 파장이 상대적으로 큰 제2 광전 변환부(200)에 흡수되는 광의 양을 증가하기 위한 것이다.
- [0030] 일례로, 접합층(300)은 비정질 매트릭스(320)에 제1 도전형으로 도핑된 미세 결정 반도체(310)가 석출되어 형성될 수 있다.
- [0031] 이때, 비정질 매트릭스(320)는 비정질 실리콘 산화물 또는 비정질 실리콘 탄화물로 이루어질 수 있다. 이와 같이 비정질 매트릭스(320)가 실리콘 기반의 물질로 형성되어 제1 광전 변환부(100)와 제2 광전 변환부(200)와 유사한 특성을 가져 우수한 접합 특성을 가지도록 하면서, 굴절률을 낮출 수 있는 탄소 또는 산소를 더 포함하여 반사 특성이 우수하게 조절될 수 있다. 탄소 또는 산소를 포함하는 접합층(300)은 1.6 내지 1.9의 낮은 굴절

를 가질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 접합층(300)의 굴절률 등은 다양하게 변화될 수 있다.

- [0032] 미세 결정 반도체(310)는 전기적 특성을 향상하기 위한 것으로서, 일례로 미세 결정 실리콘일 수 있다. 즉, 미세 결정 반도체(310)는 터널링(tunneling) 현상에 의하여 전하가 잘 흐르게 하기 위한 것이다. 접합층(300)에서 미세 결정 반도체(310)의 부피 분율이 5% 내지 30% 일 수 있다. 미세 결정 반도체(310)의 부피 분율이 5% 미만이면 전기적 특성을 향상하는 효과가 크지 않을 수 있다. 미세 결정 반도체(310)의 부피 분율이 30%를 초과하면, 제조에 어려움이 있을 수 있다.
- [0033] 이러한 접합층(300)의 두께는 50nm 내지 200nm일 수 있다. 접합층(300)의 두께가 200nm를 초과하면 재료 비용, 제조 공정의 시간 등이 증가될 수 있다. 접합층(200)의 두께가 50nm 미만이면 접합층(300)에 의한 효과가 충분하지 않을 수 있다.
- [0034] 접합층(300)은 다양한 방법에 의하여 형성될 수 있다. 일례로, 접합층(300)은 증착 등의 방법에 의하여 형성될 수 있다. 비정질 매트릭스(320) 내에 미세 결정 반도체(310)를 석출하는 방법으로는 다양한 방법이 적용될 수 있다. 일례로, 화학 기상 증착법(CVD)를 이용하여 비정질 실리콘 층을 형성할 때 공정 조건(일례로, 전력, 압력, 원료 가스의 혼합 비율)을 최적화하는 것에 의하여 미세 결정 반도체(310)가 석출되도록 할 수 있다.
- [0035] 화학 기상 증착법을 이용하여 상술한 접합층(300)의 일 예를 형성하는 방법을 좀더 상세하게 설명한다. 챔버 내를 진공 상태로 유지하면서 실란 가스(SiH_4), 이산화탄소 가스(CO_2), 수소 가스(H_2)를 유입하면서 전극에 전압을 인가하여 비정질 실리콘 산화물로 구성되는 비정질 매트릭스(320) 상에 실리콘으로 구성되는 미세 결정질 반도체(310) 형성할 수 있다. 이때, 접합층(300)이 원하는 도전형을 가질 수 있도록 도전형 불순물을 제공하기 위한 가스(일례로, PH_3 , B_2H_6) 등이 같이 유입될 수 있다.
- [0036] 실란 가스 및 이산화탄소 가스는 각각 실리콘 산화물을 구성하는 실리콘 및 산소를 각기 제공하기 위하여 공급되는 것인데, 본 발명이 이에 한정되는 것은 아니며 실리콘 및 산소를 각기 제공하기 위한 다른 가스를 제공할 수도 있다. 일례로, 산소를 제공하기 위한 다른 가스로는 산소 가스(O_2), 산화 질소 가스(N_2O), 일산화탄소 가스(CO) 등을 사용할 수 있다. 수소 가스는 막 내에서 덩글링 본드(dangling bond) 등과 같은 결함을 줄이는 역할을 함과 동시에 미세 결정질 반도체(310)를 형성하는 역할 및 굴절률을 조절하는 역할을 한다. 좀더 상세하게는, 수소 가스의 양이 많아질 수록 미세 결정질 반도체(310)의 생성을 촉진하고, 미세 결정질 반도체(310)이 많아지면 굴절률이 높아지게 된다.
- [0037] 이때, 화학 기상 증착 시 사용되는 전력은 대략 0.1 내지 0.3 W/cm^2 일 수 있다. 전력이 0.3 W/cm^2 을 초과하면 생성된 접합층(300)의 결함이 많아질 수 있고, 전력이 0.1 W/cm^2 미만이면 미세 결정질 반도체(310)가 충분하게 형성되지 않을 수 있다.
- [0038] 실란 가스에 대한 수소 가스의 비율(H_2/SiH_4)이 100~350일 수 있다. 상기 비율(H_2/SiH_4)이 350을 초과할 경우에는 증착 속도가 낮아질 수 있고, 상기 비율(H_2/SiH_4)이 100미만일 경우에는 미세 결정질 반도체(310)가 충분하게 만들어지지 않을 수 있다.
- [0039] 그리고 실란 가스에 대한 이산화탄소 가스의 비율(CO_2/SiH_4)이 2이상(좀더 구체적으로는 2 내지 5)일 수 있다. 상기 비율(CO_2/SiH_4)이 2 미만이면 원하는 굴절률을 가지기 어려울 수 있다. 상기 비율(CO_2/SiH_4)이 5를 초과하면 미세 결정질 반도체(310)가 충분하게 만들어지지 않을 수 있다.
- [0040] 그러나 상술한 수치 범위 들은 일 예로서 제시된 것일 뿐, 본 발명이 이에 한정되는 것은 아니다. 즉, 원료 가스의 종류, 공급되는 전력 등이 달라지거나, 생성된 접합층(300)에서 요구되는 굴절률, 성분 등의 차이가 발생하면, 이에 따라 상술한 수치 범위들은 다양하게 변경될 수 있다.
- [0041] 본 실시예에서 접합층(300) 상에는 비정질 반도체(일례로, 비정질 실리콘) 기반의 제2 광전 변환부(200)가 위치할 수 있다. 이때, 본 실시예에서는 제2 광전 변환부(200)가 서로 다른 밴드갭을 가지는 복수의 변환 부분(210, 220)을 포함한다. 본 실시예에서 복수의 변환 부분(210, 220)은 접합층(300) 상에 차례로 위치하는 제1 변환 부분(210)과 제2 변환 부분(220)을 포함한다. 이때, 제1 변환 부분(210)은 접합층(300) 상에 차례로 형성되는 제1 하부층(212), 제1 진성층(214), 제1 상부층(216)을 포함할 수 있고, 제2 변환 부분(220)은 제1 변환 부분(210) 상에 차례로 형성되는 제2 하부층(222), 제2 진성층(224), 제2 상부층(226)을 포함할 수 있다.

- [0042] 이에 의하여 제1 및 제2 진성층(214, 224)이 각기 박막 품질이 저하되지 않는 두께(일례로, 500nm 이하)를 가지면서도, 제1 광전 변환부(100)와 전류 밀도의 균형을 이루도록 한다. 제1 및 제2 진성층(214, 244)의 두께의 하한은 한정되지 않으나, 광 흡수가 충분히 일어날 수 있도록 최소 5nm(좀더 상세하게는 50nm)의 두께를 가질 수 있다. 일례로, 제1 광전 변환부(100)의 전류 밀도에 대한 제1 변환 부분(210)의 전류 밀도의 비율이 0.8 내지 1.2일 수 있고, 제1 광전 변환부(100)의 전류 밀도에 대한 제2 변환 부분(220)의 전류 밀도의 비율이 0.8 내지 1.2일 수 있다. 이때, 0.8 내지 1.2는 전류 밀도의 균형이 이루어졌다고 판단하는 기준으로 제시한 것이나, 본 발명이 이에 한정되는 것은 아니다. 따라서, 경우에 따라서 전류 밀도의 균형을 판단하는 기준은 달라질 수 있다. 본 실시예에서는 전류 밀도의 균형 및 제1 및 제2 진성층(214, 224)의 두께에 의하여 태양 전지(10)의 효율을 최대화할 수 있는데 이에 대해서는 추후에 다시 상세하게 설명한다.
- [0043] 제1 변환 부분(210)의 제1 하부층(212)은 제1 도전형의 불순물을 포함하는 미세 결정 실리콘 또는 비정질 실리콘일 수 있다. 즉, 제1 하부층(212)은 베이스 영역(112) 및 접합층(300)과 동일한 도전형의 불순물을 포함한다. 일례로, 제1 하부층(212)이 n형의 불순물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 베이스 영역(112) 및 접합층(300)이 p형을 나타낼 경우에는 제1 하부층(212)이 p형의 불순물을 포함할 수 있다.
- [0044] 제1 하부층(212)은 5~40nm(일례로, 10~30nm)의 두께를 가질 수 있다. 이는 제1 진성층(214) 및 제2 상부층(216)에 의하여 pin 접합 구조를 형성하기에 적합한 두께로 한정된 것이나, 본 발명이 이에 한정되는 것은 아니다. 따라서 제1 하부층(212)은 다양한 두께를 가질 수 있다.
- [0045] 제1 진성층(214)은 광전 변환에 직접 관여하는 층으로서, 제1 진성층(214)의 밴드 갭과 두께에 의하여 제1 변환 부분(210)의 전류 밀도가 달라지게 된다.
- [0046] 제1 진성층(214)은 제1 광전 변환부(100)의 결정질 실리콘의 밴드 갭보다 큰 밴드 갭을 가지고 제2 진성층(224)보다 작은 밴드 갭을 가진다. 일례로, 제1 변환 부분(210)의 제1 진성층(214)은 1.2eV 내지 1.6eV(예를 들어, 1.3eV 내지 1.5eV)의 밴드 갭을 가질 수 있다. 이와 같이 제2 변환 부분(220)보다 낮은 밴드 갭을 가질 수 있도록 제1 진성층(214)은 밴드 갭을 낮출 수 있는 원소(일례로, 게르마늄)를 포함할 수 있다. 일례로, 제1 진성층(214)에서 게르마늄의 원자 함량비가 15% 내지 40%가 될 수 있다. 이러한 게르마늄의 원자 함량비는 제1 진성층(214)이 1.2eV 내지 1.6eV(예를 들어, 1.3eV 내지 1.5eV)의 밴드 갭을 가질 수 있도록 하기 위한 범위로 한정된 것이다.
- [0047] 제1 진성층(214)은, 제1 광전 변환부(100), 제2 진성층(224)의 밴드 갭 및 두께를 고려하여 전류 밀도가 균형을 이룰 수 있도록 하면서 박막 품질이 저하되지 않는 두께(T1)를 가질 수 있다. 이때, 제1 진성층(214)의 두께(T1)는 제2 진성층(224)의 두께(T2)보다 클 수 있다. 즉, 제1 진성층(214)의 밴드 갭이 제2 진성층(224)의 밴드 갭보다 작은 것을 고려하여, 제1 진성층(214)의 두께(T1)를 제2 진성층(224)보다 크게 하여 전류 밀도의 균형을 맞춘다. 일례로, 제1 변환 부분(210)의 제1 진성층(214)의 두께(T1)는 100nm~350nm(예를 들어, 150~300nm)일 수 있다.
- [0048] 제1 상부층(216)은 제2 도전형의 불순물을 포함하는 비정질 실리콘일 수 있다. 즉, 제1 상부층(216)은 에미터층(114)과 동일한 도전형의 불순물을 포함한다. 일례로, 제1 상부층(216)에 p형의 불순물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 에미터층(114)이 n형을 나타낼 경우에는 제1 상부층(216)이 n형의 불순물을 포함할 수 있다.
- [0049] 이때, 제1 상부층(216)의 비정질 실리콘은 탄소나 산소를 포함할 수 있다. 이와 같이 탄소, 산소 등을 포함하면 밴드 갭을 높일 수 있어 제1 진성층(214)에서 제2 진성층(224)으로 향하면서 밴드 갭이 단계적으로 높아질 수 있도록 한다.
- [0050] 제1 상부층(216)은 5~30nm(일례로, 10~20nm)의 두께를 가질 수 있다. 이는 제1 하부층(212) 및 제1 진성층(214)에 의하여 pin 또는 nip 접합 구조를 형성하기에 적합한 두께로 한정된 것이나, 본 발명이 이에 한정되는 것은 아니다. 따라서 제1 상부층(216)은 다양한 두께를 가질 수 있다.
- [0051] 제2 변환 부분(220)의 제2 하부층(222)은 제1 도전형의 불순물을 포함하는 미세 결정 실리콘 또는 비정질 실리콘일 수 있다. 즉, 제2 하부층(222)은 베이스 영역(112) 및 접합층(300)과 동일한 도전형의 불순물을 포함한다. 일례로, 제2 하부층(222)이 n형의 불순물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 베이스 영역(112) 및 접합층(300)이 p형을 나타낼 경우에는 제2 하부층(222)이 p형의 불순물을 포함할 수 있다.

- [0052] 제2 하부층(222)은 5~40nm(일례로, 10~30nm)의 두께를 가질 수 있다. 이는 제2 진성층(224) 및 제2 상부층(216)에 의하여 pin 또는 nip 접합 구조를 형성하기에 적합한 두께로 한정된 것이나, 본 발명이 이에 한정되는 것은 아니다. 따라서 제2 하부층(222)은 다양한 두께를 가질 수 있다.
- [0053] 제2 진성층(224)은 광전 변환에 직접 관여하는 층으로서, 제2 진성층(224)의 밴드 갭과 두께에 의하여 제2 변환 부분(220)의 전류 밀도가 달라지게 된다.
- [0054] 제2 진성층(224)은 제1 광전 변환부(100)의 결정질 실리콘의 밴드 갭 및 제1 진성층(214)의 밴드 갭보다 큰 밴드 갭을 가진다. 일례로, 제2 변환 부분(220)의 제2 진성층(224)은 1.6eV 내지 1.9eV(예를 들어, 1.6eV 내지 1.8eV)의 밴드 갭을 가질 수 있다. 제1 진성층(214)은 상대적으로 큰 밴드 갭을 가지도록 하기 위하여 별도의 불순물(일례로, 게르마늄) 등이 도핑되지 않을 수 있다.
- [0055] 제2 진성층(224)은, 제1 광전 변환부(100), 제1 진성층(124)의 밴드 갭 및 두께(T1)를 고려하여 전류 밀도가 균형을 이룰 수 있도록 하면서 박막 품질이 저하되지 않는 두께(T2)를 가질 수 있다. 이때, 상술한 바와 같이, 제2 진성층(224)의 두께(T2)는 제1 진성층(214)의 두께(T1)보다 작을 수 있다. 일례로, 제2 변환 부분(220)의 제2 진성층(224)의 두께(T2)는 50nm~300nm(예를 들어, 100~250nm, 일례로, 100~150nm)일 수 있다.
- [0056] 제2 상부층(226)은 제2 도전형의 불순물을 포함하는 비정질 실리콘일 수 있다. 즉, 제2 상부층(226)은 에미터층(114)과 동일한 도전형의 불순물을 포함한다. 일례로, 제2 상부층(226)에 p형의 불순물을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 에미터층(114)이 n형을 나타낼 경우에는 제2 상부층(226)이 n형의 불순물을 포함할 수 있다.
- [0057] 이때, 제2 상부층(226)의 비정질 실리콘은 탄소나 산소를 포함할 수 있다. 이와 같이 탄소, 산소 등을 포함하면 밴드 갭을 높일 수 있어 제2 진성층(224)에서 제2 상부층(226)으로 향하면서 밴드 갭이 단계적으로 높아질 수 있도록 한다.
- [0058] 제2 상부층(226)은 5~30nm(일례로, 10~20nm)의 두께를 가질 수 있다. 이는 제2 하부층(222) 및 제2 진성층(224)에 의하여 pin 또는 nip 접합 구조를 형성하기에 적합한 두께로 한정된 것이나, 본 발명이 이에 한정되는 것은 아니다. 따라서 제2 상부층(226)은 다양한 두께를 가질 수 있다.
- [0059] 상술한 제1 및 제2 변환 부분(210, 220)의 각 층들은 다양한 방법, 일례로, 증착 등의 방법에 의하여 형성될 수 있다.
- [0060] 제2 광전 변환부(200)의 위에는 제2 광전 변환부(200)에 전기적으로 연결되어 전하를 수집하는 제1 전극(410)이 위치한다. 본 실시예에서 제1 전극(410)은, 제2 광전 변환부(200) 위에 형성되는 투명 전극층(412)와, 투명 전극층(412) 위에 형성되어 전기 전도성을 향상하기 위한 금속 전극(414)을 포함한다.
- [0061] 투명 전극층(412)은 제2 광전 변환부(200) 상에서 전체적으로 형성될 수 있다. 투명 전극층(412)은 인듐 산화물, 아연 산화물 계열의 전도성 산화물을 포함할 수 있다. 이때, 일례로 투명 전극층(412)의 두께는 100nm 내지 300nm일 수 있다. 투명 전극층(412)의 두께가 100nm 미만이면 전기적 특성이 우수하지 않을 수 있고, 투명 전극층(412)의 두께가 300nm를 초과하면 투과도가 낮아질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 투명 전극층(412)이 다양한 두께를 가질 수 있다.
- [0062] 투명 전극층(412) 상에는 패턴을 가지도록 금속 전극(414)이 형성된다. 금속 전극(414)은 우수한 전기 전도성을 가져 저항을 낮추는 역할을 한다. 금속 전극(414)은 저항이 낮고 전기 전도성이 우수한 금속을 포함할 수 있고, 일례로, 구리, 은, 금, 백금 등을 포함할 수 있다. 본 실시예에서 금속 전극(414)이 위치한 면 쪽이 전면으로 많은 광이 입사되는바, 금속 전극(414)은 광의 입사를 방해하지 않는 형상을 가질 수 있다.
- [0063] 일례로, 도 2를 참조하면, 금속 전극(414)은 제1 피치(P1)를 가지면서 서로 평행하게 배치되는 복수의 핑거 전극(414a)을 포함할 수 있다. 이와 함께 금속 전극(414)은 핑거 전극들(414a)과 교차하는 방향으로 형성되어 핑거 전극(414a)을 연결하는 버스바 전극(414b)을 포함할 수 있다. 이러한 버스바 전극(414b)은 하나만 구비될 수도 있고, 도 2에 도시된 바와 같이, 제1 피치(P1)보다 더 큰 제2 피치(P2)를 가지면서 복수 개로 구비될 수도 있다. 이때, 핑거 전극(414b)의 폭(W1)보다 버스바 전극(414b)의 폭(W2)이 클 수 있으나, 본 발명이 이에 한정되는 것은 아니며 동일한 폭을 가질 수 있다. 상술한 금속 전극(414)의 형상은 일례로 제시한 것에 불과하며, 본 발명이 이에 한정되는 것은 아니다.
- [0064] 이러한 투명 전극층(412)은, 일례로, 증착, 스퍼터 등에 의하여 형성될 수 있고, 금속 전극(414)은, 일례로, 증

착, 스퍼터, 도금, 인쇄 등에 의하여 형성될 수 있다.

- [0065] 반도체 기판(110)의 후면에는 후면 전계층(116)에 연결되는 제2 전극(420)이 형성된다. 제2 전극(420)은 제1 전극(410)과 유사하게 평평 전극과 버스바 전극을 포함하여 후면에서도 광이 입사되도록 할 수 있다. 이 경우에 태양 전지(10)는 양면 수광형 태양 전지(bi-facial solar cell)을 구성하게 된다. 이러한 제2 전극(420)은 증착, 스퍼터, 도금, 인쇄 등에 의하여 형성될 수 있다.
- [0066] 본 발명은 상술한 제2 전극(420)의 형상에 한정되는 것은 아니다. 다른 예에 대해서는 추후에 도 8을 참조하여 좀더 상세하게 설명한다.
- [0067] 본 실시예에서는 결정질 실리콘 기반의 제1 광전 변환부(100)와 비정질 실리콘 기반의 제2 광전 변환부(200)가 접합층(300)에 의하여 접합되어 있다. 이때, 결정질 실리콘을 기반으로 하는 제1 광전 변환부(100)보다 비정질 실리콘 기반의 제2 광전 변환부(200)가 더 큰 밴드 갭을 가지게 된다. 이에 따라 제1 광전 변환부(100)는 상대적으로 낮은 밴드갭을 가져 장파장을 효과적으로 흡수할 수 있고, 제2 광전 변환부(200)는 상대적으로 큰 밴드갭을 가져 단파장 또는 중파장을 흡수할 수 있다. 그리고 제2 광전 변환부(200)는 서로 다른 밴드갭을 가지는 제1 변환 부분(210)과 제2 변환 부분(220)을 구비하여 제1 광전 변환부(100)와 제2 광전 변환부(200)에서의 전류 밀도를 균일한 수준으로 유지할 수 있도록 한다.
- [0068] 좀더 상세하게, 반도체 기판(10)의 전면을 통하여 광이 입사되면 제2 변환 부분(220)에서 장파장을 흡수하여 광전 변환에 의하여 전자 및 정공을 생성한다. 이때, 정공은 제1 전극(410) 쪽으로 이동하여 수집되고, 전자는 제1 변환 부분(210) 및 제1 광전 변환부(100)를 거쳐 제2 전극(420) 쪽으로 이동하여 수집된다.
- [0069] 제1 변환 부분(210)은 제2 변환 부분(220)를 통과한 광 중에 중파장을 흡수하여 광전 변환에 의하여 전자 및 정공을 생성한다. 이때, 정공은 제2 변환 부분(220)을 거쳐 제1 전극(410) 쪽으로 이동하여 수집되고, 전자는 제1 광전 변환부(100)를 거쳐 제2 전극(420) 쪽으로 이동하여 수집된다.
- [0070] 제1 광전 변환부(100)는 제2 광전 변환부(200)를 통과한 광 중에 단파장을 흡수하여 광전 변환에 의하여 전자 및 정공을 생성한다. 이때, 정공은 제2 광전 변환부(200)를 거쳐 제1 전극(410) 쪽으로 이동하여 수집되고, 전자는 제2 전극(420) 쪽으로 이동하여 수집된다.
- [0071] 이와 같이 본 실시예에서는 광의 다양한 파장을 모두 사용할 수 있어 일부 파장을 사용할 수 없어서 발생하는 효율 손실을 방지할 수 있다. 특정한 범위의 파장을 사용할 수 없어 발생하는 효율 손실은 전체 효율 손실 중에 50% 이상에 해당하는 것이다. 따라서 본 실시예에서는 이러한 효율 손실을 방지하여 태양 전지(10)의 효율을 크게 향상할 수 있다.
- [0072] 또한, 본 실시예에서는 제2 광전 변환부(200)가 제1 및 제2 변환 부분(210, 220)을 포함하여 제1 광전 변환부(100)와 전류 밀도를 유사한 수준으로 유지하면서도 제1 및 제2 변환 부분(220)의 두께가 지나치게 커지는 것을 방지할 수 있다. 일례로, 제1 및 제2 변환 부분(210, 220)(특히, 제1 및 제2 진성층(214, 224))의 두께가 500nm 이하가 되도록 하여 500nm를 초과하는 두께에서 발생할 수 있는 비정질 실리콘의 박막 품질 저하를 방지할 수 있다.
- [0073] 여기서, 제1 및 제2 변환 부분(220)의 밴드 갭을 고려하여 제1 변환 부분(210)의 제1 진성층(214)의 두께를 제2 변환 부분(220)의 제2 진성층(224)의 두께보다 크게 하여, 제1 광전 변환부(100), 제1 변환 부분(210) 및 제2 변환 부분(220)에서 전류 밀도가 유사한 수준(일례로, 전류 밀도 비율이 0.8 내지 1.2)을 가지도록 할 수 있다. 이를 구체적인 수치를 제시하여 이하에서 좀더 상세하게 설명한다.
- [0074] 도 3는 결정질 실리콘 기반의 제1 광전 변환부만을 포함하는 태양 전지의 일례의 회로이다. 도 4은 결정질 실리콘 기반의 제1 광전 변환부와 비정질 실리콘 기반의 제2 변환 부분을 포함하는 제2 광전 변환부를 포함하는 태양 전지의 일례의 회로이다. 도 5는 결정질 실리콘 기반의 제1 광전 변환부와 비정질 실리콘 기반의 제1 및 제2 변환 부분을 포함하는 제2 광전 변환부를 포함하는 태양 전지의 일례의 회로이다. 이때, 전체 전류 밀도를 38mV/cm^2 라 가정하고, 충전률은 1.0로 가정한다. 그리고 제1 광전 변환부(100)의 밴드 갭을 1.1eV, 개방 전압을 0.6 V으로 가정하고, 제1 변환 부분(210)의 밴드 갭을 1.4eV, 개방 전압을 0.8 V으로 가정하며, 제2 변환 부분(220)의 밴드 갭을 1.7eV, 개방 전압을 1V로 가정한다. 그리고 도 4과 도 5에서 제2 변환 부분의 두께는 500nm 이하로서 서로 동일하다.
- [0075] 도 3를 참조하면, 제1 광전 변환부(100)만을 포함하는 경우에는, 전류 밀도는 38mV이고 개방 전압이 0.6eV이브

로, 효율은 전류 밀도($38\text{mV}/\text{cm}^2$), 개방 전압(0.6eV), 충전률(1)의 곱인 22.8%가 된다.

[0076] 도 4을 참조하면, 제1 광전 변환부(100)와 제2 변환 부분(220)을 포함하는 경우에는, 개방 전압은 제1 광전 변환부(100)의 개방 전압인 0.6eV 과 제2 변환 부분(220)의 개방 전압인 1.0eV 의 합인 1.6eV 이 된다. 그리고 전류 밀도는 제1 광전 변환부(200)에서 $26\text{mA}/\text{cm}^2$ 가 되고 제2 부분에서 $12\text{mA}/\text{cm}^2$ 가 된다. 그러면 전체 전류 밀도는 작은 전류 밀도인 $12\text{mA}/\text{cm}^2$ 가 된다. 따라서, 효율은 전류 밀도($12\text{mV}/\text{cm}^2$), 개방 전압(1.6eV), 충전률(1)의 곱인 19.2%가 된다. 따라서 제2 변환 부분(220)을 더 형성하였음에도 효율은 오히려 저하되게 된다. 이러한 현상은 전류 불균형에 의하여 전류 생성이 불리한 제2 변환 부분의 전류 밀도가 전체 전류 밀도가 되기 때문에 발생된다.

[0077] 즉, 결정질 실리콘 기반의 제1 광전 변환부(100)와 비정질 실리콘 기반의 제2 변환 부분(220)을 포함하는 경우에는, 전류 생성에 불리하여 전류 밀도가 낮은 제2 변환 부분(220)의 전류 밀도가 태양 전지 전체의 전류 밀도가 된다. 따라서 개방 전압이 증가한다고 하여도 전류 밀도가 더 많이 저하되어 태양 전지 전체의 효율은 오히려 저하된다.

[0078] 전류 밀도의 균형을 맞추기 위해서는 제2 변환 부분(220)을 500nm 를 초과하는 두께로 형성하게 될 경우의 문제점을 도 6을 참조하여 설명한다. 도 6는 비정질 실리콘 박막의 두께에 따른 전류 밀도 및 박막 품질의 경향을 보여주는 그래프이다. 도 6을 참조하면, 비정질 실리콘 박막의 두께가 500nm 를 초과하게 되면 전류 밀도는 더 이상 증가되지 않고 박막 품질은 심각하게 저하되는 것을 알 수 있다. 막 품질은 충전률과 관계되는 인자이므로, 비정질 실리콘 박막의 두께가 500nm 를 초과하면 전류 밀도의 상승 효과는 기대할 수 없으며 충전률만 저하된다. 따라서, 전류의 균형을 맞추기 위하여 비정질 실리콘 박막의 두께가 500nm 를 초과하게 되면 태양 전지의 효율이 오히려 저하되게 된다.

[0079] 도 6에 도시한 바와 같이, 본 실시예에서와 같이 제1 광전 변환부(100)와 복수의 변환 부분(210, 220)을 포함하는 제2 광전 변환부(200)를 포함하는 경우에, 개방 전압은 제1 광전 변환부(100)의 개방 전압인 0.6eV , 제1 변환 부분(210)의 개방 전압인 0.8eV , 제2 변환 부분(220)의 개방 전압인 1.0eV 의 합인 2.4eV 이 된다. 그리고 전류 밀도는 제1 광전 변환부(100)에서 $14\text{mA}/\text{cm}^2$ 가 되고, 제1 변환 부분(210)에서 $12\text{mA}/\text{cm}^2$ 가 되며, 제2 변환 부분(220)에서 $12\text{mA}/\text{cm}^2$ 가 된다. 이러한 전류 밀도는 제1 및 제2 진성층(214, 224)의 밴드 갭과 두께를 조절하여 얻은 결과일 수 있다. 그러면 전체 전류 밀도는 가장 작은 전류 밀도인 $12\text{mA}/\text{cm}^2$ 가 된다. 따라서, 태양 전지(10)의 효율은 전류 밀도($12\text{mV}/\text{cm}^2$), 개방 전압(2.4eV), 충전률(1)의 곱인 28.8%이 된다. 따라서 앞의 두 경우에 비하여 태양 전지(10)의 효율을 크게 향상할 수 있음을 알 수 있다.

[0080] 상술한 태양 전지(100)의 제조 방법은 다음과 같다. 결정질 반도체를 포함하는 반도체 기판(110)에 도핑에 의하여 에미터층(114) 및/또는 후면 전계층(116)을 형성하여 제1 광전 변환부(100)를 형성한다. 그리고 에미터층(114) 위에 집합층(300)을 형성한다. 그리고 집합층(300) 위에 비정질 반도체를 포함하는 제2 광전 변환부(200)를 형성한다. 그리고 제2 광전 변환부(200)에 연결되는 제1 전극(410)과 반도체 기판(110)에 연결되는 제1 전극(420)을 형성한다. 제1 및 제2 전극(410, 420)의 형성은 실시예에 따라 서로 다른 단계에서 수행될 수 있다. 그리고 제2 전극(420)은 집합층(300)을 형성하기 전에 형성할 수도 있다.

[0081] 이하, 본 발명의 다른 실시예에 따른 태양 전지 및 이의 제조 방법을 상세하게 설명한다. 상술한 실시예와 동일 또는 극히 유사한 부분에 대해서는 상세한 설명을 생략하고 서로 다른 부분에 대해서는 상세한 설명을 생략한다.

[0082] 도 7은 본 발명의 다른 실시예에 따른 태양 전지의 부분 단면도이다.

[0083] 도 7을 참조하면, 본 실시예에서 제2 광전 변환부(200)는 제1 변환 부분(210), 제2 변환 부분(220) 및 제3 변환 부분(230)을 포함한다. 이에 따라 제1 내지 제3 변환 부분(210, 220, 230)의 밴드 갭 차이를 도 1의 실시예보다 줄여 좀더 많은 파장의 광을 사용할 수 있고 전류 밀도의 균형을 좀더 맞출 수 있다.

[0084] 이때, 제1 광전 변환부(210)는 집합층(300) 상에 차례로 형성되는 제1 하부층(212), 제1 진성층(214) 및 제1 상부층(216)을 포함한다. 그리고 제2 광전 변환부(220)는 제1 광전 변환부(210) 상에 차례로 형성되는 제2 하부층(222), 제2 진성층(224) 및 제1 상부층(226)을 포함한다. 그리고 제3 광전 변환부(230)는 제2 광전 변환부(220)

상에 차례로 형성되는 제3 하부층(232), 제3 진성층(234) 및 제1 상부층(236)을 포함한다.

- [0085] 제1 하부층(212)은 제1 도전형의 불순물을 포함하는 미세결정 실리콘 또는 비정질 실리콘일 수 있다. 제1 하부층(212)은 5~40nm(일례로, 10~30nm)의 두께를 가질 수 있다.
- [0086] 제1 진성층(214)은 제1 광전 변환부(100)의 결정질 실리콘의 밴드 갭보다 큰 밴드 갭을 가지고 제2 및 제3 변환 부분(220, 230)의 제2 및 제3 진성층(224, 234)보다 작은 밴드 갭을 가진다. 일례로, 제1 진성층(214)은 1.2eV 내지 1.45eV(예를 들어, 1.25eV 내지 1.35eV)의 밴드 갭을 가질 수 있다. 이를 위하여 제1 진성층(214)에서 게르마늄의 원자 함량비가 25% 내지 50%가 될 수 있다. 이러한 게르마늄의 원자 함량비는 제1 진성층(214)이 상술한 밴드 갭을 가질 수 있도록 하기 위한 범위로 한정된 것이다. 제1 진성층(214)의 두께(T1)는 100nm~350nm(예를 들어, 150~300nm)일 수 있다.
- [0087] 제1 상부층(216)은 제2 도전형의 불순물을 포함하는 비정질 실리콘일 수 있다. 이때, 제1 상부층(216)의 비정질 실리콘은 탄소나 산소를 포함할 수 있다. 그리고 제1 상부층(216)은 5~30nm(일례로, 10~25nm)의 두께를 가질 수 있다.
- [0088] 제2 하부층(222)은 제1 도전형의 불순물을 포함하는 미세결정 실리콘 또는 비정질 실리콘일 수 있다. 제1 하부층(212)은 5~40nm(일례로, 10~30nm)의 두께를 가질 수 있다.
- [0089] 제2 진성층(224)은 제1 광전 변환부(100) 및 제1 진성층(214)의 밴드 갭보다 큰 밴드 갭을 가지고 제3 진성층(234)보다 작은 밴드 갭을 가진다. 일례로, 제2 진성층(224)은 1.4eV 내지 1.6eV의 밴드 갭을 가질 수 있다. 이를 위하여 제2 진성층(224)에서 게르마늄의 원자 함량비가 10% 내지 35%가 될 수 있다. 이러한 게르마늄의 원자 함량비는 제2 진성층(224)이 상술한 밴드 갭을 가질 수 있도록 하기 위한 범위로 한정된 것이다. 제2 진성층(224)의 두께(T2)는 50nm~300nm(예를 들어, 100~250nm)일 수 있다.
- [0090] 제2 상부층(226)은 제2 도전형의 불순물을 포함하는 비정질 실리콘일 수 있다. 이때, 제2 상부층(226)의 비정질 실리콘은 탄소나 산소를 포함할 수 있다. 그리고 제2 상부층(226)은 5~30nm(일례로, 10~20nm)의 두께를 가질 수 있다.
- [0091] 제3 하부층(232)은 제1 도전형의 불순물을 포함하는 미세결정 실리콘 또는 비정질 실리콘일 수 있다. 제3 하부층(232)은 5~40nm(일례로, 10~30nm)의 두께를 가질 수 있다.
- [0092] 제3 진성층(234)은 제1 광전 변환부(100), 그리고 제1 및 제2 진성층(214, 224)의 밴드 갭보다 큰 밴드 갭을 가진다. 일례로, 제2 진성층(214)은 1.6eV 내지 1.9eV(일례로, 1.6eV 내지 1.8eV)의 밴드 갭을 가질 수 있다. 이를 위하여 제3 진성층(234)은 도핑되지 않은 비정질 실리콘으로 이루어질 수 있다. 제1 진성층(224)의 두께(T3)는 50nm~300nm(예를 들어, 100~250nm)일 수 있다.
- [0093] 제3 상부층(236)은 제2 도전형의 불순물을 포함하는 비정질 실리콘일 수 있다. 이때, 제3 상부층(236)의 비정질 실리콘은 탄소나 산소를 포함할 수 있다. 그리고 제3 상부층(236)은 5~30nm(일례로, 10~20nm)의 두께를 가질 수 있다.
- [0094] 상술한 바와 같이 본 실시예에서는 제1 내지 제3 변환 부분(210, 220, 230)를 포함하는 제2 광전 변환부(200)와 제1 광전 변환부를 포함하여 좀더 많은 파장의 광을 사용할 수 있고 전류 밀도의 균형을 좀더 맞출 수 있다.
- [0095] 도 8은 본 발명의 또 다른 실시예에 따른 태양 전지의 부분 단면도이고, 도 9는 본 발명의 또 다른 실시예에 따른 태양 전지의 부분 단면도이다.
- [0096] 상술한 실시예들에서는 후면 전계층(116)이 반도체 기판(110)에 전체적으로 형성되고 제2 전극(420)이 패턴을 가지는 것을 예시하였다. 그러나 본 발명이 이에 한정되는 것은 아니다.
- [0097] 일례로, 도 8에 도시한 바와 같이, 후면 전계층(116)이 전체적으로 균일한 두께를 가지면서 균일한 도핑 농도를 가지도록 형성될 수 있고, 제2 전극(420)이 반도체 기판(110)의 후면에서 전체적으로 형성될 수 있다. 이에 따라 제2 전극(420)에 의하여 광의 반사가 이루어지도록 하여 광의 사용량을 증가할 수 있다. 제2 전극(420)은 도금, 증착, 인쇄 등의 다양한 방법에 의하여 형성될 수 있다.
- [0098] 또는, 도 9에 도시한 바와 같이, 반도체 기판(110)의 후면에 절연막(일례로, 패시베이션 막(118))이 위치하고, 패시베이션 막(118) 위에 전체적으로 제2 전극(420)이 형성되면서 반도체 기판(110)(또는 후면 전계층(116))에 점 접촉(point contact)될 수 있다.

[0099] 즉, 제2 전극(420)은 패시베이션 막(118)을 관통하여 반도체 기판(10)의 후면 전계층(116)과 접 접촉하는 제1 부분(420a)과, 이 제1 부분(420a)에 연결되며 패시베이션 막(118) 위에 전체적으로 형성되는 제2 부분(420b)을 포함할 수 있다. 이에 따라 제1 부분(420a)에 의하여 후면 전계층(116)과 전기적으로 연결되며, 제1 부분(420a)을 제외한 부분에 형성된 패시베이션 막(118)에 의하여 패시베이션 특성을 향상할 수 있다. 그리고 패시베이션 막(118) 상에 전체적으로 형성된 제2 부분(420b)에 의하여 후면 반사를 증가시켜 광 이용률을 높일 수 있다.

[0100] 이러한 구조의 제2 전극(420) 및 후면 전계층(116)은 일레로 레이저 소성 콘택(laser firing contact)에 의하여 형성될 수 있다. 즉, 패시베이션 막(118) 위에 제2 전극(420)을 위한 층을 도금, 증착, 스크린 인쇄 등에 의하여 전체적으로 형성한다. 그리고 제1 부분(420a)을 형성할 부분에 국부적으로 레이저를 조사하면, 반도체 기판(110), 패시베이션 막(118) 및 제2 전극(420)을 위한 층이 함께 용융되어 혼합되어 제1 부분(420a)을 형성할 수 있다. 이때, 레이저의 종류, 파장, 세기 등은 패시베이션 막(118) 및 제2 전극(420)의 물질, 두께 등에 따라 달라질 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 상술한 구조의 태양 전지를 제조할 수 있다.

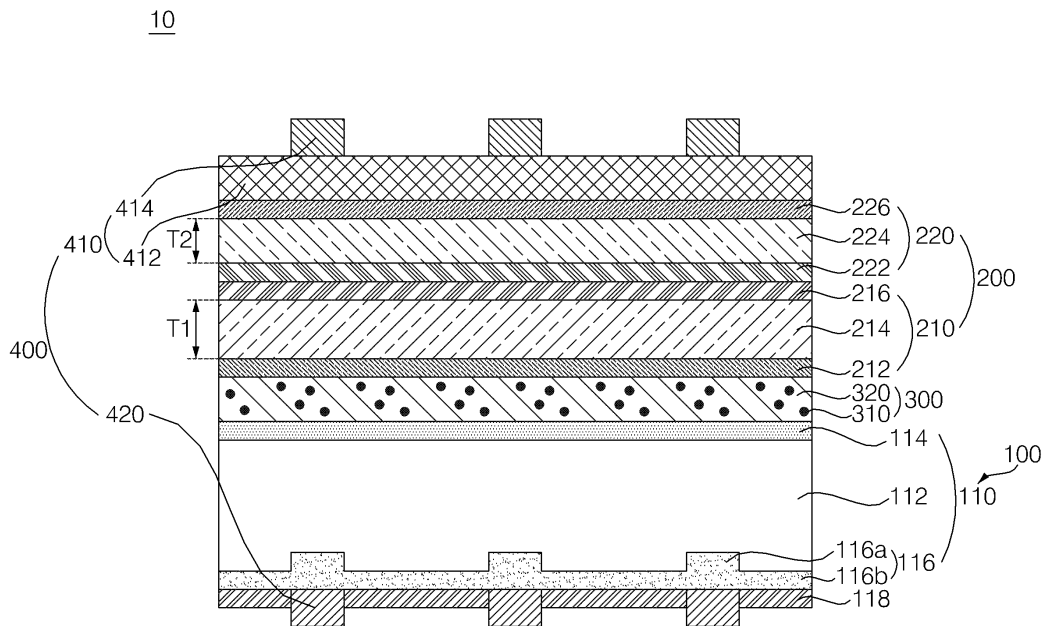
[0101] 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

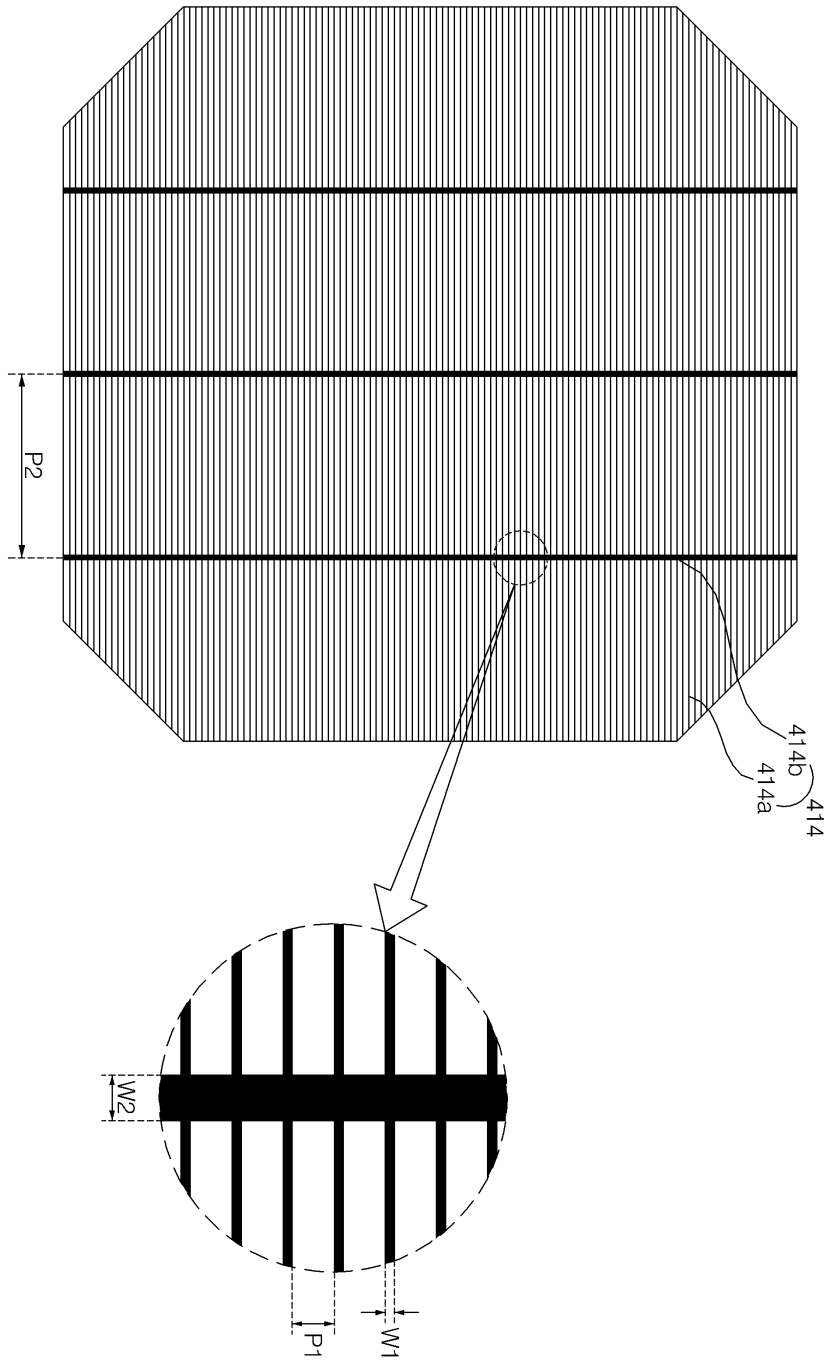
- [0102] 10: 태양 전지
- 100: 제1 광전 변환부
- 200: 제2 광전 변환부
- 300: 접합층

도면

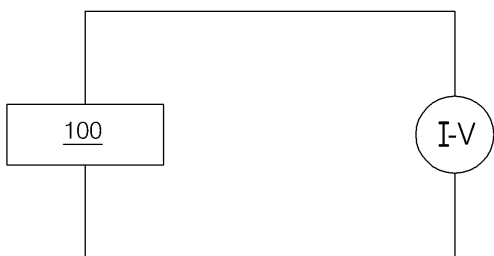
도면1



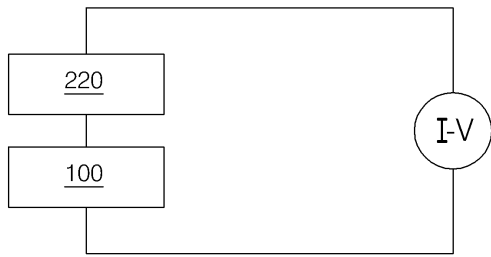
도면2



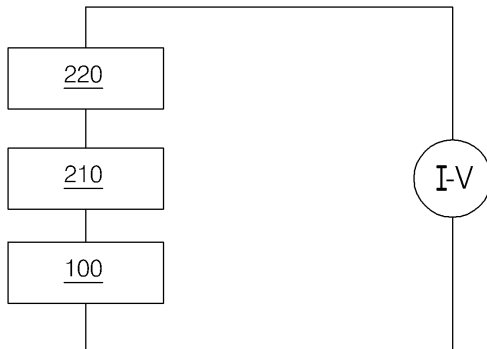
도면3



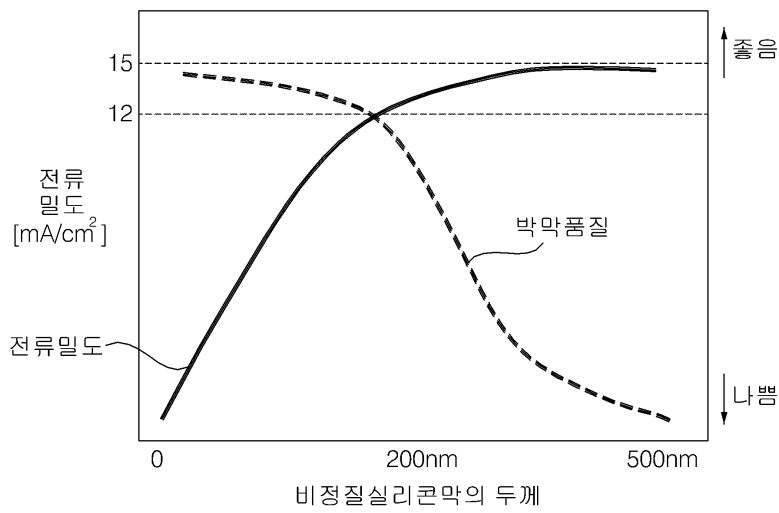
도면4



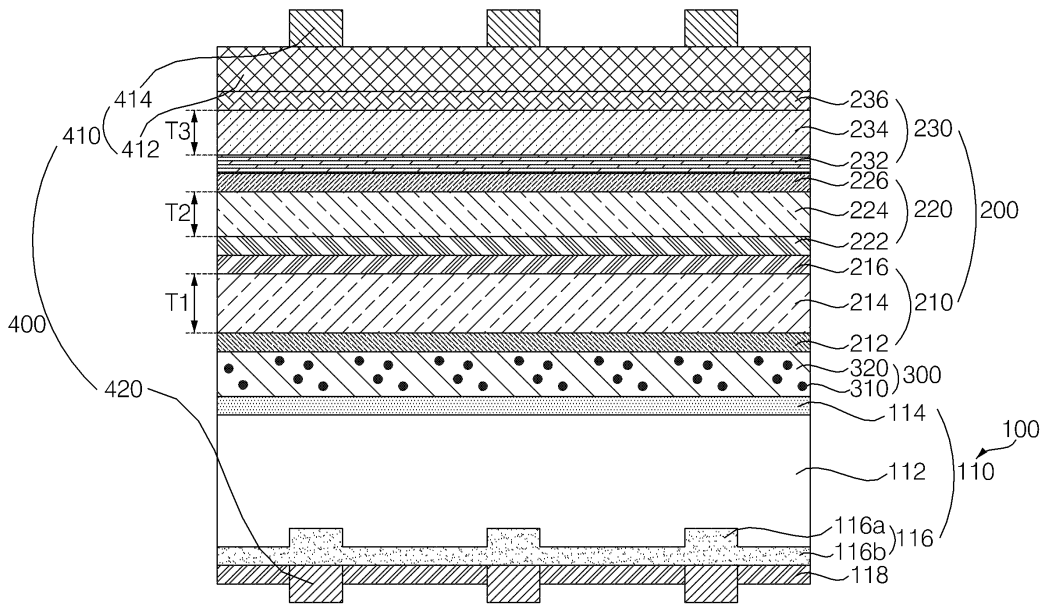
도면5



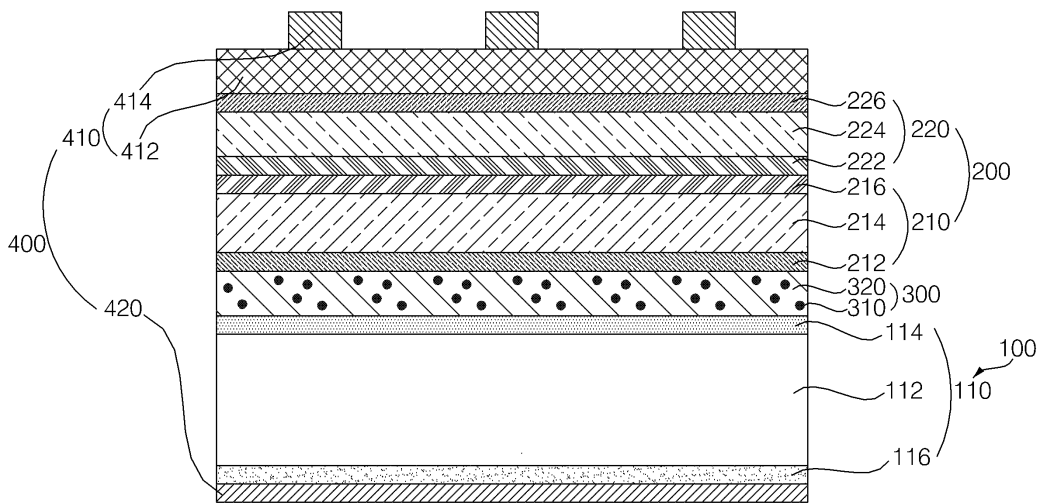
도면6



도면7



도면8



도면9

