(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G02F 1/1368 (2006.01)

(45) 공고일자 2006년07월10일
(11) 등록번호 10-0597915
(24) 등록일자 2006년06월30일

(21) 출원번호 10-2004-0055398
(22) 출원일자 2004년07월16일

(65) 공개번호 10-2005-0011693
(43) 공개일자 2005년01월29일

(30) 우선권주장 JP-P-2003-00277779 2003년07월22일 일본(JP)

(73) 특허권자 도시바 마쯔시따 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도꾜도 미나또꾸 4쪼메 고난 1-8

(72) 발명자 이시다아리찌까
일본 사이따마껭 오께가와시 히가시 2-10-23

후찌마사요시
일본 사이따마껭 후까야시 도끼와쪼 61

마쯔우라유끼
일본 사이따마껭 기따까쯔시까궁 구리하시마찌 미도리 1-32-2

다다노리오
일본 사이따마껭 구마가야시 오아자 주로끄껭 154

(74) 대리인 장수길
이중희
구영창

(56) 선행기술조사문헌
JP11024105 A
JP2002072963 A
JP2002176159 A
* 심사관에 의하여 인용된 문헌

심사관 : 정현진

(54) 어레이 기판 및 그 제조 방법

요약

특성이 서로 다른 박막 트랜지스터 및 PIN 다이오드를 용이하고 또한 적은 공정수로 제조할 수 있다. 유리 기판(3) 상의 박막 트랜지스터(4, 5)의 활성층(11)과 PIN 다이오드(6)의 광전 변환부(21)를 폴리실리콘 박막으로 구성한다. 활성층(11)과 광전 변환부(21)에 필요에 따라 동일 공정에서 불순물을 도핑하여, 도핑된 농도를 다르게 한다. 원하는 특성의 박막 트랜지스터(4, 5)와 광 감도가 향상된 PIN 다이오드(6)를 용이하고 또한 적은 공정수로 유리 기판(3) 상에 동시에 제조할 수 있다.

대표도

도 1

색인어

절연성 기판, 스위칭 소자, 광전 변환 소자, 박막 트랜지스터, PIN 다이오드

명세서

도면의 간단한 설명

도 1은 본 발명의 어레이 기판의 제1 실시예를 도시하는 설명 단면도.

도 2는 상기 어레이 기판의 절연성 기판 상에 다결정 반도체층을 형성한 상태를 도시하는 설명 단면도.

도 3은 상기 절연성 기판 상에 포토레지스트를 형성한 후에 마스크를 대향시킨 상태를 도시하는 설명 단면도.

도 4는 상기 절연성 기판 상의 포토레지스트를 노광하여 현상한 상태를 도시하는 설명 단면도.

도 5는 상기 절연성 기판 상의 다결정 반도체층을 에칭한 상태를 도시하는 설명 단면도.

도 6은 상기 절연성 기판 상의 막 두께가 얇은 부분의 레지스트를 노출시킨 상태를 도시하는 설명 단면도.

도 7은 상기 절연성 기판 상의 다결정 반도체층에 P형의 불순물을 도핑하는 상태를 도시하는 설명 단면도.

도 8은 상기 절연성 기판 상의 다결정 반도체층에 N형의 불순물을 도핑하는 상태를 도시하는 설명 단면도.

도 9는 상기 다결정 반도체층을 포함하는 절연성 기판 상에 게이트 절연막을 설치한 상태를 도시하는 설명 단면도.

도 10은 상기 게이트 절연막 상에 형성한 게이트 전극을 마스크로 하여 불순물을 도핑하는 상태를 도시하는 설명 단면도.

도 11은 상기 게이트 전극을 포함한 게이트 절연막 상의 층간 절연막에 컨택트홀을 형성한 상태를 도시하는 설명 단면도.

도 12는 상기 컨택트홀에 소스 전극 및 드레인 전극을 설치한 상태를 도시하는 설명 단면도.

도 13은 상기 소스 전극 및 드레인 전극을 포함하는 층간 절연막 상에 보호막을 형성한 상태를 도시하는 설명 단면도.

도 14는 본 발명의 제2 실시예의 어레이 기판을 도시하는 설명 단면도.

도 15는 상기 어레이 기판의 절연성 기판 상에 다결정 반도체층을 형성한 상태를 도시하는 설명 단면도.

도 16은 상기 절연성 기판 상에 포토레지스트를 형성한 후에 마스크를 대향시킨 상태를 도시하는 설명 단면도.

도 17은 상기 절연성 기판 상의 포토레지스트를 노광하여 현상한 상태를 도시하는 설명 단면도.

도 18은 상기 절연성 기판 상의 다결정 반도체층을 에칭한 상태를 도시하는 설명 단면도.

도 19는 상기 절연성 기판 상의 막 두께가 얇은 부분의 레지스트를 노출시킨 상태를 도시하는 설명 단면도.

도 20은 상기 절연성 기판 상의 다결정 반도체층에 N형의 불순물을 도핑하는 상태를 도시하는 설명 단면도.

도 21은 상기 다결정 반도체층 상의 레지스트를 제거한 상태를 도시하는 설명 단면도.

도 22는 상기 다결정 반도체층을 포함하는 절연성 기판 상에 게이트 절연막을 형성한 상태를 도시하는 설명 단면도.

도 23은 상기 게이트 절연막 상에 게이트 전극을 설치한 상태를 도시하는 설명 단면도.

도 24는 상기 게이트 전극을 포함한 게이트 절연막 상의 층간 절연막에 컨택트홀을 형성한 상태를 도시하는 설명 단면도.

도 25는 상기 컨택트홀에 소스 전극 및 드레인 전극을 설치한 상태를 도시하는 설명 단면도.

도 26은 상기 소스 전극 및 드레인 전극을 포함하는 층간 절연막 상에 보호막을 형성한 상태를 도시하는 설명 단면도.

도 27은 다결정 반도체층을 활성층에 이용한 박막 트랜지스터로, 채널 길이를 1.5㎛로 한 경우의 드레인 전류의 게이트 전압 의존성을 도시하는 그래프.

도 28은 다결정 반도체층을 활성층에 이용한 박막 트랜지스터로, 채널 길이를 4.5㎛로 한 경우의 드레인 전류의 게이트 전압 의존성을 도시하는 그래프.

<도면의 주요 부분에 대한 부호의 설명>

2 : 어레이 기판

3 : 절연성 기판으로서의 유리 기판

4 : 스위칭 소자로서의 N채널형의 박막 트랜지스터

5 : 스위칭 소자로서의 P채널형의 박막 트랜지스터

6 : 광전 변환 소자로서의 PIN 다이오드

11 : 활성층

21 : 광전 변환부

71 : 비정질 반도체층으로서의 비정질 실리콘 박막

73 : 포토레지스트

76 : 마스크

78, 79 : 레지스트 패턴

91, 92, 93 : 스위칭 소자로서의 박막 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 스위칭 소자를 구비한 어레이 기판 및 그 제조 방법에 관한 것이다.

최근, 액정 표시 소자 등의 구성 재료인 어레이 기판은, 종래의 비정질 실리콘 박막을 이용한 박막 트랜지스터 대신에, 다결정 실리콘 박막인 폴리실리콘 박막을 이용한 박막 트랜지스터가 실용화되어 있다.

그리고, 이러한 종류의 어레이 기판은, 절연성 기판 상에 비정질 실리콘 박막을 성막하여 퇴적시킨 후, 이 비정질 실리콘 박막을 레이저 어닐링하여 재결정화시켜 다결정 실리콘 박막으로 하고 나서, 이 다결정 실리콘 박막을 패터닝하여 박막 트랜지스터의 활성층으로 한다.

계속해서, 이 박막 트랜지스터의 임계값 전압 제어의 목적을 위해, 이 박막 트랜지스터의 활성층에, 저농도 P형 혹은 N형의 불순물을 도핑하여 주입한 후, 이들 저농도 P형 혹은 N형의 불순물이 도핑된 활성층을 포함하는 절연 기판 상에 게이트 절연막을 성막한다.

또한, 이 게이트 절연막 상에 도전체막을 성막하여 퇴적한 후에, 이 도전체막을 패터닝하여 박막 트랜지스터의 활성층 상에 게이트 전극을 형성한다. 이 후, 이 게이트 전극을 마스크로 하여, 박막 트랜지스터의 활성층에 P형 혹은 N형의 불순물을 고농도 도핑하여 주입하여, 박막 트랜지스터의 소스 영역 및 드레인 영역을 형성한다.

계속해서, 게이트 전극을 포함하는 게이트 절연막 상에 층간 절연막을 형성한 후에, 이 층간 절연막에 박막 트랜지스터의 소스 영역 혹은 드레인 영역을 관통하는 컨택트홀을 개구한다. 이 후, 이들 컨택트홀을 포함하는 층간 절연막 상에 도전체막을 형성한 후, 이 도전체막을 패터닝하여 신호선으로 되는 소스 전극 및 드레인 전극을 형성한다.

또한, 이들 소스 전극 및 드레인 전극을 포함하는 층간 절연막 상에 보호층을 형성한 후, 이 보호막에 박막 트랜지스터의 드레인 전극을 관통하는 컨택트홀을 개구하고, 이 컨택트홀을 통해 드레인 전극을 외부에 전기적으로 접속하여 어레이 기판을 제조한다.

계속해서, 어레이 기판의 유리 기판 상에 입력 기능을 가진 디바이스를 광 센서 소자로 실현하기 위해서는, 광을 받으면 광전류를 발생하는 광 센서 소자를 유리 기판 상에 설치할 필요가 있다. 그리고, 이 광 센서 소자로서는, I층의 저농도 불순물 주입된 영역에서 광 전류가 발생하는 PIN 다이오드가 이용되고 있다(예를 들면, 특허 문헌1 참조).

여기서, 박막 트랜지스터의 원하는 특성을 얻기 위해서는, 이 박막 트랜지스터의 활성층에 대하여 불순물을 주입할 필요가 있다. 이에 대하여, 광 센서 소자로서 PIN 다이오드를 이용한 경우에는, 이 PIN 다이오드의 I층에, 광 감도를 향상시키는 점에서 불순물을 주입하지 않는 쪽이 바람직하다.

그런데, 이들 박막 트랜지스터와 광 센서 소자를 동일 공정으로 유리 기판 상에 형성하고자 한 경우에는, 이들 박막 트랜지스터의 활성층과 광 센서 소자의 I층의 불순물 농도를 변화시킬 수 없다. 이 때문에, 원하는 특성의 박막 트랜지스터와, 광 감도를 향상시킨 광 센서 소자의 각각을 동시에 유리 기판 상에 형성하는 것은 용이하지 않다. 또한, 이들 박막 트랜지스터와 광 센서 소자를 별개의 공정으로 형성함으로써, 이들 박막 트랜지스터의 활성층과 광 센서 소자의 I층의 불순물 농도를 변화시킬 수 있지만, 제조 공정수가 증가되어 염가로 제조하는 것이 용이하지 않다.

한편, 다결정 실리콘 박막으로서 폴리실리콘 박막을 활성층에 이용한 복수의 박막 트랜지스터가 실장된 어레이 기판은, 이들 박막 트랜지스터의 온 전류가 높기 때문에, 화소 스위칭 회로뿐만 아니라, 주변 구동 회로를 내장할 수 있다. 또한, 액정 표시 장치의 고해상도화에 수반하여, 주변 구동 회로의 동작 주파수를 높게 하는 것이 요구되기 때문에, 박막 트랜지스터의 채널 길이를 짧게 하는 것이 요구된다.

일반적으로, 박막 트랜지스터의 드레인 내압은, 채널 길이가 짧아지면 낮아진다. 즉, 이 채널 길이가 짧아지면, 전계가 집중되어 있는 드레인단에서의 캐리어 농도가 높아져, 드레인 애벌런치가 발생하는 전압이 낮아지기 때문이다. 여기서, 회로 동작 주파수를 올릴 목적으로, 채널 길이를 짧게 하는 것은, VLSI(Very Large Scale Integration)에서도 이루어져 있으며, 이 VLSI에서는 내압의 저하에 수반하여 전원 전압을 낮게 하여 사용하고 있다.

[특허 문헌1]

일본 특허2959682호 공보(제2-4페이지, 도 1)

발명이 이루고자 하는 기술적 과제

그런데, 액정 표시 소자나 유기 EL(ElectroLuminescence) 소자에서는, 이들 액정 혹은 EL 소자의 구동에 일정 이상의 전압을 필요로 한다. 이 때문에, 이들 액정 표시 소자 혹은 유기 EL 소자 전체의 전원 전압을 내릴 수 없다. 예를 들면, 액정의 구동에서는, 10V 이상의 구동 전압이 요구된다.

그리고, 고내압 및 고주파수에서의 동작이라는 상반되는 요구를 만족시키기 위해, 동일한 유리 기판 상에 채널 길이가 서로 다른 복수의 박막 트랜지스터를 형성한다. 즉, 고주파수에서의 동작이 요구되는 부분에서의 박막 트랜지스터의 채널 길이를 짧게 하여 낮은 전압으로 구동시킨다. 이에 대하여, 고내압이 요구되는 부분에서의 박막 트랜지스터의 채널 길이를 길게 한다.

여기서, 도 27 및 도 28에 도시한 바와 같이, 비정질 실리콘 박막을 활성층에 이용한 박막 트랜지스터에서, 채널 길이를 변화시킨 경우의 드레인 전류의 게이트 전압 의존성은, 채널 길이를 짧게 함으로써, 임계값 전압의 저하가 발생함과 함께, 게이트 전압 0V에서의 오프 전류가 증대되어 있다. 즉, 활성층이 다결정 실리콘 박막이기 때문에, 갭 내 준위를 갖기 때문이다. 여기서, 오프 전류의 증가는, 회로의 소비 전류를 증대시키거나, 회로를 오동작시킨다. 따라서, 단순하게 채널 길이를 변화시키는 것만으로는, 고내압의 박막 트랜지스터와, 고주파에서 동작할 수 있는 박막 트랜지스터의 각각을 작성할 수 없다고 하는 문제를 갖고 있다.

본 발명은, 이러한 점을 감안하여 이루어진 것으로, 특성이 서로 다른 스위칭 소자나 광전 변환 소자를 용이하고 또한 적은 공정수로 제조할 수 있는 어레이 기판 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은, 절연성 기판과, 이 절연성 기판의 일 주면에 형성되며, 다결정 반도체층인 활성층을 갖는 스위칭 소자와, 상기 절연성 기판의 일 주면에 형성되며, 상기 다결정 반도체층인 광전 변환부를 갖는 광전 변환 소자를 구비하고, 상기 스위칭 소자의 활성층과, 상기 광전 변환 소자의 광전 변환부는, 동일 공정에서 불순물이 도핑되며, 이들 활성층 및 광전 변환부의 도핑 농도가 서로 다르다.

그리고, 절연성 기판의 일 주면에 형성한 스위칭 소자의 활성층과, 이 절연성 기판의 일 주면에 형성된 광전 변환 소자의 광전 변환부의 각각을 비정질 반도체층으로 한다. 이들 스위칭 소자의 활성층과, 광전 변환 소자의 광전 변환부에 필요에 따라 동일한 공정에서 불순물을 도핑하고, 이들 활성층과 광전 변환부의 불순물의 도핑 농도를 서로 다르게 한다. 이 결과, 원하는 특성의 스위칭 소자와, 광 감도를 향상시킨 광전 변환 소자를, 용이하고 또한 적은 공정수로 절연성 기판의 일 주면에 제조할 수 있다.

또한, 절연성 기판과, 이 절연성 기판의 일 주면에 형성되며, 비정질 반도체층인 활성층을 갖는 복수의 스위칭 소자를 구비하고, 이들 복수의 스위칭 소자의 활성층은, 동일한 공정에서 불순물이 도핑되어, 이들 복수의 스위칭 소자의 활성층의 도핑 농도가 서로 다르다.

그리고, 절연성 기판의 일 주면에 형성한 복수의 스위칭 소자의 활성층을, 비정질 반도체층으로 한다. 이들 복수의 스위칭 소자의 활성층에 대하여 동일한 공정에서 불순물을 도핑하여, 이들 복수의 스위칭 소자의 활성층의 불순물의 도핑 농도를 서로 다르게 한다. 이 결과, 서로 다른 특성을 갖는 스위칭 소자를, 용이하고 또한 적은 공정으로 절연성 기판의 일 주면에 제조할 수 있다.

<실시예>

이하, 본 발명의 어레이 기판의 제1 실시예의 구성을 도 1 내지 도 13을 참조하여 설명한다.

도 1 내지 도 13에서, 참조 부호 1은 평면 표시 소자로서의 액정 표시 소자(1)이고, 이 액정 표시 소자(1)는, 대략 구형 평판 형상의 어레이 기판(2)을 구비하고 있다. 이 어레이 기판(2)은, 대략 투명한 구형 평판 형상의 절연성 기판인 유리 기판(3)을 갖고 있다. 이 유리 기판(3)의 일 주면인 표면 상에는, 실리콘 질화막이나 산화실리콘막 등으로 구성된 도시하지 않은 언더코트층이 적층되어 성막되어 있다.

이 언더코트층 상에는, 액정 표시용의 N형 스위칭 소자인 복수의 N채널(N-ch)형의 박막 트랜지스터(TFT)(4)와, 액정 표시용의 P형 스위칭 소자인 복수의 P채널(P-ch)의 박막 트랜지스터(5)와, 복수의 광전 변환 소자로서의 광 센서 소자인 PIN 다이오드(6)의 각각이 매트릭스 형상으로 복수 형성되어 있다.

여기서, 이들 박막 트랜지스터(4, 5)의 각각은, 언더코트층 상에 형성된 활성층(11)을 구비하고 있다. 이 활성층(11)은, 비단결정 반도체인 비정질 반도체로서의 비정질 실리콘의 레이저 어닐링에 의해 형성된 다결정 반도체로서의 폴리실리콘으로 구성되어 있다. 그리고, 이 활성층(11)은, 이 활성층(11)의 중앙부에 형성된 채널 영역(12)을 갖고 있다. 이 채널 영역(12)의 양측에는, N^+ 영역 혹은 P^+ 영역인 소스 영역(13) 및 드레인 영역(14)의 각각이 대향하여 형성되어 있다.

그리고, 이들 채널 영역(12), 소스 영역(13) 및 드레인 영역(14) 각각을 포함하는 언더코트층 상에는, 절연성을 갖는 실리콘 산화막인 게이트 절연막(15)이 적층되어 성막되어 있다. 또한, 각 채널 영역(12)에 대향한 게이트 절연막(15) 상에는, 게이트 전극(16)이 적층되어 성막되어 있다. 이들 게이트 전극(16)은, 게이트 절연막(15)을 개재하여 각 박막 트랜지스터(4, 5)의 채널 영역(12)에 대향하고 있으며, 이 채널 영역(12)의 폭 치수에 대략 동일한 폭 치수를 갖고 있다.

한편, 박막 트랜지스터(4, 5)에 연속한 언더코트층 상에는, 폴리실리콘으로 구성된 PIN 다이오드(6)가 적층되어 형성되어 있다.

또한, 이 PIN 다이오드(6)는, 유리 기판(3) 상의 박막 트랜지스터(4, 5)와 동일 평면 형상으로 배치되어 있다. 또한, 이 PIN 다이오드(6)는, 비정질 실리콘의 레이저 어닐링에 의해 형성된 폴리실리콘으로 구성된 광전 변환부(21)를 구비하고 있다. 이 광전 변환부(21)는, 각 박막 트랜지스터(4, 5)의 활성층(11)과 동일 공정에서 형성되어 있으며, 언더코트층 상에 적층되어 있다.

여기서, 이 광전 변환부(21)는, 각 박막 트랜지스터(4, 5)의 활성층(11)과 동일한 공정에서 P형 혹은 N형의 불순물이 필요에 따라 도핑되어 있다. 또한, 이 광전 변환부(21)와, 각 박막 트랜지스터(4, 5)의 활성층(11)은, 불순물의 도핑 농도가 서로 다르다. 그리고, 이 광전 변환부(21)는, 이 광전 변환부(21)의 중앙부에 형성되며, 폴리실리콘으로 구성된 광전 변환층으로서의 I형 폴리실리콘부인 I층(22)을 구비하고 있다.

이 I층(22)의 양측에는, 다결정 반도체층인 P^+ 영역(23)과, 다결정 반도체층인 N^+ 영역(24)이 연속하여 형성되어 있다.

그리고, 이들 I층(22), P^+ 영역(23) 및 N^+ 영역(24)으로 구성된 광전 변환부(21)를 포함하는 언더코트층 상에는, 게이트 절연막(15)이 적층되어 성막되어 있다. 그리고, 광전 변환부(21)의 I층(22)에 대향한 게이트 절연막(15) 상에는, 각 박막 트랜지스터(4, 5)의 게이트 전극(16)과 동일한 공정에서 동일 층에 형성된 게이트 전극(25)이 적층되어 형성되어 있다. 이 게이트 전극(25)은, 광전 변환부(21)의 I층(22)의 폭 치수와 대략 같은 폭 치수를 갖고 있다.

또한, 이 게이트 전극(25) 및 각 박막 트랜지스터(4, 5)의 게이트 전극(16)의 각각을 포함하는 게이트 절연막(15) 상에는, 절연성을 갖는 산화실리콘막인 층간 절연막(31)이 적층되어 성막되어 있다. 그리고, 이들 층간 절연막(31) 및 게이트 절연막(15)에는, 이들 층간 절연막(31) 및 게이트 절연막(15)의 각각을 관통한 도통부로서의 복수의 컨택트홀(32, 33, 34, 35, 36, 37)이 개구되어 형성되어 있다.

여기서, 컨택트홀(32, 33)의 각각은, N채널형의 박막 트랜지스터(4)의 게이트 전극(16)의 양측인, 이 박막 트랜지스터(4)의 소스 영역(13) 및 드레인 영역(14) 상에 형성되어 있다. 그리고, 컨택트홀(32)은 N채널형의 박막 트랜지스터(4)의 소스 영역(13)에 연통하여 개구되어 있으며, 컨택트홀(33)은 N채널형의 박막 트랜지스터(4)의 드레인 영역(14)에 연통하여 개구되어 있다.

또한, 컨택트홀(34, 35)의 각각은, P채널형의 박막 트랜지스터(5)의 게이트 전극(16)의 양측인, 이 박막 트랜지스터(5)의 소스 영역(13) 및 드레인 영역(14) 상에 형성되어 있다. 그리고, 컨택트홀(34)은 P채널형의 박막 트랜지스터(5)의 소스 영역(13)에 연통하여 개구되어 있고, 컨택트홀(35)은 P채널형의 박막 트랜지스터(5)의 드레인 영역(14)에 연통하여 개구되어 있다.

또한, 컨택트홀(36, 37)은, PIN 다이오드(6)의 I층(22)의 양측인, 이 PIN 다이오드(6)의 P^+ 영역(23) 및 N^+ 영역(24) 상에 형성되어 있다. 그리고, 컨택트홀(36)은 N^+ 영역(24)에 연통하여 개구되어 있고, 컨택트홀(37)은 P^+ 영역(23)에 연통하여 개구되어 있다.

그리고, 각 박막 트랜지스터(4, 5)의 소스 영역(13)에 연통한 컨택트홀(32, 34)에는, 신호선인 소스 전극(41)이 각각 적층되어 형성되어 있다. 이들 소스 전극(41)은, 컨택트홀(32, 34)을 통해 박막 트랜지스터(4, 5)의 소스 영역(13)에 전기적으로 접속되어 도통되어 있다.

또한, 각 박막 트랜지스터(4, 5)의 드레인 영역(14)에 연통한 컨택트홀(33, 35)에는, 신호선인 드레인 전극(42)이 각각 적층되어 설치되어 있다. 이들 드레인 전극(42)은, 컨택트홀(33, 35)을 통해 박막 트랜지스터(4, 5)의 드레인 영역(14)에 전기적으로 접속되어 도통되어 있다.

또한, PIN 다이오드(6)의 N^+ 영역(24)에 연통한 컨택트홀(36)에는, 소스 전극(41)이 적층되어 설치되어 있다. 이 소스 전극(41)은, 컨택트홀(36)을 통해 N^+ 영역(24)에 전기적으로 접속되어 도통되어 있다. 또한, PIN 다이오드(6)의 P^+ 영역(23)에 연통한 컨택트홀(37)에는, 드레인 전극(42)이 적층되어 형성되어 있다. 이 드레인 전극(42)은, 컨택트홀(37)을 통해 P^+ 영역(23)에 전기적으로 접속되어 도통되어 있다.

한편, 각 박막 트랜지스터(4, 5) 및 PIN 다이오드(6) 각각의 소스 전극(41) 및 드레인 전극(42)을 포함하는 층간 절연막(31) 상에는, 이들 박막 트랜지스터(4, 5) 및 PIN 다이오드(6)의 각각을 피복하도록 보호막(51)이 적층되어 성막되어 있다. 그리고, 이 보호막(51)에는, 이 보호막(51)을 관통한 도통부로서의 컨택트홀(52)이 개구되어 형성되어 있다. 이 컨택트홀(52)은, N채널형의 박막 트랜지스터(4)의 소스 전극(41)에 연통하여 개구되어 있다.

그리고, 이 컨택트홀(52)을 포함하는 보호막(51) 상에는, 화소 전극(53)이 적층되어 성막되어 있다. 이 화소 전극(53)은, 컨택트홀(52)을 통해 N채널형의 박막 트랜지스터(4)의 소스 전극(41)에 전기적으로 접속되어 도통되어 있다. 그리고, 이 화소 전극(53)은, N채널형의 박막 트랜지스터(4)에 의해 제어된다. 또한, 이 화소 전극(53)을 포함한 보호막(51) 상에는, 배향막(54)이 적층되어 성막되어 있다.

한편, 어레이 기판(2)에 대향하여 구형 평판 형상의 대향 기판(61)이 배치되어 있다. 이 대향 기판(61)은, 대략 투명한 구형 평판 형상의 절연성 기판인 유리 기판(62)을 구비하고 있다. 이 유리 기판(62)의 어레이 기판(2)에 대향한 측의 일 주면에는, 대향 전극(63)이 형성되어 있다. 또한, 이 대향 전극(63) 상에는 배향막(64)이 적층되어 성막되어 있다. 그리고, 이 대향 기판(61)의 배향막(64)과 어레이 기판(2)의 배향막(54) 사이에는, 액정(65)이 개삽되어 밀봉되어 있다.

다음으로, 상기 제1 실시예의 어레이 기판의 제조 방법을 설명한다.

우선, 도 2에 도시한 바와 같이, 유리 기판(3)의 표면 상에 언더코트층을 성막한 후, 이 언더코트층 상에, 플라즈마 CVD(Chemical Vapor Deposition)법으로 50㎚ 비정질 반도체층으로서의 비정질 실리콘 박막(71)을 적층시켜 성막한다.

이 후, 이 비정질 실리콘 박막(71)에 엑시머 레이저 빔을 조사하여, 이 비정질 실리콘 박막(71)을 용융 결정화시켜, 폴리실리콘 박막(72)으로 한다.

계속해서, 이 폴리실리콘 박막(72)의 표면에 포지티브형의 레지스트를 스핀 도포로 2.0㎛ 도포하여, 레지스트(73)를 형성한다.

이 후, 도 3에 도시한 바와 같이, PIN 다이오드(6)가 형성되는 부분에 위치하여 광이 투과하지 않는 차광부(74)와, 각 박막 트랜지스터(4, 5)가 형성되는 부분에 위치하여 광이 일부 투과하는 반투광부(75)의 각각이 형성된 마스크(76)를, 포토레지스트(73) 상에 대향시킨 상태에서, 이 마스크(76)를 통해 도시하지 않은 노광기에 의해 포토레지스트(73)를 노광한다.

이 때, 마스크(76)의 반투광부(75)를, 노광기의 최고 해상 선폭보다 가는 라인-앤드-스페이스 패턴, 즉 복수의 슬릿(77)을 등간격으로 형성하여 구성하였다.

이 결과, 포토레지스트(73)에는, 완전하게 노광된 부분과, 전혀 노광되지 않는 부분과, 그 중간의 에너지로 노광된 부분이 생긴다.

또한, 노광된 포토레지스트(73)를 현상액으로 현상한다. 이 때, 완전하게 노광된 부분과, 전혀 노광되지 않은 부분과, 중간의 에너지로 노광된 부분에서 용해도가 서로 다르기 때문에, 도 4에 도시한 바와 같이, 이 포토레지스트(73)의 막 두께의 상위에 수반하는 레지스트 패턴(78)이 형성된다.

이 후, 이 레지스트 패턴(78)을 마스크로 하여, 유리 기판(3) 상의 폴리실리콘 박막(72)을, CF_4를 에칭 가스로 한 드라이 에칭으로 섬 형상으로 패터닝 가공한다.

계속해서, 도 5에 도시한 바와 같이, 이 폴리실리콘 박막(72)의 드라이 에칭을 행한 동일한 처리실인 도시하지 않은 챔버 내에서, 이 드라이 에칭에 연속하여, 섬 형상으로 패터닝된 폴리실리콘 박막(72) 상의 레지스트 패턴(78)을 O_2 플라즈마에 의해 라이트 애싱한다.

그리고, 도 6에 도시한 바와 같이, 마스크(76)의 반투광부(75)에서 노광된 레지스트 패턴(78)의 막 두께가 얇은 부분, 즉 각 박막 트랜지스터(4, 5)의 활성층(11)으로 되는 부분의 섬 형상의 폴리실리콘 박막(72)을 노출시킨다.

이 때, 마스크(76)의 차광부(74)로 노광된 레지스트 패턴(78)의 막 두께가 두꺼운 부분, 즉 PIN 다이오드(6)의 광전 변환부(21)로 되는 부분은, 라이트 애싱에 의해 얇아지지만, 완전하게 제거시키지 않고 소정의 막 두께로 레지스트 패턴(79)을 남긴다.

계속해서, 도 7에 도시한 바와 같이, 이 남긴 레지스트 패턴(79)을 마스크로 하여, 유리 기판(3) 상의 섬 형상의 폴리실리콘 박막(72)에 P형의 저농도 불순물을 도핑하여 주입한다.

이 후, 이 유리 기판(3) 상의 섬 형상의 폴리 실리콘 박막(72)으로부터, 남은 레지스트 패턴(79)을 산소 플라즈마에 의한 애싱에 의해 제거한다.

계속해서, PIN 다이오드(6)의 I층(22) 및 P^+ 영역(23)으로 되는 부분과, P채널형의 박막 트랜지스터(5)의 채널 영역(12), 소스 영역(13) 및 드레인 영역(14)으로 되는 부분과, N채널형의 박막 트랜지스터(4)의 채널 영역(12)으로 되는 부분의 각각의 상방에 레지스트(81)를 형성한다.

이 상태에서, 도 8에 도시한 바와 같이, 이 레지스트(81)를 마스크로 하여, PIN 다이오드(6)의 N^+ 영역(24)으로 되는 부분과, N채널형의 박막 트랜지스터(4)의 소스 영역(13) 및 드레인 영역(14)으로 되는 부분의 각각의 폴리실리콘 박막(72)에 N형의 불순물을 고농도로 도핑하여 주입한다.

이 후, 이 레지스트(81)를 제거한 후, 도 9에 도시한 바와 같이, 각 섬 형상의 폴리실리콘 박막(72)을 포함하는 언더코트층 상에 게이트 절연막(15) 및 도전체막(82)의 각각을 순차적으로 성막하여 퇴적시키고 나서, 이 도전체막(82)을 패터닝하여 각 게이트 전극(16, 25)을 형성한다.

이 때, 이 게이트 전극(16, 25)은, PIN 다이오드(6)의 I층(22) 및 N^+ 영역(24)으로 되는 부분과, P채널형의 박막 트랜지스터(5)의 채널 영역(12)으로 되는 부분과, N채널형의 박막 트랜지스터(4)의 채널 영역(12), 소스 영역(13) 및 드레인 영역(14)으로 되는 부분과의 각각의 상방에 형성되어 있다.

이 상태에서, 도 10에 도시한 바와 같이, 이들 게이트 전극(16, 25)을 마스크로 하여, PIN 다이오드(6)의 P^+ 영역(23)으로 되는 부분과, P채널형의 박막 트랜지스터(5)의 소스 영역(13) 및 드레인 영역(14)으로 되는 부분의 각각의 폴리실리콘 박막(72)에 P형의 불순물을 고농도로 도핑하여 주입한다.

이 후, 도 11에 도시한 바와 같이, 각 게이트 전극(16, 25)을 패터닝한 후, 이들 각 게이트 전극(16, 25)을 포함하는 게이트 절연막(15) 상에 층간 절연막(31)을 성막하여 적층시키고 나서, 이 층간 절연막(31)에 컨택트홀(32, 33, 34, 35, 36, 37)을 개구한다.

계속해서, 도 12에 도시한 바와 같이, 이들 컨택트홀(32, 33, 34, 35, 36, 37)을 포함하는 층간 절연막(31) 상에 도전체막(83)을 성막하여 적층시키고 나서, 이 도전체막(83)을 패터닝하여, 각 박막 트랜지스터(4, 5) 및 드레인 전극(42)을 형성한다.

이 후, 도 13에 도시한 바와 같이, 이들 소스 전극(14) 및 드레인 전극(42)을 포함하는 층간 절연막(31) 상에 보호막(51)을 성막하여 적층시킨 후, 이 보호막(51)에 컨택트홀(52)을 형성한다.

이 후, 이 컨택트홀(52)을 포함하는 보호막(51) 상에 화소 전극(53)을 형성하고 나서, 이 화소 전극(53)을 포함하는 보호막(51) 상에 배향막(54)을 형성하여 어레이 기판(2)이 완성된다.

상술한 바와 같이, 상기 제1 실시예에 따르면, 유리 기판(3) 상의 박막 트랜지스터(4, 5) 및 PIN 다이오드(6)마다, 불순물의 도핑 농도를 변화시켰다. 즉, 이들 박막 트랜지스터(4, 5) 및 PIN 다이오드(6)의 불순물의 도핑 농도를 변화시키는 공정으로서, 유리 기판(3) 상에 도포한 포토레지스트(73)를, 투과율이 서로 다른 차광부(74) 및 반투광부(75)를 갖는 마스크(76)를 이용하여 노광한다.

그리고, 유리 기판(3) 상의 폴리실리콘 박막(72)의 표면에, 막 두께가 서로 다른 영역을 갖는 레지스트 패턴(78)을 형성한다. 또한, 이 레지스트 패턴(78)을 마스크로 하여, 폴리실리콘 박막(72)을 에칭한 후에, 이 레지스트 패턴(78)을 라이트 애싱하여, 이 레지스트 패턴(78) 중, 막 두께가 얇은 부분을 노출시킨다. 이 상태에서, 막 두께가 두꺼운 부분의 레지스트 패턴(79)을 마스크로 하여, 폴리실리콘 박막(72)에 불순물을 도핑하고 나서, 이 레지스트 패턴(79)을 폴리실리콘 박막(72)으로부터 제거한다.

이 결과, 원하는 특성을 갖는 박막 트랜지스터(4, 5)와, 광 감도를 향상시킨 PIN 다이오드(6)를, 용이하고 또한 적은 공정수로 동일한 유리 기판(3) 상에 동시에 제작할 수 있다. 특히, 이 유리 기판(3) 상의 폴리실리콘 박막(72)의 에칭과 라이트 애싱을 동일한 챔버 내에서 연속하여 처리하였기 때문에, 공정수의 증가를 최소한으로 할 수 있다. 이 때문에, 리소그래피 횟수가 동일하고 공정수의 증가가 적기 때문에, 이들 박막 트랜지스터(4, 5) 및 PIN 다이오드(6)를 구비한 어레이 기판(2)을 보다 염가로 제조할 수 있다.

다음으로, 본 발명의 제2 실시예를 도 14 내지 도 26을 참조하여 설명한다.

이 도 14 내지 도 26에 도시한 액정 표시 소자(1)는, 기본적으로는 도 1 내지 도 13에 도시한 액정 표시 소자(1)와 마찬가지이지만, 유리 기판(3) 상에, 채널 길이가 서로 다른 복수의 스위칭 소자로서의 N채널형의 박막 트랜지스터(91, 92, 93)를 설치한 것이다.

즉, 도 15에 도시한 바와 같이, 유리 기판(3) 상에 비정질 실리콘 박막(71)을 형성한 후에, 이 비정질 실리콘 박막(71)을 레이저 어닐링에 의해 폴리실리콘 박막으로 한다. 계속해서, 도 16에 도시한 바와 같이, 채널 길이가 짧은 박막 트랜지스터(91)가 형성되는 부분에 위치하는 반투광부(75)와, 채널 길이가 긴 박막 트랜지스터(92, 93)가 형성되는 부분에 위치하는 차광부(74)를 구비한 마스크(76)를, 유리 기판(3) 상의 포토레지스트(73)에 대향시키고, 이 마스크(76)를 통해 포토레지스트(73)를 노광한다.

또한, 도 17에 도시한 바와 같이, 이 노광된 포토레지스트(73)를 현상액으로 현상하고, 이 포토레지스트(73)의 막 두께의 상위에 수반되는 레지스트 패턴(78)을 형성한다. 이 후, 도 18에 도시한 바와 같이, 이 레지스트 패턴(78)을 마스크로 하여, 유리 기판(3) 상의 폴리실리콘 박막(72)을 드라이 에칭하여 섬 형상으로 패터닝 가공한다.

계속해서, 도 19에 도시한 바와 같이, 섬 형상으로 패터닝된 폴리실리콘 박막(72) 상의 레지스트 패턴(78)을 라이트 애싱한다. 이 후, 마스크(76)의 반투광부(75)에서 노광된 레지스트 패턴(78)의 막 두께가 얇은 부분의 섬 형상의 폴리실리콘 박막(72)을 노출시킴과 함께, 마스크(76)의 차광부(74)에서 노광된 레지스트 패턴(78)의 막 두께가 두꺼운 부분의 레지스트 패턴(79)을 남긴다.

또한, 도 20에 도시한 바와 같이, 이 레지스트 패턴(79)을 마스크로 하여, 유리 기판(3) 상의 섬 형상의 폴리실리콘 박막(72)에 P형 혹은 N형의 불순물을 도핑하여 주입한다. 즉, 이 불순물의 도핑 농도를 조정함으로써, 채널 길이가 짧은 박막 트랜지스터(91)의 임계값 전압을 조정할 수 있다. 구체적으로는, 채널 길이가 짧은 박막 트랜지스터(91)의 활성층(11)으로 되는 부분의 폴리실리콘 박막(72)에 붕소(B)를 도핑하여, 이 채널 길이가 짧은 박막 트랜지스터(91)의 임계값 전압을 플러스측으로 0.3V만큼 시프트시킨다.

이 후, 도 21에 도시한 바와 같이, 이 유리 기판(3) 상의 섬 형상의 폴리실리콘 박막(72)으로부터 레지스트 패턴(79)을 제거한다. 계속해서, 도 22에 도시한 바와 같이, 각 섬 형상의 폴리실리콘 박막(72)을 포함하는 언더코트층 상에 게이트 절연막(15) 및 도전체막(82)의 각각을 순차적으로 성막한다. 계속해서, 도 23에 도시한 바와 같이, 이 도전체막(82)을 패터닝하여 각 게이트 전극(16)을 형성한다.

이 상태에서, 이들 게이트 전극(16)을 마스크로 하여, 각 박막 트랜지스터(91, 92, 93)의 소스 영역(13) 및 드레인 영역(14)으로 되는 부분의 폴리실리콘 박막(72)에, P형 혹은 N형의 불순물을 고농도로 도핑하여 주입한다. 구체적으로는, P형으로서 인(P)을 도핑한 후에 어닐링하여 각 폴리실리콘 박막(72)을 활성화시킨다. 이 결과, 이들 복수의 박막 트랜지스터(91, 92, 93)의 활성층(11)에의 불순물의 도핑 농도가 게이트 길이마다 서로 다르다.

이 후, 각 게이트 전극(16)을 패터닝한 후, 이들 각 게이트 전극(16)을 포함하는 게이트 절연막(15) 상에 층간 절연막(31)을 성막한다. 또한, 도 24에 도시한 바와 같이, 이 층간 절연막(31)에 컨택트홀(32, 33, 34, 35, 36, 37)을 개구한 후, 이들 컨택트홀(32, 33, 34, 35, 36, 37)을 포함하는 층간 절연막(31) 상에 도전체막(83)을 성막한다. 계속해서, 도 25에 도시한 바와 같이, 이 도전체막(83)을 패터닝하여, 각 박막 트랜지스터(91, 92, 93)의 소스 전극(41) 및 드레인 전극(42)을 형성한다.

이 후, 도 26에 도시한 바와 같이, 이들 소스 전극(41) 및 드레인 전극(42)을 포함하는 층간 절연막(31) 상에 보호막(51)을 성막한 후, 이 보호막(51)에 컨택트홀(52)을 형성한다. 계속해서, 이 컨택트홀(52)을 포함하는 보호막(51) 상에 화소 전극(53)을 형성하고 나서, 이 화소 전극(53)을 포함하는 보호막(51) 상에 배향막(54)을 형성하여 어레이 기판(2)으로 한다.

상술한 바와 같이, 상기 제2 실시예에 따르면, 채널 길이가 서로 다른 박막 트랜지스터(91, 92, 93)마다, 이들 박막 트랜지스터(91, 92, 93)의 활성층(11)에의 불순물의 도핑량을 다르게 할 수 있기 때문에, 이들 박막 트랜지스터(91, 92, 93)의 임계값 전압을 독립적으로 조정할 수 있다. 이 때문에, 고주파에서의 동작이 요구되는 박막 트랜지스터(91)와, 고내압이 요구되는 박막 트랜지스터(92, 93)의 각각을, 원하는 특성으로 동일한 유리 기판(3) 상에 동시에 동일 공정에서 제작할 수 있다.

따라서, 채널 길이가 서로 다른 박막 트랜지스터(91, 92, 93)의 임계값 전압을 독립적으로 제어하는 것이, 용이하며 또한 적은 공정수로 실현할 수 있다. 따라서, 채널 길이가 짧고 고주파에서 동작할 수 있는 박막 트랜지스터(91)와, 채널 길이가 긴 고내압의 박막 트랜지스터(92, 93)와의 양방을 동일한 유리 기판(3) 상에 작성할 수 있다. 동시에, 리소그래피 횟수가 동일하고 공정수의 증가가 적기 때문에, 이들 채널 길이가 서로 다른 복수의 박막 트랜지스터(91, 92, 93)를 구비한 어레이 기판(2)을 보다 염가로 제조할 수 있다.

특히, 동일한 유리 기판(3) 상에 N채널형의 박막 트랜지스터(4)와 P채널형의 박막 트랜지스터(5)의 각각을 한번에 제작하는 CMOS 구성의 어레이 기판(2)의 경우나, N채널형의 박막 트랜지스터(4)와 P채널형의 박막 트랜지스터(5)의 각각의 임계값 전압을 독립시켜 조정한 경우나, 동일한 채널 길이라도 회로 상에서 오프 특성을 중시하여 임계값 전압의 절대값이 큰 박막 트랜지스터(91, 92, 93)를 작성하는 경우 등, 동일한 어레이 기판(2) 상에 특성이 서로 다른 박막 트랜지스터(91, 92, 93)를 작성하는 경우에 있어서, 모두 대응할 수 있다.

또한, 상기 제2 실시예에서는, 채널 길이가 짧은 박막 트랜지스터(91)의 활성층(11)으로 되는 부분에만 불순물을 도핑하였지만, 채널 길이가 긴 박막 트랜지스터(92, 93)의 활성층(11)으로 되는 부분에도 임계값 제어가 필요한 경우에는, 레지스트 패턴(78)을 마스크로 하여 불순물을 도핑하고 남은 레지스트 패턴(79)을 제거한 후에, 유리 기판(3)의 전면에 불순물을 도핑하면 된다.

또한, N채널형의 박막 트랜지스터(91, 92, 93)를 작성하였지만, 게이트 전극(16)을 마스크로 하여 불순물을 도핑할 때에, 인(P) 등의 P형의 불순물을 도핑하면 P채널형의 박막 트랜지스터를 작성할 수 있다.

또한, 상기 각 실시예에서는, 액정 표시 소자(1)에 이용되는 어레이 기판(2)에 대하여 설명하였지만, 유기 EL (ElectroLuminescence) 소자에 이용되는 어레이 기판이라도, 대응시켜 이용할 수 있다.

발명의 효과

본 발명에 따르면, 원하는 특성의 스위칭 소자와, 광 감도를 향상시킨 광전 변환 소자를, 용이하고 또한 적은 공정수로 절연성 기판의 일 주면에 제조할 수 있다.

또한, 서로 다른 특성을 갖는 스위칭 소자를, 용이하고 또한 적은 공정으로 절연성 기판의 일 주면에 제조할 수 있다.

(57) 청구의 범위

청구항 1.

절연성 기판과,

상기 절연성 기판의 일 주면에 형성되며, 다결정 반도체층인 활성층을 갖는 스위칭 소자와,

상기 절연성 기판의 일 주면에 형성되며, 상기 다결정 반도체층인 광전 변환부를 갖는 광전 변환 소자를 구비하고,

상기 스위칭 소자의 활성층과, 상기 광전 변환 소자의 광전 변환부는, 동일 공정에서 불순물이 도핑되어, 이들 활성층 및 광전 변환부의 도핑 농도가 서로 다른 것을 특징으로 하는 어레이 기판.

청구항 2.

제1항에 있어서,

상기 스위칭 소자는, 박막 트랜지스터이고,

상기 광전 변환 소자는, PIN 다이오드인 것을 특징으로 하는 어레이 기판.

청구항 3.

절연성 기판과,

상기 절연성 기판의 일 주면에 형성되며, 다결정 반도체층인 활성층을 갖는 복수의 스위칭 소자를 구비하고,

상기 복수의 스위칭 소자의 활성층은, 동일한 공정에서 불순물이 도핑되어, 상기 복수의 스위칭 소자의 활성층의 도핑 농도가 서로 다른 것을 특징으로 하는 어레이 기판.

청구항 4.

제3항에 있어서,

상기 복수의 스위칭 소자는, 채널 길이가 서로 다른 박막 트랜지스터이고,

상기 복수의 박막 트랜지스터는, 상기 복수의 박막 트랜지스터의 활성층에의 불순물의 도핑 농도가 게이트 길이마다 서로 다른 것을 특징으로 하는 어레이 기판.

청구항 5.

불순물의 도핑 농도가 서로 다른 활성층을 갖는 복수의 스위칭 소자와 광전 변환부를 갖는 광전 변환 소자의 적어도 2개 이상을 절연성 기판의 일 주면에 형성하는 어레이 기판의 제조 방법으로서,

상기 절연성 기판의 일 주면에 형성된 다결정 반도체층의 일 주면에 포토레지스트를 형성하는 공정과,

상기 포토레지스트를 투과율이 서로 다른 영역을 갖는 마스크를 통해 노광하여, 상기 다결정 반도체층의 일 주면에 막 두께가 서로 다른 영역을 갖는 레지스트 패턴을 형성하는 공정과,

상기 레지스트 패턴을 마스크로 하여 상기 다결정 반도체층의 일 주면을 에칭하는 공정과,

상기 레지스트 패턴의 막 두께가 얇은 부분을 노출시키는 공정과,

상기 막 두께가 얇은 부분을 노출시킨 상기 레지스트 패턴을 마스크로 하여, 상기 다결정 반도체층의 일 주면에 불순물을 도핑하는 공정

을 구비한 것을 특징으로 하는 어레이 기판의 제조 방법.

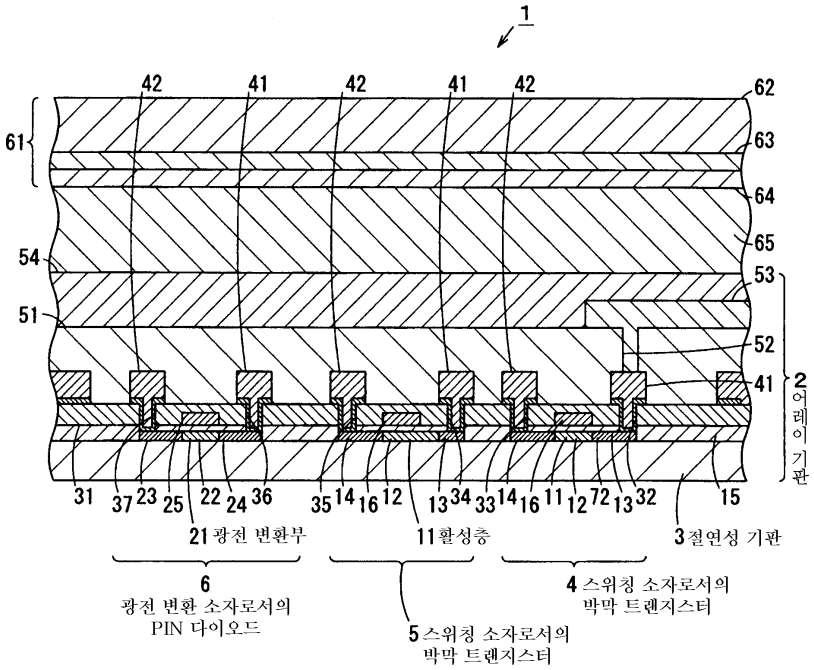
청구항 6.

제5항에 있어서,

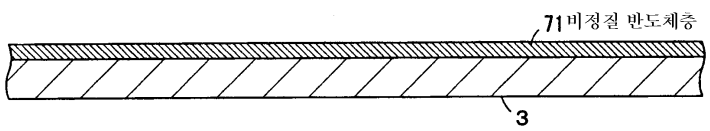
상기 레지스트 패턴을 마스크로 하여 다결정 반도체층의 일 주면을 에칭하는 상기 공정과, 상기 레지스트 패턴의 막 두께가 얇은 부분을 노출시키는 상기 공정을, 동일한 처리실 내에서 연속 처리하는 것을 특징으로 하는 어레이 기판의 제조 방법.

도면

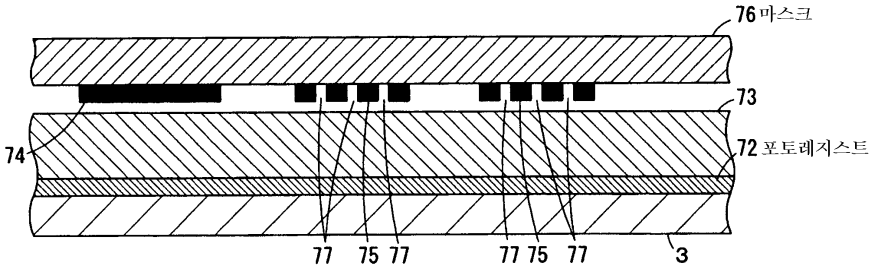
도면1



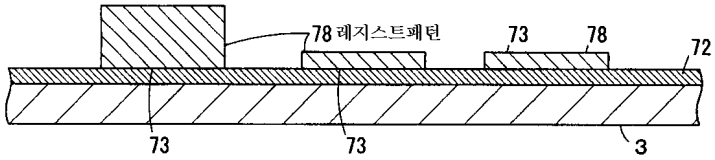
도면2



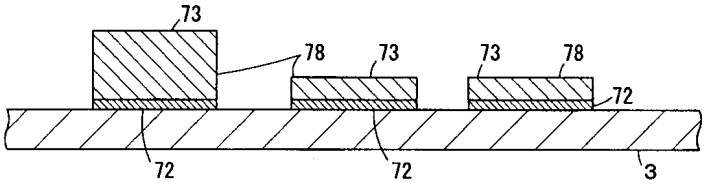
도면3



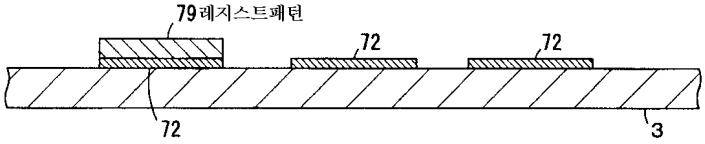
도면4



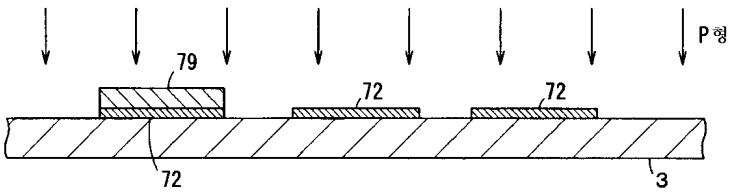
도면5



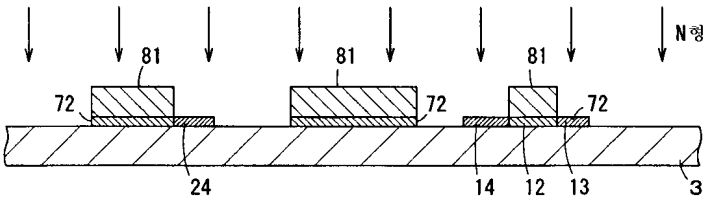
도면6



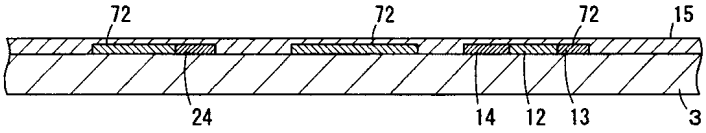
도면7



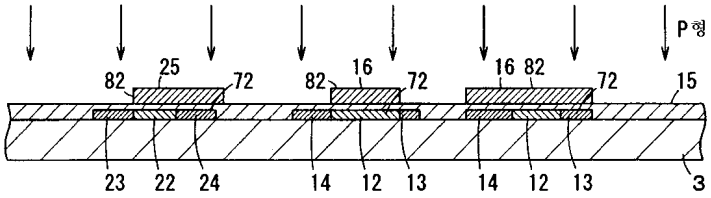
도면8



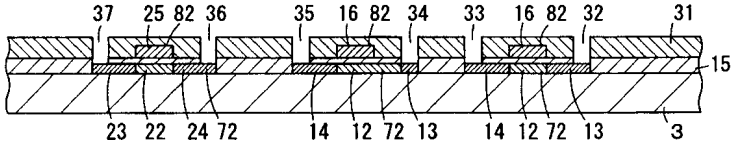
도면9



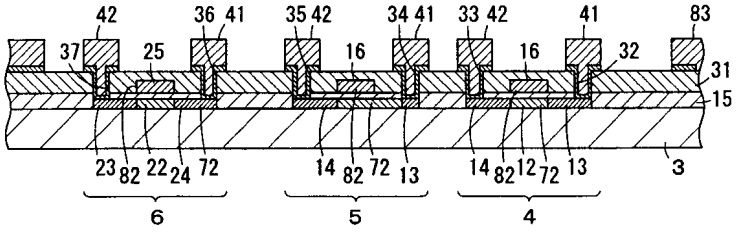
도면10



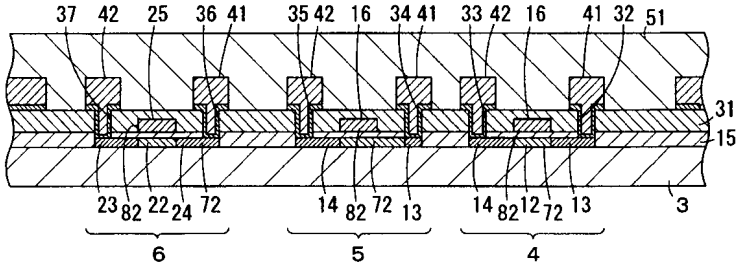
도면11



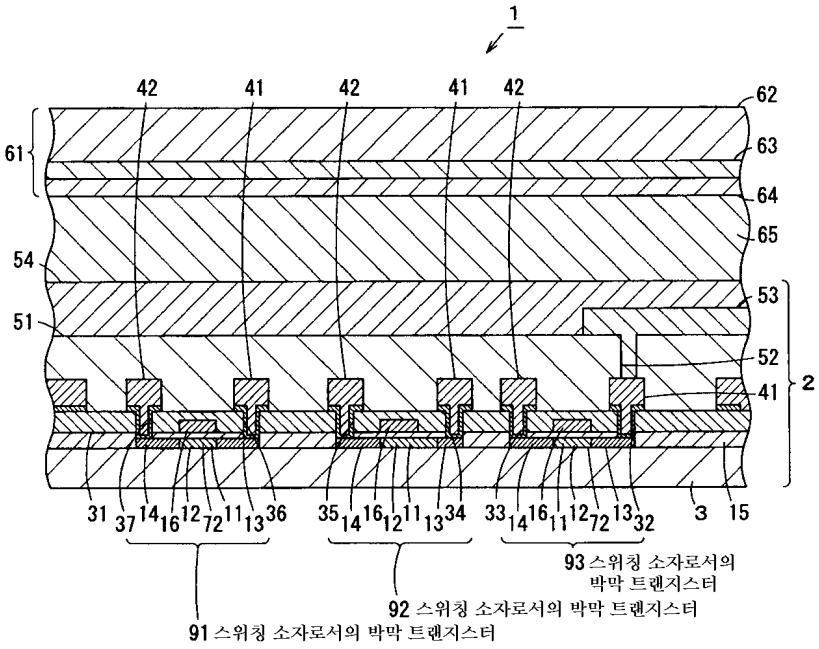
도면12



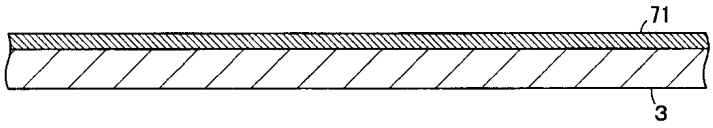
도면13



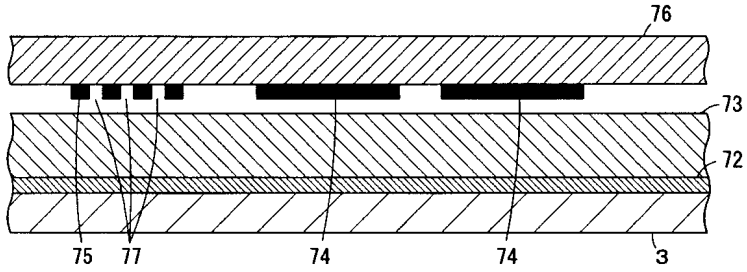
도면14



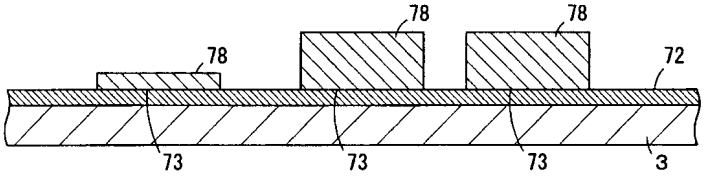
도면15



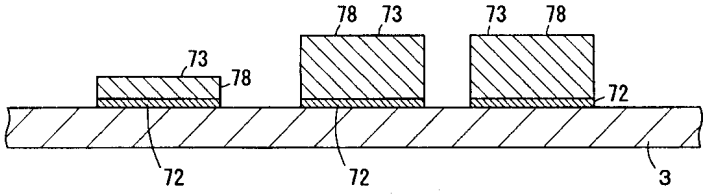
도면16



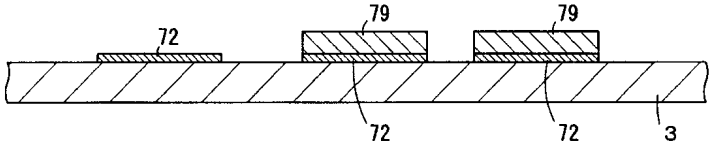
도면17



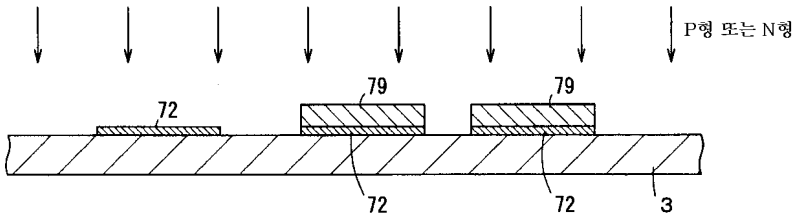
도면18



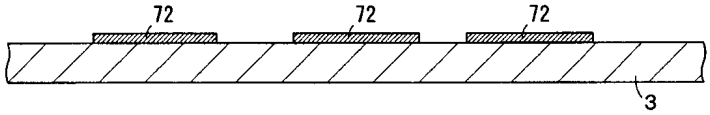
도면19



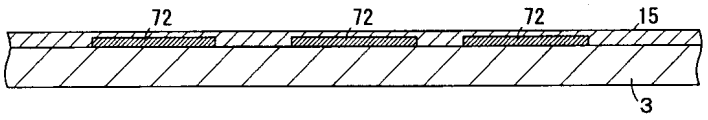
도면20



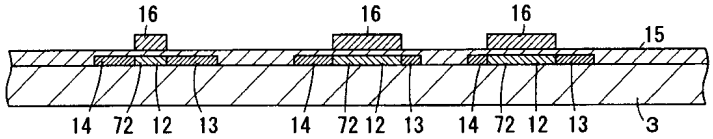
도면21



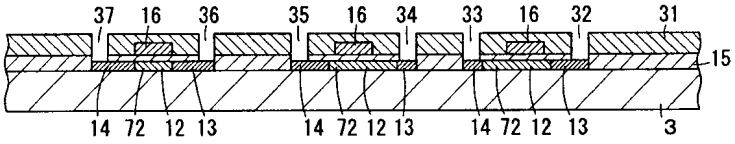
도면22



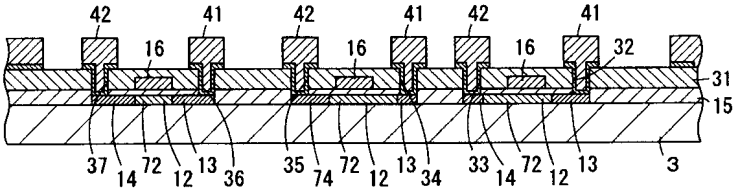
도면23



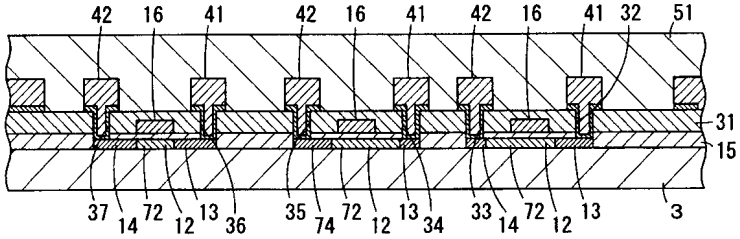
도면24



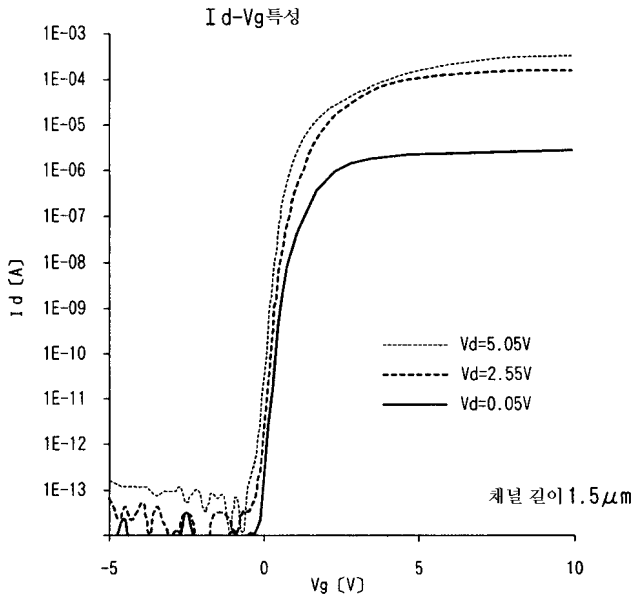
도면25



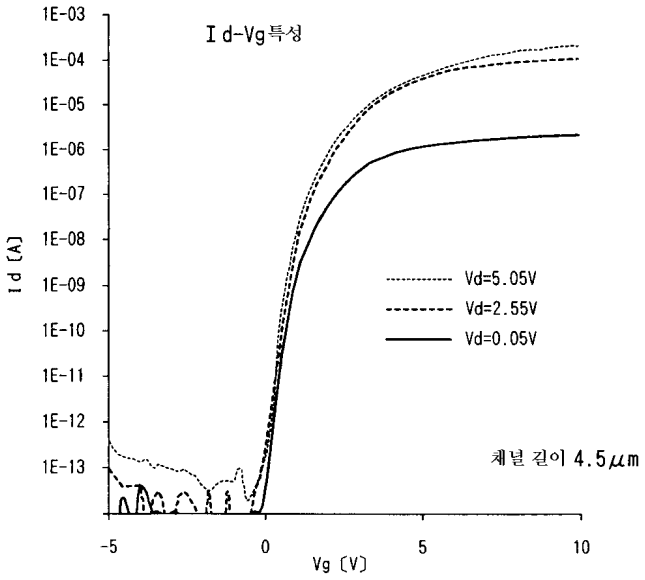
도면26



도면27



도면28


Id-Vg특성
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=5.05V
Vd=2.55V
Vd=0.05V
채널 길이 4.5㎛
-5
0
5
10
Vg [V]