



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0110604  
(43) 공개일자 2016년09월22일

(51) 국제특허분류(Int. Cl.)  
H03K 5/15 (2006.01) H03K 5/13 (2014.01)  
(52) CPC특허분류  
H03K 5/15006 (2013.01)  
H03K 5/131 (2013.01)  
(21) 출원번호 10-2015-0032591  
(22) 출원일자 2015년03월09일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
최해량  
경기도 광주시 회안대로 637-35 105동 1602호 (탄벌동, 탄벌경남아너스빌1단지아파트)  
김용주  
서울특별시 송파구 양재대로 1218, 89번지 올림픽 선수촌아파트 202동 801호  
(뒀면에 계속)  
(74) 대리인  
특허법인신성

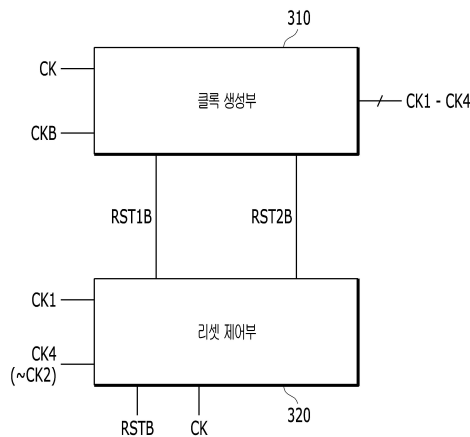
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 **클럭 생성 회로**

(57) 요약

클럭 생성 회로는 제1클럭을 반전하여 제1반전클럭을 생성하고, 상기 제1클럭과 위상이 다른 제2클럭을 반전하여 제2반전클럭을 생성하는 클럭 생성부; 및 상기 제1클럭과 상기 제2클럭의 위상을 비교하여 상기 제2클럭의 위상이 상기 제1클럭의 위상보다 앞서는 경우 상기 제2클럭 및 제2반전클럭이 소정의 구간 동안 비활성화되었다가 다시 활성화되도록 상기 클럭 생성부를 제어하는 리셋 제어부를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

*H03K 5/15033* (2013.01)

*H03K 5/1504* (2013.01)

(72) 발명자

**권대한**

서울특별시 노원구 동일로214길 21 상계주공4단지  
아파트 410동 305호

**강신덕**

경기도 수원시 팔달구 권광로 246 인계동, 래미안  
노블클래스 108동 2102호

## 명세서

### 청구범위

#### 청구항 1

제1클록을 반전하여 제1반전클록을 생성하고, 상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하는 클록 생성부; 및

상기 제1클록과 상기 제2클록의 위상을 비교하여 상기 제2클록의 위상이 상기 제1클록의 위상보다 앞서는 경우 상기 제2클록 및 제2반전클록이 소정의 구간 동안 비활성화되었다가 다시 활성화되도록 상기 클록 생성부를 제어하는 리셋 제어부

를 포함하는 클록 생성 회로.

#### 청구항 2

제 1항에 있어서,

상기 제1클록은 클록을 2분주하여 생성된 클록이고, 상기 제2클록은 상기 클록과 위상이 반대인 반전클록을 2분주하여 생성된 클록인 클록 생성 회로.

#### 청구항 3

제 1항에 있어서,

상기 리셋 제어부는

상기 제1클록의 소정의 엣지에서 상기 제2클록의 논리값을 검출하여 상기 제2클록이 소정의 논리값을 가지는 경우 상기 제2 및 제2반전클록이 소정의 구간 동안 비활성화되었다가 다시 활성화되도록 상기 클록 생성부를 제어하는 클록 생성 회로.

#### 청구항 4

제 1항에 있어서,

상기 리셋 제어부는

상기 제1클록의 소정의 엣지에서 상기 제2반전클록의 논리값을 검출하여 상기 제2반전클록이 소정의 논리값을 가지는 경우 상기 제2 및 제2반전클록이 소정의 구간 동안 비활성화되었다가 다시 활성화되도록 상기 클록 생성부를 제어하는 클록 생성 회로.

#### 청구항 5

제 1항에 있어서,

상기 제1클록의 위상이 상기 제2클록의 위상보다 앞서는 경우 상기 제1클록 상기 제2클록 - 상기 제2클록은 상기 제1클록보다  $90^\circ$  지연된 위상을 가짐 - , 상기 제1반전클록 - 상기 제1반전클록은 상기 제1클록보다  $180^\circ$  지연된 위상을 가짐 - 및 상기 제2반전클록 - 상기 제2반전클록은 상기 제1클록보다  $270^\circ$  지연된 위상을 가짐 - 은 순차적인 위상을 가지는 클록 생성 회로.

**청구항 6**

제 1항에 있어서,

상기 리셋 제어부는

상기 제1클록의 위상이 상기 제2클록보다 앞서는 경우 상기 제2클록 및 제2반전클록이 활성화 상태를 유지하도록 상기 클록 생성부를 제어하는 클록 생성 회로.

**청구항 7**

제 1항에 있어서,

상기 리셋 제어부는

상기 클록 및 상기 제1클록이 소정의 논리값을 가지는 구간에서 상기 제2리셋신호의 상태를 업데이트하는 클록 생성 회로.

**청구항 8**

제 2항에 있어서,

상기 리셋 제어부는

초기화 동작시 리셋신호가 비활성화되면 상기 클록의 소정의 엣지에서 상기 제1클록 및 상기 제1반전클록이 활성화되고, 상기 제1클록 및 상기 제1반전클록을 활성화된 후 상기 반전클록의 소정의 엣지에서 상기 제2클록 및 상기 제2반전클록을 활성화되도록 상기 클록 생성부를 제어하는 클록 생성 회로.

**청구항 9**

제1클록을 반전하여 제1반전클록을 생성하되, 제1리셋신호가 활성화되면 상기 제1클록 및 제1반전클록을 비활성화하고, 상기 제1리셋신호가 비활성화되면 상기 제1클록 및 상기 제1반전클록을 활성화하는 제1클록 생성부;

상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하되, 제2리셋신호가 활성화되면 상기 제2클록 및 제2반전클록을 비활성화하고, 상기 제2리셋신호가 비활성화되면 상기 제2클록 및 상기 제2반전클록을 활성화하는 제2클록 생성부;

상기 제1클록의 소정의 엣지에서 상기 제2클록 또는 상기 제2반전클록의 논리값을 검출하여 검출신호를 생성하는 검출신호 생성부; 및

리셋신호에 응답하여 상기 제1리셋신호를 생성하고, 상기 검출신호가 활성화된 경우 소정의 구간에서 상기 제1리셋신호에 응답하여 상기 제2리셋신호를 생성하는 리셋신호 생성부

를 포함하는 클록 생성 회로.

**청구항 10**

제 9항에 있어서,

상기 제1클록은 클록을 2분주하여 생성된 클록이고, 상기 제2클록은 상기 클록과 위상이 반대인 반전클록을 2분주하여 생성된 클록인 클록 생성 회로.

**청구항 11**

제 9항에 있어서,

상기 제1클록 생성부는

상기 제1리셋신호가 활성화되면 상기 제1클록을 소정의 논리값으로 비활성화하고, 상기 제1반전클록을 상기 제1클록의 논리값과 반대의 논리값으로 비활성화하고,

상기 제2클록 생성부는

상기 제2리셋신호가 활성화되면 상기 제2클록을 소정의 논리값으로 비활성화하고, 상기 제2반전클록을 상기 제2클록의 논리값과 반대의 논리값으로 비활성화하는 클록 생성 회로.

## 청구항 12

제 9항에 있어서,

상기 검출신호 생성부는

상기 제1클록의 소정의 엣지에서 상기 제2클록의 논리값을 검출하되, 상기 리셋신호가 활성화된 경우 상기 검출신호를 활성화하고, 상기 리셋신호가 비활성화된 경우 상기 제1클록의 소정의 엣지에서 상기 제2클록의 논리값이 소정의 논리값이면 상기 검출신호를 활성화하고, 상기 제2클록의 논리값이 상기 소정의 논리값과 반대의 논리값이면 상기 검출신호를 비활성화하는 클록 생성 회로.

## 청구항 13

제 9항에 있어서,

상기 검출신호 생성부는

상기 제1클록의 소정의 엣지에서 상기 제2반전클록의 논리값을 검출하되, 상기 리셋신호가 활성화된 경우 상기 검출신호를 활성화하고, 상기 리셋신호가 비활성화된 경우 상기 제1클록의 소정의 엣지에서 상기 제2반전클록의 논리값이 소정의 논리값이면 상기 검출신호를 활성화하고, 상기 제2반전클록의 논리값이 상기 소정의 논리값과 반대의 논리값이면 상기 검출신호를 비활성화하는 클록 생성 회로.

## 청구항 14

제 10항에 있어서,

상기 리셋신호 생성부는

상기 리셋신호가 활성화된 경우 상기 제1리셋신호를 활성화하고, 상기 리셋신호가 비활성화된 경우 상기 클록의 소정의 엣지에서 상기 제1리셋신호를 비활성화하는 클록 생성 회로.

## 청구항 15

제 14항에 있어서,

상기 리셋신호 생성부는

상기 검출신호가 활성화된 경우 상기 제2리셋신호를 비활성화하고, 상기 검출신호가 비활성화된 경우 상기 제1클록이 소정의 논리값을 가지는 구간의 소정의 시점에 상기 제1리셋신호를 상기 제2리셋신호로 전달하는 클록 생성 회로.

## 청구항 16

제1리셋신호가 비활성화된 경우 클록의 소정의 엣지에서 제1입력단으로 입력된 신호의 논리값을 제1출력단으로 출력하되, 상기 제1출력단의 신호를 반전하여 상기 제1입력단으로 입력받는 제1디플립플롭;

제2리셋신호가 비활성화된 경우 상기 클록과 위상이 반대인 반전 클록의 소정의 엣지에서 제2입력단으로 입력된 신호의 논리값을 제2출력단으로 출력하되, 상기 제2출력단의 신호를 반전하여 상기 제2입력단으로 입력받는 제2디플립플롭;

리셋신호가 비활성화된 경우 상기 제1출력단의 신호의 소정의 엣지에서 상기 제2입력단의 신호 또는 상기 제2출력단의 신호의 논리값을 검출신호로 출력하는 제3디플립플롭; 및

상기 검출신호가 비활성화된 경우 상기 제1출력단의 신호가 소정의 논리값을 가지는 구간의 상기 클록의 소정의 엣지에서 상기 제1리셋신호의 논리값을 상기 제2리셋신호로 출력하는 제4디플립플롭

을 포함하는 클록 생성 회로.

### 청구항 17

제 16항에 있어서,

상기 리셋신호가 비활성화된 경우 상기 클록의 소정의 엣지에서 소정의 논리값을 상기 제1리셋신호로 출력하는 제5디플립플롭

을 더 포함하는 클록 생성 회로.

### 청구항 18

제 16항에 있어서,

상기 제3디플립플롭은

리셋신호가 비활성화된 경우 상기 제1출력단의 신호의 소정의 엣지에서 상기 제2입력단의 신호의 논리값이 소정의 논리값이면 상기 검출신호를 비활성화하고, 상기 제2입력단의 신호의 논리값이 소정의 논리값이면 상기 검출신호를 활성화하는 클록 생성 회로.

### 청구항 19

제 16항에 있어서,

상기 제3디플립플롭은

리셋신호가 비활성화된 경우 상기 제1출력단의 신호의 소정의 엣지에서 상기 제2출력단의 신호의 논리값이 소정의 논리값이면 상기 검출신호를 비활성화하고, 상기 제2출력단의 신호의 논리값이 소정의 논리값이면 상기 검출신호를 활성화하는 클록 생성 회로.

### 청구항 20

제 16항에 있어서,

상기 제1디플립플롭은

상기 제1리셋신호가 활성화된 경우 상기 제1출력단의 신호를 비활성화하고,

상기 제2디플립플롭은

상기 제2리셋신호가 활성화된 경우 상기 제2출력단의 신호를 비활성화하는 클록 생성 회로.

**청구항 21**

제 17항에 있어서,  
 상기 제5디플립플롭은  
 상기 리셋신호가 활성화되면 상기 제1리셋신호를 활성화하는 클록 생성 회로.

**청구항 22**

제1클록을 반전하여 제1반전클록을 생성하고, 상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하는 클록 생성부;  
 상기 제1클록과 상기 제2클록의 위상을 비교하는 위상 비교부; 및  
 상기 위상 비교부의 비교 결과에 따라 결정되는 대응관계로 상기 제1클록, 상기 제2클록, 상기 제1반전클록 및 상기 제2반전클록을 제1 내지 제4출력클록으로 전달하는 클록 전달부를 포함하는 클록 생성 회로.

**청구항 23**

제 22항에 있어서,  
 상기 클록 전달부는  
 상기 제1클록의 위상이 상기 제2클록의 위상보다 앞서는 경우 상기 제1클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1반전클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하고,  
 상기 제2클록의 위상이 상기 제1클록의 위상보다 앞서는 경우 상기 제1반전클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하는 클록 생성 회로.

**청구항 24**

제 22항에 있어서,  
 상기 클록 전달부는  
 상기 제1클록의 위상이 상기 제2클록의 위상보다 앞서는 경우 상기 제1클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1반전클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하고,  
 상기 제2클록의 위상이 상기 제1클록의 위상보다 앞서는 경우 상기 제1클록을 상기 제1출력클록으로 전달하고, 상기 제2반전클록을 상기 제2출력클록으로 전달하고, 상기 제1반전클록을 상기 제3출력클록으로 전달하고, 상기 제2클록을 상기 제4출력클록으로 전달하는 클록 생성 회로.

**청구항 25**

제 22항에 있어서,  
 상기 제1출력클록, 상기 제2출력클록 - 상기 제2출력클록은 상기 제1출력클록보다 90° 지연된 위상을 가짐 - , 상기 제3출력클록 - 상기 제3출력클록은 상기 제1출력클록보다 180° 지연된 위상을 가짐 - 및 상기 제4출력클록 - 상기 제4출력클록은 상기 제1출력클록보다 270° 지연된 위상을 가짐 - 은 순차적인 위상을 가지는 클록

생성 회로.

**청구항 26**

클록을 2분주하여 제1클록을 생성하고, 상기 제1클록을 반전하여 제1반전클록을 생성하는 제1클록 생성부;

상기 클록과 위상이 반대인 반전클록을 2분주하여 제2클록을 생성하고, 상기 제2클록을 반전하여 제2반전클록을 생성하는 제2클록 생성부;

상기 제1클록의 소정의 엣지에서 상기 제2클록 또는 상기 제2반전클록의 논리값을 검출하는 검출부; 및

상기 검출부에 의해 검출된 논리값에 따라 결정되는 대응관계로 상기 제1클록, 상기 제2클록, 상기 제1반전클록 및 상기 제2반전클록을 제1 내지 제4출력클록으로 전달하는 클록 전달부

를 포함하는 클록 생성 회로.

**청구항 27**

제 26항에 있어서,

상기 검출신호 생성부는

상기 제1클록의 소정의 엣지에서 상기 제2클록의 논리값을 검출하고,

상기 클록 전달부는

상기 검출된 논리값이 소정의 논리값인 경우 상기 제1클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1반전클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하고,

상기 검출된 논리값이 상기 소정의 논리값과 반대의 논리값인 경우 상기 제1반전클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하는 클록 생성 회로.

**청구항 28**

제 26항에 있어서,

상기 검출신호 생성부는

상기 제1클록의 소정의 엣지에서 상기 제2반전클록의 논리값을 검출하고,

상기 클록 전달부는

상기 검출된 논리값이 소정의 논리값인 경우 상기 제1클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1반전클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하고,

상기 검출된 논리값이 상기 소정의 논리값과 반대의 논리값인 경우 상기 제1반전클록을 상기 제1출력클록으로 전달하고, 상기 제2클록을 상기 제2출력클록으로 전달하고, 상기 제1클록을 상기 제3출력클록으로 전달하고, 상기 제2반전클록을 상기 제4출력클록으로 전달하는 클록 생성 회로.

**청구항 29**

제 26항에 있어서,

상기 제1출력클록, 상기 제2출력클록 - 상기 제3출력클록은 상기 제1출력클록보다 90° 지연된 위상을 가짐 - , 상기 제3출력클록 - 상기 제4출력클록은 상기 제1출력클록보다 180° 지연된 위상을 가짐 - 및 상기 제4출력클록 - 상기 제1출력클록은 상기 제1출력클록보다 270° 지연된 위상을 가짐 - 은 순차적인 위상을 가지는 클록



생성 회로.

**발명의 설명**

**기술 분야**

[0001] 본 특허문헌은 클록 생성 회로에 관한 것이다.

**배경 기술**

[0002] 집적 회로의 동작 속도가 빨라질수록, 증가하는 clocking power와 내부 회로에서의 speed bottle-neck이 문제가 된다. 이러한 문제를 해결하기 위해, 집적 회로 내부는 낮은 clock 속도로 동작하게 하고, 입출력 회로만 고속에서 동작하는 기술이 사용되고 있다. 이러한 동작을 위해, 집적회로 내부에서는 다중 위상을 갖는 다수의 내부 클록을 생성해야 한다.

[0003] 예들 들어, 외부에서 입력되는 clock을 이용하여, 절반의 주파수 clock을 각각 90° 만큼 위상차를 갖도록 4개의 클록을 생성한다. 낮은 속도의 clock을 내부 회로 동작에 사용함으로써, 내부 회로의 속도 제한이 완화되며, 입출력에서는 4개의 clock을 serialize하여 고속 입출력 동작이 가능해진다.

[0004] 다중 위상을 갖는 내부클록들을 생성하기 위한 하나의 방법으로 0° 와 90° 의 위상을 가지는 2개의 내부클록을 생성하고, 이들을 각각 반전시킴으로써 180° 와 270° 의 위상을 가지는 2개의 내부클록을 생성하는 방법이 있다. 즉, 0° 와 180° 의 위상을 가지는 내부클록들을 한 쌍으로 생성하고, 90° 와 270° 의 위상을 가지는 내부클록들을 한 쌍으로 생성하는 방법이다. 이때 0° 내지 270° 를 가지는 내부클록들의 위상 관계는 항상 동일하게 유지되어야 한다.

[0005] 도 1은 4개의 서로 다른 위상을 가지는 내부클록(CK1 - CK4)을 생성하기 위한 클록 생성 회로를 도시한 도면이다. 도 1에서 내부클록들(CK1 - CK4)은 각각 90° 의 위상차이를 가져야 한다.

[0006] 도 1을 참조하면, 클록 생성 회로는 디플립플롭(DFF1, DFF2) 및 인버터(I1, I2)를 포함할 수 있다.

[0007] 제1디플립플롭(DFF1)은 클록(CK)의 라이징 엣지에 입력단(D)으로 입력된 값을 출력단(Q)으로 출력할 수 있다. 제1디플립플롭(DFF1)은 리셋신호(RSTB)가 활성화된 경우 출력단(Q)의 신호를 로우로 비활성화할 수 있다. 제1디플립플롭(DFF1)의 출력단(Q)으로 출력된 신호는 인버터(I1)에 의해 반전되어 제1디플립플롭(DFF1)의 입력단(D)으로 입력될 수 있다. 여기서 제1디플립플롭(DFF1)의 출력단(Q)으로 출력되는 클록이 위상이 0° 인 제1클록(CK1)이고, 입력단(D)으로 입력되는 클록이 위상이 180° 인 제3클록(CK3)일 수 있다.

[0008] 제2디플립플롭(DFF2)은 반전클록(CKB)의 라이징 엣지에 입력단(D)으로 입력된 값을 출력단(Q)으로 출력할 수 있다. 제2디플립플롭(DFF1)은 리셋신호(RSTB)가 활성화된 경우 출력단(Q)의 신호를 로우로 비활성화할 수 있다. 제2디플립플롭(DFF2)의 출력단(Q)으로 출력된 신호는 인버터(I2)에 의해 반전되어 제2디플립플롭(DFF2)의 입력단(D)으로 입력될 수 있다. 여기서 반전클록(CKB)은 클록(CK)과 주파수는 같고 위상이 반대인 클록일 수 있다. 또한 제2디플립플롭(DFF2)의 출력단(Q)으로 출력되는 클록이 위상이 90° 인 제2클록(CK2)이고, 입력단(D)으로 입력되는 클록이 위상이 270° 인 제4클록(CK4)일 수 있다.

[0009] 도 1의 클록 생성 회로를 포함하는 집적 회로가 정상적으로 동작하기 위해서는 클록 생성 회로에서 생성된 제1 내지 제4클록(CK1 - CK4)의 위상 관계가 일정하게 유지되어야 한다.

[0010] 도 2는 도 1의 클록 생성 회로에서 발생할 수 있는 문제점을 설명하기 위한 도면이다.

[0011] 도 2를 참조하면, 집적 회로에 노이즈가 발생하여 클록(CK)과 반전클록(CKB)의 듀티비가 어긋나는 부분(A)이 발생했다고 가정하자. 제1클록(CK1)은 로우에서 하이로 천이해야할 시점(T1)에 정상적으로 천이하지 못하고, 제2클록(CK2)은 하이에서 로우로 천이해야할 시점(T2)에 정상적으로 천이한 경우 그 이후 제1 내지 제4클록(CK1 - CK4)의 위상 관계는 도 2에 도시된 바와 같이 어긋나게 된다. 각각 0° 내지 270° 의 위상을 가져야하는 제1 내지 제4클록(CK1 - CK4)이 각각 90° , 270° , 0° , 180° 의 위상을 가지게 되는 것이다. 이렇게 설정된 위상 관

계가 어긋나는 경우 반도체 장치의 동작에 문제가 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0012] 본 발명의 일 실시예는 다중 위상을 가지는 클록들을 정해진 위상 순서가 노이즈 등으로 인해 뒤바뀐 경우에도 이를 바로 잡을 수 있는 클록 생성 회로를 제공할 수 있다.

**과제의 해결 수단**

[0013] 본 발명의 일 실시예에 따른 클록 생성 회로는 제1클록을 반전하여 제1반전클록을 생성하고, 상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하는 클록 생성부; 및 상기 제1클록과 상기 제2클록의 위상을 비교하여 상기 제2클록의 위상이 상기 제1클록의 위상보다 앞서는 경우 상기 제2클록 및 제2반전클록이 소정의 구간 동안 비활성화되었다가 다시 활성화되도록 상기 클록 생성부를 제어하는 리셋 제어부를 포함할 수 있다.

[0014] 또한 본 발명의 일 실시예에 따른 클록 생성 회로는 제1클록을 반전하여 제1반전클록을 생성하되, 제1리셋신호가 활성화되면 상기 제1클록 및 제1반전클록을 비활성화하고, 상기 제1리셋신호가 비활성화되면 상기 제1클록 및 상기 제1반전클록을 활성화하는 제1클록 생성부; 상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하되, 제2리셋신호가 활성화되면 상기 제2클록 및 제2반전클록을 비활성화하고, 상기 제2리셋신호가 비활성화되면 상기 제2클록 및 상기 제2반전클록을 활성화하는 제2클록 생성부; 상기 제1클록의 소정의 엣지에서 상기 제2클록 또는 상기 제2반전클록의 논리값을 검출하여 검출신호를 생성하는 검출신호 생성부; 및 리셋신호에 응답하여 상기 제1리셋신호를 생성하고, 상기 검출신호가 활성화된 경우 소정의 구간에서 상기 제1리셋신호에 응답하여 상기 제2리셋신호를 생성하는 리셋신호 생성부를 포함할 수 있다.

[0015] 또한 본 발명의 일 실시예에 따른 클록 생성 회로는 제1리셋신호가 비활성화된 경우 클록의 소정의 엣지에서 제1입력단으로 입력된 신호의 논리값을 제1출력단으로 출력하되, 상기 제1출력단의 신호를 반전하여 상기 제1입력단으로 입력받는 제1디플립플롭; 제2리셋신호가 비활성화된 경우 상기 클록과 위상이 반대인 반전 클록의 소정의 엣지에서 제2입력단으로 입력된 신호의 논리값을 제2출력단으로 출력하되, 상기 제2출력단의 신호를 반전하여 상기 제2입력단으로 입력받는 제2디플립플롭; 리셋신호가 비활성화된 경우 상기 제1출력단의 신호의 소정의 엣지에서 상기 제2입력단의 신호 또는 상기 제2출력단의 신호의 논리값을 검출신호로 출력하는 제3디플립플롭; 및 상기 검출신호가 비활성화된 경우 상기 제1출력단의 신호가 소정의 논리값을 가지는 구간의 상기 클록의 소정의 엣지에서 상기 제1리셋신호의 논리값을 상기 제2리셋신호로 출력하는 제4디플립플롭을 포함할 수 있다.

[0016] 또한 본 발명의 일 실시예에 따른 클록 생성 회로는 제1클록을 반전하여 제1반전클록을 생성하고, 상기 제1클록과 위상이 다른 제2클록을 반전하여 제2반전클록을 생성하는 클록 생성부; 상기 제1클록과 상기 제2클록의 위상을 비교하는 위상 비교부; 및 상기 위상 비교부의 비교 결과에 따라 결정되는 대응관계로 상기 제1클록, 상기 제2클록, 상기 제1반전클록 및 상기 제2반전클록을 제1 내지 제4출력클록으로 전달하는 클록 전달부를 포함할 수 있다.

[0017] 또한 본 발명의 일 실시예에 따른 클록 생성 회로는 클록을 2분주하여 제1클록을 생성하고, 상기 제1클록을 반전하여 제1반전클록을 생성하는 제1클록 생성부; 상기 클록과 위상이 반대인 반전클록을 2분주하여 제2클록을 생성하고, 상기 제2클록을 반전하여 제2반전클록을 생성하는 제2클록 생성부; 상기 제1클록의 소정의 엣지에서 상기 제2클록 또는 상기 제2반전클록의 논리값을 검출하는 검출부; 및 상기 검출부에 의해 검출된 논리값에 따라 결정되는 대응관계로 상기 제1클록, 상기 제2클록, 상기 제1반전클록 및 상기 제2반전클록을 제1 내지 제4출력클록으로 전달하는 클록 전달부를 포함할 수 있다.

**발명의 효과**

[0018] 본 기술은 클록 생성 회로에서 생성된 다중 위상의 클록들 사이의 위상을 비교하여, 설정된 순서와 다른 경우 일부 클록들을 초기화하거나, 클록의 순서를 바꿔줌으로써 다중 위상의 클록들의 위상 순서가 노이즈 등으로 인

해 뒤바뀐 경우에도 이를 바로 잡을 수 있다.

**도면의 간단한 설명**

- [0019] 도 1은 4개의 서로 다른 위상을 가지는 내부클록(CK1 - CK4)을 생성하기 위한 클록 생성 회로를 도시한 도면,
- 도 2는 도 1의 클록 생성 회로에서 발생할 수 있는 문제점을 설명하기 위한 도면,
- 도 3은 본 발명의 일 실시예에 따른 클록 생성 회로의 구성도,
- 도 4는 본 발명의 일 실시예에 따른 도 3의 클록 생성부(310)의 구성도,
- 도 5는 본 발명의 일 실시예에 따른 리셋 제어부(320)의 구성도,
- 도 6은 도 3의 클록 생성 회로의 '초기화 동작'을 설명하기 위한 도면,
- 도 7은 도 3 및 도 6의 실시예에 따른 클록 생성 회로의 '리셋 동작'을 설명하기 위한 도면,
- 도 8은 본 발명의 다른 일 실시예에 따른 클록 생성 회로의 구성도,
- 도 9는 도 8의 설명에서 상술한 제1실시예에 따른 클록 전달부(820)의 구성도,
- 도 10은 도 8의 설명에서 상술한 제2실시예에 따른 클록 전달부(820)의 구성도,
- 도 11는 도 8의 설명에서 상술한 제1실시예에 따른 클록 전달부(820)를 포함하는 클록 생성 회로의 동작을 설명하기 위한 도면,
- 도 12는 도 8의 설명에서 상술한 제2실시예에 따른 클록 전달부(820)를 포함하는 클록 생성 회로의 동작을 설명하기 위한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0021] 도 3은 본 발명의 일 실시예에 따른 클록 생성 회로의 구성도이다.
- [0022] 도 3을 참조하면, 클록 생성 회로는 클록 생성부(310) 및 리셋 제어부(320)를 포함할 수 있다.
- [0023] 클록 생성부(310)는 클록(CK)에 응답하여 제1클록(CK1) 및 제1반전클록(CK3)을 생성하고, 클록(CK)과 주파수가 같고, 위상이 반대인 반전클록(CKB)에 응답하여 제2클록(CK2) 및 제2반전클록(CK4)을 생성할 수 있다. 제1 및 제2클록(CK1, CK2), 제1 및 제2반전클록(CK3, CK4)은 각각 위상이 90° 씩 차이나도록 설정된 다중 위상의 클록 들 일 수 있다. 제1클록(CK1)은 0° 의 위상을 가지고, 제2클록(CK2)은 90° 의 위상을 가지고, 제1반전클록(CK3)은 180° 의 위상을 가지고, 제2반전클록(CK4)은 270° 의 위상을 가지도록 설정될 수 있다.
- [0024] 제1클록(CK1)은 클록(CK)을 2분주하여 생성되는 클록이고, 제2클록(CK2)은 반전클록(CKB)을 2분주하여 생성될 수 있다. 여기서 2분주란 주파수는 절반이 되고, 주기는 2배가 되는 것을 나타낼 수 있다.
- [0025] 리셋 제어부(320)은 클록 생성부(310)의 리셋 동작을 제어할 수 있다. 여기서 리셋 동작이란 클록들(CK1 - CK4)이 토글하지 않도록 비활성화하였다가 활성화하는 동작을 나타낼 수 있다.
- [0026] 리셋 제어부(320)는 제1클록(CK1)과 제2클록(CK2)의 위상을 비교하여 제2클록(CK2)의 위상이 제1클록(CK1)보다 앞서는 경우 제2클록(CK2) 및 제2반전클록(CK4)를 소정의 구간 동안 비활성화하였다가 다시 활성화되도록 클록 생성부(310)를 제어할 수 있다. 리셋 제어부(320)는 제1클록(CK1)과 제2클록(CK2)의 위상을 비교하기 위한 다음과 같은 방법들을 사용할 수 있다.
- [0027] 리셋 제어부(320)는 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값을 검출하여 제1클록(CK1)과 제2클록(CK2)의 위상을 비교할 수 있다. 제1클록(CK1)의 위상이 제2클록(CK2)의 위상보다 앞서는 경우 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 로우가 되고, 제2클록(CK2)의 위상이 제1클록(CK1)의 위상보다 앞서는 경우 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 하이가 될 수 있다. 따라서 후자의 경우, 리셋 제어부(320)는 제2클록(CK2) 및 제2반전클록(CK4)를 소정의 구간 동안 비활성화하였다가 다시 활성화되도록

록 클록 생성부(310)를 제어할 수 있다.

- [0028] 또한 리셋 제어부(320)는 제1클록(CK1)의 라이징 엣지에서 제2반전클록(CK4)의 논리값을 검출하여 제1클록(CK1)과 제2클록(CK2)의 위상을 비교할 수 있다. 제1클록(CK1)의 위상이 제2클록(CK2)의 위상보다 앞서는 경우 제1클록(CK1)의 라이징 엣지에서 제2반전클록(CK4)의 논리값이 하이가 되고, 제2클록(CK2)의 위상이 제1클록(CK1)의 위상보다 앞서는 경우 제1클록(CK1)의 라이징 엣지에서 제2반전클록(CK4)의 논리값이 로우가 될 수 있다. 따라서 후자의 경우, 리셋 제어부(320)는 제2클록(CK2) 및 제2반전클록(CK4)를 소정의 구간 동안 비활성화하였다가 다시 활성화되도록 클록 생성부(310)를 제어할 수 있다.
- [0029] 이외에도, 리셋 제어부(320)는 다양한 방법을 이용하여 제1클록(CK1)과 제2클록(CK2)의 위상을 비교하고, 그 결과에 따라 제2클록(CK2) 및 제2반전클록(CK4)의 리셋여부(비활성화하였다가 다시 활성화하는 동작을 나타냄)를 제어할 수 있다.
- [0030] 리셋 제어부(320)는 제1클록(CK1)의 위상이 제2클록(CK2)보다 앞서는 경우 제2클록(CK2) 및 제2반전클록(CK4)이 활성화 상태를 유지하도록 클록 생성부(310)를 제어할 수 있다.
- [0031] 리셋 제어부(320)는 클록 생성 회로가 구동을 시작할 때 리셋신호(RSTB)가 비활성화되면 클록(CK)의 라이징 엣지에서 제1클록(CK1) 및 제1반전클록(CK3)을 활성화하고, 그 후 반전클록(CKB)의 라이징 엣지에서 제2클록(CK2) 및 제2반전클록(CK4)이 활성화되도록 클록 생성부(310)를 제어할 수 있다. 참고로, 클록 생성 회로가 구동을 시작할 때란 예를 들어 클록 생성 회로가 포함된 집적 회로가 파워온 되는 경우를 나타낼 수 있다. 이때 클록 생성 회로의 구동이 시작되기 이전에 CK1 - CK4는 모두 비활성화 상태일 수 있다. 참고로 리셋신호(RSTB)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호일 수 있다.
- [0032] 리셋 제어부(320)는 제1클록(CK1)과 제2클록(CK2)의 위상 비교 결과에 따라 주기적으로 제2클록 및 제2반전클록(CK2, CK4)를 리셋하거나 하지 않음으로써 클록 생성 회로가 동작 중에 제1클록(CK1)과 제2클록(CK2)의 위상이 바뀌면 소정의 시간 후에 활성화함으로써 제1클록(CK1) 및 제2클록(CK2)의 위상을 바로잡을 수 있다.
- [0033] 참고로 제1클록(CK1)은 클록(CK)을 2분주하여 생성되고, 제2클록(CK2)은 반전클록(CKB)을 2분주하여 생성되기 때문에 기본적으로 제1클록(CK1)은 제2클록(CK2)보다 90° 앞서는 위상을 가지도록 설계 되어 있다. 따라서 제1클록(CK1)과 제2클록(CK2)의 위상 관계가 틀어지더라도(CK2가 CK1보다 90° 앞섬), 제2클록(CK2)을 리셋하는 경우 둘의 위상 관계가 원상태로 회복될 수 있다(CK1가 CK2보다 90° 앞섬).
- [0034] 이하에서는 도 4 내지 도 7을 참조하여 도 3의 클록 생성 회로의 세부 구성 및 동작에 대해 설명한다. 참고로 이하에서 '초기화 동작'은 클록 생성 회로가 비활성화된 상태에서 활성화 상태로 변경되는 동작을 나타낸 것이고, '리셋 동작'은 제1클록(CK1)과 제2클록(CK2)의 위상 관계가 틀어진 경우 이를 바로 잡기 위해 제2클록(CK2)과 제2반전클록(CK4)을 소정의 구간 동안 비활성화하였다가 다시 활성화하는 동작을 나타낼 수 있다.
- [0035] 도 4는 본 발명의 일 실시예에 따른 도 3의 클록 생성부(310)의 구성도이다.
- [0036] 도 4를 참조하면, 클록 생성부(310)는 제1클록 생성부(410) 및 제2클록 생성부(420)를 포함할 수 있다.
- [0037] 제1클록 생성부(410)는 제1리셋신호(RST1B)가 활성화된 경우 제1클록(CK1) 및 제1반전클록(CK3)을 비활성화하고, 제1리셋신호(RST1B)가 비활성화된 경우 제1클록(CK1) 및 제1반전클록(CK3)을 활성화할 수 있다. 제1클록 생성부(410)는 제1리셋신호(RST1B)가 비활성화된 경우 클록(CK)을 2분주하여 제1클록(CK1)을 생성하고, 제1클록(CK1)을 반전하여 제1반전클록(CK3)을 생성할 수 있다. 제1클록 생성부(410)는 제1리셋신호(RST1B)가 활성화된 경우 제1클록(CK1) 및 제1반전클록(CK3)을 비활성화할 수 있다. 제1클록(CK1) 및 제1반전클록(CK3)은 비활성화된 경우 각각 로우 및 하이로 유지될 수 있다. 참고로 제1리셋신호(RST1B)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호일 수 있다.
- [0038] 제1클록 생성부(410)는 제1디플립플롭(411) 및 제1인버터(412)를 포함할 수 있다. 제1디플립플롭(411)은 제1리셋신호(RST1B)가 비활성화된 경우 클록(CK)의 라이징 엣지에서 제1입력단(D1)으로 입력된 신호의 논리값을 제1출력단(Q1)으로 출력할 수 있다. 제1출력단(Q1)에서 출력된 신호는 제1인버터(412)를 통해 반전되어 다시 제1입력단(D1)으로 입력될 수 있다. 제1리셋신호(RST1B)가 활성화된 경우 제1출력단(Q1)의 값은 로우로 유지되고, 제1입력단(D1)의 값은 하이로 유지된다. 참고로 제1출력단(Q1)의 신호가 제1클록(CK1)이고, 제1입력단(D1)의 신호가 제1반전클록(CK3)이다.



- [0039] 제2클록 생성부(420)는 제2리셋신호(RST2B)가 활성화된 경우 제2클록(CK2) 및 제2반전클록(CK4)을 비활성화하고, 제2리셋신호(RST2B)가 비활성화된 경우 제2클록(CK2) 및 제2반전클록(CK4)을 활성화할 수 있다. 제2클록 생성부(420)는 제2리셋신호(RST2B)가 비활성화된 경우 반전클록(CKB)을 2분주하여 제2클록(CK2)을 생성하고, 제2클록(CK2)을 반전하여 제2반전클록(CK4)을 생성할 수 있다. 제2클록 생성부(420)는 제2리셋신호(RST2B)가 활성화된 경우 제2클록(CK2) 및 제2반전클록(CK4)을 비활성화할 수 있다. 제2클록(CK2) 및 제2반전클록(CK4)은 비활성화된 경우 각각 로우 및 하이로 유지될 수 있다. 참고로 제2리셋신호(RST2B)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호일 수 있다.
- [0040] 제2클록 생성부(420)는 제2디플립플롭(421) 및 제2인버터(422)를 포함할 수 있다. 제2디플립플롭(421)은 제2리셋신호(RST2B)가 비활성화된 경우 반전클록(CKB)의 라이징 엣지에서 제2입력단(D2)으로 입력된 신호의 논리값을 제2출력단(Q2)으로 출력할 수 있다. 제2출력단(Q2)에서 출력된 신호는 제2인버터(422)를 통해 반전되어 다시 제2입력단(D2)으로 입력될 수 있다. 제2리셋신호(RST2B)가 활성화된 경우 제2출력단(Q2)의 값은 로우로 유지되고, 제2입력단(D2)의 값은 하이로 유지된다. 참고로 제2출력단(Q2)의 신호가 제2클록(CK2)이고, 제2입력단(D2)의 신호가 제2반전클록(CK4)이다.
- [0041] 도 5는 본 발명의 일 실시예에 따른 리셋 제어부(320)의 구성도이다.
- [0042] 도 5를 참조하면, 리셋 제어부(320)는 검출신호 생성부(510) 및 리셋신호 생성부(520)를 포함할 수 있다.
- [0043] 검출신호 생성부(510)는 제1클록(CK1)의 라이징 엣지에서 검출되는 제2클록(CK2)의 논리값에 따라 검출신호(DETB)를 생성할 수 있다. 검출신호 생성부(510)는 리셋 신호(RSTB)가 활성화된 경우 검출신호(DETB)를 활성화할 수 있다. 검출신호 생성부(510)는 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)의 라이징 엣지에서 제2반전클록(CK4)의 논리값이 하이이면 검출신호(DETB)를 비활성화하고, 제1클록(CK1)의 라이징 엣지에서 제2반전클록(CK4)의 논리값이 로우이면 검출신호(DETB)를 활성화할 수 있다. 참고로 검출신호(DETB)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호일 수 있다.
- [0044] 한편, 제2반전클록(CK4)은 제2클록(CK2)과 논리값이 정반대이므로 검출신호 생성부(510)가 제2반전클록(CK4)을 이용해 제2클록(CK2)의 논리값을 검출하는 것으로 볼 수도 있다. 검출신호 생성부(510)는 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 로우이면 검출신호(DETB)를 비활성화하고, 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 하이이면 검출신호(DETB)를 활성화할 수 있다. ~CK2 는 CK4가 CK2와 반대인 위상을 갖는다는 것을 나타낼 수 있다.
- [0045] 검출신호 생성부(510)는 리셋 신호(RSTB)가 활성화된 경우 제3출력단(Q3)으로 로우를 출력하고, 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)의 라이징 엣지에서 제3입력단(D3)의 논리값을 제3출력단(Q3)으로 출력하는 제3디플립플롭(511)을 포함할 수 있다. 참고로 제3입력단(D3)의 신호는 제2클록(CK2)을 반전한 제2반전클록(CK4)이고, 제3출력단(Q3)의 신호는 검출신호(DETB)일 수 있다.
- [0046] 리셋신호 생성부(520)는 제1 및 제2리셋신호(RST1B, RST2B)를 생성할 수 있다. 리셋신호 생성부(520)는 리셋신호(RSTB)가 비활성화되면, 클록(CK)의 라이징 엣지에서 제1리셋신호(RST1B)를 비활성화할 수 있다. 또한 리셋신호(RSTB)가 활성화되면 제1리셋신호(RST1B)를 활성화할 수 있다. 리셋신호 생성부(520)는 검출신호(DETB)가 활성화된 경우 제2리셋신호(RST2B)를 활성화할 수 있다. 또한 리셋신호 생성부(520)는 검출신호(DETB)가 비활성화된 경우 제1클록(CK1)이 로우인 구간의 클록(CK)의 폴링엣지에서 제1리셋신호(RST1B)의 값을 제2리셋신호(RST2B)로 출력할 수 있다. 즉 제1클록(CK1)이 로우인 구간의 클록(CK)의 폴링엣지에서 제1리셋신호(RST1B)가 활성화된 경우 제2리셋신호(RST2B)를 활성화하고, 제1리셋신호(RST1B)가 비활성화된 경우 제2리셋신호(RST2B)를 활성화할 수 있다.
- [0047] 리셋신호 생성부(520)는 노어 게이트(521), 제4 및 제5디플립플롭(522, 523)을 포함할 수 있다. 노어 게이트(521)는 클록(CK)과 제1클록(CK1)을 노어(nor) 조합하여 릴리즈 신호(RELEASE)를 생성할 수 있다. 릴리즈 신호(RELEASE)는 제1클록(CK1)이 로우인 구간에서 클록(CK)과 반대 위상을 가지고 토글하며, 제1클록(CK1)이 하이인 구간에서 로우인 신호일 수 있다. 릴리즈 신호(RELEASE)는 제1클록(CK1)이 로우인 구간의 클록(CK)의 라이징 엣지에서 폴링 엣지를 생성할 수 있다.
- [0048] 제4디플립플롭(522)은 검출신호(DETB)가 활성화된 경우 제4출력단(Q4)으로 로우를 출력하고, 검출신호(DETB)가 비활성화된 경우 릴리즈 신호(RELEASE)의 라이징 엣지에서 제4입력단(D4)의 신호의 논리값을 제4출력단(Q4)으로

출력할 수 있다. 제4입력단(D4)의 신호는 제1리셋신호(RST1B)이고, 제4출력단(Q4)의 신호는 제2리셋신호(RST2B)일 수 있다.

- [0049] 제5디플립플롭(523)은 리셋신호(RSTB)가 활성화된 경우 제5출력단(Q5)으로 로우를 출력하고, 리셋신호(RSTB)가 비활성화된 경우 클록(CK)의 라이징 엣지에서 제5입력단(D5)의 신호의 논리값을 제5출력단(Q5)으로 출력할 수 있다. 제5입력단(D5)의 신호는 하이로 유지되는 신호(예를 들어, 전원전압)이고, 제5출력단(Q5)으로 출력되는 신호는 제1리셋 신호(RST1B)일 수 있다. 참고로 리셋신호(RSTB)는 클록 생성 회로의 '초기화 동작' 이전에는 활성화 상태를 유지하다가, '초기화 동작'시 비활성화 상태로 천이하며 그 후 비활성화 상태로 유지되는 비동기(asynchronous) 신호일 수 있다. 리셋신호(RSTB)는 본 명세서에 기재하고 있는 '리셋 동작'시에는 비활성화 상태를 유지할 수 있다.
- [0050] 도 6은 도 3의 클록 생성 회로의 '초기화 동작'을 설명하기 위한 도면이다.
- [0051] 도 6을 참조하면, 클록(CK), 반전클록(CKB), 제1클록(CK1), 제2클록(CK2), 제1반전클록(CK3), 제2반전클록(CK4), 리셋신호(RSTB), 제1리셋신호(RST1B), 제2리셋신호(RST2B), 릴리즈 신호(RELEASE), 검출신호(DETB)의 파형도를 이용해 '초기화 동작'에 대해 설명할 수 있다. '초기화 동작'은 리셋신호(RSTB)가 비활성화되는 시점(T1)부터 시작될 수 있다.
- [0052] '초기화 동작'이 수행되기 이전에 RSTB, RST1B, RST2B는 모두 로우로 활성화 상태이고, CK1, CK2는 로우 CK3, CK4는 하이로 비활성화 상태이다. DETB는 로우로 활성화 상태이다.
- [0053] RSTB가 하이로 비활성화되면, 다음번 CK의 라이징 엣지(R1)에서 RST1B가 하이로 비활성화된다. RST1B가 비활성화되면 CK1, CK3가 활성화되어 토글하기 시작한다. CK1이 토글하기 시작하면, CK1 라이징 엣지(R2)에서 DETB가 하이로 비활성화된다. RELEASE는 CK1이 비활성화된 상태인 경우 CK의 파형을 반전한 파형을 가지다가, CK1가 활성화된 후에는 CK1가 로우인 구간에서만 CK의 파형을 반전한 파형을 가진다. DETB가 비활성화되면 다음번 RELEASE의 라이징 엣지(R3)의 RST1B의 값이 RST2B로 출력되고, 따라서 RST2B는 하이로 비활성화된다. RST2B가 비활성화되면 CK2, CK4가 토글하기 시작한다. 참고로 R3는 CK1가 로우인 구간의 CK의 폴링엣지(F1)에 대응한다.
- [0054] '초기화 동작'이 완료되면 RSTB, RST1B, RST2B는 모두 하이로 비활성화된 상태이고, CK1 - CK4는 활성화되어 각각 90°의 위상 차이를 가지고 토글한다. RST2B는 DETB가 하이로 비활성화된 경우 RELEASE의 라이징 엣지마다 RST1B의 값으로 바뀌고, DETB가 로우로 활성화된 경우 로우로 활성화된다. RELEASE는 CK1가 로우인 구간에서만 CK의 파형을 반전한 파형을 가진다.
- [0055] 도 7은 도 3의 클록 생성 회로의 '리셋 동작'을 설명하기 위한 도면이다.
- [0056] 도 7을 참조하면, 클록(CK), 반전클록(CKB), 제1클록(CK1), 제2클록(CK2), 제1반전클록(CK3), 제2반전클록(CK4), 리셋신호(RSTB), 제1리셋신호(RST1B), 제2리셋신호(RST2B), 릴리즈 신호(RELEASE), 검출신호(DETB)의 파형도를 이용해 '리셋 동작'에 대해 설명할 수 있다. 클록 생성 회로의 '초기화 동작'이 완료된 후 클록 생성 회로가 지속적으로 CK1 - CK4를 생성하다가, 어떤 시점에 노이즈가 발생하여 CK1과 CK2의 위상이 바뀌었다고 가정하자(DISMATCH, CK2가 CK1보다 90° 앞서게 됨).
- [0057] CK1의 라이징 엣지(R1)에서 CK2(또는 CK4)의 논리값을 검출했을 때 하이(또는 로우)가 되기 때문에 DETB가 로우로 활성화된다(T1). DETB가 로우로 활성화되면, RST2B가 로우로 활성화되고 따라서 CK2와 CK4가 더 이상 토글하지 않고 각각 로우 및 하이로 비활성화된다. CK2와 CK4가 비활성화된 구간 동안에도 CK1의 라이징 엣지에서 CK2(또는 CK4)의 논리값을 검출하는 동작은 계속되므로 CK1의 라이징 엣지(R2)에서 CK2(또는 CK4)의 논리값을 검출했을 때 로우(또는 하이)가 되면 DETB가 하이로 비활성화된다(T2). DETB가 하이로 비활성화된 후 CK1이 로우인 구간의 CK의 폴링 엣지(F1, DETB가 하이로 활성화된 후 RELEASE의 첫번째 라이징 엣지(R3)임) RST1B의 논리값인 하이로 RST2B로 전달되므로 RST2B는 하이로 비활성화되고, CK2와 CK4가 다시 활성화된다.
- [0058] 이러한 '리셋 동작'을 통해서 CK1, CK2의 위상 관계는 원상태로 회복된다(CK1이 CK2보다 90° 앞서게 됨).
- [0059] 도 8은 본 발명의 다른 일 실시예에 따른 클록 생성 회로의 구성도이다.
- [0060] 도 8을 참조하면, 클록 생성 회로는 클록 생성부(810), 위상 비교부(820), 클록 전달부(830) 및 리셋신호 생성부(840)를 포함할 수 있다.

- [0061] 클록 생성부(810)는 클록(CK)에 응답하여 제1클록(CK1) 및 제1반전클록(CK3)을 생성하고, 클록(CK)과 주파수가 같고, 위상이 반대인 반전클록(CKB)에 응답하여 제2클록(CK2) 및 제2반전클록(CK4)을 생성할 수 있다. 제1클록(CK1)은 클록(CK)을 2분주하여 생성되는 클록이고, 제2클록(CK2)은 반전클록(CKB)을 2분주하여 생성될 수 있다. 여기서 2분주란 주파수는 절반이 되고, 주기는 2배가 되는 것을 나타낼 수 있다. 클록 생성부(810)의 구성 및 동작은 도 4의 클록 생성부와 동일할 수 있다.
- [0062] 위상 비교부(820)는 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)과 제2클록(CK2)의 위상을 비교하여 제1클록(CK1)위상이 제2클록(CK2)의 위상보다 앞서는 경우 검출신호(DETB)를 비활성화하고, 제2클록(CK2)의 위상이 제1클록(CK1)의 위상보다 앞서는 경우 검출신호(DETB)를 활성화할 수 있다. 위상 비교부(820)는 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)과 제2클록(CK2)의 위상은 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2) 또는 제2반전클록(CK4)의 논리값을 검출함으로써 판단할 수 있다.
- [0063] 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 로우이거나 또는 제2반전클록(CK4)의 논리값이 하이이면 제1클록(CK1)의 위상이 제2클록(CK2)의 위상보다 앞서는 것이므로 검출신호(DETB)가 비활성화될 수 있다. 또한 제1클록(CK1)의 라이징 엣지에서 제2클록(CK2)의 논리값이 하이이거나 또는 제2반전클록(CK2)의 논리값이 로우이면 제2클록(CK2)의 위상이 제1클록(CK1)의 위상보다 앞서는 것이므로 검출신호(DETB)가 활성화될 수 있다. 참고로 검출신호(DETB)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호일 수 있다. ~CK2 는 CK4가 CK2와 반대인 위상을 갖는다는 것을 나타낼 수 있다.
- [0064] 위상 비교부(820)는 리셋 신호(RSTB)가 활성화된 경우 제3출력단(Q3)으로 로우를 출력하고, 리셋 신호(RSTB)가 비활성화된 경우 제1클록(CK1)의 라이징 엣지에서 제3입력단(D3)의 논리값을 제3출력단(Q3)으로 출력하는 제3디플립플롭(821)을 포함할 수 있다. 참고로 제3입력단(D3)의 신호는 제2클록(CK2)을 반전한 제2반전클록(CK4)이고, 제3출력단(Q3)의 신호는 검출신호(DETB)일 수 있다.
- [0065] 리셋신호 생성부(840)는 리셋신호(RSTB)가 비활성화되면, 클록(CK)의 라이징 엣지에서 제1리셋신호(RST1B)를 비활성화할 수 있다. 또한 리셋신호(RSTB)가 활성화되면 제1리셋신호(RST1B)를 활성화할 수 있다. 리셋신호 생성부(840)는 리셋신호(RSTB)가 활성화된 경우 제2리셋신호(RST2B)를 활성화할 수 있다. 또한 리셋신호 생성부(840)는 리셋신호(RSTB)가 비활성화된 경우 제1클록(CK1)이 로우인 구간의 클록(CK)의 폴링엣지에서 제1리셋신호(RST1B)의 값을 제2리셋신호(RST2B)로 출력할 수 있다. 즉, 제1클록(CK1)이 로우인 구간의 클록(CK)의 폴링엣지에서 제1리셋신호(RST1B)가 활성화된 경우 제2리셋신호(RST2B)를 활성화하고, 제1리셋신호(RST1B)가 비활성화된 경우 제2리셋신호(RST2B)를 활성화할 수 있다.
- [0066] 참고로 리셋신호(RSTB)는 비활성화시 하이 값을 가지고, 활성화시 로우 값을 가지는 신호이며 클록 생성 회로가 구동되기 전에는 활성화 상태이고, 클록 생성 회로가 구동되면 비활성 상태를 가질 수 있다.
- [0067] 리셋신호 생성부(840)는 노어 게이트(841), 제4 및 제5디플립플롭(842, 843)을 포함할 수 있다. 노어 게이트(841)는 클록(CK)과 제1클록(CK1)을 노어(nor) 조합하여 릴리즈 신호(RELEASE)를 생성할 수 있다. 릴리즈 신호(RELEASE)는 제1클록(CK1)이 로우인 구간에서 클록(CK)과 반대 위상을 가지고 토글하며, 제1클록(CK1)이 하이인 구간에서 로우인 신호일 수 있다. 릴리즈 신호(RELEASE)는 제1클록(CK1)이 로우인 구간의 클록(CK)의 라이징 엣지에서 폴링 엣지를 생성할 수 있다.
- [0068] 제4디플립플롭(842)은 리셋신호(RSTB)가 활성화된 경우 제4출력단(Q4)으로 로우를 출력하고, 리셋신호(RSTB)가 비활성화된 경우 릴리즈 신호(RELEASE)의 라이징 엣지에서 제4입력단(D4)의 신호의 논리값을 제4출력단(Q4)으로 출력할 수 있다. 제4입력단(D4)의 신호는 제1리셋신호(RST1B)이고, 제4출력단(Q4)의 신호는 제2리셋신호(RST2B)일 수 있다.
- [0069] 제5디플립플롭(843)은 리셋신호(RSTB)가 활성화된 경우 제5출력단(Q5)으로 로우를 출력하고, 리셋신호(RSTB)가 비활성화된 경우 클록(CK)의 라이징 엣지에서 제5입력단(D5)의 신호의 논리값을 제5출력단(Q5)으로 출력할 수 있다. 제5입력단(D5)의 신호는 하이로 유지되는 신호(예를 들어, 전원전압)이고, 제5출력단(Q5)으로 출력되는 신호는 제1리셋 신호(RST1B)일 수 있다.
- [0070] 클록 전달부(830)는 위상 비교부(810)의 검출신호(DETB)의 논리값에 따라 결정되는 대응관계로 제1클록(CK1), 제2클록(CK2), 제1반전클록(CK3) 및 제2반전클록(CK4)을 제1 내지 제4출력클록(OCK1 - OCK4)으로 전달할 수 있다. 제1 내지 제4출력클록들(OCK1 - OCK4)은 각각 위상이 90° 씩 차이나도록 설정된 다중 위상의 클록들 일 수 있다. 제1출력클록(OCK1)은 0° 의 위상을 가지고, 제2출력클록(OCK2)은 90° 의 위상을 가지고, 제3출력클록(OCK3)은 180° 의 위상을 가지고, 제4출력클록(OCK4)은 270° 의 위상을 가지도록 설정될 수 있다.

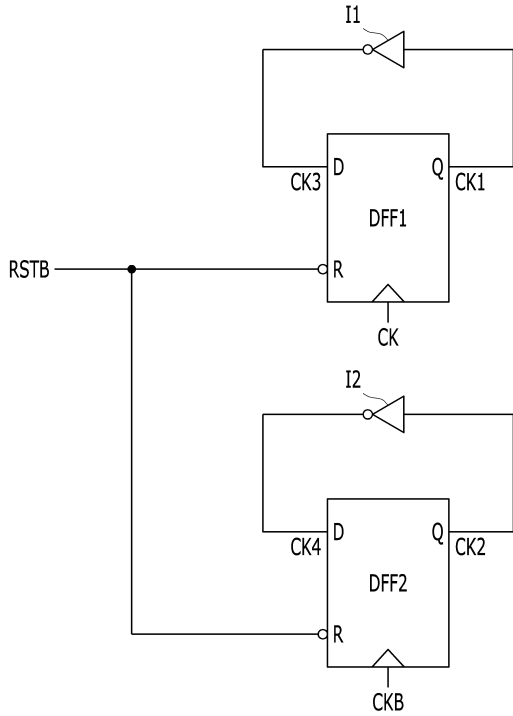
- [0071] 클록 전달부(830)는 검출신호(DETB)가 비활성화된 경우 제1클록(CK1)을 제1출력클록(OCK1)으로 전달하고, 제2클록(CK2)을 제2출력클록(OCK1)으로 전달하고, 제1반전클록(CK3)을 제3출력클록(OCK3)으로 전달하고, 제2반전클록(CK4)을 제4출력클록(OCK4)으로 전달할 수 있다. 클록 전달부(830)는 검출신호(DETB)가 활성화된 경우 2가지 방법을 이용하여 제1 내지 제4출력클록(OCK1 - OCK4)의 위상 관계가 위 설정된 관계를 유지하도록 할 수 있다.
- [0072] 제1실시예의 경우 클록 전달부(830)는 검출신호(DETB)가 활성화된 경우 제1반전클록(CK3) 제1출력클록(OCK1)으로 전달하고, 제2클록(CK2)을 제2출력클록(OCK2)으로 전달하고, 제1클록(CK1)을 제3출력클록(OCK3)으로 전달하고, 제2반전클록(CK4)을 제4출력클록(OCK4)으로 전달할 수 있다. 즉, CK1, CK3와 OCK1, OCK3의 대응관계를 바꿔줌으로써 OCK1 - OCK4의 위상 순서가 유지되도록 할 수 있다.
- [0073] 제2실시예의 경우 클록 전달부(830)는 검출신호(DETB)가 활성화된 경우 제1클록(CK1) 제1출력클록(OCK1)으로 전달하고, 제2반전클록(CK4)을 제2출력클록(OCK2)으로 전달하고, 제1반전클록(CK3)을 제3출력클록(OCK3)으로 전달하고, 제2클록(CK2)을 제4출력클록(OCK4)으로 전달할 수 있다. 즉, CK2, CK4와 OCK2, OCK4의 대응관계를 바꿔줌으로써 OCK1 - OCK4의 위상 순서가 유지되도록 할 수 있다.
- [0074] 클록 전달부(830)는 제1클록(CK1)과 제2클록(CK2)의 위상 비교 결과에 따라 CK1 - CK4와 OCK1 - OCK4의 대응관계를 바꿔줌으로써 노이즈 발생으로 인해 CK1 - CK4의 위상 순서가 바뀌어도 OCK1 - OCK4의 위상 순서가 일정하게 유지되도록 할 수 있다.
- [0075] 이하에서는 도 9 내지 도 12을 참조하여 도 8의 클록 생성 회로의 세부 구성 및 동작에 대해 설명한다.
- [0076] 도 9는 도 8의 설명에서 상술한 제1실시예에 따른 클록 전달부(820)의 구성도이다. 도 9를 참조하면, 클록 전달부(820)는 제1 내지 제4전달부(910 - 940)를 포함할 수 있다.
- [0077] 제1전달부(910)는 검출신호(DETB)가 비활성화된 경우 제1클록(CK1)을 제1출력클록(OCK1)으로 전달하고, 검출신호(DETB)가 활성화된 경우 제1반전클록(CK3)을 제3출력클록(OCK3)으로 전달할 수 있다. 제1전달부(910)는 인버터(IV1) 및 패스 게이트들(PA1, PA2)를 포함할 수 있다.
- [0078] 제2전달부(920)는 검출신호(DETB)의 논리값에 관계 없이 제2클록(CK2)을 제2출력클록(OCK2)으로 전달할 수 있다. 제2전달부(920)는 인버터(IV2) 및 패스 게이트들(PA3, PA4)를 포함할 수 있다.
- [0079] 제3전달부(930)는 검출신호(DETB)가 비활성화된 경우 제1반전클록(CK3)을 제3출력클록(OCK3)으로 전달하고, 검출신호(DETB)가 활성화된 경우 제1클록(CK1)을 제3출력클록(OCK3)으로 전달할 수 있다. 제3전달부(930)는 인버터(IV3) 및 패스 게이트들(PA5, PA6)를 포함할 수 있다.
- [0080] 제2전달부(940)는 검출신호(DETB)의 논리값에 관계 없이 제2반전클록(CK4)을 제2출력클록(OCK4)으로 전달할 수 있다. 제4전달부(940)는 인버터(IV4) 및 패스 게이트들(PA7, PA8)를 포함할 수 있다.
- [0081] 도 10은 도 8의 설명에서 상술한 제2실시예에 따른 클록 전달부(820)의 구성도이다. 도 10을 참조하면, 클록 전달부(820)는 제1 내지 제4전달부(1010 - 1040)를 포함할 수 있다.
- [0082] 제1전달부(1010)는 검출신호(DETB)의 논리값에 관계 없이 제1클록(CK1)을 제1출력클록(OCK1)으로 전달할 수 있다. 제1전달부(1020)는 인버터(IV1) 및 패스 게이트들(PA1, PA1)를 포함할 수 있다.
- [0083] 제2전달부(1020)는 검출신호(DETB)가 비활성화된 경우 제2클록(CK2)을 제2출력클록(OCK2)으로 전달하고, 검출신호(DETB)가 활성화된 경우 제2반전클록(CK4)을 제2출력클록(OCK2)으로 전달할 수 있다. 제2전달부(1020)는 인버터(IV2) 및 패스 게이트들(PA3, PA4)를 포함할 수 있다.
- [0084] 제3전달부(1030)는 검출신호(DETB)의 논리값에 관계 없이 제1반전클록(CK3)을 제3출력클록(OCK3)으로 전달할 수 있다. 제3전달부(1030)는 인버터(IV3) 및 패스 게이트들(PA5, PA6)를 포함할 수 있다.
- [0085] 제4전달부(1040)는 검출신호(DETB)가 비활성화된 경우 제2반전클록(CK4)을 제4출력클록(OCK4)으로 전달하고, 검출신호(DETB)가 활성화된 경우 제2클록(CK2)을 제4출력클록(OCK4)으로 전달할 수 있다. 제4전달부(1040)는 인버터(IV4) 및 패스 게이트들(PA7, PA8)를 포함할 수 있다.



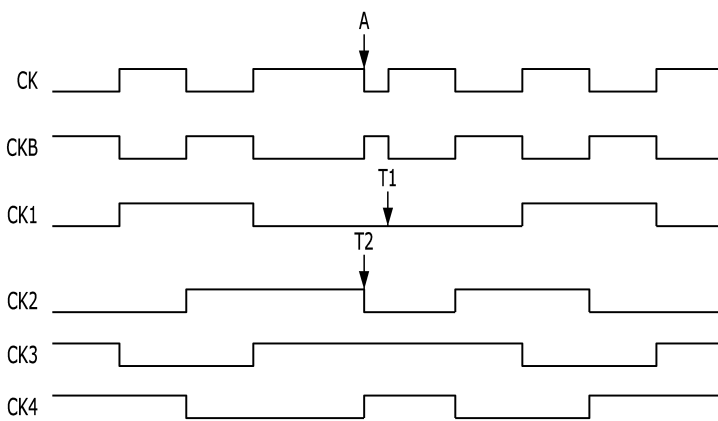
- [0086] 도 11는 도 8의 설명에서 상술한 제1실시예에 따른 클록 전달부(820)를 포함하는 클록 생성 회로의 동작을 설명하기 위한 도면이다.
- [0087] 도 11을 참조하면, 클록(CK), 반전클록(CKB), 검출신호(DETB), 제1클록(CK1), 제2클록(CK2), 제1반전클록(CK3), 제2반전클록(CK4), 제1 내지 제4출력클록(OCK1 - OCK4)의 파형도를 이용해 도 8의 클록 생성 회로의 동작을 설명할 수 있다.
- [0088] DETB가 비활성화(하이)된 구간(SEC1)에서는 CK1 - CK4가 각각 OCK1 - OCK4로 전달되며, OCK1 - OCK4는 각각 0°, 90°, 180°, 270°의 위상을 유지한다. 클록(CK) 및 반전클록(CKB)에 발생한 노이즈로 인해 CK2 및 CK4가 T1에서 천이하지 못하면, OCK1 - OCK4의 위상 관계가 틀어진다.
- [0089] 이때 제1클록(CK1)과 제2클록(CK2) 위상 관계가 틀어진 것이 검출되면, DETB가 활성화(로우)된다. DETB가 활성화된 구간(SEC2)에서는 CK1이 OCK3로, CK2가 OCK2로 CK3가 OCK1으로 CK4가 OCK4로 전달되어 OCK1 - OCK4는 각각 0°, 90°, 180°, 270°의 위상을 유지한다.
- [0090] 도 12는 도 8의 설명에서 상술한 제2실시예에 따른 클록 전달부(820)를 포함하는 클록 생성 회로의 동작을 설명하기 위한 도면이다.
- [0091] 도 12을 참조하면, 클록(CK), 반전클록(CKB), 검출신호(DETB), 제1클록(CK1), 제2클록(CK2), 제1반전클록(CK3), 제2반전클록(CK4), 제1 내지 제4출력클록(OCK1 - OCK4)의 파형도를 이용해 도 8의 클록 생성 회로의 동작을 설명할 수 있다.
- [0092] DETB가 비활성화(하이)된 구간(SEC1)에서는 CK1 - CK4가 각각 OCK1 - OCK4로 전달되며, OCK1 - OCK4는 각각 0°, 90°, 180°, 270°의 위상을 유지한다. 클록(CK) 및 반전클록(CKB)에 발생한 노이즈로 인해 CK2 및 CK4가 T1에서 천이하지 못하면, OCK1 - OCK4의 위상 관계가 틀어진다.
- [0093] 이때 제1클록(CK1)과 제2클록(CK2) 위상 관계가 틀어진 것이 검출되면, DETB가 활성화(로우)된다. DETB가 활성화된 구간(SEC2)에서는 CK1이 OCK1로, CK2가 OCK4로 CK3가 OCK3으로 CK4가 OCK2로 전달되어 OCK1 - OCK4는 각각 0°, 90°, 180°, 270°의 위상을 유지한다.
- [0094] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

도면

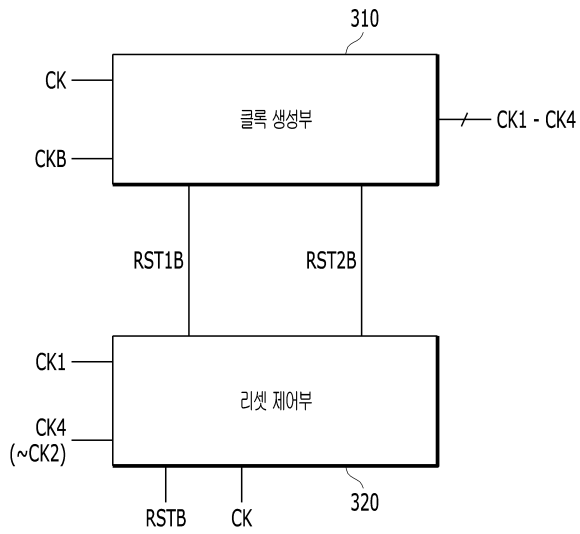
도면1



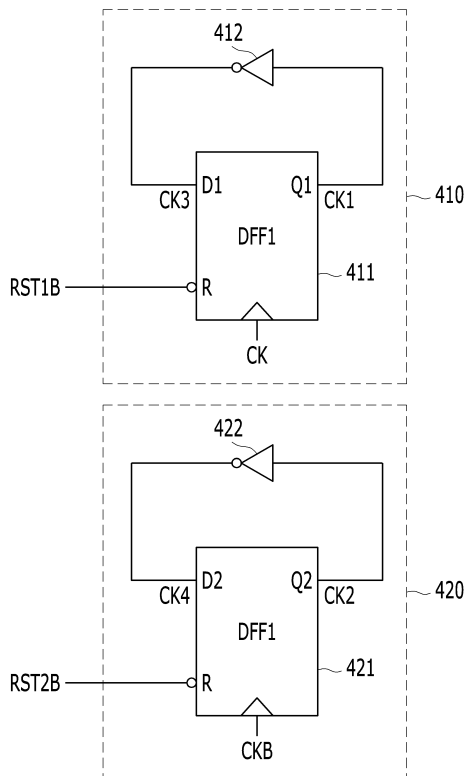
도면2



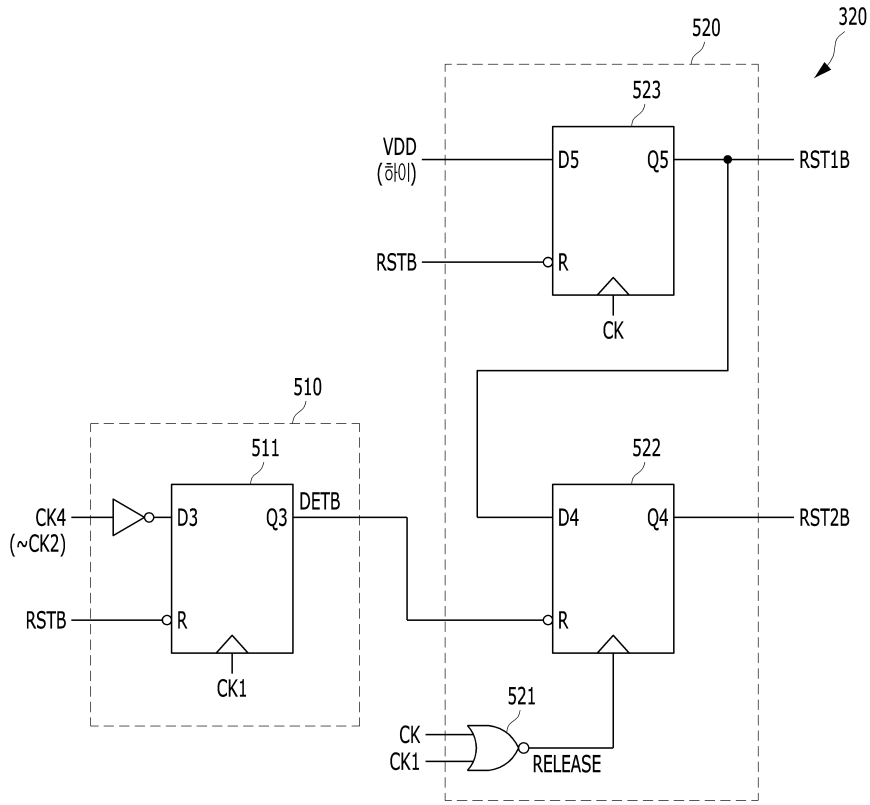
도면3



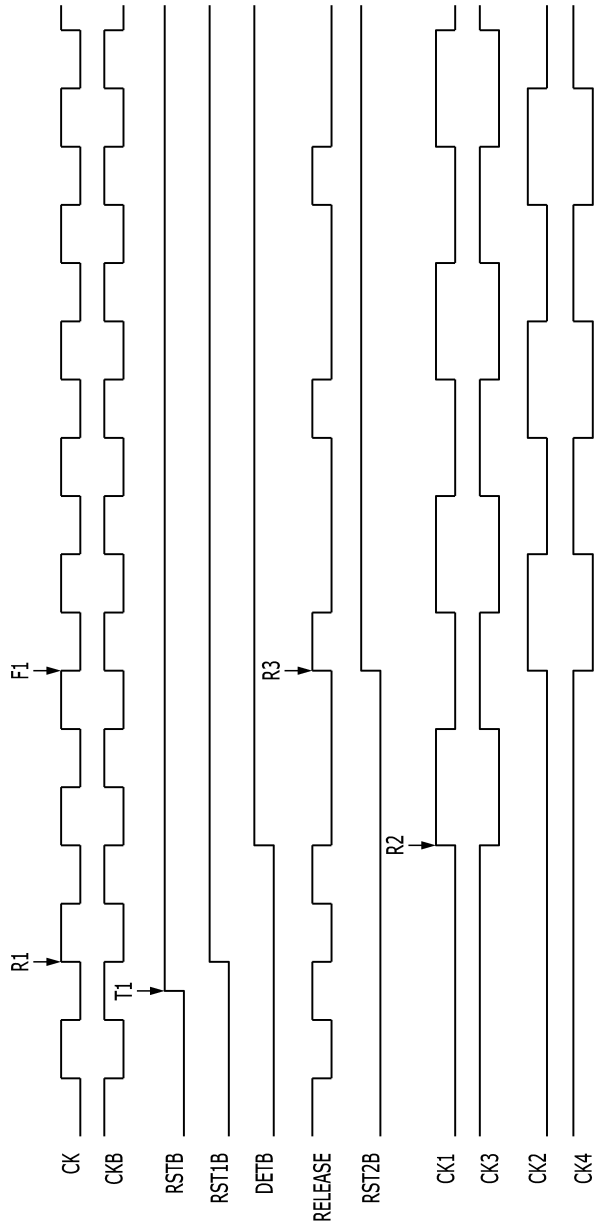
도면4



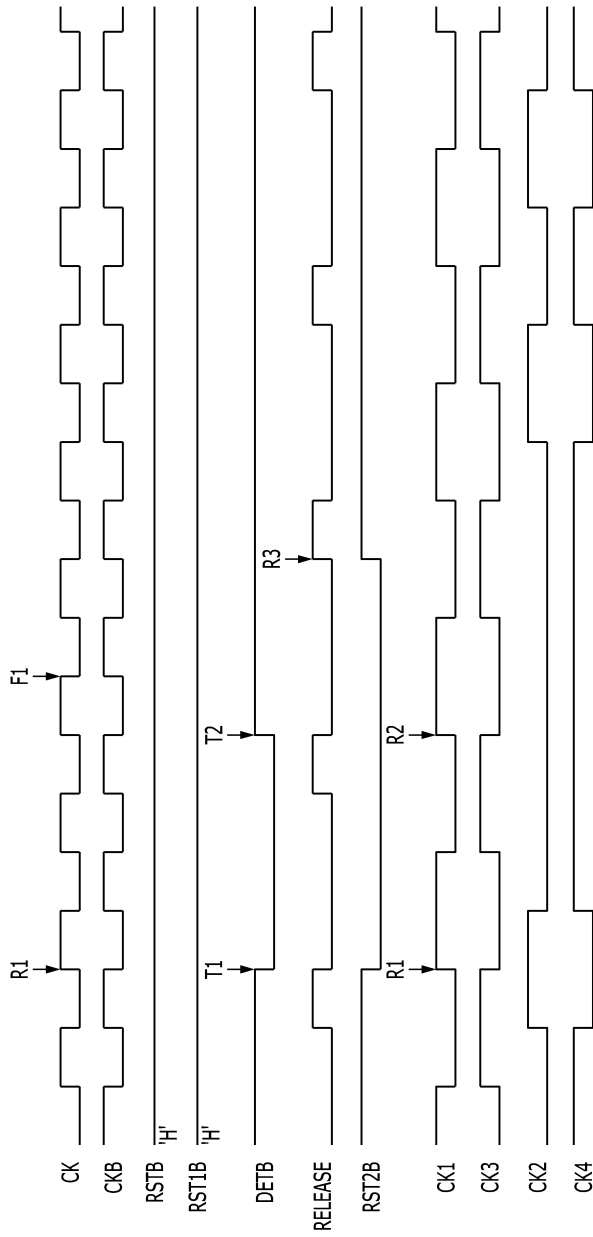
도면5



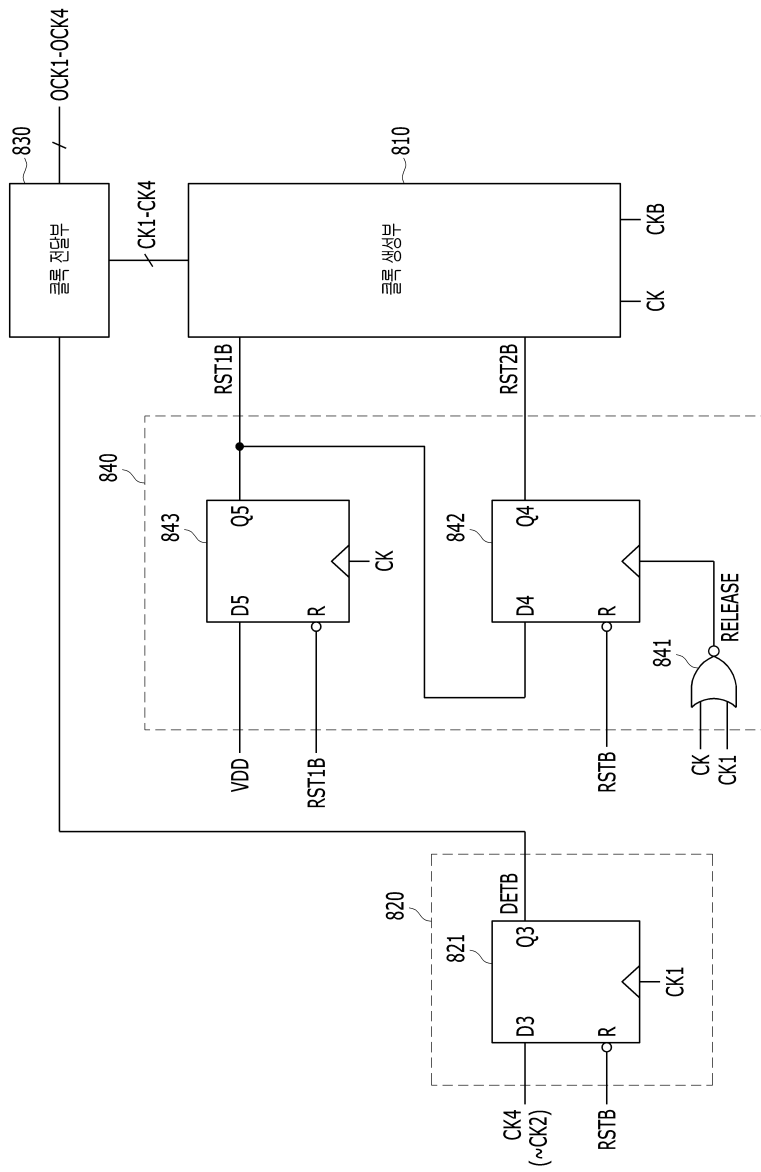
도면6



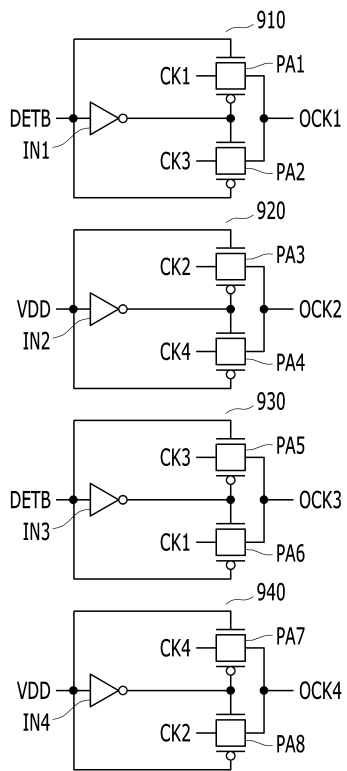
도면7



도면8

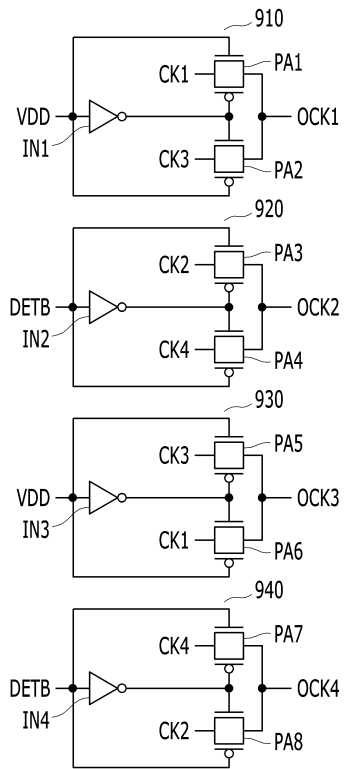


도면9

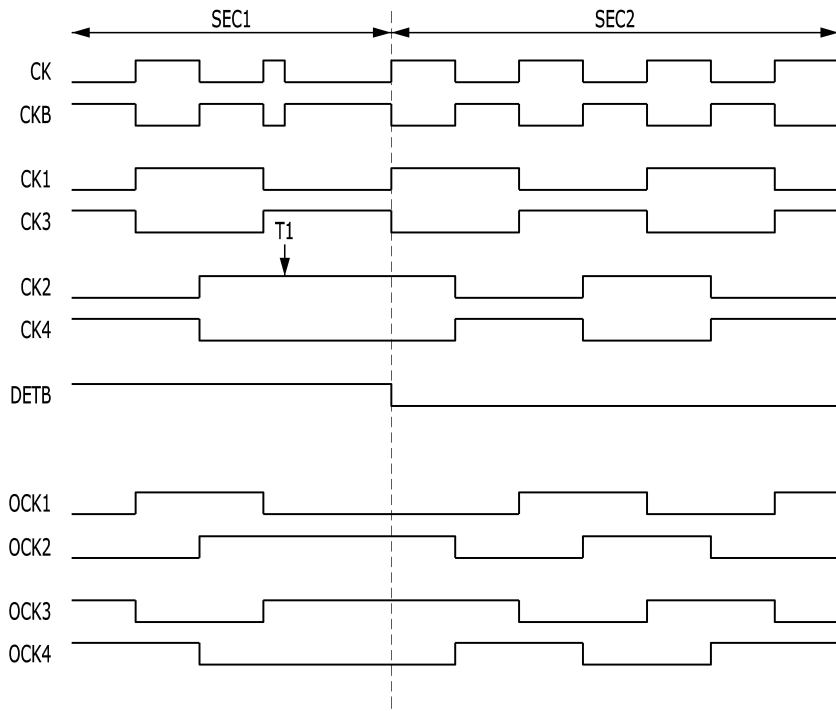




도면10



도면11



도면12

