

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-85396

(P2010-85396A)

(43) 公開日 平成22年4月15日 (2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G O 1 J 1/42 (2006.01)</b>	G O 1 J 1/42 J	2 G O 6 5
<b>G O 1 J 1/44 (2006.01)</b>	G O 1 J 1/44 F	5 F O 4 9
<b>H O 1 L 31/10 (2006.01)</b>	H O 1 L 31/10 G	

審査請求 未請求 請求項の数 4 O L (全 45 頁)

(21) 出願番号	特願2009-201802 (P2009-201802)	(71) 出願人	000153878
(22) 出願日	平成21年9月1日 (2009.9.1)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2008-226774 (P2008-226774)		神奈川県厚木市長谷398番地
(32) 優先日	平成20年9月4日 (2008.9.4)	(72) 発明者	広瀬 篤志
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		F ターム (参考)	2G065 AA03 AB04 BA09 BC02 BC03
			BC10 BC18 BC30 CA21 DA20
			5F049 MA04 NA20 NB07 PA05 RA06
			SS03 UA04 UA06 UA13 UA20

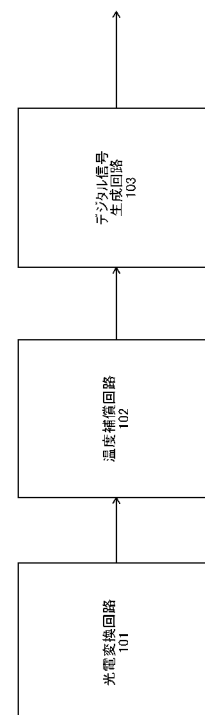
(54) 【発明の名称】 光検出装置

(57) 【要約】

【課題】光検出装置において、入射する光の照度に対するダイナミックレンジを拡大させる。

【解決手段】入射した光の照度に応じて生成される第1の電流を対数圧縮した電圧に変換することにより第1の電圧を生成する光電変換回路101と、第1の電圧の温度補償を行うことにより第2の電圧を生成し、第2の電圧を電流に変換することにより第2の電流を生成する温度補償回路102と、第2の電流に応じた発振周波数であるクロック信号を生成し、クロック信号のパルスを一定期間カウントし、一定期間におけるカウント値をデータとしたデジタル信号を生成するデジタル信号生成回路103と、を有する構成とする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

光が入射し、入射した光の照度に応じた値の第 1 の電流を生成し、前記第 1 の電流を対数圧縮した電圧に変換することにより第 1 の電圧を生成する光電変換回路と、

前記第 1 の電圧の温度補償を行うことにより第 2 の電圧を生成し、前記第 2 の電圧を電流に変換することにより第 2 の電流を生成する温度補償回路と、

前記第 2 の電流に応じた周波数で発振するクロック信号を生成し、前記クロック信号のパルス数を一定期間カウントし、前記一定期間におけるカウント値をデータとしたデジタル信号を生成するデジタル信号生成回路と、を有する光検出装置。

**【請求項 2】**

光電変換素子及び第 1 のダイオードを有し、前記光電変換素子に光が入射し、入射した光の照度に応じた値の第 1 の電流を生成し、前記第 1 の電流を前記第 1 のダイオードを用いて対数圧縮した電圧に変換することにより第 1 の電圧を生成する光電変換回路と、

前記第 1 の電圧の温度補償を行う温度補償回路と、

デジタル信号生成回路と、を有し、

前記温度補償回路は、

抵抗素子及び第 2 のダイオードを有し、前記第 2 のダイオードにより前記抵抗素子に流れる電流を対数圧縮した電圧に変換することにより、基準電圧を生成する基準電圧生成回路と、

前記第 1 の電圧と前記基準電圧との差分に応じた値の第 2 の電圧を生成する演算回路と

、  
前記第 2 の電圧を電流に変換することにより第 2 の電流を生成する出力回路と、を有し

、  
前記デジタル信号生成回路は、

前記第 2 の電流の値に応じた周波数で発振する第 1 のクロック信号を生成する第 1 のクロック信号生成回路と、

一定の周波数で発振する第 2 のクロック信号を生成する第 2 のクロック信号生成回路と

、  
前記第 1 のクロック信号のパルス数をカウントする第 1 のカウンタ回路と、

前記第 2 のクロック信号のパルス数を一定の値までカウントすることにより前記第 1 のクロック信号のカウント期間を設定する第 2 のカウンタ回路と、

前記第 1 のクロック信号のカウント値をデジタル信号のデータとして保持するラッチ回路と、を有する光検出装置。

**【請求項 3】**

請求項 2 において、

前記第 1 のクロック信号生成回路は、

前記第 2 の電流に応じてランブ波形信号を生成するランブ波形信号生成回路と、

前記ランブ波形信号を整形することにより四角波信号を生成する波形整形回路と、

前記四角波信号から前記第 1 のクロック信号を生成するバッファ回路と、を有する光検出装置。

**【請求項 4】**

請求項 2 または請求項 3 において、

前記第 2 のクロック信号生成回路は、

定電流を生成する電流源を有する定電流回路と、

前記定電流に応じてランブ波形信号を生成するランブ波形信号生成回路と、

前記ランブ波形信号を整形することにより四角波信号を生成する波形整形回路と、

前記四角波信号から前記第 2 のクロック信号を生成するバッファ回路と、を有する光検出装置。

**【発明の詳細な説明】****【技術分野】**

## 【 0 0 0 1 】

本発明は、光検出装置に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

電磁波を検知するための用途に用いられる測光装置は数多く知られており、例えば紫外線から赤外線にかけて感度を有するものは総括して光センサと呼ばれている。その中でも波長400nm～700nmの可視光線領域に感度を持つものは特に可視光センサと呼ばれ、人間の生活環境に応じて照度調整や、オン状態またはオフ状態の制御などが必要な機器類に数多く用いられている。

## 【 0 0 0 3 】

例えば表示装置は、光センサを用いることにより周囲の明るさを検出し、その表示輝度を調整することができる。周囲の明るさを検出し、適度な表示輝度を得ることにより視認性を向上させ、また表示装置の余分な電力を低減することができる。表示輝度調整のための光センサを有する表示装置としては、例えば携帯電話、表示部を有するコンピュータなどが挙げられる。また、表示装置は、光センサを用いることにより表示装置のバックライトの輝度を検出し、表示画面の輝度を調整することもできる。バックライトを有する表示装置としては、例えば液晶表示装置などが挙げられる。

## 【 0 0 0 4 】

上記光センサを含む装置は、例えば光の検出部（センサ部ともいう）にフォトダイオードなどの光電変換素子を用い、光が光電変換素子に入射することにより光電変換素子に流れる電流の値に基づいて光の強度を検出することができる。特許文献1には電荷蓄積型の光センサについて、入射光量に応じてフォトダイオードから流れる電流によりコンデンサ（容量素子ともいう）に蓄積された電荷を定電流回路（定電流源ともいう）により放電させることで変化する電圧をアナログ信号としてコンパレータで検出し、コンパレータで検出した電圧の変化に要する時間からカウンタ回路及びラッチ回路を用いてデジタル信号を生成する構成について記載されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 5 】

【 特許文献1 】 特開平6 - 3 1 3 8 4 0 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

しかしながら、従来の光検出装置は、照度に対するダイナミックレンジが狭いといった問題がある。これは照度が高くなるに従って生成される光電流も線形に増加し、さらに光電流の値が高くなるに従って出力電圧の値も線形に増加するためである。照度のダイナミックレンジが狭いと一定以上の照度範囲を超える光が光電変換素子に入射した場合、表示輝度を調整することができなくなる。

## 【 0 0 0 7 】

例えばデジタル信号を生成する場合、デジタル信号はアナログ信号と比べてより多くのビット数が要求されるため、ダイナミックレンジが狭いという問題はより顕著になる。

## 【 0 0 0 8 】

上記問題を鑑み、本発明では、入射する光の照度に対するダイナミックレンジを拡大させることを課題の一つとする。

## 【 課題を解決するための手段 】

## 【 0 0 0 9 】

本発明の一は、光が入射し、入射した光の照度に応じて生成される第1の電流を対数圧縮した電圧に変換することにより、第1の電圧を生成する光電変換回路と、第1の電圧の温度補償を行うことにより第2の電圧を生成し、第2の電圧を電流に変換することにより第2の電流を生成する温度補償回路と、第2の電流に応じた周波数で発振するクロック信

10

20

30

40

50

号を生成し、クロック信号のパルス数を一定期間カウントし、一定期間におけるカウント値をデータとしたデジタル信号を生成するデジタル信号生成回路と、を有する光検出装置である。

【0010】

本発明の一は、光電変換素子及び第1のダイオードを有し、光電変換素子に光が入射し、入射した光の照度に応じた値で生成される第1の電流を第1のダイオードを用いて対数圧縮した電圧に変換することにより第1の電圧を生成する光電変換回路と、第1の電圧の温度補償を行う温度補償回路と、デジタル信号生成回路と、を有し、温度補償回路は、抵抗素子及び第2のダイオードを有し、第2のダイオードにより抵抗素子に流れる電流を対数圧縮した電圧に変換することにより、基準電圧を生成する基準電圧生成回路と、第1の電圧と基準電圧との差分に応じた値の第2の電圧を生成する演算回路と、第2の電圧を電流に変換することにより第2の電流を生成する出力回路と、を有し、デジタル信号生成回路は、第2の電流の値に応じた周波数で発振する第1のクロック信号を生成する第1のクロック信号生成回路と、一定の周波数で発振する第2のクロック信号を生成する第2のクロック信号生成回路と、第1のクロック信号のパルス数をカウントする第1のカウント回路と、第2のクロック信号のパルス数を一定の値までカウントすることにより第1のクロック信号のカウント期間を設定する第2のカウント回路と、第1のクロック信号のカウント値をデジタル信号のデータとして保持するラッチ回路と、を有する光検出装置である。

10

【0011】

なお、本発明の一において、第1のクロック信号生成回路は、第2の電流に応じてランブ波形信号を生成するランブ波形信号生成回路と、ランブ波形信号を整形することにより四角波信号を生成する波形整形回路と、四角波信号から第1のクロック信号を生成するバッファ回路と、を有する構成とすることもできる。

20

【0012】

また、本発明の一において、第2のクロック信号生成回路は、定電流を生成する電流源を有する定電流回路と、定電流に応じてランブ波形信号を生成するランブ波形信号生成回路と、ランブ波形信号を整形することにより四角波信号を生成する波形整形回路と、四角波信号から第2のクロック信号を生成するバッファ回路と、を有する構成とすることもできる。

30

【0013】

なお、本願の書類（明細書及び特許請求の範囲）において、トランジスタは、ゲート、ソース、及びドレインの少なくとも3つの端子を有する構造とする。例えば電界効果トランジスタを例にすると、ゲート電極の部分（ゲートとなる領域、導電層、及び配線などを含む）または、ゲート電極と電氣的に接続されている部分の一部を含めてゲートという。また、ソース電極の部分（ソースとなる領域、導電層、及び配線などを含む）や、ソース電極と電氣的に接続されている部分の一部を含めてソースという。また、ドレイン電極の部分（ドレインとなる領域、導電層、及び配線などを含む）や、ドレイン電極と電氣的に接続されている部分の一部を含めてドレインという。

【0014】

また、本願の書類（明細書及び特許請求の範囲）において、トランジスタのソースとドレインは、トランジスタの構造や動作条件などによって変わるため、どちらがソースまたはドレインであるかを限定することが困難である。そこでソース及びドレインから任意に選択した一方の端子をソース及びドレインの一方と表記し、他方の端子をソース及びドレインの他方と表記する。

40

【0015】

なお、本願の書類（明細書及び特許請求の範囲）において、ダイオード（フォトダイオードを含む）はアノードとカソードの2つの電極を有する。そこでアノードを含む端子をダイオードの第1端子と表記し、カソードを含む端子をダイオードの第2端子と表記する。

50

## 【 0 0 1 6 】

なお、一般的に電圧とは、2点間における電位の差（電位差ともいう）のことをいい、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。しかし、電子回路では、一点のみであっても、例えば該一点の電位と基準となる電位（基準電位ともいう）との電位差を値として用いることがあり、また、電圧と電位の値は、いずれもボルト（V）で表されるため、本願の書類（明細書及び特許請求の範囲）では、特に指定する場合を除き、一点のみであっても電圧を値として用いる場合がある。

## 【 発明の効果 】

## 【 0 0 1 7 】

本発明の一態様によれば、光電変換回路により入射した光の照度に応じて生成された電流から対数圧縮した電圧を生成し、その電圧を温度補償回路により電流に変換し、変換した電流から対数圧縮した電圧に応じたデジタル信号を生成することで、入射する光の照度に対するダイナミックレンジを拡大させることができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 8 】

【 図 1 】 実施の形態 1 における光検出装置の構成例を示すブロック図である。

【 図 2 】 図 1 に示す光電変換回路の構成例を示す回路図である。

【 図 3 】 図 1 に示す温度補償回路の構成例を示すブロック図である。

【 図 4 】 図 3 に示す温度補償回路の構成例を示す回路図である。

【 図 5 】 図 1 に示すデジタル信号生成回路の構成例を示すブロック図である。

【 図 6 】 図 5 に示す第 1 のクロック信号生成回路の構成例を示す回路図である。

【 図 7 】 図 6 に示す第 1 のクロック信号生成回路の動作例を示すタイミングチャート図である。

【 図 8 】 図 5 に示す第 2 のクロック信号生成回路の構成を示す回路図である。

【 図 9 】 図 1 に示すデジタル信号生成回路の動作を示すタイミングチャート図である。

【 図 1 0 】 図 3 に示す第 1 のカウンタ回路における照度とカウンタ値の関係を示す図である。

【 図 1 1 】 実施の形態 2 における光検出装置の構成例を示す断面図である。

【 図 1 2 】 実施の形態 2 における光検出装置の作製方法例を示す断面図である。

【 図 1 3 】 実施の形態 2 における光検出装置の作製方法例を示す断面図である。

【 図 1 4 】 実施の形態 2 における光検出装置の作製方法例を示す断面図である。

【 図 1 5 】 実施の形態 2 における光検出装置の作製方法例を示す断面図である。

【 図 1 6 】 実施の形態 2 における光検出装置の作製方法例を示す断面図である。

【 図 1 7 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

【 図 1 8 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

【 図 1 9 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

【 図 2 0 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

【 図 2 1 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

【 図 2 2 】 実施の形態 3 における本発明の光検出装置を適用した電子機器の構成を示す模式図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 9 】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様

10

20

30

40

50

々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【００２０】

（実施の形態１）

本実施の形態では、本発明の一態様である光検出装置について説明する。

【００２１】

まず本実施の形態における光検出装置の構成について図１を用いて説明する。図１は、本実施の形態における光検出装置の構成を示すブロック図である。

【００２２】

図１に示す光検出装置は、光電変換回路１０１と、温度補償回路１０２と、デジタル信号生成回路１０３と、を有する。

【００２３】

光電変換回路１０１は、外部から入射した光の照度に応じて第１の電流 $I_{101}$ を生成し、生成した第１の電流 $I_{101}$ を対数圧縮した電圧に変換し、第１の電圧 $V_{101}$ を生成する機能を有する。

【００２４】

温度補償回路１０２は、第１の電圧 $V_{101}$ の温度補償を行い、温度補償により生成された電圧を電流に変換することにより第２の電流 $I_{102}$ を生成する機能を有する。

【００２５】

デジタル信号生成回路１０３は、第２の電流 $I_{102}$ に応じた周波数で発振するクロック信号を生成し、クロック信号のパルスを一定期間カウントし、カウント値をデータとしてデジタル信号を生成する機能を有する。

【００２６】

次に各回路の具体的な構成例について説明する。

【００２７】

光電変換回路１０１の構成例について図２に示す。図２は図１に示す光電変換回路の構成例を示す回路図である。

【００２８】

図２に示す光電変換回路１０１は、光電変換素子１１１と、カレントミラー回路１１２と、ダイオード１１３と、を有する。

【００２９】

光電変換素子１１１は、光が入射することにより、光電流 $I_L$ が流れる機能を有する。光電流 $I_L$ の値は入射した光の照度に比例する。

【００３０】

光電変換素子１１１としては、例えばＰＩＮ型のフォトダイオード、ＰＮ型のフォトダイオード、またはフォトトランジスタなどを用いることができる。本実施の形態では、一例として光電変換素子１１１にＰＩＮ型のフォトダイオードを用いる場合について説明する。光電変換素子１１１としてＰＩＮ型のフォトダイオードを用いることにより光の照射による空乏層の応答特性を高めることができる。具体的な構成について以下に説明する。

【００３１】

光電変換素子１１１は、アノード側である第１端子がカレントミラー回路１１２に電氣的に接続される。また光電変換素子１１１は、カソード側である第２端子に高電源電圧（ $V_{dd}$ ともいう）が与えられる。

【００３２】

カレントミラー回路１１２は、光電流 $I_L$ をもとに光電流 $I_L$ と同じ方向に流れる電流を生成する機能を有する。具体的な構成例について以下に説明する。

【００３３】

図２に示すカレントミラー回路１１２は、トランジスタ１１２１と、トランジスタ１１２２と、を有する。

【００３４】

10

20

30

40

50

トランジスタ 1 1 2 1 は、ゲートがトランジスタ 1 1 2 1 のソース及びドレインの一方、及び光電変換素子 1 1 1 の第 1 端子に電氣的に接続される。また、トランジスタ 1 1 2 1 は、ソース及びドレインの他方に低電源電圧 ( $V_{SS}$  とする) が与えられる。

【0035】

トランジスタ 1 1 2 2 は、ゲートがトランジスタ 1 1 2 1 のゲートに電氣的に接続され、ソース及びドレインの一方がダイオード 1 1 3 に電氣的に接続される。また、トランジスタ 1 1 2 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0036】

次にカレントミラー回路 1 1 2 における動作について説明する。

【0037】

まず光電流  $I_L$  に応じてトランジスタ 1 1 2 1 のドレインとソースの間に電流が流れる。さらにトランジスタ 1 1 2 1 のゲートの電圧とトランジスタ 1 1 2 2 のゲートの電圧が等しくなるため、トランジスタ 1 1 2 2 のドレインとソースの間にも電流が流れる。

【0038】

なお、カレントミラー回路 1 1 2 は、トランジスタ 1 1 2 1 またはトランジスタ 1 1 2 2 のサイズまたは数を変えることにより生成する電流を増幅または減衰させる、若しくは生成する電流の数を増やすことができる。例えばトランジスタ 1 1 2 2 を複数設け、それぞれのトランジスタ 1 1 2 2 のソース同士及びドレイン同士が電氣的に接続されることで、複数のトランジスタ 1 1 2 2 が並列接続で電氣的に接続された構成にすることにより、光電流  $I_L$  より高い値の電流を生成することができる。

【0039】

また図 1 に示す光電変換回路 1 0 1 は、互いに増幅率または減衰率の異なる複数のカレントミラー回路 1 1 2 を設けた構成とすることもできる。この構成により、例えば一定の値より低照度のときには、生成する電流が光電流  $I_L$  より高い値になるように増幅率または減衰率を設定したカレントミラー回路を用い、一定の値より高照度のときには、生成される電流が光電流  $I_L$  と同程度、または光電流  $I_L$  より低い値になるように増幅率または減衰率を設定したカレントミラー回路を用いるといったように、光電変換素子 1 1 1 に入射する光の照度に応じていずれかのカレントミラー回路を選択して用いることもできる。これにより光電変換素子 1 1 1 に入射した光が一定の値より低照度及び高照度のいずれの場合であっても高い分解能を得ることができる。

【0040】

なお、カレントミラー回路 1 1 2 は必ずしも設ける必要はないが、カレントミラー回路 1 1 2 を設けることにより、入射した光の照度が光電変換処理を行えないほど低い場合であっても、光電変換処理を行うために十分な電流を生成することができる。

【0041】

なお、本実施の形態における光電変換回路 1 0 1 において、カレントミラー回路 1 1 2 を設けた場合にはトランジスタ 1 1 2 2 のドレインとソースの間に流れる電流が第 1 の電流  $I_{101}$  となり、カレントミラー回路 1 1 2 を設けない場合には、光電変換素子 1 1 1 により生成される電流が第 1 の電流  $I_{101}$  となる。

【0042】

ダイオード 1 1 3 としては、例えば P N ダイオード、P I N ダイオードなどを用いることができる。また、ダイオード接続させたトランジスタなどを用いることもできる。図 2 に示す光電変換回路 1 0 1 では、一例としてダイオード 1 1 3 に P I N ダイオードを用いる場合について説明する。

【0043】

ダイオード 1 1 3 は、アノード側である第 1 端子に高電源電圧が与えられる。また、ダイオード 1 1 3 は、カソード側である第 2 端子がカレントミラー回路 1 1 2 におけるトランジスタ 1 1 2 2 のソース及びドレインの一方に電氣的に接続される。ダイオード 1 1 3 を設けることにより、第 1 の電流  $I_{101}$  は、対数圧縮した電圧に変換される。このとき変換された電圧が第 1 の電圧  $V_{101}$  となる。

10

20

30

40

50

## 【 0 0 4 4 】

なお、カレントミラー回路 1 1 2 を設けない場合、ダイオード 1 1 3 の第 2 端子が光電変換素子 1 1 1 の第 1 端子に電氣的に接続される構成とすることにより、図 2 に示す光電変換回路 1 0 1 と同様に本実施の形態の光電変換回路 1 0 1 として機能させることができる。

## 【 0 0 4 5 】

次に図 1 に示す温度補償回路 1 0 2 の構成例について図 3 を用いて説明する。図 3 は図 1 に示す温度補償回路の構成例を示すブロック図である。

## 【 0 0 4 6 】

図 3 に示す温度補償回路 1 0 2 は、基準電圧生成回路 2 0 1 と、増幅回路 2 0 2 と、増幅回路 2 0 3 と、演算回路 2 0 4 と、出力回路 2 0 5 と、を有する。

10

## 【 0 0 4 7 】

基準電圧生成回路 2 0 1 は、定電圧である基準電圧  $V_{ref\ 2\ 0\ 1}$  を生成する機能を有する。

## 【 0 0 4 8 】

増幅回路 2 0 2 は、基準電圧  $V_{ref\ 2\ 0\ 1}$  を増幅させる機能を有する。

## 【 0 0 4 9 】

増幅回路 2 0 3 は、第 1 の電圧  $V_{1\ 0\ 1}$  を増幅させる機能を有する。

## 【 0 0 5 0 】

演算回路 2 0 4 は、第 1 の電圧  $V_{1\ 0\ 1}$  と基準電圧  $V_{ref\ 2\ 0\ 1}$  の差分に応じた第 2 の電圧  $V_{1\ 0\ 2}$  を生成する機能を有する。

20

## 【 0 0 5 1 】

出力回路 2 0 5 は、第 2 の電圧  $V_{1\ 0\ 2}$  を電流に変換することにより第 2 の電流  $I_{1\ 0\ 2}$  を生成する機能を有する。

## 【 0 0 5 2 】

次に各回路の具体的な構成例について説明する。

## 【 0 0 5 3 】

基準電圧生成回路 2 0 1、増幅回路 2 0 2、増幅回路 2 0 3、演算回路 2 0 4、及び出力回路 2 0 5 の具体的な構成例について図 4 に示す。図 4 は、図 3 に示す温度補償回路の構成例を示す回路図である。

30

## 【 0 0 5 4 】

図 4 に示す基準電圧生成回路 2 0 1 は、抵抗素子 2 1 1 と、カレントミラー回路 2 1 2 と、ダイオード 2 1 3 を有する。

## 【 0 0 5 5 】

抵抗素子 2 1 1 は、第 1 端子に高電源電圧が与えられ、抵抗素子 2 1 1 の端子間には、抵抗素子 2 1 1 の抵抗値に応じた値の電流が流れる。なお、このとき流れる電流は定電流であることが好ましい。

## 【 0 0 5 6 】

カレントミラー回路 2 1 2 は、抵抗素子 2 1 1 に流れる電流をもとに抵抗素子 2 1 1 に流れる電流と同じ方向に流れる電流を生成する機能を有する。

40

## 【 0 0 5 7 】

カレントミラー回路 2 1 2 の構成としては、例えば図 2 の光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。また、カレントミラー回路 2 1 2 は必ずしも設ける必要はないが、カレントミラー回路 2 1 2 を設けることにより、もとなる電流（例えば抵抗素子 2 1 1 に流れる電流）と同じ電流、若しくは増幅または減衰させた電流を複数生成することができる。図 4 に示すカレントミラー回路 2 1 2 の具体的な構成について以下に説明する。

## 【 0 0 5 8 】

図 4 に示すカレントミラー回路 2 1 2 は、トランジスタ 2 1 2 1 と、トランジスタ 2 1 2 2 を有する。

50



## 【 0 0 5 9 】

トランジスタ 2 1 2 1 は、ゲートがトランジスタ 2 1 2 1 のソース及びドレインの一方、及び抵抗素子 2 1 1 の第 2 端子に電氣的に接続される。また、トランジスタ 2 1 2 1 は、ソース及びドレインの他方に低電源電圧が与えられる。

## 【 0 0 6 0 】

トランジスタ 2 1 2 2 は、ゲートがトランジスタ 2 1 2 1 のゲートに電氣的に接続され、ソース及びドレインの一方がダイオード 2 1 3 に電氣的に接続される。また、トランジスタ 2 1 2 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

## 【 0 0 6 1 】

次にカレントミラー回路 2 1 2 の動作について説明する。

10

## 【 0 0 6 2 】

まず抵抗素子 2 1 1 に流れる電流に応じてトランジスタ 2 1 2 1 のドレインとソースの間にも電流が流れる。さらにトランジスタ 2 1 2 1 のゲートの電圧とトランジスタ 2 1 2 2 のゲートの電圧が等しくなるため、トランジスタ 2 1 2 2 のドレインとソースの間にも電流が流れる。

## 【 0 0 6 3 】

ダイオード 2 1 3 としては、例えば図 2 の光電変換回路 1 0 1 におけるダイオード 1 1 3 に適用可能なもののいずれかを用いることができ、ダイオード 1 1 3 に適用したものと同じ種類のものを用いることが好ましい。ダイオード 2 1 3 をダイオード 1 1 3 と同じ種類の素子にすることによりダイオード 2 1 3 とダイオード 1 1 3 の特性の差を小さくすることができ、より効果的な温度補償を行うことができる。本実施の形態では、一例としてダイオード 2 1 3 に P I N ダイオードを用いる場合について説明する。

20

## 【 0 0 6 4 】

ダイオード 2 1 3 は、第 1 端子に高電源電圧が与えられる。また、ダイオード 2 1 3 は、第 2 端子がカレントミラー回路 2 1 2 におけるトランジスタ 2 1 2 2 のソース及びドレインの一方に電氣的に接続される。

## 【 0 0 6 5 】

図 4 に示す基準電圧生成回路 2 0 1 では、トランジスタ 2 1 2 2 のドレインとソースの間に流れる電流をダイオード 2 1 3 を用いて対数圧縮した電圧に変換することにより、基準電圧  $V_{ref\ 2\ 0\ 1}$  を生成する。またカレントミラー回路 2 1 2 を設けない場合には、抵抗素子 2 1 1 に流れる電流をダイオード 2 1 3 を用いて対数圧縮した電圧に変換することにより基準電圧  $V_{ref\ 2\ 0\ 1}$  を生成する。

30

## 【 0 0 6 6 】

図 4 に示す増幅回路 2 0 2 は、トランジスタ 2 2 1 と、トランジスタ 2 2 2 と、を有する。

## 【 0 0 6 7 】

トランジスタ 2 2 1 は、ゲートが基準電圧生成回路 2 0 1 におけるダイオード 2 1 3 の第 2 端子に電氣的に接続される。また、トランジスタ 2 2 1 は、ソース及びドレインの一方に高電源電圧が与えられる。

## 【 0 0 6 8 】

トランジスタ 2 2 2 は、ゲートが基準電圧生成回路 2 0 1 のカレントミラー回路 2 1 2 におけるトランジスタ 2 1 2 1 のゲートに電氣的に接続され、ソース及びドレインの一方がトランジスタ 2 2 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 2 2 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

40

## 【 0 0 6 9 】

図 4 に示す増幅回路 2 0 3 は、トランジスタ 2 3 1 と、トランジスタ 2 3 2 と、を有する。

## 【 0 0 7 0 】

トランジスタ 2 3 1 は、ゲートが光電変換回路 1 0 1 のカレントミラー回路 1 1 2 におけるトランジスタ 1 1 2 2 のソース及びドレインの一方に電氣的に接続される。また、ト

50

ランジスタ 231 は、ソース及びドレインの一方に高電源電圧が与えられる。

【0071】

トランジスタ 232 は、ゲートが基準電圧生成回路 201 のカレントミラー回路 212 におけるトランジスタ 2121 のゲートに電氣的に接続され、ソース及びドレインの一方がトランジスタ 231 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 232 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0072】

なお増幅回路 202 及び増幅回路 203 は必ずしも設ける必要はないが、増幅回路 202 及び増幅回路 203 を設けることにより安定した信号を生成することができる。

【0073】

図 4 に示す演算回路 204 は、抵抗素子 241 と、カレントミラー回路 242 と、抵抗素子 243 と、トランジスタ 244 と、カレントミラー回路 245 と、トランジスタ 246 と、容量素子 247 と、トランジスタ 248 と、トランジスタ 249 と、を有する。

【0074】

抵抗素子 241 は、第 1 端子に高電源電圧が与えられ、抵抗素子 241 の端子間には抵抗素子 241 の抵抗値に応じた電流が流れる。

【0075】

カレントミラー回路 242 の構成としては、例えば図 2 の光電変換回路 101 におけるカレントミラー回路 112 に適用可能な構成のいずれかを適用することができる。また、カレントミラー回路 242 は必ずしも設ける必要はないが、カレントミラー回路 242 を設けることにより、もとなる電流（例えば抵抗素子 241 に流れる電流）と同じ電流、若しくは増幅または減衰させた電流を複数生成することができる。カレントミラー回路 242 の具体的な構成について以下に説明する。

【0076】

カレントミラー回路 242 は、トランジスタ 2421 と、トランジスタ 2422 と、トランジスタ 2423 と、を有する。

【0077】

トランジスタ 2421 は、ゲートがトランジスタ 2421 のソース及びドレインの一方、及び抵抗素子 241 の第 2 端子に電氣的に接続される。またトランジスタ 2421 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0078】

トランジスタ 2422 は、ゲートがトランジスタ 2421 のゲートに電氣的に接続され、ソース及びドレインの一方がトランジスタ 246 に電氣的に接続される。またトランジスタ 2422 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0079】

トランジスタ 2423 は、ゲートがトランジスタ 2421 のゲートに電氣的に接続され、ソース及びドレインの一方がトランジスタ 249 に電氣的に接続される。またトランジスタ 2423 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0080】

次にカレントミラー回路 242 の動作について説明する。

【0081】

まず抵抗素子 241 に流れる電流に応じてトランジスタ 2421 のドレインとソースの間にも電流が流れる。さらにトランジスタ 2421 のゲートの電圧とトランジスタ 2422 のゲートの電圧が等しくなるため、トランジスタ 2422 のドレインとソースの間にも電流が流れる。さらにトランジスタ 2421 とトランジスタ 2423 のゲートの電圧が等しくなるため、トランジスタ 2423 のドレインとソースの間にも電流が流れる。

【0082】

抵抗素子 243 は、第 1 端子が増幅回路 203 におけるトランジスタ 231 のソース及びドレインの他方に電氣的に接続される。なお、増幅回路 203 を設けない場合には、抵抗素子 243 は、第 1 端子が光電変換回路 101 のカレントミラー回路 112 におけるト

10

20

30

40

50

ランジスタ 1 1 2 2 のソース及びドレインの一方に電氣的に接続される。

【 0 0 8 3 】

トランジスタ 2 4 4 は、ゲートが抵抗素子 2 4 3 の第 2 端子に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路 2 4 5 に電氣的に接続され、ソース及びドレインの他方がカレントミラー回路 2 4 2 におけるトランジスタ 2 4 2 2 のソース及びドレインの一方に電氣的に接続される。

【 0 0 8 4 】

カレントミラー回路 2 4 5 の構成としては、例えば図 2 の光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【 0 0 8 5 】

図 4 に示すカレントミラー回路 2 4 5 は、トランジスタ 2 4 5 1 と、トランジスタ 2 4 5 2 と、を有する。

【 0 0 8 6 】

トランジスタ 2 4 5 1 はソース及びドレインの一方に高電源電圧が与えられる。また、トランジスタ 2 4 5 1 は、ゲートがトランジスタ 2 4 5 1 のソース及びドレインの他方、及びトランジスタ 2 4 4 のソース及びドレインの一方に電氣的に接続される。なお、図 4 に示すトランジスタ 2 4 5 1 は P 型とする。

【 0 0 8 7 】

トランジスタ 2 4 5 2 は、ゲートがトランジスタ 2 4 5 1 のゲートに電氣的に接続される。また、トランジスタ 2 4 5 2 は、ソース及びドレインの一方に高電源電圧が与えられる。なお、図 4 に示すトランジスタ 2 4 5 2 は P 型とする。

【 0 0 8 8 】

次にカレントミラー回路 2 4 5 の動作について説明する。

【 0 0 8 9 】

まずトランジスタ 2 4 4 がオン状態であるとき、トランジスタ 2 4 5 1 のドレインとソースの間に電流が流れる。さらにトランジスタ 2 4 5 1 のゲートの電圧とトランジスタ 2 4 5 2 のゲートの電圧が等しくなるため、トランジスタ 2 4 5 2 のドレインとソースの間にも電流が流れる。

【 0 0 9 0 】

トランジスタ 2 4 6 は、ゲートが増幅回路 2 0 2 におけるトランジスタ 2 2 1 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路 2 4 5 におけるトランジスタ 2 4 5 2 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 2 4 4 のソース及びドレインの他方に電氣的に接続される。

【 0 0 9 1 】

容量素子 2 4 7 は、第 1 端子及び第 2 端子を有し、第 1 端子がトランジスタ 2 4 6 のソース及びドレインの一方に電氣的に接続される。

【 0 0 9 2 】

トランジスタ 2 4 8 は、ゲートがトランジスタ 2 4 6 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方が容量素子 2 4 7 の第 2 端子に電氣的に接続される。なお、図 4 に示す演算回路 2 0 4 においてトランジスタ 2 4 8 は P 型とする。

【 0 0 9 3 】

トランジスタ 2 4 9 は、ゲートがトランジスタ 2 4 9 のソース及びドレインの一方、トランジスタ 2 4 8 のソース及びドレインの他方、及び容量素子 2 4 7 の第 2 端子に電氣的に接続される。

【 0 0 9 4 】

図 4 に示す出力回路 2 0 5 は、トランジスタ 2 5 1 と、トランジスタ 2 5 2 と、カレントミラー回路 2 5 3 と、カレントミラー回路 2 5 5 と、を有する。

10

20

30

40

50

## 【 0 0 9 5 】

トランジスタ 2 5 1 は、ゲートが演算回路 2 0 4 における容量素子 2 4 7 の第 2 端子に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路 2 5 3 に電氣的に接続され、ソース及びドレインの他方が演算回路 2 0 4 における抵抗素子 2 4 3 の第 2 端子に電氣的に接続される。

## 【 0 0 9 6 】

トランジスタ 2 5 2 は、ゲートが演算回路 2 0 4 におけるトランジスタ 2 4 9 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方がトランジスタ 2 5 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 2 5 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

10

## 【 0 0 9 7 】

カレントミラー回路 2 5 3 としては、例えば図 2 の光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

## 【 0 0 9 8 】

図 4 に示すカレントミラー回路 2 5 3 は、トランジスタ 2 5 3 1 と、トランジスタ 2 5 3 2 と、を有する。

## 【 0 0 9 9 】

トランジスタ 2 5 3 1 は、ゲートがトランジスタ 2 5 1 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方がトランジスタ 2 5 3 1 のゲートに電氣的に接続される。

20

## 【 0 1 0 0 】

トランジスタ 2 5 3 2 は、ゲートがトランジスタ 2 5 3 1 のゲートに電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられる。

## 【 0 1 0 1 】

次にカレントミラー回路 2 5 3 の動作について説明する。

## 【 0 1 0 2 】

トランジスタ 2 5 1 がオン状態であるとき、トランジスタ 2 5 3 1 のドレインとソースの間に電流が流れる。さらにトランジスタ 2 5 3 1 のゲートの電圧とトランジスタ 2 5 3 2 のゲートの電圧が等しくなるため、トランジスタ 2 5 3 2 のドレインとソースの間にも電流が流れる。

30

## 【 0 1 0 3 】

カレントミラー回路 2 5 5 の構成としては、図 2 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

## 【 0 1 0 4 】

図 4 に示すカレントミラー回路 2 5 5 は、トランジスタ 2 5 5 1 と、トランジスタ 2 5 5 2 と、を有する。

## 【 0 1 0 5 】

トランジスタ 2 5 5 1 は、ゲートがトランジスタ 2 5 5 1 のソース及びドレインの一方、及びトランジスタ 2 5 3 2 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 2 5 5 1 は、ソース及びドレインの他方に低電源電圧が与えられる。

40

## 【 0 1 0 6 】

トランジスタ 2 5 5 2 は、ゲートがトランジスタ 2 5 5 1 のゲートに電氣的に接続され、ソース及びドレインの一方が図 1 に示すデジタル信号生成回路 1 0 3 に電氣的に接続される。またトランジスタ 2 5 5 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

## 【 0 1 0 7 】

次にカレントミラー回路 2 5 5 の動作について説明する。

## 【 0 1 0 8 】

50

カレントミラー回路 253 におけるトランジスタ 2532 のソース及びドレインの他方の電圧に応じてトランジスタ 2551 のドレインとソースの間に電流が流れる。さらにトランジスタ 2551 のゲートの電圧とトランジスタ 2552 のゲートの電圧が等しくなるため、トランジスタ 2552 のドレインとソースの間にも電流が流れる。

【0109】

次にデジタル信号生成回路 103 の構成について図 5 を用いて説明する。図 5 は図 1 に示すデジタル信号生成回路の構成例を示すブロック図である。

【0110】

図 5 に示すデジタル信号生成回路 103 は、第 1 のクロック信号生成回路 301 と、第 2 のクロック信号生成回路 302 と、第 1 のカウンタ回路 303 と、第 2 のカウンタ回路 304 と、ラッチ回路 305 と、を有する。

10

【0111】

第 1 のクロック信号生成回路 301 は、第 2 の電流  $I_{102}$  に応じた周波数で発振する第 1 のクロック信号  $CLK_1$  を生成する機能を有する。

【0112】

第 2 のクロック信号生成回路 302 は、一定の値の周波数で発振する第 2 のクロック信号  $CLK_2$  を生成する機能を有する。

【0113】

第 1 のカウンタ回路 303 は、第 1 のクロック信号生成回路 301 で生成された第 1 のクロック信号  $CLK_1$  のパルス数をカウントする機能を有する。

20

【0114】

第 2 のカウンタ回路 304 は、第 1 のカウンタ回路 303 における第 1 のクロック信号  $CLK_1$  のパルス数をカウントする期間を設定する機能を有する。具体的には、第 2 のカウンタ回路 304 は第 2 のクロック信号生成回路 302 で生成される第 2 のクロック信号  $CLK_2$  のパルス数をカウントし、カウントした値（カウント値  $CNT_2$  ともいう）に応じて第 1 のクロック信号  $CLK_1$  のパルス数をカウントする期間を設定する機能を有する。

【0115】

ラッチ回路 305 は、第 1 のカウンタ回路 303 のカウント値  $CNT_1$  をデータとして保持する機能を有する。保持されたデータはデジタル信号である。

30

【0116】

第 1 のクロック信号生成回路 301 及び第 2 のクロック信号生成回路 302 は、例えば機能回路を用いて構成することができる。第 1 のクロック信号生成回路 301 及び第 2 のクロック信号生成回路 302 の構成例として以下に説明する。

【0117】

第 1 のクロック信号生成回路 301 の構成例を図 6 に示す。図 6 は図 5 に示す光検出装置における第 1 のクロック信号生成回路の構成例を示す回路図である。

【0118】

図 6 に示す第 1 のクロック信号生成回路 301 は、ランブ波形信号生成回路 401 と、波形整形回路 402 と、バッファ回路 403 と、を有する。

40

【0119】

ランブ波形信号生成回路 401 は、第 2 の電流  $I_{102}$  に応じてランブ波である信号（ランブ波形信号ともいう）を生成する機能を有する。ランブ波とは一定の期間において出力電圧が線形である波形である。具体的な構成について以下に示す。

【0120】

図 6 に示すランブ波形信号生成回路 401 は、トランジスタ 411 と、トランジスタ 412 と、カレントミラー回路 413 と、カレントミラー回路 414 と、カレントミラー回路 415 と、容量素子 416 と、を有する。

【0121】

トランジスタ 411 は、ゲートがバッファ回路 403 に電氣的に接続され、ソース及び

50

ドレインの一方がカレントミラー回路 4 1 3 に電氣的に接続される。

【0 1 2 2】

トランジスタ 4 1 2 は、ゲートがバッファ回路 4 0 3 に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路 4 1 4 に電氣的に接続され、ソース及びドレインの他方がトランジスタ 4 1 1 のソース及びドレインの他方に電氣的に接続される。

【0 1 2 3】

カレントミラー回路 4 1 3 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【0 1 2 4】

カレントミラー回路 4 1 3 は、トランジスタ 4 1 3 1 と、トランジスタ 4 1 3 2 と、を有する。なお、図 6 に示すカレントミラー回路 4 1 3 において、トランジスタ 4 1 3 1 は P 型とする。

【0 1 2 5】

トランジスタ 4 1 3 1 は、ゲートがトランジスタ 4 1 1 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方がトランジスタ 4 1 3 1 のゲートに電氣的に接続される。

【0 1 2 6】

トランジスタ 4 1 3 2 は、ゲートがトランジスタ 4 1 3 1 のゲートに電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方がカレントミラー回路 4 1 5 に電氣的に接続される。

【0 1 2 7】

カレントミラー回路 4 1 4 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【0 1 2 8】

図 6 に示すカレントミラー回路 4 1 4 は、トランジスタ 4 1 4 1 と、トランジスタ 4 1 4 2 と、を有する。

【0 1 2 9】

トランジスタ 4 1 4 1 は、ゲートがトランジスタ 4 1 2 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方がトランジスタ 4 1 4 1 のゲートに電氣的に接続される。

【0 1 3 0】

トランジスタ 4 1 4 2 は、ゲートがトランジスタ 4 1 4 1 のゲートに電氣的に接続され、ソース及びドレインの一方に高電源電圧が与えられ、ソース及びドレインの他方が波形整形回路 4 0 2 に電氣的に接続される。

【0 1 3 1】

カレントミラー回路 4 1 5 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【0 1 3 2】

図 6 に示すカレントミラー回路 4 1 5 は、トランジスタ 4 1 5 1 と、トランジスタ 4 1 5 2 と、を有する。

【0 1 3 3】

トランジスタ 4 1 5 1 は、ゲートがトランジスタ 4 1 5 1 のソース及びドレインの一方、及びカレントミラー回路 4 1 3 におけるトランジスタ 4 1 3 1 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 4 1 5 1 は、ソース及びドレインの他方に低電源電圧が与えられる。

【0 1 3 4】

トランジスタ 4 1 5 2 は、ゲートがトランジスタ 4 1 5 1 のゲートに電氣的に接続され

10

20

30

40

50

、ソース及びドレイン一方がカレントミラー回路 4 1 4 におけるトランジスタ 4 1 4 2 のソース及びドレインの他方に電氣的に接続される。また、トランジスタ 4 1 5 2 は、ソース及びドレインの他方に低電源電圧が与えられる。

【 0 1 3 5 】

容量素子 4 1 6 は、第 1 端子及び第 2 端子を有し、第 1 端子がカレントミラー回路 4 1 4 におけるトランジスタ 4 1 4 2 のソース及びドレインの他方に電氣的に接続される。また、容量素子 4 1 6 は、第 2 端子に低電源電圧が与えられる。

【 0 1 3 6 】

波形整形回路 4 0 2 は、コンパレータ 4 2 1 と、コンパレータ 4 2 2 と、インバータ 4 2 3 と、インバータ 4 2 4 と、NOR 回路 4 2 5、NOR 回路 4 2 6 と、を有する。

10

【 0 1 3 7 】

コンパレータ 4 2 1 は、反転入力端子がランブ波形信号生成回路 4 0 1 における容量素子 4 1 6 の第 1 端子に電氣的に接続される。また、コンパレータ 4 2 1 は、非反転入力端子に第 1 の基準電圧  $V_{ref\_H}$  が与えられる。第 1 の基準電圧  $V_{ref\_H}$  は以下の式で表される。

【 数 1 】

$$V_{ref\_H} > \frac{|V_{dd}| - |V_{ss}|}{2} \quad \text{式 (1)}$$

20

【 0 1 3 8 】

コンパレータ 4 2 2 は、非反転入力端子がコンパレータ 4 2 1 の反転入力端子に電氣的に接続される。また、コンパレータ 4 2 2 は、反転入力端子に第 2 の基準電圧  $V_{ref\_L}$  が与えられる。第 2 の基準電圧  $V_{ref\_L}$  は以下の式で表される。

【 数 2 】

$$V_{ref\_L} < \frac{|V_{dd}| - |V_{ss}|}{2} \quad \text{式 (2)}$$

【 0 1 3 9 】

インバータ 4 2 3 は、入力端子がコンパレータ 4 2 1 の出力端子に電氣的に接続される。

30

【 0 1 4 0 】

インバータ 4 2 4 は、入力端子がコンパレータ 4 2 2 の出力端子に電氣的に接続される。

【 0 1 4 1 】

NOR 回路 4 2 5 は、第 1 の入力端子がインバータ 4 2 3 の出力端子に電氣的に接続される。

【 0 1 4 2 】

NOR 回路 4 2 6 は、第 1 の入力端子が NOR 回路 4 2 5 の出力端子に電氣的に接続され、第 2 の入力端子がインバータ 4 2 4 の出力端子に電氣的に接続され、出力端子が NOR 回路 4 2 5 の第 2 の入力端子に電氣的に接続される。

40

【 0 1 4 3 】

バッファ回路 4 0 3 は、インバータ 4 3 1 と、インバータ 4 3 2 と、インバータ 4 3 3 と、インバータ 4 3 4 と、インバータ 4 3 5 と、を有する。

【 0 1 4 4 】

インバータ 4 3 1 は、入力端子が波形整形回路 4 0 2 における NOR 回路 4 2 5 の出力端子に電氣的に接続される。

【 0 1 4 5 】

インバータ 4 3 2 は、入力端子が波形整形回路 4 0 2 における NOR 回路 4 2 6 の出力端子に電氣的に接続される。

50

## 【 0 1 4 6 】

インバータ 4 3 3 は、入力端子がインバータ 4 3 1 の出力端子に電氣的に接続され、出力端子がランブ波形信号生成回路 4 0 1 におけるトランジスタ 4 1 1 のゲートに電氣的に接続される。

## 【 0 1 4 7 】

インバータ 4 3 4 は、入力端子がインバータ 4 3 2 の出力端子に電氣的に接続され、出力端子がランブ波形信号生成回路 4 0 1 におけるトランジスタ 4 1 2 のゲートに電氣的に接続される。

## 【 0 1 4 8 】

インバータ 4 3 5 は、入力端子がインバータ 4 3 4 の出力端子に電氣的に接続される。

10

## 【 0 1 4 9 】

次に図 6 に示す第 1 のクロック信号生成回路 3 0 1 の動作について図 7 を用いて説明する。図 7 は図 6 に示す第 1 のクロック信号生成回路の動作例を示すタイミングチャート図である。

## 【 0 1 5 0 】

まずランブ波形信号生成回路 4 0 1 において、温度補償回路 1 0 2 で生成される第 2 の電流  $I_{102}$  に応じて容量素子 4 1 6 が充電及び放電を繰り返すことによりランブ波形信号 R M P が生成される。このときランブ波形信号 R M P の周波数  $f_{RMP}$  は、第 2 の電流  $I_{102}$ 、及び容量素子 4 1 6 の静電容量  $C$ 、第 1 の基準電圧  $V_{refH}$ 、第 2 の基準電圧  $V_{refL}$  を用いて、下記式 ( 3 ) で表される。生成されたランブ波形信号 R M P は波形整形回路 4 0 2 に出力される。

20

## 【 0 1 5 1 】

## 【 数 3 】

$$f_{RMP} = \frac{1}{T} = \frac{I_{102}}{C(|V_{refH}| - |V_{refL}|)} \quad \text{式 ( 3 )}$$

## 【 0 1 5 2 】

また、第 2 の電流  $I_{102}$  は光電変換素子 1 1 1 で生成された光電流  $I_L$  に比例するため、ランブ波形信号 R M P の周波数  $f_{RMP}$  は、光電流  $I_L$  に比例することになる。よって、周波数  $f_{RMP}$  と光電流  $I_L$  の関係は、下記式 ( 4 ) で表すことができる。式 ( 4 ) において、 $Z$  は比例定数であり、増幅回路 2 0 2 の増幅率、およびランブ波形信号生成回路 4 0 1 を構成するトランジスタの電氣的特性などにより決定される定数である。

30

## 【 0 1 5 3 】

## 【 数 4 】

$$f_{RMP} = \frac{1}{T} = Z \frac{I_L}{C(|V_{refH}| - |V_{refL}|)} \quad \text{式 ( 4 )}$$

## 【 0 1 5 4 】

さらに生成されたランブ波形信号 R M P は、波形整形回路 4 0 2 におけるコンパレータ 4 2 1 及びコンパレータ 4 2 2 に出力される。コンパレータ 4 2 1 では、ランブ波形信号 R M P と第 1 の基準電圧  $V_{refH}$  との比較結果に応じて出力信号  $CMP_1$  が生成される。さらに出力信号  $CMP_1$  を NOR 回路 4 2 5 及び NOR 回路 4 2 6 で一定期間保持することによりランブ波形信号 R M P を四角波信号に整形される。

40

## 【 0 1 5 5 】

さらに四角波信号をもとにバッファ回路 4 0 3 においてクロック信号が生成される。このとき生成されたクロック信号は、第 1 のクロック信号  $CLK_1$  として、第 1 のカウンタ回路 3 0 3 に出力される。第 1 のクロック信号  $CLK_1$  の周波数とランブ波形信号 R M P の周波数は等しい。つまり、式 ( 4 ) で示したように、光電変換回路 1 0 1 において生成される光電流  $I_L$  に比例する周波数で発振する第 1 のクロック信号  $CLK_1$  がバッファ回路 4 0 3 から出力される。以上が図 7 に示す第 1 のクロック信号生成回路 3 0 1 における

50



動作である。

【0156】

次に第2のクロック信号生成回路302の構成例について説明する。

【0157】

第2のクロック信号生成回路302の構成例を図8に示す。図8は図5に示す第2のクロック信号生成回路302の構成例を示す回路図である。

【0158】

図8に示す第2のクロック信号生成回路302は、定電流回路501と、ランプ波形信号生成回路502と、波形整形回路503と、バッファ回路504と、を有する。

【0159】

定電流回路501は、一定の値の電流を生成する機能を有する。具体的な構成例について以下に説明する。

【0160】

図8に示す定電流回路501は、電流源511と、カレントミラー回路512と、を有する。

【0161】

電流源511は、第1端子及び第2端子を有し、一定の電流値である定電流を生成する機能を有する。また、電流源511は、第1端子に高電源電圧が与えられる。

【0162】

カレントミラー回路512の構成としては、図2におけるカレントミラー回路112に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【0163】

カレントミラー回路512は、トランジスタ5121と、トランジスタ5122と、を有する。

【0164】

トランジスタ5121は、ゲートがトランジスタ5121のソース及びドレインの一方及び電流源511の第2端子に電氣的に接続される。また、トランジスタ5121は、ソース及びドレインの他方に低電源電圧が与えられる。

【0165】

トランジスタ5122は、ゲートがトランジスタ5121のゲートに電氣的に接続され、ソース及びドレインの一方がランプ波形信号生成回路502に電氣的に接続される。また、トランジスタ5122は、ソース及びドレインの他方に低電源電圧が与えられる。

【0166】

なお、カレントミラー回路512は必ずしも設ける必要はないが、カレントミラー回路512を設けることにより、もとなる電流（例えば電流源511に流れる電流）と同じ電流、若しくは増幅または減衰させた電流を複数生成することができる。

【0167】

ランプ波形信号生成回路502は、図6におけるランプ波形信号生成回路401と同様の機能を有する。具体的な構成について以下に示す。

【0168】

図8に示すランプ波形信号生成回路502は、トランジスタ521と、トランジスタ522と、カレントミラー回路523と、カレントミラー回路524と、カレントミラー回路525と、容量素子526と、を有する。

【0169】

トランジスタ521は、ゲートがバッファ回路504に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路523に電氣的に接続され、ソース及びドレインの他方が定電流回路501のカレントミラー回路512におけるトランジスタ5122のソース及びドレインの一方に電氣的に接続される。

【0170】

10

20

30

40

50

トランジスタ 5 2 2 は、ゲートがバッファ回路 5 0 4 に電氣的に接続され、ソース及びドレインの一方がカレントミラー回路 5 2 4 に電氣的に接続され、ソース及びドレインの他方がトランジスタ 5 2 1 のソース及びドレインの他方に電氣的に接続される。

【 0 1 7 1 】

カレントミラー回路 5 2 3 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【 0 1 7 2 】

カレントミラー回路 5 2 3 は、トランジスタ 5 2 3 1 と、トランジスタ 5 2 3 2 と、を有する。トランジスタ 5 2 3 1 は図 6 に示すカレントミラー回路 4 1 3 におけるトランジスタ 4 1 3 1 に相当し、トランジスタ 5 2 3 2 は図 6 に示すカレントミラー回路 4 1 3 におけるトランジスタ 4 1 3 2 に相当するため、具体的な構成については、トランジスタ 4 1 3 1 及びトランジスタ 4 1 3 2 の説明を適宜援用する。

【 0 1 7 3 】

カレントミラー回路 5 2 4 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【 0 1 7 4 】

図 8 に示すカレントミラー回路 5 2 4 は、トランジスタ 5 2 4 1 と、トランジスタ 5 2 4 2 と、を有する。

【 0 1 7 5 】

トランジスタ 5 2 4 1 は、図 6 に示すカレントミラー回路 4 1 4 におけるトランジスタ 4 1 4 1 に相当し、トランジスタ 5 2 4 2 は、図 6 に示すカレントミラー回路 4 1 4 におけるトランジスタ 4 1 4 2 に相当するため、具体的な構成については、トランジスタ 4 1 4 1 及びトランジスタ 4 1 4 2 の説明を適宜援用する。

【 0 1 7 6 】

カレントミラー回路 5 2 5 の構成としては、図 2 に示す光電変換回路 1 0 1 におけるカレントミラー回路 1 1 2 に適用可能な構成のいずれかを適用することができる。具体的な構成について以下に説明する。

【 0 1 7 7 】

図 8 に示すカレントミラー回路 5 2 5 は、トランジスタ 5 2 5 1 と、トランジスタ 5 2 5 2 と、を有する。

【 0 1 7 8 】

トランジスタ 5 2 5 1 は、図 6 に示すカレントミラー回路 4 1 5 におけるトランジスタ 4 1 5 1 に相当し、トランジスタ 5 2 5 2 は、図 6 に示すカレントミラー回路 4 1 5 におけるトランジスタ 4 1 5 2 に相当するため、具体的な構成については、トランジスタ 4 1 5 1 及びトランジスタ 4 1 5 2 の説明を適宜援用する。

【 0 1 7 9 】

容量素子 5 2 6 は図 6 における容量素子 4 1 6 に相当するため、具体的な構成については容量素子 4 1 6 の説明を適宜援用する。

【 0 1 8 0 】

波形整形回路 5 0 3 は、コンパレータ 5 3 1 と、コンパレータ 5 3 2 と、インバータ 5 3 3 と、インバータ 5 3 4 と、NOR 回路 5 3 5 と、NOR 回路 5 3 6 と、を有する。

【 0 1 8 1 】

波形整形回路 5 0 3 は、図 6 に示す波形整形回路 4 0 2 に相当し、さらにコンパレータ 5 3 1 はコンパレータ 4 2 1 に相当し、コンパレータ 5 3 2 はコンパレータ 4 2 2 に相当し、インバータ 5 3 3 はインバータ 4 2 3 に相当し、インバータ 5 3 4 はインバータ 4 2 4 に相当し、NOR 回路 5 3 5 は NOR 回路 4 2 5 に相当し、NOR 回路 5 3 6 は NOR 回路 4 2 6 に相当するため、具体的な構成については、波形整形回路 4 0 2 の説明を適宜援用する。

10

20

30

40

50

## 【 0 1 8 2 】

バッファ回路 5 0 4 は、インバータ 5 4 1 と、インバータ 5 4 2 と、インバータ 5 4 3 と、インバータ 5 4 4 と、インバータ 5 4 5 と、を有する。またバッファ回路 5 0 4 は、図 6 に示すバッファ回路 4 0 3 に相当し、さらにインバータ 5 4 1 はインバータ 4 3 1 に相当し、インバータ 5 4 2 はインバータ 4 3 2 に相当し、インバータ 5 4 3 はインバータ 4 3 3 に相当し、インバータ 5 4 4 はインバータ 4 3 4 に相当し、インバータ 5 4 5 はインバータ 4 3 5 に相当するため、具体的な構成については、バッファ回路 4 0 3 の説明を適宜援用する。

## 【 0 1 8 3 】

次に図 8 に示す第 2 のクロック信号生成回路 3 0 2 の動作について説明する。

10

## 【 0 1 8 4 】

まず定電流回路 5 0 1 において、電流源 5 1 1 により生成される電流をもとにカレントミラー回路 5 1 2 において増幅または減衰された電流が生成され、増幅または減衰された電流がランプ波形信号生成回路 5 0 2 に流れる。

## 【 0 1 8 5 】

ランプ波形信号生成回路 5 0 2 では、定電流回路 5 0 1 により生成された電流に応じて容量素子 5 2 6 が充電及び放電を繰り返すことによりランプ波形信号 R M P が生成される。具体的な動作については、図 6 に示すランプ波形信号生成回路 4 0 1 と同様であるため、図 6 に示すランプ波形信号生成回路 4 0 1 の説明を適宜援用する。

## 【 0 1 8 6 】

20

さらにランプ波形信号 R M P が波形整形回路 5 0 3 において整形されることにより四角波信号が生成される。波形整形回路 5 0 3 の具体的な動作については図 6 に示す波形整形回路 4 0 2 と同じであるため、波形整形回路 4 0 2 の説明を適宜援用する。

## 【 0 1 8 7 】

さらに四角波信号はバッファ回路 5 0 4 に出力され、バッファ回路 5 0 4 においてクロック信号が生成される。このとき生成されたクロック信号は、第 2 のクロック信号 C L K<sub>2</sub> として図 5 における第 2 のカウンタ回路 3 0 4 に出力される。なお、バッファ回路 5 0 4 の具体的な動作についてはバッファ回路 4 0 3 と同じであるため、バッファ回路 4 0 3 の説明を適宜援用する。

## 【 0 1 8 8 】

30

以上のように第 2 のクロック信号 C L K<sub>2</sub> を生成することができる。

## 【 0 1 8 9 】

次に本実施の形態における光検出装置の動作例について説明する。

## 【 0 1 9 0 】

まず図 2 に示す光電変換回路 1 0 1 における動作について説明する。

## 【 0 1 9 1 】

図 2 に示す光電変換回路 1 0 1 では、光電変換素子 1 1 1 に光が入射すると、光電変換素子 1 1 1 において、入射した光の照度に応じて光電流  $I_L$  が生成され、光電流  $I_L$  に応じてカレントミラー回路 1 1 2 におけるトランジスタ 1 1 2 2 のドレインとソースの間に電流が流れる。さらにトランジスタ 1 1 2 2 のドレインとソースの間に流れる電流は、ダイオード 1 1 3 により対数圧縮した電圧に変換される。対数圧縮された電圧を第 1 の電圧  $V_{101}$  とする。第 1 の電圧  $V_{101}$  の値は以下のように求めることができる。

40

## 【 0 1 9 2 】

まずダイオード 1 1 3 の電圧 - 電流特性は式 ( 5 ) で表される。

## 【 0 1 9 3 】

## 【 数 5 】

$$I_{113} = I_s \exp\left(\frac{qV_{113}}{kT} - 1\right) \quad \text{式 (5)}$$

## 【 0 1 9 4 】

50

$I_{113}$  は、ダイオード 113 に流れる電流であり、ダイオード 113 の両端の電圧  $V_{113}$  は、ダイオード 113 に電流が流れることにより誘起される電圧である。

【0195】

なおここでは、便宜のためトランジスタ 1121 のドレインとソースの間に流れる電流と、トランジスタ 1122 のドレインとソースの間に流れる電流とが同じ値であるとして説明する。

【0196】

式(5)において、 $I_s$  は逆方向飽和電流、 $q$  は電荷素量 [C]、 $k$  はボルツマン定数 [ $J \cdot K^{-1}$ ]、 $T$  は温度 [K] である。なお、逆方向飽和電流  $I_s$  は温度の項を含む関数であり、式(6)で表される。

【0197】

【数6】

$$I_s = A \exp\left(\frac{-E_g}{kT}\right) \quad \text{式(6)}$$

【0198】

式(6)において、 $A$  は定数、 $E_g$  はバンドギャップエネルギー [J] である。

【0199】

式(5)において、 $qV_{113}/kT$  が 1 より十分大きいとし、式(5)を  $V_{113}$  について解くと、式(7)が得られる。

【0200】

【数7】

$$V_{113} = \frac{kT}{q} \left( \ln\left(\frac{I_{113}}{I_s}\right) - 1 \right) \doteq \frac{kT}{q} \ln\left(\frac{I_{113}}{I_s}\right) \quad \left( \frac{I_{113}}{I_s} \gg 1 \right) \quad \text{式(7)}$$

【0201】

また、第1の電圧  $V_{101}$  は、式(8)で表される。

【0202】

$$V_{101} = V_{dd} - V_{113} \quad \text{式(8)}$$

【0203】

また、カレントミラー回路 112 を有する場合  $I_{113}$  は、式(9)で表すことができる。

【0204】

$$I_{113} = I_L \times n \quad \text{式(9)}$$

【0205】

式(9)において、 $I_L$  は光電変換素子 111 の光電流、 $n$  はカレントミラー回路 112 の倍率を表している。

【0206】

以上のように、光電変換回路 101 で生成された第1の電圧  $V_{101}$  は光電流  $I_L$  を対数圧縮した値に比例した値になる。以上が光電変換回路 101 における動作である。

【0207】

次に温度補償回路 102 における動作について説明する。

【0208】

基準電圧生成回路 201 では基準電圧  $V_{ref201}$  が生成される。具体的には、抵抗素子 211 に流れる電流に応じてカレントミラー回路 212 におけるトランジスタ 2122 のドレインとソースの間に電流が流れる。さらにトランジスタ 2122 のドレインとソースの間に流れる電流はダイオード 213 によって対数圧縮した電圧に変換される。このとき対数圧縮された電圧が基準電圧  $V_{ref201}$  となる。基準電圧  $V_{ref201}$  は以下のように求めることができる。

【0209】

10

20

30

40

50

まずダイオード 2 1 3 の電圧 - 電流特性は式 ( 1 0 ) で表される。

【 0 2 1 0 】

【 数 8 】

$$I_{213} = I_s \exp\left(\frac{qV_{213}}{kT} - 1\right) \quad \text{式 (10)}$$

【 0 2 1 1 】

なおここでは、便宜のためトランジスタ 2 1 2 1 のドレインとソースの間に流れる電流と、トランジスタ 2 1 2 2 のドレインとソースの間に流れる電流とが同じ値であるとして説明する。

10

【 0 2 1 2 】

式 ( 1 0 ) において、 $I_s$  は逆方向飽和電流、 $q$  は電荷素量 [ C ]、 $k$  はボルツマン定数 [ J · K<sup>-1</sup> ]、 $T$  は温度 [ K ] である。なお、逆方向飽和電流  $I_s$  は温度の項を含む関数であり、式 ( 6 ) で表される。

【 0 2 1 3 】

式 ( 1 0 ) において、 $q V_{213} / k T$  が 1 より十分大きいとし、式 ( 1 0 ) を  $V_{213}$  について解くと、式 ( 1 1 ) が得られる。

【 0 2 1 4 】

【 数 9 】

$$V_{213} = \frac{kT}{q} \left( \ln\left(\frac{I_{213}}{I_s}\right) - 1 \right) \approx \frac{kT}{q} \ln\left(\frac{I_{213}}{I_s}\right) \quad \left( \frac{I_{213}}{I_s} \gg 1 \right) \quad \text{式 (11)}$$

20

【 0 2 1 5 】

また、基準電圧  $V_{ref201}$  は、式 ( 1 2 ) で表される。

【 0 2 1 6 】

$$V_{ref201} = V_{dd} - V_{213} \quad \text{式 (12)}$$

【 0 2 1 7 】

また、カレントミラー回路 1 1 2 を有する場合  $I_{113}$  は、式 ( 1 3 ) で表すことができる。

30

【 0 2 1 8 】

$$I_{213} = I_{211} \times m \quad \text{式 (13)}$$

【 0 2 1 9 】

式 ( 1 3 ) において、 $I_{211}$  は抵抗素子 2 1 1 に流れる電流、 $m$  はカレントミラー回路 2 1 2 の倍率を表している。

【 0 2 2 0 】

以上のように、基準電圧  $V_{ref201}$  は抵抗素子 2 1 1 に流れる電流を対数圧縮した値に比例した値になる。

【 0 2 2 1 】

基準電圧生成回路 2 0 1 で生成された基準電圧  $V_{ref201}$  は増幅回路 2 0 2 において増幅される。具体的には、トランジスタ 2 2 1 のゲートの電圧が基準電圧  $V_{ref201}$  と同等の値になり、トランジスタ 2 2 1 のゲートの電圧に応じてトランジスタ 2 2 1 のソース及びドレインの他方の電圧は、基準電圧  $V_{ref201}$  からトランジスタ 2 2 1 のゲートとソースの間に印加される電圧を引いた値、すなわち  $V_{ref201} - V_{gs221}$  になる。このときトランジスタ 2 2 1 のソース及びドレインの他方の電圧を、増幅された基準電圧  $V_{ref201}$  とする。

40

【 0 2 2 2 】

また、光電変換回路 1 0 1 で生成された第 1 の電圧  $V_{101}$  は増幅回路 2 0 3 において増幅される。具体的には、トランジスタ 2 3 1 のゲートの電圧が第 1 の電圧  $V_{101}$  と同等の値になり、トランジスタ 2 3 1 のゲートの電圧に応じてトランジスタ 2 3 1 のソース

50

及びドレインの他方の電圧は、第 1 の電圧  $V_{101}$  からトランジスタ 231 のゲートとソースの間に印加される電圧を引いた値、すなわち  $V_{101} - V_{gs231}$  になる。このときトランジスタ 231 のソース及びドレインの他方の電圧を増幅された第 1 の電圧  $V_{101}$  とする。

#### 【0223】

さらに演算回路 204 において、第 1 の電圧  $V_{101}$  と基準電圧  $V_{ref201}$  の差分に応じて第 2 の電圧  $V_{102}$  が生成される。具体的には、演算回路 204 において、トランジスタ 246 のゲートの電圧が増幅回路 202 で増幅された基準電圧  $V_{ref201}$  と同等の値になる。一方、演算回路 204 により、トランジスタ 244 のゲートの電圧が、トランジスタ 246 のゲートの電圧と同等になる。ただし、演算回路 204 の性質上、トランジスタ 244 のゲートの電圧と、トランジスタ 246 のゲートの電圧が、厳密には同等とならないこともある。なお、以下では、理解を容易にするため、トランジスタ 244 のゲート電圧が、トランジスタ 246 のゲート電圧と同等となることを前提として説明する。

10

#### 【0224】

上記により、抵抗素子 243 には、トランジスタ 244 のゲートの電圧と、増幅回路 203 で増幅された基準電圧  $V_{ref201}$  の差分の電圧が印加されることとなる。従って、抵抗素子 243 に印加された電圧を、抵抗素子 243 の抵抗値で割った値が、抵抗素子 243 に流れる電流となる。

#### 【0225】

ここで、トランジスタ 251 がオン状態になり、且つトランジスタ 252 がオフ状態の場合、抵抗素子 243 に流れる電流は、トランジスタ 253 1 とトランジスタ 251 のドレインとソースの間に流れる電流と同等である。厳密には、抵抗素子 243 に流れる電流は、トランジスタ 253 1 のドレインとソースの間に流れる電流に、トランジスタ 252 のドレインとソースの間のオフ電流を引いた電流になる。

20

#### 【0226】

一方、トランジスタ 251 がオフ状態になり、且つトランジスタ 252 がオン状態の場合、抵抗素子 243 に流れる電流は、トランジスタ 252 のドレインとソースの間に流れる電流と同等である。厳密には、抵抗素子 243 に流れる電流は、トランジスタ 252 のドレインとソースの間に流れる電流に、トランジスタ 251 のドレインとソースの間のオフ電流を引いた電流になる。

30

#### 【0227】

トランジスタ 251 がオン状態になり、且つトランジスタ 252 がオフ状態の場合、トランジスタ 253 1 に流れる電流が、カレントミラー回路 253 により増幅され、トランジスタ 253 2 のドレインとソースの間に電流が生成される。

#### 【0228】

トランジスタ 253 2 のドレインとソースの間に流れる電流が、トランジスタ 255 1 のドレインとソースの間に流入し、その電流がカレントミラー回路 255 により増幅されることにより、トランジスタ 255 2 のドレインとソースの間に電流が生成される。以下、この電流を、第 2 の電流  $I_{102}$  と呼称する。

40

#### 【0229】

トランジスタ 251 がオフ状態になり、且つトランジスタ 252 がオン状態の場合、トランジスタ 253 1 に電流は流れず、トランジスタ 253 2 のドレインとソースの間にも電流は生成されない。

#### 【0230】

トランジスタ 244 は、ゲートの電圧に応じてオン状態になり、トランジスタ 244 がオン状態であるとき、トランジスタ 244 のドレインとソースの間に電流が流れ、カレントミラー回路 245 におけるトランジスタ 245 1 のドレインとソースの間にも電流が流れる。さらにトランジスタ 245 1 のゲートの電圧とトランジスタ 245 2 のゲートの電圧が等しくなるため、トランジスタ 245 2 のドレインとソースの間にも電流が流れる。

50

## 【 0 2 3 1 】

また、トランジスタ 2 4 6 は、ゲートの電圧に応じてオン状態になり、トランジスタ 2 4 6 がオン状態であるとき、トランジスタ 2 4 6 のドレインとソースの間に電流が流れる。このときトランジスタ 2 4 6 のソース及びドレインの一方の電圧は、トランジスタ 2 4 6 のドレインとソースの間に流れる電流に応じた値となる。さらにトランジスタ 2 4 6 のソース及びドレインの一方の電圧に応じた値の電荷が容量素子 2 4 7 に蓄積される。

## 【 0 2 3 2 】

さらにトランジスタ 2 4 8 は、ゲートの電圧がトランジスタ 2 4 6 のソース及びドレインの一方の電圧と同等の値になる。トランジスタ 2 4 8 は、ゲートの電圧に応じてオン状態になり、トランジスタ 2 4 8 がオン状態であるときトランジスタ 2 4 8 のソース及びドレインの他方の電圧を第 2 の電圧  $V_{102}$  とする。また、トランジスタ 2 4 9 のソース及びドレインの他方の電圧は、トランジスタ 2 4 8 のソース及びドレインの他方の電圧からトランジスタ 2 4 9 のゲートとソースの間の電圧  $V_{gs249}$  を引いた値、すなわち  $V_{102} - V_{gs249}$  となる。

## 【 0 2 3 3 】

さらに温度補償回路 1 0 2 では、出力回路 2 0 5 において第 2 の電圧  $V_{102}$  が電流に変換され、第 2 の電流  $I_{102}$  が生成される。具体的な動作について以下に説明する。

## 【 0 2 3 4 】

トランジスタ 2 5 1 においてゲートの電圧が第 2 の電圧  $V_{102}$  と同等の値になり、トランジスタ 2 5 2 のゲートの電圧が  $V_{102} - V_{gs249}$  と同等の値になる。このときトランジスタ 2 5 1 及びトランジスタ 2 5 2 は、ゲートの電圧に応じて一方がオン状態になり、他方がオフ状態になる。それぞれの場合について以下に説明する。

## 【 0 2 3 5 】

トランジスタ 2 5 1 がオン状態であり、トランジスタ 2 5 2 がオフ状態であるとき、トランジスタ 2 5 1 のゲートの電圧に応じてトランジスタ 2 5 1 のドレインとソースの間に電流が流れ、さらにトランジスタ 2 5 1 のドレインとソースの間に流れる電流に応じてカレントミラー回路 2 5 3 におけるトランジスタ 2 5 3 2 のドレインとソースの間にも電流が流れる。このときトランジスタ 2 5 3 2 のドレインとソースの間に流れる電流は第 1 の電流  $I_{101}$  に応じた値、すなわち光電変換回路 1 0 1 に入射した光の照度に応じた値となる。

## 【 0 2 3 6 】

さらにトランジスタ 2 5 3 2 のソース及びドレインの他方の電圧に応じてトランジスタ 2 5 5 2 のドレインとソースの間に電流が流れる。このときトランジスタ 2 5 5 2 に流れる電流を第 2 の電流  $I_{102}$  とする。

## 【 0 2 3 7 】

さらにトランジスタ 2 5 1 のドレインとソースの間に電流が流れることにより、演算回路 2 0 4 において、抵抗素子 2 4 3 に応じた電流が流れ、トランジスタ 2 4 4 のゲートの電圧が変化する。これによりトランジスタ 2 4 4 のゲートの電圧を演算回路 2 0 4 のオフセット分だけ補正することができる。

## 【 0 2 3 8 】

また、トランジスタ 2 5 1 がオフ状態であり、トランジスタ 2 5 2 がオン状態であるとき、トランジスタ 2 5 2 のゲートの電圧に応じてトランジスタ 2 5 2 のドレインとソースの間に電流が流れる。しかしカレントミラー回路 2 5 3 に電流が流れないため、カレントミラー回路 2 5 5 にも電流が流れない。

## 【 0 2 3 9 】

次に図 1 に示すデジタル信号生成回路 1 0 3 における動作について図 9 を用いて説明する。図 9 は図 1 に示すデジタル信号生成回路の動作を示すタイミングチャート図である。

## 【 0 2 4 0 】

第 1 のクロック信号生成回路 3 0 1 で生成される第 1 のクロック信号  $CLK_1$  は、温度補償回路 1 0 2 で生成された第 2 の電流  $I_{102}$  に応じた周波数であり、第 1 のクロック

10

20

30

40

50

信号  $CLK_1$  の周波数を  $f_{301}$  とすると、 $f_{301} = Z_1 \times I_{102}$  ( $Z_1$  は比例定数) が成り立つ。

【0241】

また、第2のクロック信号生成回路302で生成される第2のクロック信号  $CLK_2$  は、基準クロック信号として機能し、定電流を  $I_c$  とし、第2のクロック信号  $CLK_2$  の周波数を  $f_{302}$  とすると、 $f_{302} = Z_2 \times I_c$  ( $Z_2$  は比例定数) が成り立つ。

【0242】

期間  $t_0$  において、リセット信号  $RST$  がハイ状態になり、第1のカOUNTER回路303の第1のカウント値  $CNT_1$  及び第2のカOUNTER回路304の第2のカウント値  $CNT_2$  がリセットされ、0になる。

【0243】

次に期間  $t_1$  になると、リセット信号  $RST$  はロウ状態になり、第1のカOUNTER回路303では第1のクロック信号  $CLK_1$  のパルスの数のカウンタアップが開始され、また第2のカOUNTER回路304では第2のクロック信号  $CLK_2$  のパルスの数のカウンタアップが開始される。

【0244】

次に第2のカウント値  $CNT_2$  が所定の値になる期間  $t_2$  において、期間  $t_1$  から期間  $t_2$  までの第1のカウント値  $CNT_1$  のデータがデジタル信号  $DTL$  としてラッチ回路305に保持される。図9に示すタイミングチャートでは一例として第2のカウント値  $CNT_2$  が8になったときの第1のカウント値  $CNT_1$ 、すなわち15のデータがデジタル信号  $DTL$  としてラッチ回路305に保持されるように設定されているが、これに限定されず他のカウント値に設定することもできる。

【0245】

さらに期間  $t_3$  になると、リセット信号  $RST$  がハイ状態になり、第1のカウント値  $CNT_1$  及び第2のカウント値  $CNT_2$  が再びリセットされ、0になる。以上がデジタル信号生成回路103における動作である。

【0246】

ここで照度と第1のカOUNTER回路303のカウント値の関係について図10を用いて説明する。図10は、図3に示す第1のカOUNTER回路における照度とカウント値との関係を示す図である。図10に示すように、図3に示す第1のカOUNTER回路303は、照度が高くなるにつれてカウント値も大きくなる、いわゆる右上がり型の照度 - カウント値の関係であることがわかる。

【0247】

以上のように、本実施の形態の光検出装置は、入射した照度に応じて生成された電流から対数圧縮した電圧を生成することができ、また、対数圧縮した電圧に応じた値のデジタル信号を生成することができる。よって、照度に対するダイナミックレンジを拡大させることができる。

【0248】

(実施の形態2)

本実施の形態では、上記実施の形態1に示した光検出装置の構成及び作製方法について説明する。

【0249】

まず、本実施の形態における光検出装置の構成について図11を用いて説明する。図11は、本実施の形態における光検出装置の構成を示す断面模式図である。なお、図11に示す光検出装置は、便宜のため、一部または全部において実際とは異なる寸法を用いて図示している。

【0250】

図11に示す光検出装置は、基板901と、下地膜902と、半導体層9031、ゲート絶縁膜9032、及びゲート電極9033を有するトランジスタと、層間膜904と、電極9051と、電極9052と、電極9053と、樹脂層906と、層間膜907と、

10

20

30

40

50



電極 908 と、P 型半導体層 991、高抵抗半導体層 992、及び N 型半導体層 993 を有する光電変換層と、層間膜 910 と、電極 9111 と、電極 9112 と、パッシベーション膜 912 と、樹脂層 913 と、電極 9141 と、電極 9142 と、を有する。

#### 【0251】

基板 901 としては、例えばガラス基板、石英基板、または可撓性基板などを用いることもできる。可撓性基板とは、折り曲げることができる（フレキシブルであるともいう）基板のことであり、可撓性基板としては、例えばポリカーボネート、ポリアリレート、またポリエーテルスルホンなどからなるプラスチック基板などが挙げられる。また、基板 901 としては、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維状な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）などを用いることもできる。

10

#### 【0252】

下地膜 902 は、基板 901 上に設けられる。例えば酸化シリコン膜、窒化シリコン膜、または窒素を含む酸化シリコン膜などを用いることができる。また下地膜 902 は、上記に挙げたシリコン膜を積層して設けることもできる。なお下地膜 902 は必ずしも設ける必要はないが、下地膜 902 を設けることにより、例えば基板 901 からアルカリ金属などの不純物が拡散するのを抑制することができる。また下地膜 902 を設ける場合には、基板 901 としてシリコン基板、金属基板、またはステンレス基板などを用いることもできる。

#### 【0253】

半導体層 9031 は、下地膜 902 上に選択的に設けられる。なお下地膜 902 を設けない場合には、基板 901 上に選択的に設けられる。また、半導体層 9031 には一対の不純物領域 931 が設けられる。一対の不純物領域 931 は、ソースまたはドレインの一部として機能し、N 型の導電性を有する不純物元素（N 型不純物元素ともいう）、または P 型の導電性を有する不純物元素（P 型不純物元素ともいう）を半導体層 9031 に添加することにより設けられる。また、不純物濃度の異なる複数の領域を設けて不純物領域とすることもできる。このとき相対的に不純物濃度の低い領域を低濃度不純物領域（LDD : Lightly Doped Drain 領域ともいう）という。LDD 領域を設けることにより局所的な電界の集中を抑制することができる。半導体層 9031 としては、例えば非晶質シリコン、微結晶（マイクロクリスタルともいう）シリコン、単結晶シリコン、または多結晶シリコンなどの半導体層を用いることができる。

20

30

#### 【0254】

ゲート絶縁膜 9032 は、半導体層 9031 上に設けられる。ゲート絶縁膜 9032 としては、例えば窒化シリコン膜、酸化シリコン膜、窒素を含む酸化シリコン膜などを用いることができる。

#### 【0255】

ゲート電極 9033 は、半導体層 9031 上の部分のゲート絶縁膜 9032 上に設けられる。ゲート電極 9033 としては、例えばチタン、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅のいずれかから選ばれた元素、若しくは上記に挙げた元素を主成分とする合金材料若しくは化合物材料、または上記に挙げた元素の窒化物などを用いることができる。また、ゲート電極 9033 は、上記に挙げた材料を積層して設けることもでき、例えば 1 層目の電極の一部の上に 2 層目の電極を積層してゲート電極 9033 とすることもできる。この構成によりホットキャリアによる劣化を抑制することができる。また、ゲート電極 9033 は、不純物領域 931 上、例えば LDD 領域を設けた場合には LDD 領域上の部分のゲート絶縁膜 9032 上まで延伸させて設けることができる。

40

#### 【0256】

層間膜 904 は、ゲート電極 9033 及びゲート絶縁膜 9032 上に設けられる。層間膜 904 としては、例えば酸化シリコン膜、窒化シリコン膜、または窒素を含む酸化シリ

50

コン膜などを用いることができる。また上記に挙げたシリコン膜を積層して層間膜 904 とすることもできる。

【0257】

電極 9051 は、層間膜 904 に設けられた開口部を介してゲート電極 9033 に接する。電極 9052 は、ゲート絶縁膜 9032 及び層間膜 904 に設けられた開口部を介して半導体層 9031 における一对の不純物領域 931 のいずれか一方に接するように設けられ、電極 9053 は、ゲート絶縁膜 9032 及び層間膜 904 に設けられた開口部を介して半導体層 9031 における一对の不純物領域 931 のいずれか他方に接するように設けられる。電極 9051 乃至電極 9053 としては、例えばチタン、タンゲステン、タantal、モリブデン、ネオジウム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅のいずれかから選ばれた元素、若しくは上記に挙げた元素を主成分とする合金材料若しくは化合物材料、または上記に挙げた元素の窒化物などを用いることができる。また、電極 9051 乃至電極 9053 は、上記に挙げた材料を積層して設けることもできる。

10

【0258】

樹脂層 906 は、平坦化膜として機能し、層間膜 904、電極 9051、電極 9052、及び電極 9053 の上に選択的に設けられる。図 11 に示す光検出装置では、トランジスタ上及び上部に電極 9141 及び電極 9142 が設けられる部分に設けられる。このとき樹脂層 906 は、断面において端部が曲線状であることが好ましい。曲線状にすることにより、樹脂層 906 上に設けられる膜のカバレッジを向上させることができる。樹脂層 906 としては、ポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサン樹脂を用いることができる。また、樹脂層 906 としては、例えばポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、またはウレタン樹脂などの樹脂材料を用いることができる。

20

【0259】

層間膜 907 は、樹脂層 906 上、並びに層間膜 904、電極 9051、電極 9052、または電極 9053 の樹脂層 906 が設けられていない部分の上に設けられる。層間膜 907 としては、例えば酸化シリコン膜、窒化シリコン膜、または窒素を含む酸化シリコン膜などを用いることができる。また上記に挙げたシリコン膜を積層して層間膜 907 とすることもできる。また上記に挙げたシリコン膜を設け、シリコン膜上に TEOS (テトラエチルオルトシリケート) を用いて形成した酸化シリコン膜を積層して層間膜 907 とすることもできる。

30

【0260】

電極 908 は、層間膜 907 に設けられた開口部を介して電極 9052 に接する。電極 908 としては、例えばチタン、タンゲステン、タantal、モリブデン、ネオジウム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅のいずれかから選ばれた元素、若しくは上記に挙げた元素を主成分とする合金材料若しくは化合物材料、または上記に挙げた元素の窒化物などを用いることができる。また、電極 908 は、上記に挙げた材料を積層して設けることもできる。

40

【0261】

P 型半導体層 991 は、電極 908 の端部に接するように設けられ、高抵抗半導体層 992 は、P 型半導体層 991 上に設けられ、N 型半導体層 993 は、高抵抗半導体層 992 上に設けられる。高抵抗半導体層 992 は、P 型半導体層 991 及び N 型半導体層 993 より抵抗の高い半導体層である。このとき P 型半導体層 991 に接する電極 908 の端部は、テーパ状であることが好ましい。テーパ状にすることにより、P 型半導体層 991 のカバレッジを向上させることができる。

【0262】

50

層間膜 910 は、層間膜 907、電極 908、及び光電変換層上に設けられる。層間膜 910 としては、例えば酸化シリコン膜、窒化シリコン膜、または窒素を含む酸化シリコン膜などを用いることができる。また上記に挙げたシリコン膜を積層して層間膜 910 とすることもできる。また上記に挙げたシリコン膜を設け、シリコン膜上に T E O S (テトラエチルオルトシリケート) を用いて形成した酸化シリコン膜を積層して層間膜 910 とすることもできる。

【0263】

電極 911 は、層間膜 910 に設けられた開口部を介して電極 908 に接し、電極 912 は、層間膜 910 に設けられた開口部を介して光電変換層に接する。電極 911 及び電極 912 としては、例えばチタン、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅のいずれかから選ばれた元素、若しくは上記に挙げた元素を主成分とする合金材料若しくは化合物材料、または上記に挙げた元素の窒化物などを用いることができる。また、電極 911 及び電極 912 は、上記に挙げた材料を積層して設けることもできる。

10

【0264】

パッシベーション膜 912 は、層間膜 910 並びに電極 911 及び電極 912 上に設けられ、且つ下地膜 902、ゲート絶縁膜 903、層間膜 904、層間膜 907、及び層間膜 910 の端部の一方または両方に接する。パッシベーション膜 912 としては、例えば酸化シリコン膜、窒化シリコン膜、または窒素を含む酸化シリコン膜などを用いることができる。

20

【0265】

樹脂層 913 は、パッシベーション膜 912 上に設けられる。

【0266】

電極 914 は、パッシベーション膜 912 及び樹脂層 913 に設けられた開口部を介して電極 911 に接するように設けられ、電極 915 は、パッシベーション膜 912 及び樹脂層 913 に設けられた開口部を介して電極 912 に接する。電極 914 及び電極 915 としては、例えばチタン、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、及び銅のいずれかから選ばれた元素、若しくは上記に挙げた元素を主成分とする合金材料若しくは化合物材料、または上記に挙げた元素の窒化物などを用いることができる。また、電極 914 及び電極 915 は、上記に挙げた材料を積層して設けることもできる。また電極 911 または電極 912 に接するように導電性樹脂膜を設け、導電性樹脂膜上に上記に挙げた材料を積層して電極 914 または電極 915 とすることもできる。

30

【0267】

以上の構成とすることにより、実施の形態 1 における光検出装置とすることができる。また、本実施の形態における光検出装置は、トランジスタと光電変換層を同一基板上に形成することができるため、作製が容易となり、量産しやすくなる。

【0268】

次に本実施の形態における光検出装置の作製方法について図 12 乃至図 16 を用いて説明する。図 12 乃至図 16 は、本実施の形態における光検出装置の作製方法を示す断面模式図である。

40

【0269】

まず図 12 (A) に示すように基板 901 上に下地膜 902 を形成する。下地膜 902 は、例えばプラズマ CVD 法などにより形成することができる。ここでは、一例として基板 901 として厚さが 0.7 mm であるガラス基板 (AN100) を用い、さらに窒化酸化シリコン膜を 140 nm の膜厚で形成し、窒化酸化シリコン膜上に酸化窒化シリコン膜を 100 nm の膜厚で形成することにより下地膜 902 を形成する。

【0270】

50

次に図 12 (B) に示すように下地膜 902 上にトランジスタ 903 を形成する。トランジスタ 903 の具体的な作製方法については、以下に説明する。

【0271】

トランジスタ 903 は、下地膜 902 上に半導体層 9031 を選択的に形成し、半導体層 9031 上にゲート絶縁膜 9032 を形成し、半導体層 9031 上の部分のゲート絶縁膜 9032 上にゲート電極 9033 を形成することにより作製する。半導体層 9031 に多結晶半導体膜を用いる場合、例えば非晶質半導体膜を公知の技術（固相成長法、レーザ結晶化方法、触媒金属を用いた結晶化方法など）を用いて結晶化することにより形成することができる。

【0272】

また、半導体層 9031 に単結晶半導体層を用いる場合には、例えば SOI（シリコン・オン・インシュレータ）基板を用いることもできる。SOI 基板としては、公知の SOI 基板を用いればよく、その作製方法や構造は特に限定されない。SOI 基板としては、代表的には SIMOX 基板や貼り合わせ基板が挙げられる。また、貼り合わせ基板の例として、ELTRAN（登録商標）、UNIBOND（登録商標）、スマートカット（登録商標）等が挙げられる。

【0273】

SIMOX 基板は、単結晶シリコン基板に酸素イオンを注入し、1300 以上で熱処理して埋め込み酸化膜層（BOX；Buried Oxide）を形成することにより、表面に薄膜シリコン層を形成し、SOI 構造を得ることができる。薄膜シリコン層は、埋め込み酸化膜層により、単結晶シリコン基板と絶縁分離されている。また、埋め込み酸化膜層形成後に、さらに熱酸化する ITOX（Internal Thermal Oxidation - SIMOX）と呼ばれる技術を用いることもできる。

【0274】

貼り合わせ基板は、酸化膜層を介して 2 枚の単結晶シリコン基板（第 1 単結晶シリコン基板、第 2 単結晶シリコン基板）を貼り合わせ、一方の単結晶シリコン基板を貼り合わせた面ではない方の面から薄膜化することにより、表面に薄膜シリコン層を形成した SOI 基板のことをいう。酸化膜層は、一方の基板（ここでは第 1 単結晶シリコン基板）を熱酸化して形成することができる。また、2 枚の単結晶シリコン基板は、接着剤を用いずに直接貼り合わせることができる。

【0275】

なお、貼り合わせ基板としては、2 枚の単結晶基板を貼り合わせることに限らず、ガラス基板等の絶縁表面を有する基板と、単結晶基板とを貼り合わせて SOI 基板を作製してもよい。

【0276】

ここでは、一例として半導体層 9031 として多結晶半導体層を 50 nm の厚さで形成する。具体的な作製方法について以下に説明する。

【0277】

まず下地膜 902 上に水素を含む非晶質シリコン膜を大気に触れることなく形成し、重量換算で 10 ppm のニッケルを含む酢酸ニッケル溶液をスピナーで添加する。なお、溶液を添加する方法に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次に熱処理（500、1 時間）の後、結晶化のための熱処理（550、4 時間）を行って多結晶珪素膜を形成する。

【0278】

次に形成した多結晶珪素膜表面の酸化膜を希フッ酸等で除去する。その後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザ光（XeCl：波長 308 nm）の照射を大気中、または酸素雰囲気中で行う。

【0279】

レーザ光には波長 400 nm 以下のエキシマレーザ光や、YAG レーザの第 2 高調波又は第 3 高調波を用いる。ここでは、周波数 10 ~ 1000 Hz 程度のパルスレーザ光を用

10

20

30

40

50

い、当該レーザ光を光学系にて  $100 \sim 500 \text{ mJ/cm}^2$  に集光し、 $90 \sim 95\%$  のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。本実施の形態では、周波数  $30 \text{ Hz}$ 、エネルギー密度  $470 \text{ mJ/cm}^2$  でレーザ光の照射を大気中で行う。

#### 【0280】

なお、大気中、または酸素雰囲気中で行うため、レーザ光の照射により表面に酸化膜が形成される。なお、本実施の形態ではパルスレーザを用いた例を示したが、連続発振のレーザを用いてもよく、半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO<sub>4</sub>レーザ（基本波  $1064 \text{ nm}$ ）の第2高調波（ $532 \text{ nm}$ ）や第3高調波（ $355 \text{ nm}$ ）を適用すればよい。

10

#### 【0281】

連続発振のレーザを用いる場合には、出力  $10 \text{ W}$  の連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は  $0.01 \sim 100 \text{ MW/cm}^2$  程度（好ましくは  $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、 $10 \sim 2000 \text{ cm/s}$  程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

#### 【0282】

次に上記レーザ光の照射により形成された酸化膜に加え、オゾン水で表面を  $120$  秒処理して合計  $1 \sim 5 \text{ nm}$  の酸化膜からなるバリア層を形成する。このバリア層は、結晶化させるために添加した触媒元素、例えばニッケル（Ni）を膜中から除去するために形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで  $1 \sim 10 \text{ nm}$  程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザ光の照射により形成された酸化膜を除去してもよい。

20

#### 【0283】

次にバリア層上にスパッタ法にてゲッターリングサイトとなるアルゴン元素を含む非晶質珪素膜を  $10 \text{ nm} \sim 400 \text{ nm}$ 、ここでは膜厚  $100 \text{ nm}$  で成膜する。ここでは、アルゴン元素を含む非晶質珪素膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマCVD法を用いてアルゴン元素を含む非晶質珪素膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比（SiH<sub>4</sub>:Ar）を  $1:99$  とし、成膜圧力を  $6.665 \text{ Pa}$  とし、RFパワー密度を  $0.087 \text{ W/cm}^2$  とし、成膜温度を  $350$  とする。

30

#### 【0284】

その後、 $650$  に加熱された炉に入れて3分の熱処理を行い触媒元素を除去（ゲッターリング）する。これにより結晶構造を有する半導体膜中の触媒元素濃度が低減される。炉に代えてランプアニール装置を用いてもよい。

40

#### 【0285】

次にバリア層をエッチングストッパとして、ゲッターリングサイトであるアルゴン元素を含む非晶質珪素膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッターリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッターリング後に除去することが望ましい。

#### 【0286】

なお、触媒元素を用いて半導体膜の結晶化を行わない場合には、上述したバリア層の形成、ゲッターリングサイトの形成、ゲッターリングのための熱処理、ゲッターリングサイトの除去、バリア層の除去などの工程は不要である。

#### 【0287】

50

さらに本実施の形態では、得られた結晶構造を有する半導体膜（例えば結晶性珪素膜）の表面にオゾン水で薄い酸化膜を形成した後、第1のフォトリソグラフィを用いてレジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層9031を形成した後、レジストからなるマスクを除去する。

【0288】

さらに本実施の形態では、半導体層9031に不純物元素（ホウ素またはリン）を添加することにより一対の不純物領域931を形成する。不純物元素の添加としては、例えばイオンドーピング法を用いて行うことができる。

【0289】

なお、フッ酸を含むエッチャントで酸化膜を除去すると同時に半導体層9031の表面を洗浄することが好ましい。

10

【0290】

次に半導体層9031上にゲート絶縁膜9032を形成する。ゲート絶縁膜9032は、例えばプラズマCVD法により形成することができる。ここでは、ゲート絶縁膜9032として酸化窒化シリコン膜を30nmの膜厚で形成する。

【0291】

次に半導体層9031上のゲート絶縁膜9032の部分の上にゲート電極9033を形成する。ここでは一例として半導体層9031上のゲート絶縁膜9032の部分の上に窒化タンタル膜を30nmの膜厚で形成し、窒化タンタル膜上にタングステン膜を170nmの膜厚で形成し、エッチングすることによりゲート電極9033を形成する。

20

【0292】

次に図12(C)に示すように、トランジスタ903上に層間膜904を形成する。ここでは一例としてトランジスタ903上に酸化窒化シリコン膜を50nmの膜厚で形成し、酸化窒化シリコン膜上に窒化酸化シリコン膜を165nmの膜厚で形成、窒化酸化シリコン膜上に酸化窒化シリコン膜を600nmの膜厚で形成することにより層間膜904を形成する。

【0293】

次に、図13(D)に示すように、層間膜904上に電極905を形成する。具体的には層間膜904に選択的に開口部を形成し、さらに開口部を介してゲート電極9033に接するように電極9051を形成し、開口部を介して一対の不純物領域931のいずれか一方に接するように電極9052を形成し、開口部を介して一対の不純物領域931のいずれか他方に接するように電極9053を形成する。ここでは、一例として第1のチタン膜を100nmの膜厚で形成し、第1のチタン膜上にアルミニウム膜を100nmの膜厚で形成し、アルミニウム膜上に第2のチタン膜を50nmの膜厚で形成し、エッチングすることにより電極9051乃至電極9053を形成する。

30

【0294】

次に図13(E)に示すように、層間膜904及び電極905上に樹脂膜961を形成する。ここでは、樹脂膜961として、ポリイミド膜を1.5μmの膜厚で形成する。

【0295】

次に図13(F)に示すように、樹脂膜961を加工し、断面において端部が曲面の樹脂層906を選択的に形成する。さらに樹脂層906上、及び樹脂層906が設けられていない部分の層間膜904及び電極905上に層間膜907を形成する。ここでは、一例として窒化シリコン膜を100nmの膜厚で形成し、窒化シリコン膜上にTEOSを用いて酸化シリコン膜を200nmの膜厚で形成することにより層間膜907を形成する。

40

【0296】

次に図14(G)に示すように、層間膜907に開口部を形成し、開口部を介して電極9052に接するように電極908を形成する。ここでは、チタン膜を400nmの膜厚で形成し、エッチングすることにより電極908を形成する。なおこのとき電極908の端部をテーパ状に加工することが好ましい。端部がテーパ状である電極908は、例えばグレートンマスクを用いたフォトリソグラフィ工程などを用いて形成することができ

50

る。

【0297】

次に図14(H)に示すように、電極908の端部に接するように光電変換層909を形成する。ここでは、一例として電極908の端部に接するようにP型半導体層991を60nmの厚さで形成し、P型半導体層991上に高抵抗半導体層992を400nmの厚さで形成し、高抵抗半導体層992上にN型半導体層993を80nmの厚さで形成することにより光電変換層909を形成する。

【0298】

次に図14(I)に示すように、層間膜907、電極908、及び光電変換層909上に層間膜910を形成する。ここでは、一例として窒化シリコン膜を100nmの膜厚で形成し、窒化シリコン膜上にTEOSを用いて酸化シリコン膜を400nmの膜厚で形成することにより層間膜910を形成する。

10

【0299】

次に図15(J)に示すように、層間膜910に開口部を形成し、開口部を介して電極908に接するように電極9111を形成し、さらに開口部を介して光電変換層909におけるN型半導体層993に接するように電極9112を形成する。ここでは、第1のチタン膜を50nmの膜厚で形成し、第1のチタン膜上にアルミニウム膜100nmを形成し、アルミニウム膜上に第2のチタン膜を50nmの膜厚で形成し、エッチングすることにより電極9111及び電極9112を形成する。

20

【0300】

次に図15(K)に示すように、ゲート絶縁膜9032、層間膜904、層間膜907、及び層間膜910に開口部を形成する。さらに開口部を介して下地膜に接し、且つゲート絶縁膜9032、層間膜904、層間膜907、層間膜910、電極9111、及び電極9112を覆うようにパッシベーション膜912を形成する。ここでは、一例として、窒化シリコン膜を100nmの膜厚で形成することによりパッシベーション膜912を形成する。

【0301】

次に図15(L)に示すように、層間膜910、並びに電極9111及び電極9112上の部分のパッシベーション膜912上に樹脂層913を形成する。ここでは、一例として絶縁樹脂を25μmの厚さで形成することにより樹脂層913を形成する。

30

【0302】

次に図16(M)に示すように、樹脂層913に開口部を形成し、開口部を介して電極914を形成する。具体的には、開口部を介して電極9111に接するように電極9141を形成し、開口部を介して電極9112に接するように電極9142を形成する。ここでは、一例としてニッケル樹脂膜を1.5μmの膜厚で形成し、ニッケル樹脂膜上にチタン膜を150nmの膜厚で形成し、チタン膜上にニッケル膜を750nmの膜厚で形成し、ニッケル膜上に金膜を50nmの膜厚で形成し、エッチングすることにより電極914を形成する。

【0303】

以上により本実施の形態における光検出装置を作製することができる。ただしこの構成に限定されず、他の構成においても作製することができる。

40

【0304】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0305】

(実施の形態3)

本実施の形態では、本発明の一態様である光検出装置を適用した電子機器について説明する。

【0306】

本発明の一態様である光検出装置は、コンピュータ、ディスプレイ、携帯電話、テレビなど様々な電子機器の光検出部に適用することができる。これらの電子機器の具体的な構

50

成例を図 17 乃至図 21 を用いて説明する。図 17 乃至図 21 は本実施の形態における本発明の光検出装置を搭載した電子機器の構成を示す模式図である。

【0307】

図 17 は携帯電話であり、本体 (A) 1000、本体 (B) 1001、筐体 1002a 及び筐体 1002b、操作キー 1003、音声入力部 1004、音声出力部 1005、回路基板 1006、表示パネル (A) 1007、表示パネル (B) 1008、蝶番 1009、透光性材料部 1010、光検出装置 1011 を有している。本発明の一態様である光検出装置は光検出装置 1011 に適用することができる。

【0308】

図 17 に示す携帯電話では、光検出装置 1011 により透光性材料部 1010 を透過した光を検知し、検知した外部光の照度に合わせて表示パネル (A) 1007 及び表示パネル (B) 1008 の輝度がコントロールされる、また光検出装置 1011 で得られる光の照度に合わせて操作キー 1003 の照明制御を行う。これにより携帯電話の消費電流を抑えることができる。

10

【0309】

図 18 (A) 及び図 18 (B) に携帯電話の別の例を示す。図 18 (A) 及び図 18 (B) において、本体 1100、筐体 1101、表示パネル 1102、操作キー 1103、音声出力部 1104、音声入力部 1105、光検出装置 1106、光検出装置 1107 を示している。

【0310】

図 18 (A) に示す携帯電話では、本体 1100 に設けられた光検出装置 1106 により外部の光を検知することにより表示パネル 1102 及び操作キー 1103 の輝度を制御することが可能である。

20

【0311】

また図 18 (B) に示す携帯電話では、図 18 (A) の構成と異なり、本体 1100 の内部に光検出装置 1107 を設けている。光検出装置 1107 により、表示パネル 1102 に設けられているバックライトの輝度を検出することも可能となる。

【0312】

図 19 (A) はコンピュータであり、本体 1200、筐体 1201、表示部 1202、キーボード 1203、外部接続ポート 1204、ポインティングデバイス 1205 などを含む。

30

【0313】

また図 19 (B) は表示装置でありテレビ受像器などがこれに当たる。図 19 (B) における表示装置は、筐体 1206、支持台 1207、表示部 1208 などによって構成されている。

【0314】

図 19 (A) のコンピュータに設けられる表示部 1202、及び図 19 (B) に示す表示装置の表示部 1208 として、液晶パネルを用いた場合の詳しい構成を図 20 に示す。

【0315】

図 20 に示す液晶パネル 1300 は、筐体 1301 に内蔵されており、基板 1302a 及び基板 1302b、基板 1302a 及び基板 1302b に挟まれた液晶層 1303、偏光フィルタ 1304a 及び偏光フィルタ 1304b、及びバックライト 1305 等を有している。また筐体 1301 には光検出装置 1306 が形成されている。

40

【0316】

本発明の一態様である光検出装置が適用された光検出装置 1306 はバックライト 1305 からの光量を検知し、その情報がフィードバックされて液晶パネル 1300 の輝度が調整される。

【0317】

図 21 (A) 及び図 21 (B) は、本発明の一態様である光検出装置をカメラ、例えばデジタルカメラに適用した例を示す図である。図 21 (A) は、前面方向から見たデジタ

50



ルカメラの斜視図、図 2 1 ( B ) は、後面方向から見たデジタルカメラの斜視図である。図 2 1 ( A ) において、デジタルカメラには、リリースボタン 1 4 0 0、メインスイッチ 1 4 0 1、ファインダ窓 1 4 0 2、フラッシュ部 1 4 0 3、レンズ 1 4 0 4、鏡胴 1 4 0 5、筐体 1 4 0 6 が備えられている。

【 0 3 1 8 】

また、図 2 1 ( B ) において、ファインダ接眼窓 1 4 0 7、モニタ 1 4 0 8、操作ボタン 1 4 0 9 が備えられている。

【 0 3 1 9 】

リリースボタン 1 4 0 0 は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

【 0 3 2 0 】

メインスイッチ 1 4 0 1 は、押下又は回転によりデジタルカメラの電源の ON / OFF を切り替える。

【 0 3 2 1 】

ファインダ窓 1 4 0 2 は、デジタルカメラの前面のレンズ 1 4 0 4 の上部に配置されており、図 2 1 ( B ) に示すファインダ接眼窓 1 4 0 7 から撮影する範囲やピントの位置を確認するための装置である。

【 0 3 2 2 】

フラッシュ部 1 4 0 3 は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタンが押下されてシャッターが開くと同時に補助光を照射する。

【 0 3 2 3 】

レンズ 1 4 0 4 は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、CCD ( Charge Coupled Device ) 等の撮像素子が設けられている。

【 0 3 2 4 】

鏡胴 1 4 0 5 は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ 1 4 0 4 を手前に移動させる。また、携帯時は、レンズ 1 4 0 4 を沈銅させてコンパクトにする。なお、本実施の形態においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体 1 4 0 6 内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

【 0 3 2 5 】

ファインダ接眼窓 1 4 0 7 は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

【 0 3 2 6 】

操作ボタン 1 4 0 9 は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

【 0 3 2 7 】

本発明の一態様である光検出装置を図 2 1 ( A ) 及び図 2 1 ( B ) に示すカメラに組み込むと、光検出装置が光の有無及び強さを感じることができ、これによりカメラの露出調整等を行うことができる。

【 0 3 2 8 】

以上のように本発明の一態様である光検出装置は、光電変換において、光の照度に対するダイナミックレンジを拡大させることができるため、本発明の一態様である光検出装置を上記電子機器の光検出部に適用することにより精度の高い輝度調整を行うことができる。

【 0 3 2 9 】

また本発明の一態様である光検出装置はその他の電子機器、例えばプロジェクションテレビ、ナビゲーションシステム等に応用することが可能である。すなわち光を検出する必要のあるものであればいかなるものにも用いることが可能である。

【0330】

さらに本発明の一態様である光検出装置をセンサ内蔵型画像入出力装置に適用した例について図22を用いて説明する。図22は、本実施の形態におけるセンサ内蔵型画像入出力装置の構成を示す図である。

【0331】

図22に示すセンサ内蔵型画像入出力装置は、画素部2001と、第1の走査線駆動回路2002と、複数の第1の走査線2021と、第2の走査線駆動回路2003と、複数の第2の走査線2031と、信号線駆動回路2004と、複数の信号線2041と、制御部2005と、を有する。なお、図22に示すセンサ内蔵型画像入出力装置はアクティブマトリクス型とする。

【0332】

画素部2001は、複数の画素2010を有し、画素2010は、画素回路2011と、センサ回路2012と、を有する。

【0333】

画素回路2011としては、スイッチング素子と、スイッチング素子を介して信号線2041に接続された表示素子により構成することができる。表示素子としては、例えば液晶素子のような通過する光の偏波状態が変わる素子、EL(エレクトロルミネッセンス)素子などの発光素子などがある。液晶素子を用いる場合、液晶分子の配向が制御され、通過する光の偏光状態が制御されることにより所望の輝度に透過光量が調節される。また、発光素子を用いる場合、発光素子に印加される電圧が制御されることにより、所望の輝度に発光素子が調節される。

【0334】

センサ回路2012は、入射した光の照度に応じた電流を生成する機能を有する。センサ回路2012は、例えばスイッチング素子と、スイッチング素子を介して信号線に接続された光検出回路によって構成することができる。本発明の一態様である光検出装置は、例えばセンサ回路2012における光検出回路に設けることができる。また、光電変換回路のみをセンサ回路2012における光検出回路に設け、信号線2041毎に温度補償回路及びデジタル信号生成回路を設ける構成とすることもできる。信号線2041毎に温度補償回路及びデジタル信号生成回路を設けることにより、回路面積を小さくすることができる。なお、図22に示すセンサ内蔵型画像入出力装置において、画素2010毎にセンサ回路2012を設ける場合について説明したが、これに限定されず、複数の画素に対して一つのセンサ回路2012を設ける構成とすることもできる。また、センサ回路2012に光電変換回路、温度補償回路、及びデジタル信号生成回路を適用することもできる。

【0335】

第1の走査線駆動回路2002は、第1の走査線2021を介して画素2010における画素回路2011に電氣的に接続される。

【0336】

第2の走査線駆動回路2003は、第2の走査線2031を介してセンサ回路2012に電氣的に接続される。

【0337】

信号線駆動回路2004は、信号線2041を介して画素回路2011及びセンサ回路2012に電氣的に接続される。なお図22に示すセンサ内蔵型画像入出力装置において、画素回路及びセンサ回路が共通の信号線駆動回路に電氣的に接続される例について説明したが、これに限定されず、画素回路及びセンサ回路が別々の信号線駆動回路に電氣的に接続される構成とすることもできる。

【0338】

制御部2005は、画素回路2011を制御する第1の制御回路2051と、センサ回

10

20

30

40

50

路 2 0 1 2 を制御する第 2 の制御回路 2 0 5 2 と、を有する。

【 0 3 3 9 】

次に図 2 2 に示すセンサ内蔵型画像入出力装置の動作について説明する。

【 0 3 4 0 】

図 2 2 に示すセンサ内蔵型画像入出力装置の動作は、表示期間と読み取り期間に分けられる。以下各期間における動作について説明する。

【 0 3 4 1 】

まず表示期間では、第 1 の制御回路 2 0 5 1 から入力される信号に従って第 1 の走査線 2 0 2 1 を介して第 1 の走査線駆動回路 2 0 0 2 から画素回路 2 0 1 1 に信号が入力されることにより、順次画素 2 0 1 0 が選択され、選択された画素 2 0 1 0 では、信号線 2 0 4 1 を介して信号線駆動回路 2 0 0 4 から表示用の信号が入力され、それぞれの画素 2 0 1 0 において表示が行われる。

【 0 3 4 2 】

次に読み取り期間では、第 2 の制御回路 2 0 5 2 から入力される信号に従って第 2 の走査線駆動回路 2 0 0 3 から第 2 の走査線 2 0 3 1 を介してセンサ回路 2 0 1 2 に信号が入力されることにより、順次画素 2 0 1 0 が選択され、選択された画素 2 0 1 0 では、センサ回路 2 0 1 2 に入射された光の照度に応じて生成される信号が信号線 2 0 4 1 を介して信号線駆動回路 2 0 0 4 に出力され、それぞれの画素 2 0 1 0 において読み取りが行われる。

【 0 3 4 3 】

この読み取り動作により、例えばいずれかの画素 2 0 1 0 上にペンや指などの入力手段がある場合、センサ回路 2 0 1 2 に入射する光の照度が変化する。その変化した照度に応じて生成される信号をデータとして画素の位置を特定することができるため、タッチパネルのように文字入力及び位置検出を行うこともできる。

【 0 3 4 4 】

また、図 2 2 に示すセンサ内蔵型画像入出力装置では、画素部上に原稿などの被読み取り物を置き、各画素において入射される照度に応じた信号を生成することにより、被読み取り物を読み取り、読み取った画像をデータとして次の表示期間で画素部 2 0 0 1 に表示することもできる。

【 0 3 4 5 】

また、上記動作に限らず、本実施の形態のセンサ内蔵型画像入出力装置は、他の回路と組み合わせて様々な機能を付加することができる。例えば上記読み取り動作により指紋を読み取り、読み取った指紋を別途メモリなどに保持された複数の指紋のデータと照合することにより指紋認証を行うこともできる。

【 0 3 4 6 】

上記のように本発明の一態様である光検出装置をセンサ内蔵型画像入出力装置に搭載することにより、タッチパネルのように文字入力や位置検出機能を持たせることができ、さらにスキャナーのように被読み取り物を読み取り、読み取った画像を画素部に表示させることができる。

【 0 3 4 7 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 符号の説明 】

【 0 3 4 8 】

- 1 0 1 光電変換回路
- 1 0 2 温度補償回路
- 1 0 3 デジタル信号生成回路
- 1 0 1 光電変換回路
- 1 1 1 光電変換素子
- 1 1 2 カレントミラー回路
- 1 1 3 ダイオード

10

20

30

40

50

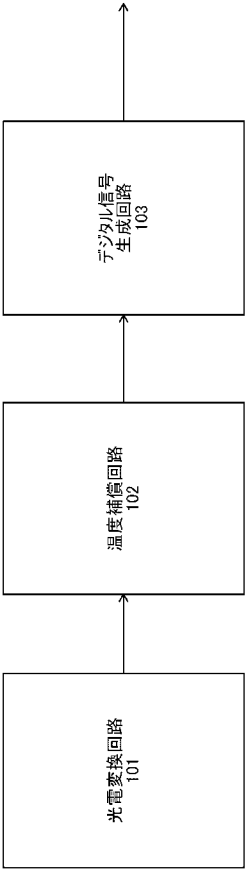
2 0 1	基準電圧生成回路	
2 0 2	増幅回路	
2 0 3	増幅回路	
2 0 4	演算回路	
2 0 5	出力回路	
2 1 1	抵抗素子	
2 1 2	カレントミラー回路	
2 1 3	ダイオード	
2 2 1	トランジスタ	
2 2 2	トランジスタ	10
2 3 1	トランジスタ	
2 3 2	トランジスタ	
2 4 1	抵抗素子	
2 4 2	カレントミラー回路	
2 4 3	抵抗素子	
2 4 4	トランジスタ	
2 4 5	カレントミラー回路	
2 4 6	トランジスタ	
2 4 7	容量素子	
2 4 8	トランジスタ	20
2 4 9	トランジスタ	
2 5 1	トランジスタ	
2 5 2	トランジスタ	
2 5 3	カレントミラー回路	
2 5 5	カレントミラー回路	
3 0 1	クロック信号生成回路	
3 0 2	クロック信号生成回路	
3 0 3	カウンタ回路	
3 0 4	カウンタ回路	
3 0 5	ラッチ回路	30
4 0 1	ランブ波形信号生成回路	
4 0 2	波形整形回路	
4 0 3	バッファ回路	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	カレントミラー回路	
4 1 4	カレントミラー回路	
4 1 5	カレントミラー回路	
4 1 6	容量素子	
4 2 1	コンパレータ	40
4 2 2	コンパレータ	
4 2 3	インバータ	
4 2 4	インバータ	
4 2 5	NOR回路	
4 2 6	NOR回路	
4 3 1	インバータ	
4 3 2	インバータ	
4 3 3	インバータ	
4 3 4	インバータ	
4 3 5	インバータ	50

5 0 1	定電流回路	
5 0 2	ランブ波形信号生成回路	
5 0 3	波形整形回路	
5 0 4	バッファ回路	
5 1 1	電流源	
5 1 2	カレントミラー回路	
5 2 1	トランジスタ	
5 2 2	トランジスタ	
5 2 3	カレントミラー回路	
5 2 4	カレントミラー回路	10
5 2 5	カレントミラー回路	
5 2 6	容量素子	
5 3 1	コンパレータ	
5 3 2	コンパレータ	
5 3 3	インバータ	
5 3 4	インバータ	
5 3 5	N O R 回路	
5 3 6	N O R 回路	
5 4 1	インバータ	
5 4 2	インバータ	20
5 4 3	インバータ	
5 4 4	インバータ	
5 4 5	インバータ	
9 0 1	基板	
9 0 2	下地膜	
9 0 3	トランジスタ	
9 0 4	層間膜	
9 0 5	電極	
9 0 6	樹脂層	
9 0 7	層間膜	30
9 0 8	電極	
9 0 9	光電変換層	
9 1 0	層間膜	
9 1 2	パッシベーション膜	
9 1 3	樹脂層	
9 1 4	電極	
9 3 1	不純物領域	
9 6 1	樹脂膜	
9 9 1	P 型半導体層	
9 9 2	高抵抗半導体層	40
9 9 3	N 型半導体層	
1 0 0 0	本体 ( A )	
1 0 0 1	本体 ( B )	
1 0 0 2 a	筐体	
1 0 0 2 b	筐体	
1 0 0 3	操作キー	
1 0 0 4	音声入力部	
1 0 0 5	音声出力部	
1 0 0 6	回路基板	
1 0 0 7	表示パネル ( A )	50

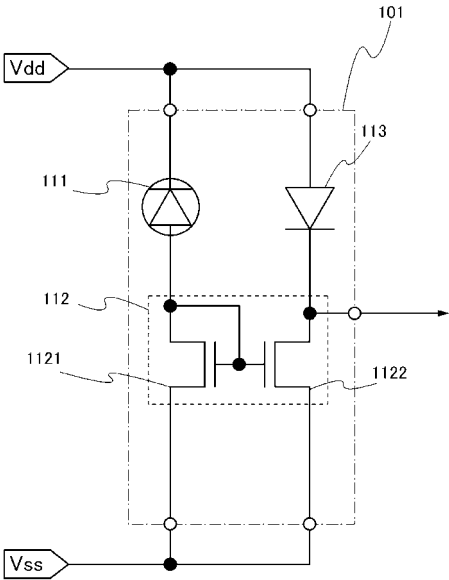
1 0 0 8	表示パネル ( B )	
1 0 0 9	蝶番	
1 0 1 0	透光性材料部	
1 0 1 1	光検出装置	
1 1 0 0	本体	
1 1 0 1	筐体	
1 1 0 2	表示パネル	
1 1 0 3	操作キー	
1 1 0 4	音声出力部	
1 1 0 5	音声入力部	10
1 1 0 6	光検出装置	
1 1 0 7	光検出装置	
1 1 2 1	トランジスタ	
1 1 2 2	トランジスタ	
1 2 0 0	本体	
1 2 0 1	筐体	
1 2 0 2	表示部	
1 2 0 3	キーボード	
1 2 0 4	外部接続ポート	
1 2 0 5	ポインティングデバイス	20
1 2 0 6	筐体	
1 2 0 7	支持台	
1 2 0 8	表示部	
1 3 0 0	液晶パネル	
1 3 0 1	筐体	
1 3 0 2 a	基板	
1 3 0 2 b	基板	
1 3 0 3	液晶層	
1 3 0 4 a	偏光フィルタ	
1 3 0 4 b	偏光フィルタ	30
1 3 0 5	バックライト	
1 3 0 6	光検出装置	
1 4 0 0	リリースボタン	
1 4 0 1	メインスイッチ	
1 4 0 2	ファインダ窓	
1 4 0 3	フラッシュ部	
1 4 0 4	レンズ	
1 4 0 5	鏡胴	
1 4 0 6	筐体	
1 4 0 7	ファインダ接眼窓	40
1 4 0 8	モニタ	
1 4 0 9	操作ボタン	
2 0 0 1	画素部	
2 0 0 2	走査線駆動回路	
2 0 0 3	走査線駆動回路	
2 0 0 4	信号線駆動回路	
2 0 0 5	制御部	
2 0 1 0	画素	
2 0 1 1	画素回路	
2 0 1 2	センサ回路	50

2 0 2 1	走査線	
2 0 3 1	走査線	
2 0 4 1	信号線	
2 0 5 1	制御回路	
2 0 5 2	制御回路	
2 1 2 1	トランジスタ	
2 1 2 2	トランジスタ	
2 4 2 1	トランジスタ	
2 4 2 2	トランジスタ	
2 4 2 3	トランジスタ	10
2 4 5 1	トランジスタ	
2 4 5 2	トランジスタ	
2 5 3 1	トランジスタ	
2 5 3 2	トランジスタ	
2 5 5 1	トランジスタ	
2 5 5 2	トランジスタ	
4 1 3 1	トランジスタ	
4 1 3 2	トランジスタ	
4 1 4 1	トランジスタ	
4 1 4 2	トランジスタ	20
4 1 5 1	トランジスタ	
4 1 5 2	トランジスタ	
5 1 2 1	トランジスタ	
5 1 2 2	トランジスタ	
5 2 3 1	トランジスタ	
5 2 3 2	トランジスタ	
5 2 4 1	トランジスタ	
5 2 4 2	トランジスタ	
5 2 5 1	トランジスタ	
5 2 5 2	トランジスタ	30
9 0 3 1	半導体層	
9 0 3 2	ゲート絶縁膜	
9 0 3 3	ゲート電極	
9 0 5 1	電極	
9 0 5 2	電極	
9 0 5 3	電極	
9 1 1 1	電極	
9 1 1 2	電極	
9 1 4 1	電極	
9 1 4 2	電極	40

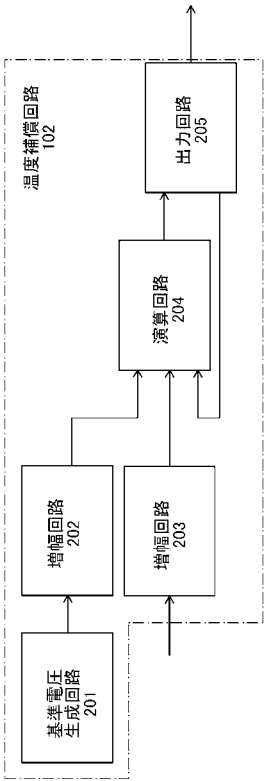
【図 1】



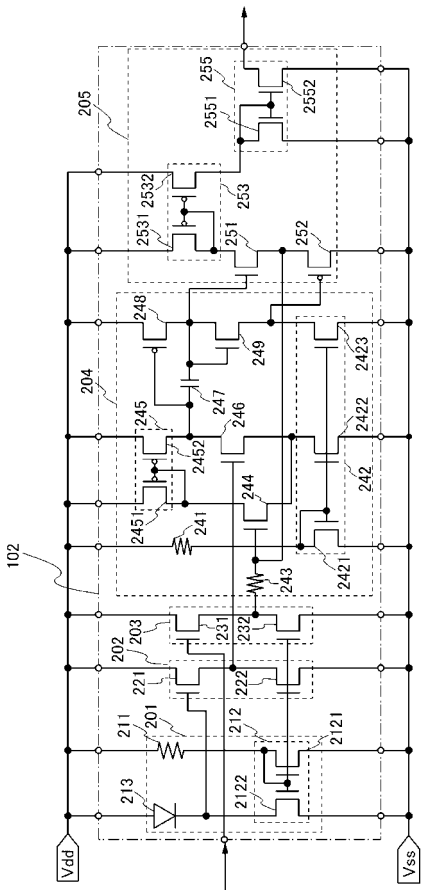
【図 2】



【図 3】

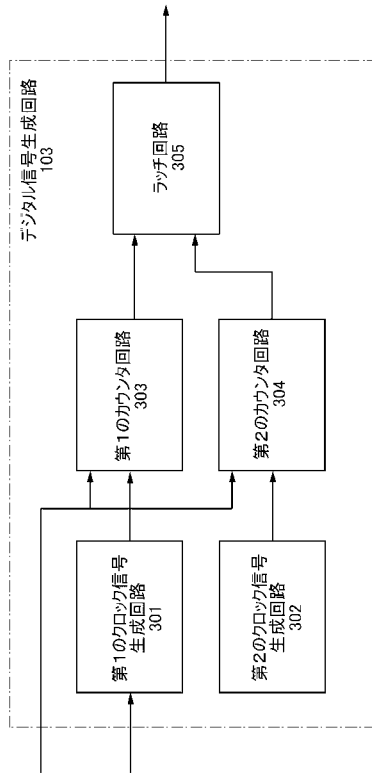


【図 4】

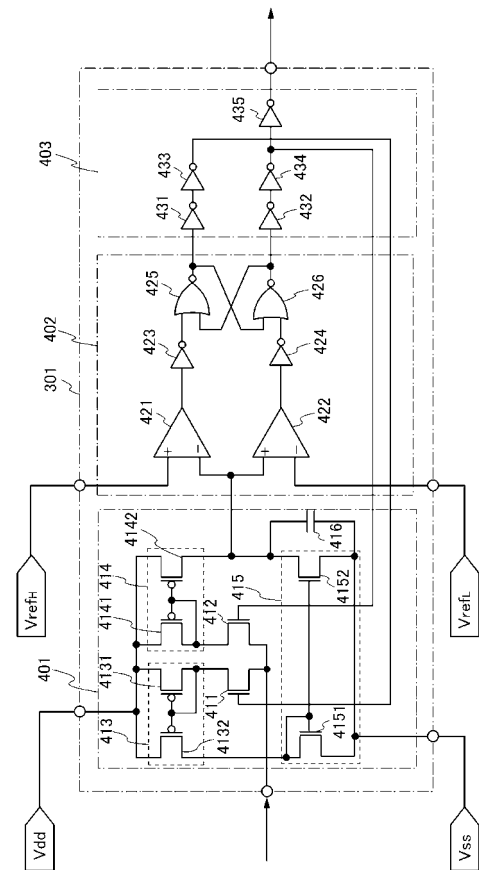




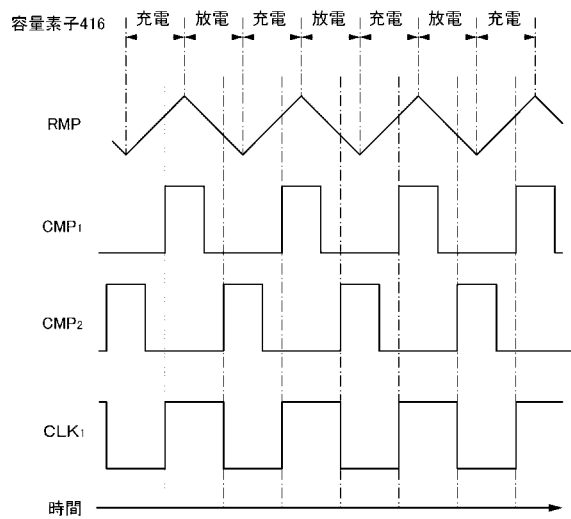
【図 5】



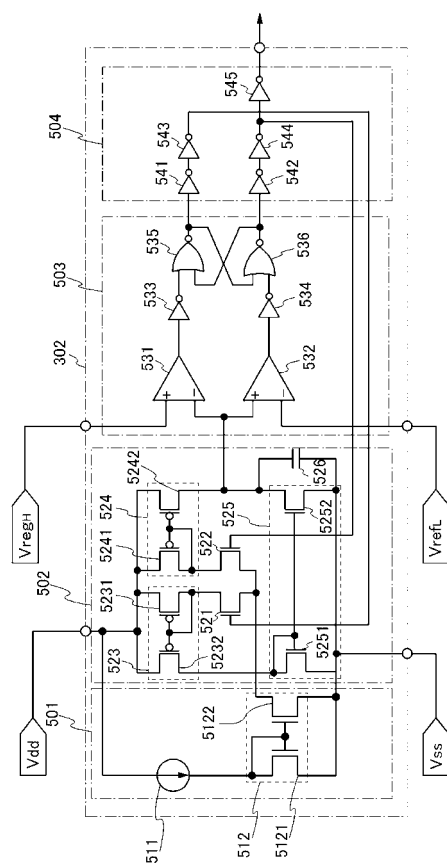
【図 6】



【図 7】



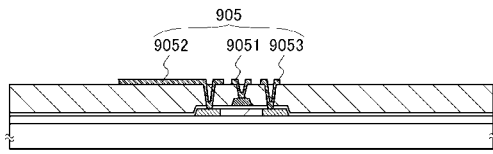
【図 8】





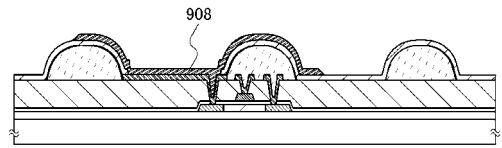
【図 13】

(D)

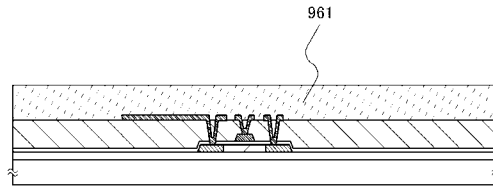


【図 14】

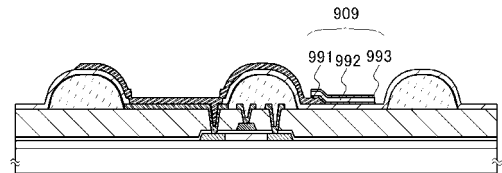
(G)



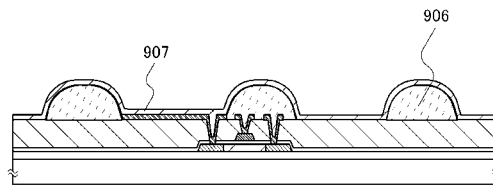
(E)



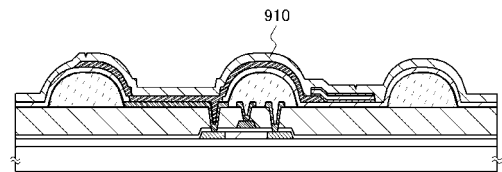
(H)



(F)

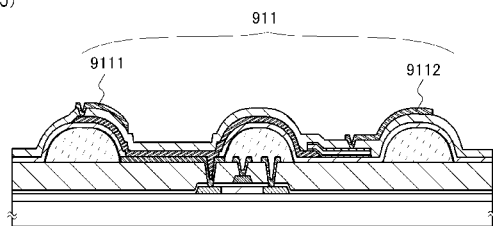


(I)



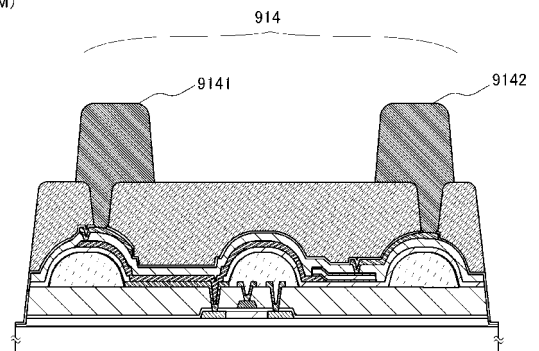
【図 15】

(J)

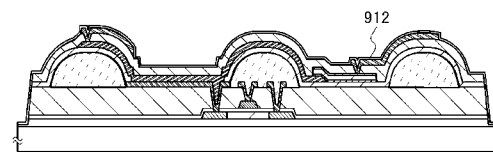


【図 16】

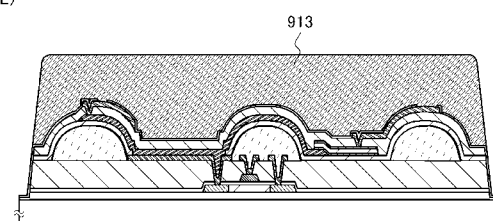
(M)



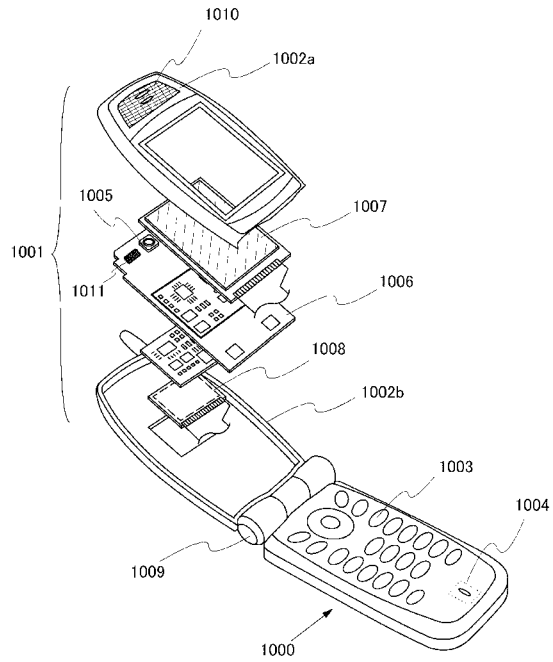
(K)



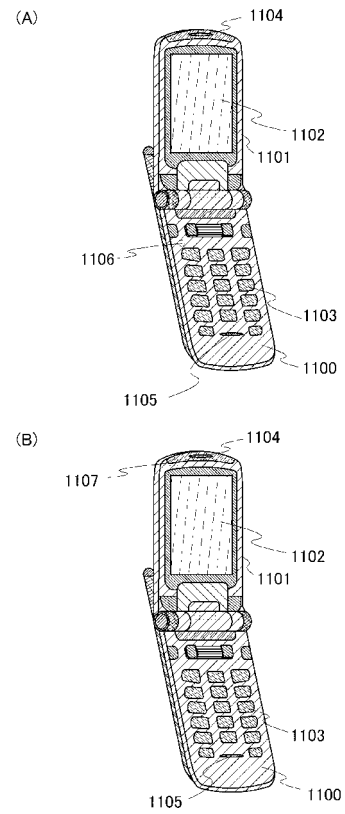
(L)



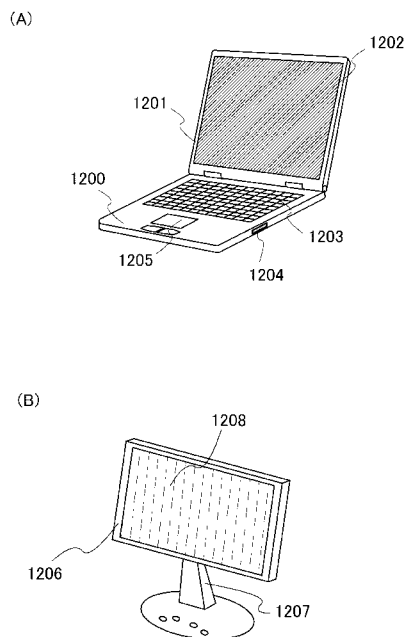
【図 17】



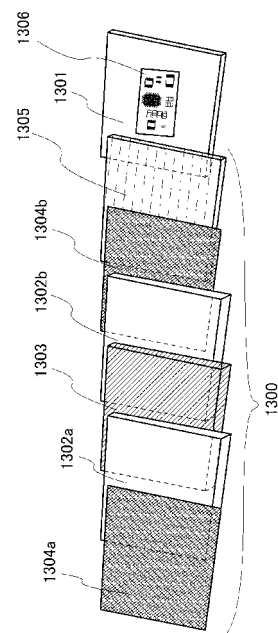
【図 18】



【図 19】

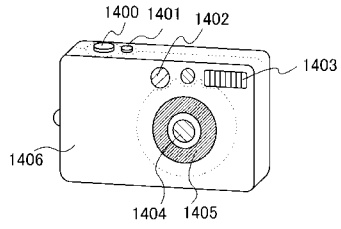


【図 20】

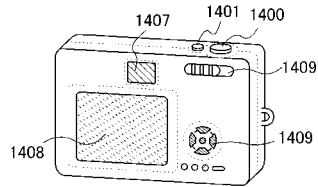


【図 2 1】

(A)



(B)



【図 2 2】

