

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-8444

(P2020-8444A)

(43) 公開日 令和2年1月16日(2020.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/50 (2020.01)	GO 1 R 31/02	2 G O 1 4
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	V 2 G 1 3 2
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	T 5 F O 3 8
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号 特願2018-130394 (P2018-130394)
 (22) 出願日 平成30年7月10日 (2018.7.10)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (71) 出願人 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100107928
 弁理士 井上 正則
 (72) 発明者 佐藤 洋一
 神奈川県川崎市幸区堀川町580番地 ソ
 リッドスクエア東館9階 東芝マイクロエ
 レクトロニクス株式会社内

最終頁に続く

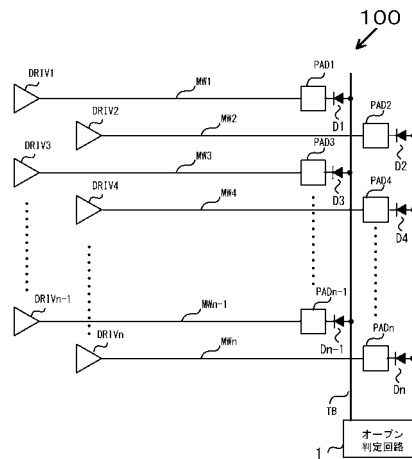
(54) 【発明の名称】 配線オープン検出回路

(57) 【要約】

【課題】複数の配線のオープン検出を簡略な構成を用いて実行する。

【解決手段】一つの実施形態によれば、配線オープン検出回路は、信号処理回路、端子、ダイオード、テストバス、オープン判定回路を含む。信号処理回路は、第1配線の一端に接続され、信号処理した信号を第1配線に出力する。端子は、第1配線他端に接続される。ダイオードは、一端が端子に接続される。テストバスは、一端がダイオード他端に接続される。オープン判定回路は、テストバスの他端に接続され、テストバスを介してダイオード他端に第1電圧を印加し、第1配線に流れる電流の変化を検出して第1配線がオープンか否かを判定する。

【選択図】 図1



100...配線オープン検出回路
 Di=D1, Dn-1, Dn...ダイオード
 DRIV1~DRIV4, DRIVn-1, DRIVn...ドライバ
 MW1~MW4, MWn-1, MWn...匹配
 PAD1~PAD4, PADn-1, PADn...端子
 TB...テストバス

【特許請求の範囲】**【請求項 1】**

第 1 配線の一端に接続され、信号処理した信号を前記第 1 配線に出力する信号処理回路と、

前記第 1 配線の他端に接続される端子と、

一端が前記端子に接続されるダイオードと、

一端が前記ダイオードの他端に接続されるテストバスと、

前記テストバスの他端に接続され、前記テストバスを介して前記ダイオードの他端に第 1 電圧を印加し、前記第 1 配線に流れる電流の変化を検出して前記第 1 配線がオープンか否かを判定するオープン判定回路と、

を具備することを特徴とする配線オープン検出回路。

10

【請求項 2】

前記ダイオードの一端はカソードであり、前記ダイオードの他端はアノードであり、

前記第 1 電圧は、前記ダイオードの順方向電圧よりも大きな正の電圧である

ことを特徴とする請求項 1 に記載の配線オープン検出回路。

【請求項 3】

前記ダイオードの一端はアノードであり、前記ダイオードの他端はカソードであり、

前記第 1 電圧は、前記ダイオードの耐圧よりも大きな正の電圧である

ことを特徴とする請求項 1 に記載の配線オープン検出回路。

【請求項 4】

第 1 配線の一端に接続され、信号処理した信号を前記第 1 配線に出力する信号処理回路と、

前記第 1 配線の他端に接続される端子と、

一端が前記端子に接続される、前記信号処理回路から出力される信号により電荷を蓄積するキャパシタと、

一端が前記キャパシタの他端に接続されるテストバスと、

前記テストバスの他端に接続され、前記テストバスを介して前記キャパシタから放電される蓄積電荷の変化を検出して前記第 1 配線がオープンか否かを判定するオープン判定回路と、

を具備することを特徴とする配線オープン検出回路。

20

30

【請求項 5】

前記オープン判定回路は、アナログ・デジタルコンバータを含み、

前記アナログ・デジタルコンバータは、前記キャパシタから放電される電荷をアナログ信号として入力し、アナログ・デジタル変換した信号を出力し、

前記オープン判定回路は、前記アナログ・デジタルコンバータの出力信号が接地電位レベルを維持するときは前記第 1 配線がオープンであると判定し、前記アナログ・デジタルコンバータの出力信号レベルが変化する場合は前記第 1 配線が正常であると判定する、

ことを特徴とする請求項 4 に記載の配線オープン検出回路。

【請求項 6】

前記キャパシタは、前記端子と前記テストバスの間で形成される配線間容量或いはゲート容量である

ことを特徴とする請求項 4 又は 5 に記載の配線オープン検出回路。

40

【請求項 7】

第 1 端子と、一端が前記第 1 端子に接続される第 1 テストバスと、一端が前記第 1 テストバスの他端に接続される第 1 保護ダイオードと、前記第 1 ダイオードの他端に接続される第 2 端子とを有する第 1 集積回路チップと、

第 3 端子と、前記第 3 端子に接続される信号処理回路と、一端が前記信号処理回路に接続され第 2 テストバスと、前記第 2 テストバスの他端に接続される第 4 端子とを有する第 2 集積回路チップと、

一端が前記第 2 端子に接続され、他端が前記第 3 端子に接続され、前記第 1 集積回路チ

50

チップと前記第 2 集積回路チップの間を電氣的に接続する第 1 配線と、

前記第 1 端子に第 1 電圧を印加し、前記第 2 テストバスを介して前記第 4 端子から出力される電流の変化を検出して前記第 1 配線がオープンか否かを判定するオープン判定回路と、

を具備することを特徴とする配線オープン検出回路。

【請求項 8】

第 1 配線の一端に接続され、信号処理した信号を前記第 1 配線に出力する信号処理回路と、

前記第 1 配線の他端に接続される端子と、

一端が前記端子に接続される高抵抗値を有する第 1 抵抗と、

一端が前記第 1 抵抗の他端に接続されるテストバスと、

前記テストバスの他端に接続され、前記テストバスを介して前記第 1 抵抗の他端に第 1 電圧を印加し、前記第 1 配線に流れる電流の変化を検出して前記第 1 配線がオープンか否かを判定するオープン判定回路と、

を具備することを特徴とする配線オープン検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、配線オープン検出回路に関する。

【背景技術】

【0002】

近年、半導体集積回路では、多数の機能を取り込んでシステム化及び高集積化、半導体集積回路を多数用いてマルチチップパッケージ化やマルチチップモジュール化等が進行している。半導体集積回路の配線数の多数本化や配線の長距離化、半導体集積回路チップ間を接続する配線の長距離化も進展している。

【0003】

このため、半導体集積回路では、配線のオープンやショートを検出するのは大変重要となっている。これらの配線のオープンやショート検出する方法として、例えば光信号や電気信号等を用いた不良解析装置が多用されている。不良解析装置を用いた場合、解析の事前準備、解析対応ソフト等が必要となり、簡略な構成で迅速な不良解析が困難であるという問題点がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 042226 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、複数の配線のオープン検出を簡略な構成を用いて実行することができる配線オープン検出回路を提供することにある。

【課題を解決するための手段】

【0006】

一つの実施形態によれば、配線オープン検出回路は、信号処理回路、端子、ダイオード、テストバス、オープン判定回路を含む。信号処理回路は、第 1 配線の一端に接続され、信号処理した信号を第 1 配線に出力する。端子は、第 1 配線の他端に接続される。ダイオードは、一端が端子に接続される。テストバスは、一端がダイオードの他端に接続される。オープン判定回路は、テストバスの他端に接続され、テストバスを介してダイオードの他端に第 1 電圧を印加し、第 1 配線に流れる電流の変化を検出して第 1 配線がオープンか否かを判定する。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 0 7 】

- 【図 1】第 1 の実施形態に係る配線オープン検出回路を示す回路図である。
- 【図 2】第 1 の実施形態に係る配線オープン試験を示す回路図である。
- 【図 3 A】第 1 の実施形態に係る配線オープン試験での印加電圧を示す図である。
- 【図 3 B】第 1 の実施形態に係る配線オープン試験での判定結果を示す図である。
- 【図 4】第 2 の実施形態に係る配線オープン検出回路を示す回路図である。
- 【図 5】第 2 の実施形態に係る配線オープン試験を示す回路図である。
- 【図 6】第 2 の実施形態に係る配線オープン試験での判定結果を示す図である。
- 【図 7】第 3 の実施形態に係る配線オープン検出回路を示す回路図である。
- 【図 8】第 4 の実施形態に係る配線オープン検出回路を示す回路図である。 10
- 【図 9 A】第 4 の実施形態に係る配線オープン試験での印加電圧を示す図である。
- 【図 9 B】第 4 の実施形態に係る配線オープン試験での判定結果を示す図である。
- 【図 1 0】第 1 の変形例の配線オープン検出回路を示す回路図である。
- 【図 1 1 A】第 1 の変形例の配線オープン試験での印加電圧を示す図である。
- 【図 1 1 B】第 1 の変形例の配線オープン試験での判定結果を示す図である。
- 【図 1 2】第 2 の変形例の配線オープン検出回路を示す回路図である。
- 【図 1 3】第 3 の変形例の配線オープン検出回路を示す回路図である。
- 【図 1 4】第 4 の変形例の配線オープン検出回路を示す回路図である。
- 【図 1 5 A】第 4 の変形例の配線オープン試験での印加電圧を示す図である。
- 【図 1 5 B】第 4 の変形例の配線オープン試験での判定結果を示す図である。 20
- 【発明を実施するための形態】

【 0 0 0 8 】

以下本発明の実施形態について図面を参照しながら説明する。

【 0 0 0 9 】

(第 1 の実施形態)

まず、第 1 の実施形態に係る配線オープン検出回路について、図面を参照して説明する。図 1 は配線オープン検出回路を示す回路図である。

【 0 0 1 0 】

第 1 の実施形態では、ドライバと端子間を接続する長距離の配線のオープン検出として、端子とオープン判定回路の間にダイオード及びテストバスを設けている。テストバスを介してダイオードに電圧を印加して長距離の配線に流れる電流の変化をオープン判定回路が検出して、長距離の配線がオープンか否かを判定している。 30

【 0 0 1 1 】

図 1 に示すように、配線オープン検出回路 1 0 0 は、ドライバ D R I V 1 ~ D R I V 4、ドライバ D R I V n - 1、ドライバ D R I V n、配線 M W 1 ~ M W 4、配線 M W n - 1、配線 M W n、端子 P A D 1 ~ P A D 4、端子 P A D n - 1、端子 P A D n、ダイオード D 1 ~ D 4、ダイオード D n - 1、ダイオード D n、テストバス T B、オープン判定回路 1 を含む。

【 0 0 1 2 】

第 1 の実施形態では、ドライバ D R I V 1 ~ D R I V 4、ドライバ D R I V n - 1、ドライバ D R I V n、配線 M W 1 ~ M W 4、配線 M W n - 1、配線 M W n、端子 P A D 1 ~ P A D 4、端子 P A D n - 1、及び端子 P A D n を含む半導体集積回路 (図示せず) に、ダイオード D 1 ~ D 4、ダイオード D n - 1、ダイオード D n、テストバス T B を設けて長距離の配線である配線 M W 1 ~ M W 4、配線 M W n - 1、配線 M W n がオープンか否かを判定している。 40

【 0 0 1 3 】

ドライバ D R I V 1 ~ D R I V 4、ドライバ D R I V n - 1、ドライバ D R I V n は、半導体集積回路の出力側に設けられる信号処理を実行する信号処理回路である。

【 0 0 1 4 】

配線 M W 1 ~ M W 4、配線 M W n - 1、配線 M W n は、配線長が 1 mm 以上 (例えば、 50

7 mm)の金属配線であり、並列配置されている。

【0015】

配線MW1は、一端がドライバDRIV1に接続され、他端が端子PAD1に接続され、ドライバDRIV1で実行される信号処理信号を端子PAD1に出力する。配線MW2は、一端がドライバDRIV2に接続され、他端が端子PAD2に接続され、ドライバDRIV2で実行される信号処理信号を端子PAD2に出力する。配線MW3は、一端がドライバDRIV3に接続され、他端が端子PAD3に接続され、ドライバDRIV3で実行される信号処理信号を端子PAD3に出力する。配線MW4は、一端がドライバDRIV4に接続され、他端が端子PAD4に接続され、ドライバDRIV4で実行される信号処理信号を端子PAD4に出力する。配線MWn-1は、一端がドライバDRIVn-1に接続され、他端が端子PADn-1に接続され、ドライバDRIVn-1で実行される信号処理信号を端子PADn-1に出力する。配線MWnは、一端がドライバDRIVnに接続され、他端が端子PADnに接続され、ドライバDRIVnで実行される信号処理信号を端子PADnに出力する。

10

【0016】

ダイオードD1は、一端(カソード)が端子PAD1に接続され、他端(アノード)がテストバスTBに接続される。ダイオードD2は、一端(カソード)が端子PAD2に接続され、他端(アノード)がテストバスTBに接続される。ダイオードD3は、一端(カソード)が端子PAD3に接続され、他端(アノード)がテストバスTBに接続される。ダイオードD4は、一端(カソード)が端子PAD4に接続され、他端(アノード)がテストバスTBに接続される。ダイオードDn-1は、一端(カソード)が端子PADn-1に接続され、他端(アノード)がテストバスTBに接続される。ダイオードDnは、一端(カソード)が端子PADnに接続され、他端(アノード)がテストバスTBに接続される。オープン判定回路1は、テストバスTBに接続される。

20

【0017】

隣接配置される長距離の配線間のショート不良は、例えば隣接配置されるドライバからの電流を検出して配線間がショートしているか否かを判定する。ここでは、詳細の説明は省略する。

【0018】

次に、配線オープン試験について図2、図3A及び図3Bを参照して説明する。図2は、配線オープン試験を示す回路図である。図3Aは、配線オープン試験での印加電圧を示す図である。図3Bは、配線オープン試験での判定結果を示す図である。ここでは、配線MW1のオープン試験を例にして説明する。配線MW2~MW4、配線MWn-1、配線MWnのオープン試験については、配線MW1と同様なので説明を省略する。

30

【0019】

図2に示すように、ドライバDRIV1は、トランジスタPMT1とトランジスタNMT1から構成される出力バッファである。トランジスタPMT1は、Pch MOSトランジスタであり、ソースが電源(高電位側電源)VDD1に接続され、ドレインが配線MW1の一端に接続される。トランジスタNMT1は、Nch MOSトランジスタであり、ドレインがトランジスタPMT1のドレインと配線MW1の一端に接続され、ソースが接地電位(低電位側電源)VSSに接続される。

40

【0020】

オープン判定回路1は、一端がテストバスTBに接続され、他端がMOSトランジスタNMT1のソースに接続されている。

【0021】

配線オープン試験のときに、オープン判定回路1は、テストバスTBを介してダイオードD1の他端(アノード)にテストバス印加電圧Vtb(第1電圧)を印加する。オープン判定回路1は、配線MW1(第1配線)に流れる電流Itestの変化を検出して配線MW1がオープンか否かを判定する。

【0022】

50

図3Aに示すように、半導体集積回路の通常動作時では、オープン判定回路1が印加するテストバス印加電圧 V_{tb} は接地電位 V_{ss} に設定され、例えばドライバ $DRIV1$ から出力される信号は端子 $PAD1$ を介して外部に出力される。

【0023】

配線オープン試験のときに、オープン判定回路1が印加するテストバス印加電圧 V_{tb} はダイオード $D1$ の順方向電圧よりも大きな正の電圧（第1電圧）に設定される。

【0024】

図3Bに示すように、オープン判定回路1は、配線 $MW1$ に流れる電流 I_{test} が変化する場合は配線 $MW1$ が配線正常（断線していない）と判定し、配線 $MW1$ に流れる電流 I_{test} が一定（変化なし）の場合は配線 $MW1$ がオープン不良であると判定する。

10

【0025】

上述したように、本実施形態の配線オープン検出回路100では、ドライバ $DRIV1 \sim DRIV4$ 、ドライバ $DRIVn-1$ 、ドライバ $DRIVn$ 、配線 $MW1 \sim MW4$ 、配線 $MWn-1$ 、配線 MWn 、端子 $PAD1 \sim PAD4$ 、端子 $PADn-1$ 、端子 $PADn$ 、ダイオード $D1 \sim D4$ 、ダイオード $Dn-1$ 、ダイオード Dn 、テストバス TB 、オープン判定回路1が設けられる。オープン判定回路1は、テストバス TB を介してダイオード $D1$ の他端にテストバス印加電圧 V_{tb} を印加する。オープン判定回路1は、配線 $MW1$ に流れる電流 I_{test} の変化を検出して配線 $MW1$ がオープンか否かを判定する。

【0026】

このため、複数の配線のオープンか否かの判定を迅速に、簡略な構成を用いて実行することができる。

20

【0027】

なお、第1の実施形態では、ダイオードのカソードを端子に接続し、ダイオードのアノードをテストデバイスに接続しているが必ずしもこれに限定されるものではない。例えば、図10に示す第1の変形例の配線オープン検出回路100aにしてもよい。

【0028】

具体的には、図10に示すように、ダイオード $D31$ は、アノードが端子 $PAD1$ に接続カソードがテストバス TB に接続されている。ダイオード $D32$ は、アノードが端子 $PAD2$ に接続カソードがテストバス TB に接続されている。ダイオード $D33$ は、アノードが端子 $PAD3$ に接続カソードがテストバス TB に接続されている。ダイオード $D34$ は、アノードが端子 $PAD4$ に接続カソードがテストバス TB に接続されている。ダイオード $D3n-1$ は、アノードが端子 $PADn-1$ に接続カソードがテストバス TB に接続されている。ダイオード $D3n$ は、アノードが端子 $PADn$ に接続カソードがテストバス TB に接続されている。テストバス TB はオープン判定回路21に接続されている。

30

【0029】

図11Aに示すように、配線オープン試験のときに、オープン判定回路21は、テストバス TB を介してダイオード $D31$ の他端（カソード）にテストバス印加電圧 V_{tb} （第1電圧）を印加する。オープン判定回路21は、配線 $MW1$ （第1配線）に流れる電流 I_{test} の変化を検出して配線 $MW1$ がオープンか否かを判定する。

【0030】

図11Bに示すように、配線オープン試験のときに、オープン判定回路21が印加するテストバス印加電圧 V_{tb} はダイオード $D1$ の耐圧よりも大きな正の電圧（第1電圧）に設定される。オープン判定回路21は、配線 $MW1$ に流れる電流 I_{test} が変化する場合は配線 $MW1$ が配線正常（断線していない）と判定し、配線 $MW1$ に流れる電流 I_{test} が一定（変化なし）の場合は配線 $MW1$ がオープン不良であると判定する。

40

【0031】

（第2の実施形態）

次に、第2の実施形態に係る配線オープン検出回路に係るについて、図面を参照して説明する。図4は配線オープン検出回路を示す回路図である。

【0032】

50

第2の実施形態では、ドライバと端子間を接続する長距離の配線のオープン検出として、端子とオープン判定回路の間にキャパシタを設けている。キャパシタに充電された電荷が放電されたときに、オープン判定回路に設けられたアナログ・デジタルコンバータが放電電圧の変化を検出して長距離の配線がオープンか否かを判定している。

【0033】

以下、第1の実施形態と同一構成部分には、同一符号を付してその部分の説明を省略し、異なる部分のみ説明する。

【0034】

図4に示すように、配線オープン検出回路101は、ドライバDRIV1～DRIV4、ドライバDRIVn-1、ドライバDRIVn、配線MW1～MW4、配線MWn-1、配線MWn、端子PAD1～PAD4、端子PADn-1、端子PADn、キャパシタC1～C4、キャパシタCn-1、キャパシタCn、スイッチSW1、スイッチSW2、テストバスTB1、テストバスTB2、オープン判定回路1aを含む。

10

【0035】

第1の実施形態では、ドライバDRIV1～DRIV4、ドライバDRIVn-1、ドライバDRIVn、配線MW1～MW4、配線MWn-1、配線MWn、端子PAD1～PAD4、端子PADn-1、及び端子PADnを含む半導体集積回路(図示せず)に、キャパシタC1～C4、キャパシタCn-1、キャパシタCn、スイッチSW1、スイッチSW2、テストバスTB1、テストバスTB2を設けて長距離の配線である配線MW1～MW4、配線MWn-1、配線MWnがオープンか否かを判定している。

20

【0036】

キャパシタC1は、端子PAD1とテストバスTB1の間に設けられる配線間容量であり、ドライバDRIV1から出力される出力信号により電荷を充電する。キャパシタC3は、端子PAD3とテストバスTB1の間に設けられる配線間容量であり、ドライバDRIV3から出力される出力信号により電荷を充電する。キャパシタCn-1は、端子PADn-1とテストバスTB1の間に設けられる配線間容量であり、ドライバDRIVn-1から出力される出力信号により電荷を充電する。

【0037】

キャパシタC2は、端子PAD2とテストバスTB2の間に設けられる配線間容量であり、ドライバDRIV2から出力される出力信号により電荷を充電する。キャパシタC4は、端子PAD4とテストバスTB2の間に設けられる配線間容量であり、ドライバDRIV4から出力される出力信号により電荷を充電する。キャパシタCnは、端子PADnとテストバスTB2の間に設けられる配線間容量であり、ドライバDRIVnから出力される出力信号により電荷を充電する。

30

【0038】

スイッチSW1は、テストバスTB1とオープン判定回路1aの間に設けられる。スイッチSW2は、テストバスTB2とオープン判定回路1aの間に設けられる。

【0039】

出力信号が一定なローレベル(Vssレベル)の信号では、キャパシタC1～C4、キャパシタCn-1、キャパシタCnは電荷を充電しない。キャパシタC1～C4、キャパシタCn-1、キャパシタCnは、配線間容量であるので蓄積された電荷は徐々に放電する。

40

【0040】

ここでは、キャパシタC1～C4、キャパシタCn-1、キャパシタCnには、配線間容量を用いているがゲート容量を用いてもよい。

【0041】

次に、配線オープン試験について図5及び図6を参照して説明する。図5は、配線オープン試験を示す回路図である。図6は、配線オープン試験での判定結果を示す図である。ここでは、配線MW1のオープン試験を例にして説明する。配線MW2～MW4、配線MWn-1、配線MWnのオープン試験については、配線MW1と同様なので説明を省略す

50

る。

【0042】

図5に示すように、オープン判定回路1aは、一端がテストバスTB1に接続され、他端がMOSトランジスタNMT1のソースに接続され、アナログ・デジタルコンバータ2を含む。キャパシタC1は、ドライバDRV1から出力されるハイレベルの出力信号により電荷を充電し、ドライバDRV1の出力信号がVssレベルのときに蓄積された電荷を放電する。このとき、スイッチSW1がオンしてキャパシタC1の放電電荷がアナログ・デジタルコンバータ2の入力側に入力信号Sinとして入力される。アナログ・デジタルコンバータ2は、アナログ・デジタル変換処理を実行してデジタル信号である出力信号Soutを出力する。

10

【0043】

配線MW1の配線オープン試験のとき、ドライバDRV2~DRV4、ドライバDRVn-1、ドライバDRVnから出力される出力信号は一定なVssレベルに設定するのが好ましい。その理由は、キャパシタC2~C4、キャパシタCn-1、キャパシタCnを充放電させないためである。

【0044】

図6に示すように、オープン判定回路1aは、アナログ・デジタルコンバータ2から出力される出力信号Soutが変化する場合(ハイレベルがVdd1/ローレベルがVss)、配線MW1が配線正常(断線していない)と判定し、アナログ・デジタルコンバータ2から出力される出力信号Soutが一定な場合(Vss)、配線MW1がオープン不良であると判定する。

20

【0045】

上述したように、本実施形態の配線オープン検出回路101では、ドライバDRV1~DRV4、ドライバDRVn-1、ドライバDRVn、配線MW1~MW4、配線MWn-1、配線MWn、端子PAD1~PAD4、端子PADn-1、端子PADn、キャパシタC1~C4、キャパシタCn-1、キャパシタCn、スイッチSW1、スイッチSW2、テストバスTB1、テストバスTB2、オープン判定回路1aが設けられる。オープン判定回路1aは、アナログ・デジタルコンバータ2を含む。キャパシタに充電された電荷が放電されたときに、アナログ・デジタルコンバータ2が放電電圧の変化を検出し、オープン判定回路1aが長距離の配線のオープンか否かを判定している。

30

【0046】

このため、複数の配線がオープンか否かの判定を迅速に、簡略な構成を用いて実行することができる。

【0047】

なお、第2の実施形態では、端子とテストバスの間にキャパシタを設けているが必ずしもこれに限定されるものではない。例えば、図12に示すキャパシタを抵抗に置き換えた第2の変形例の配線オープン検出回路101aにしてもよい。

【0048】

具体的には、図12に示すように、抵抗R1は端子PAD1とテストバスTB1の間に設けられる。抵抗R2は端子PAD2とテストバスTB2の間に設けられる。抵抗R3は端子PAD3とテストバスTB1の間に設けられる。抵抗R4は端子PAD4とテストバスTB2の間に設けられる。抵抗Rn-1は端子PADn-1とテストバスTB1の間に設けられる。抵抗Rnは端子PADnとテストバスTB2の間に設けられる。

40

【0049】

抵抗R1~R4、抵抗Rn-1、抵抗Rnは、高抵抗値(例えば、数M)を有する抵抗である。オープン判定回路31がスイッチSW1とスイッチSW2に接続される。

【0050】

オープン判定回路31は、ドライバから出力される出力信号を高抵抗値の抵抗を介して入力し、長距離の配線に流れる電流の変化を検知して長距離の配線がオープンであるか否かを判定する。ここで、配線MW1の配線オープン試験のとき、ドライバDRV2~D

50

R I V 4、ドライバ D R I V n - 1、ドライバ D R I V n から出力される出力信号は一定な V s s レベルに設定するのが好ましい。

【 0 0 5 1 】

(第3の実施形態)

次に、第3の実施形態に係る配線オープン検出回路に係るについて、図面を参照して説明する。図7は配線オープン検出回路を示す回路図である。

【 0 0 5 2 】

第3の実施形態では、第1集積回路チップに第1テストバスを設け、第2集積回路チップに第2テストバスを設けて、オープン判定回路が第1集積回路チップと第2集積回路チップを接続する配線のオープンか否かを判定している。

10

【 0 0 5 3 】

図7に示すように、配線オープン検出回路102は、集積回路チップ C h i p A、集積回路チップ C h i p B、配線 M W 1 1、オープン判定回路1bを含む。

【 0 0 5 4 】

集積回路チップ C h i p A は、バッファ B U F F 1、端子 P A D 1 1、端子 P A D 1 2、テストバス T B 1 1、ダイオード D 1 1、ダイオード D 1 2 を含む。集積回路チップ C h i p A は、多数の回路（図示しない）を内蔵する半導体集積回路である。

【 0 0 5 5 】

バッファ B U F F 1 は、M O S トランジスタ P M T 1 1 と M O S トランジスタ N M T 1 1 を含む入力バッファである。

20

【 0 0 5 6 】

M O S トランジスタ P M T 1 1 は、P c h M O S トランジスタであり、ソースが電源（高電位側電源）V D D 1 に接続され、ゲートに端子 D 1 2 を介して入力される入力信号を入力する。M O S トランジスタ N M T 1 1 は、N c h M O S トランジスタであり、ドレインが M O S トランジスタ P M T 1 1 のドレインに接続され、ソースが接地電位（低電位側電源）V s s に接続され、ゲートに端子 D 1 2 を介して入力される入力信号を入力する。

【 0 0 5 7 】

ダイオード D 1 1 は、端子 P A D 1 2 とバッファ B U F F 1 の間に設けられる低電位側の保護ダイオードである。ダイオード D 1 1 は、カソードが端子 P A D 2 に接続される。ダイオード D 1 2 は、端子 P A D 1 2 とバッファ B U F F 1 の間に設けられる高電位側の保護ダイオードである。ダイオード D 1 2 は、カソードが電源（高電位側電源）V D D 1 に接続され、アノードが端子 P A D 1 2 に接続される。

30

【 0 0 5 8 】

テストバス T B 1 1 (第1テストバス)は、一端が端子 P A D 1 1 に接続され、他端がダイオード D 1 1 のアノードに接続される。

【 0 0 5 9 】

集積回路チップ C h i p B は、バッファ B U F F 2、端子 P A D 1 3、端子 1 4、テストバス T B 1 2 を含む。集積回路チップ C h i p B は、多数の回路（図示しない）を内蔵する半導体集積回路である。

40

【 0 0 6 0 】

バッファ B U F F 2 (信号処理回路)は、M O S トランジスタ P M T 1 2 と M O S トランジスタ N M T 1 2 を含み、出力信号を端子 P A D 1 3 に出力する出力バッファである。

【 0 0 6 1 】

M O S トランジスタ P M T 1 2 は、P c h M O S トランジスタであり、ソースが電源（高電位側電源）V D D 1 に接続され、ドレインが端子 P A D 1 3 に接続される。M O S トランジスタ N M T 1 2 は、N c h M O S トランジスタであり、ドレインが M O S トランジスタ P M T 1 2 のドレインと端子 P A D 1 3 に接続され、ソースが接地電位（低電位側電源）V s s に接続される。テストバス T B 1 2 (第2のテストバス)は、一端が M O S トランジスタ N M T 1 2 のソースに接続され、他端が端子 P A D 1 4 に接続される。

50

【0062】

配線MW11は、一端が端子PAD12に接続され、他端が端子PAD13に接続される。ここでは、配線MW11は積層形成される集積回路チップChipAと集積回路チップChipBを接続するビアであるが、隣接配置される集積回路チップChipAと集積回路チップChipBを接続する配線であってもよい。

【0063】

オープン判定回路1bは、一端が端子PAD11に接続され、他端が端子PAD14に接続される。オープン判定回路1bは、配線MW11のオープン試験のとき、テストバスTB11(第1テストバス)を介してダイオードD11のアノードにダイオードD11の順方向電圧よりも大きな正の電圧(第1電圧)であるテストバス印加電圧Vtbを印加して、配線がオープンであるか否かを判定する。

10

【0064】

上述したように、本実施形態の配線オープン検出回路102では、集積回路チップChipA、集積回路チップChipB、配線MW11、オープン判定回路1bが設けられる。集積回路チップChipAは、バッファBUFF1、端子PAD11、端子PAD12、テストバスTB11、ダイオードD11、ダイオードD12を含む。集積回路チップChipBは、バッファBUFF2、端子PAD13、端子14、テストバスTB12を含む。配線MW11は、一端が端子PAD12に接続され、他端が端子PAD13に接続される。オープン判定回路1bは、テストバスTB11を介してダイオードD11のアノードにダイオードD11の順方向電圧よりも大きな正の電圧(第1電圧)であるテストバス印加電圧Vtbを印加して、配線がオープンであるか否かを判定する。

20

【0065】

このため、集積回路チップChipAと集積回路チップChipBを接続する配線MW11がオープンか否かの判定を迅速に、簡略な構成を用いて実行することができる。

【0066】

なお、第3の実施形態では、低電位側の保護ダイオードであるダイオードD11のアノードに電圧を印加しているが必ずしもこれに限定されるものではない。例えば、高電位側の保護ダイオードであるダイオードD12のカソードにダイオードD12の耐圧よりも大きな正の電圧(第1電圧)であるテストバス印加電圧Vtbを印加して、配線がオープンであるか否かを判定してもよい。

30

【0067】

(第4の実施形態)

次に、第4の実施形態に係る配線オープン検出回路に係るについて、図面を参照して説明する。図8は配線オープン検出回路を示す回路図である。

【0068】

第4の実施形態では、多数の長距離の配線を有するドライバレイチップとビアを介してドライバレイチップに接続されるMEMSレイチップにダイオードとテストバスを設けて、オープン判定回路がテストバス及びビアを介してドライバレイチップの長距離の配線のオープンか否かを判定している。

【0069】

以下、第1の実施形態と同一構成部分には、同一符号を付してその部分の説明を省略し、異なる部分のみ説明する。

40

【0070】

図8に示すように、配線オープン検出回路103は、ドライバDRV1、配線MW21、オープン判定回路11a、オープン判定回路11b、テストバスTB21、テストバスTB22、ダイオードD21、ダイオードD22、電極DNK1~DNK3、ビアVIA1、ビアVIA2を含む。

【0071】

ドライバDRV1、配線MW21、テストバスTB21、テストバスTB22、ダイオードD21、ダイオードD22、電極DNK1、電極DNK2は、多数の長距離の配線

50

を有するドライバレイチップ（図示しない）に含まれる。電極DNK3は、MEMSアレイチップ（図示しない）に含まれる。MEMSアレイチップは、ビアVIA1、ビアVIA2を介してドライバレイチップに接続され、ドライバレイチップ上に積層形成される。

【0072】

配線MW21は、一端がドライバDRV1に接続され、他端が電極DNK1に接続される長距離の配線である。電極DNK2は、電極DNK1に隣接配置され、例えばドライバレイチップの同じ層に設けられる電極である。電極DNK3は、MEMSアレイチップの電極であり、一端がビアVIA1を介して電極DNK1に接続され、他端がビアVIA2を介して電極DNK2に接続される。

10

【0073】

ダイオードD21は、カソードが電極DNK1に接続され、アノードがテストバスTB21に接続される。ダイオードD22は、カソードが電極DNK2に接続され、アノードがテストバスTB22に接続される。

【0074】

オープン判定回路11aは、一端がテストバスTB21に接続され、他端がMOSトランジスタNMT1のソースに接続されている。オープン判定回路11bは、一端がテストバスTB22に接続され、他端がMOSトランジスタNMT1のソースに接続されている。

【0075】

オープン判定回路11aは、配線オープン試験のときにダイオードD21のアノードにテストバス印加電圧Vtb1を印加する。オープン判定回路11bは、配線オープン試験のときにダイオードD22のアノードにテストバス印加電圧Vtb2を印加する。

20

【0076】

次に、配線オープン試験について図9A、図9Bを参照して説明する。図9Aは配線オープン試験での印加電圧を示す図である。図9Bは、配線オープン試験での判定結果を示す図である。

【0077】

図9Aに示すように、ドライバレイチップ及びMEMSアレイチップが通常動作のとき、テストバス印加電圧Vtb1とテストバス印加電圧Vtb2は、接地電位Vssに設定される。

30

【0078】

配線オープンテストIのとき、ダイオードD21の順方向電圧よりも大きな正のテストバス印加電圧Vtb1がダイオードD21のアノードに印加され、接地電位Vssのテストバス印加電圧Vtb2がダイオードD22のアノードに印加される。配線オープンテストIのとき、オープン判定回路11aは、テストバスTB21～ダイオードD21～電極DNK1～配線MW21の経路の配線に流れる電流の変化を検知し、配線がオープンであるか否かを判定する。

【0079】

配線オープンテストIIのとき、ダイオードD22の順方向電圧よりも大きな正のテストバス印加電圧Vtb2がダイオードD22のアノードに印加され、接地電位Vssのテストバス印加電圧Vtb1がダイオードD21のアノードに印加される。配線オープンテストIIのとき、オープン判定回路11bは、テストバスTB22～ダイオードD22～電極DNK2～ビアVIA2～電極DNK3～ビアVIA1～電極DNK1～配線MW21の経路の配線に流れる電流の変化を検知し、配線がオープンであるか否かを判定する。配線オープンテストIIでは、MEMSアレイチップを介してドライバレイチップの長距離の配線MW21がオープンであるか否かが判定される。

40

【0080】

図9Bに示すように、配線オープンテストIのとき、オープン判定回路11aが配線に流れる電流Itestの変化を検知し、電流Itestが変化する場合は配線が正常（オ

50

ープンではない)と判定し、電流 I_{test} が一定で変化しない場合は配線のオープン不良と判定する。

【0081】

配線オープンテスト $I I$ のとき、オープン判定回路 11b が配線に流れる電流 I_{test} の変化を検知し、電流 I_{test} が変化する場合は配線が正常(オープンではない)と判定し、電流 I_{test} が一定で変化しない場合は配線がオープン不良であると判定する。

【0082】

配線オープンテスト I が正常と判定され、配線オープンテスト $I I$ がオープン不良と判定された場合、長距離の配線 MW21 が正常であると判定でき、電極 DNK2 ~ ピア VIA2 ~ 電極 DNK3 ~ ピア VIA1 の経路にオープン不良が発生し、何らかの異常が発生していると判定できる。

【0083】

上述したように、本実施形態の配線オープン検出回路 103 では、ドライバ DRIV1、配線 MW21、オープン判定回路 11a、オープン判定回路 11b、テストバス TB21、テストバス TB22、ダイオード D21、ダイオード D22、電極 DNK1 ~ DNK3、ピア VIA1、ピア VIA2 が設けられる。オープン判定回路 11a は、配線オープンテスト I のときに、ダイオード D21 のアノードにダイオード D21 の順方向電圧よりも大きな正のテストバス印加電圧 V_{tb1} をダイオード D21 のアノードに印加し、長距離の配線 MW21 がオープンであるか否かを判定する。オープン判定回路 11b は、配線オープンテスト $I I$ のときに、ダイオード D22 のアノードにダイオード D22 の順方向電圧よりも大きな正のテストバス印加電圧 V_{tb2} をダイオード D21 のアノードに印加し、ピア及び MEMS アレイの電極を介して長距離の配線 MW21 がオープンであるか否かを判定する。

【0084】

このため、第1の実施形態の効果の他に、ピア及び MEMS アレイの電極が正常に形成されているかの判定を行うことができる。

【0085】

以上第1 ~ 第4の実施形態、第1の変形例、第2の変形例について説明したが、以下の示す別の変形例であってもよい。

【0086】

図13は、第3の変形例の配線オープン検出回路を示す回路図である。図13に示すように、配線オープン検出回路 104 は、ドライバ DRIV1、配線 MW1、端子 PAD1、端子 PAD1a、ダイオード D1、ダイオード D1a、テストバス TB、テストバス TBa、オープン判定回路 1、オープン判定回路 41 を含む。配線オープン検出回路 104 は、第1の実施形態の配線オープン検出回路 100 (図2参照) に端子 PAD1a、ダイオード D1a、テストバス TBa、オープン判定回路 41 を追加したものである。以下、第1の実施形態と異なる部分のみ説明する。

【0087】

ダイオード D1a は、カソードが端子 PAD1 に接続され、アノードが端子 PAD1a に接続される。端子 PAD1a は、ドライバ DRIV1 側の配置される端子 PAD1 に対して、接地電位 V_{ss} 側に設けられる端子である。オープン判定回路 41 は、一端がテストバス TBa に接続され、他端が MOS トランジスタ NM1 のソースに接続され、テストバス TBa を介して電極 PAD1a に接続される。

【0088】

オープン判定回路 41 は、配線のオープン試験のときに、テストバス TBa と端子 PAD1a を介してダイオード D1a のアノードにダイオード D1a の順方向電圧以上の正の電圧を印加し、長距離の配線 MW1 に流れる電流 I_{test} の変化を検知し、長距離の配線 MW1 がオープンであるか否かを判定する。

【0089】

10

20

30

40

50

図14は、第4の変形例の配線オープン検出回路を示す回路図である。図14に示すように、配線オープン検出回路103aは、ドライバDRIV1、配線MW21、電極DNK11~DNK14、電極DNK21、電極DNK22、ビアVIA11~VIA14、ダイオードD41~D43、テストバスTB31~TB33、オープン判定回路51を含む。配線オープン検出回路103aは、第4の実施形態の配線オープン検出回路103を変更及び追加したものである。

【0090】

ドライバDRIV1、配線MW21、電極DNK11~DNK14、ダイオードD41~D43、テストバスTB31~TB33、オープン判定回路51は、ドライバレイチップに含まれる。電極DNK21、電極DNK22は、MEMSアレイチップに含まれる。

10

【0091】

配線MW21は、一端がドライバDRIV1に接続され、他端が電極DNK11に接続される。電極DNK12は、電極DNK11に隣接配置され、例えば電極DNK11と同じ層に形成される接地電位Vss側の電極である。電極DNK13は、電極DNK12に隣接配置され、例えば電極DNK11と同じ層に形成される接地電位Vss側の電極である。電極DNK14は、電極DNK13に隣接配置され、例えば電極DNK11と同じ層に形成される電極である。

【0092】

電極DNK21は、一端がビアVIA11を介して電極DNK11に接続され、他端がビアVIA12を介して電極DNK12に接続されるMEMS電極である。電極DNK22は、一端がビアVIA14を介して電極DNK14に接続され、他端がビアVIA13を介して電極DNK13に接続されるMEMSの接地電位Vss側電極である。

20

【0093】

ダイオードD41は、カソードが電極DNK11に接続され、他端がテストバスTB31に接続される。ダイオードD42は、カソードが電極DNK12に接続され、アノードが電極DNK13に接続される。ダイオードD43は、カソードが電極DNK11に接続され、アノードが電極DNK14に接続される。

【0094】

テストバスTB32は、一端が電極DNK14に接続される。テストバスTB33は、一端が電極DNK14に接続され、他端がオープン判定回路51に接続される。

30

【0095】

オープン判定回路51は、一端がテストバスTB33に接続され、他端がMOSトランジスタNMT1のソースに接続されている。

【0096】

配線オープン検出回路103aの配線オープン試験での印加電圧は、図15Aに示すように、ドライバレイとMEMSレイの通常動作のとき、オープン判定回路51は、ダイオードD41のアノードに接地電位Vssであるテストバス印加電圧Vtb1を印加し、ダイオードD43のアノードに接地電位Vssであるテストバス印加電圧Vtb2を印加し、ダイオードD42のアノードに接地電位Vssであるテストバス印加電圧Vtb3

40

【0097】

配線オープン検出回路103aの配線オープン試験のとき、オープン判定回路51は、テストバスTB33、電極DNK14、ビアVIA14、電極DNK22、ビアVIA13、及び電極DNK13を介してダイオードD42のアノードにダイオードD42の順方向電圧よりも大きな正の電圧であるテストバス印加電圧Vtb3を印加する。このとき、テストバス印加電圧Vtb1とテストバス印加電圧Vtb2は、接地電位Vssに設定される。

【0098】

オープン判定回路51は、配線オープン試験のときに、テストバスTB33~電極DN

50

K 1 4 ~ ピア V I A 1 4 ~ 電極 D N K 2 2 ~ ピア V I A 1 3 ~ 電極 D N K 1 3 ~ ダイオード D 4 2 ~ 電極 D N K 1 2 ~ ピア V I A 1 2 ~ 電極 D N K 2 1 ~ ピア V I A 1 1 ~ 電極 D N K 1 1 を介して長距離の配線 M W 2 1 に流れる電流 I t e s t を検知して、長距離の配線 M W 2 1 がオープンであるか否かを判定する。

【 0 0 9 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【 0 1 0 0 】

本発明は、以下の付記に記載されているような構成が考えられる。

(付記 1)

第 1 配線の一端に接続され、信号処理した信号を前記第 1 配線に出力する信号処理回路と、

前記第 1 配線の他端に接続される第 1 電極と、

第 1 ピアを介して前記第 1 電極に接続され、前記第 1 電極よりも上層の第 2 電極と、

前記第 1 電極と同一層に形成され、第 2 のピアを介して前記第 2 電極に接続される第 3 電極と、

20

一端が前記第 3 電極に接続されるダイオードと、

一端が前記ダイオードの他端に接続されるテストバスと、

前記テストバスの他端に接続され、前記テストバスを介して前記ダイオードの他端に第 1

電圧を印加し、前記第 1 配線に流れる電流の変化を検出して前記第 3 電極から前記第 1 配線までの配線がオープンか否かを判定するオープン判定回路と、

を有する配線オープン検出回路。

【 0 1 0 1 】

(付記 2)

第 1 配線の一端に接続され、信号処理した信号を前記第 1 配線に出力する信号処理回路と、

30

前記第 1 配線の他端に接続される第 1 電極と、

第 1 ピアを介して前記第 1 電極に接続され、前記第 1 電極よりも上層の第 2 電極と、

前記第 1 電極と同一層に形成され、第 2 のピアを介して前記第 2 電極に接続される第 3 電極と、

前記第 1 電極と同一層に形成される第 4 電極と、

第 3 ピアを介して前記第 4 電極に接続され、前記第 4 電極よりも上層の第 5 電極と、

前記第 4 電極と同一層に形成され、第 4 のピアを介して前記第 5 電極に接続される第 6 電極と、

一端が前記第 3 電極に接続され、他端が前記第 6 電極に接続されるダイオードと、

一端が前記第 4 電極に接続されるテストバスと、

40

前記テストバスの他端に接続され、前記テストバスを介して前記ダイオードの他端に第 1

電圧を印加し、前記第 4 電極から前記第 1 配線に流れる電流の変化を検出して前記第 4 電極から前記第 1 配線までの配線がオープンか否かを判定するオープン判定回路と、

を有する配線オープン検出回路。

【符号の説明】

【 0 1 0 2 】

1、1 a、1 b、1 1 a、1 1 b、2 1、3 1、4 1、5 1 オープン判定回路

2 アナログ・デジタルコンバータ

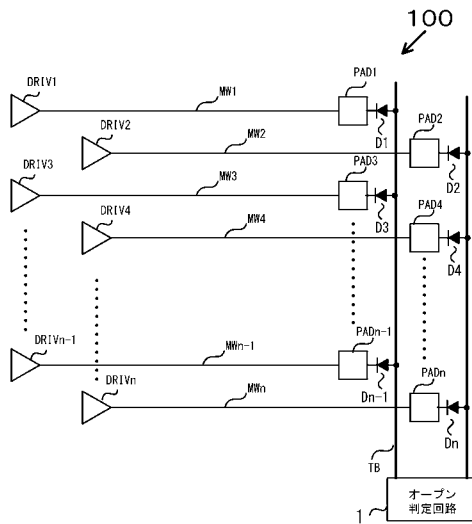
1 0 0 ~ 1 0 4、1 0 0 a、1 0 1 a、1 0 3 a 配線オープン検出回路

B U F F 1、B U F F 2 バッファ

50

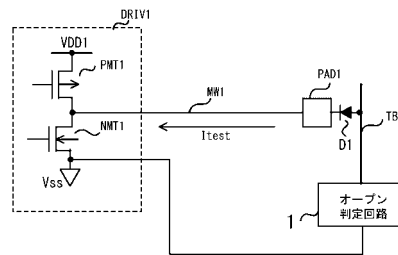
- C 1 ~ C 4、C n - 1、C n キャパシタ
- Chip A、Chip B 集積回路チップ
- D 1 ~ D 4、D n - 1、D n、D 1 1、D 1 2、D 2 1、D 2 2、D 3 1 ~ D 3 4、D 3 n - 1、D 3 n、D 1 a、D 4 1 ~ D 4 3 ダイオード
- DNK 1 ~ DNK 3、DNK 1 1 ~ DNK 1 4、DNK 2 1、DNK 2 2 電極
- DRIV 1 ~ DRIV 4、DRIV n - 1、DRIV n ドライバ
- I test 電流
- NMT 1、NMT 1 1、NMT 1 2 MOSトランジスタ
- MW 1 ~ MW 4、MW n - 1、MW n、MW 1 1、MW 2 1 配線
- PAD 1 ~ PAD 4、PAD n - 1、PAD n、PAD 1 1 ~ PAD 1 4、PAD 1 a 10
端子
- PMT 1、PMT 1 1、PMT 1 2 MOSトランジスタ
- R 1 ~ R 4、R n - 1、R n 抵抗
- S in 入力信号
- S out 出力信号
- SW 1、SW 2 スイッチ
- TB、TB 1、TB 2、TB 1 1、TB 1 2、TB 2 1、TB 2 2、TB a、TB 3 1 ~ TB 3 3 テストバス
- VDD 1 電源 (高電位側電源)
- VIA 1、VIA 2、VIA 1 1 ~ VIA 1 4 ピア 20
- Vss 接地電位 (低電位側電源)
- Vtb、Vtb 1、Vtb 2、Vtb 3 テストバス印加電圧

【 図 1 】



100...配線オープン検出回路
D1~D4, Dn-1, Dn...ダイオード
DRIV1~DRIV4, DRIVn-1, DRIVn...ドライバ
MW1~MW4, MWn-1, MWn...配線
PAD1~PAD4, PADn-1, PADn...端子
TB...テストバス

【 図 2 】



Itest...電流
NMT1, PMT1...MOSトランジスタ
VDD1...電源(高電位側電源)
Vss...接地電位(低電位側電源)

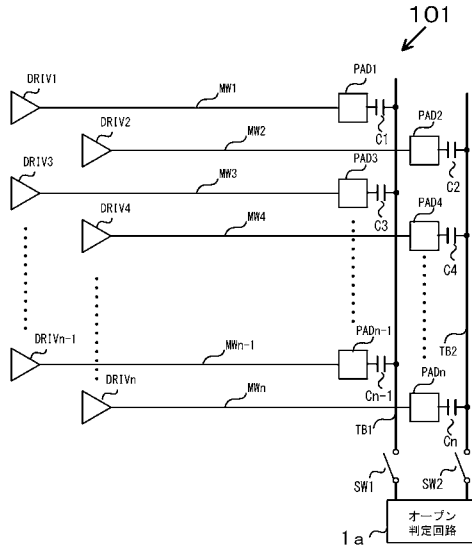
【 図 3 A 】

	Vtb (テストバス印加電圧)
通常動作時	Vss
配線オープンテスト時	Vtb > Vf (順方向電圧)

【 図 3 B 】

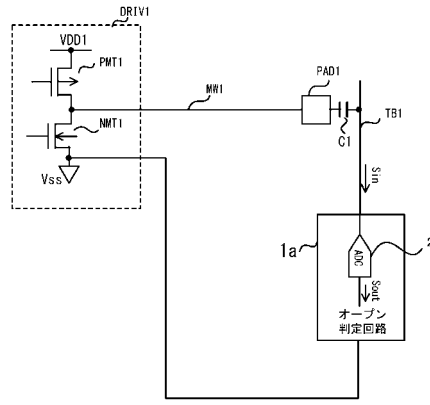
Itest	判定
変化	配線正常
一定 (変化なし)	オープン不良

【 図 4 】



101…配線オープン検出回路
 C1~C4, Cn-1, Cn…キャパシタ
 MW1, MW2…スイッチ
 SW1, SW2…スイッチ
 TB1, TB2…テストバス

【 図 5 】

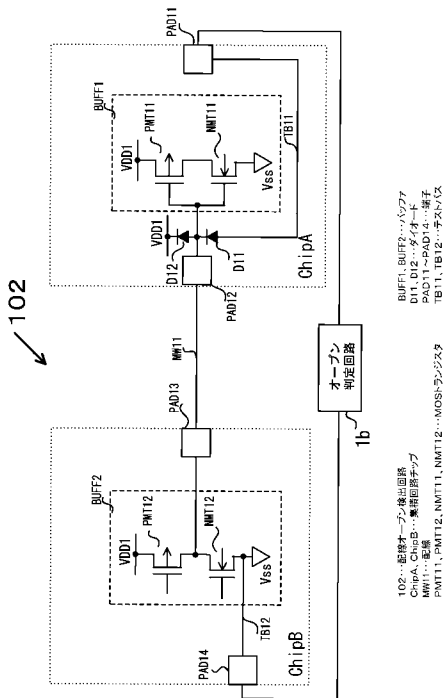


2…アナログ-デジタルコンバータ
 Sin…入力信号
 Sout…出力信号

【 図 6 】

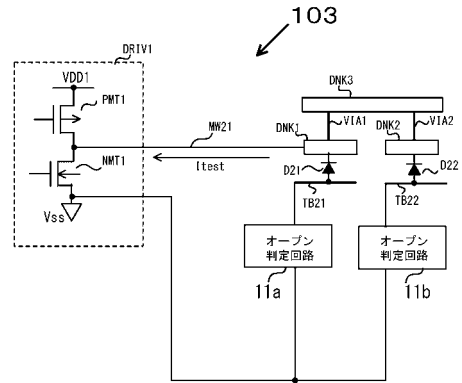
Sin	Sout	判定
Vdd1	Vdd1 (H)/Vss (L)	配線正常
Vss	Vss	オープン不良

【 図 7 】



102…配線オープン検出回路
 Ch1pA, Ch1pB…集積回路チップ
 MW11, MW12…配線
 PMT11, PMT12, NMT11, NMT12…MOSトランジスタ
 BU1F1, BU1F2…バッファ
 D11, D12…ダイオード
 PAD11~PAD14…端子
 TB11, TB12…テストバス

【 図 8 】



103…配線オープン検出回路
 D21, D22…ダイオード
 DNK1~DNK3…電極
 MW21…配線
 VIA1, VIA2…パッド
 TB21, TB22…テストバス

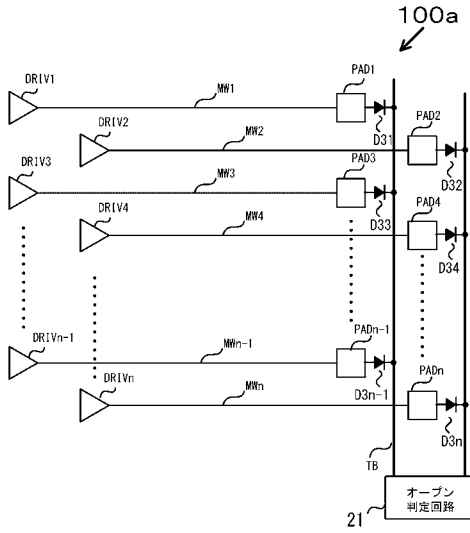
【 図 9 A 】

	テストバス印加電圧 (Vtb1, Vtb2)
通常動作時	Vtb1, Vtb2=Vss
配線オープンテスト I 時 (TB21~D21~DNK1~MW21)	Vtb1 > Vf Vtb2=Vss
配線オープンテスト II 時 (TB22~D22~DNK2~VIA2~DNK3~VIA1~DNK1~MW21)	Vtb1=Vss Vtb2 > Vf

【図9B】

I_{test}	判定
変化	配線正常
一定(変化なし)	オープン不良

【図10】



100a...配線オープン検出回路
D31~D34, D3n-1, D3n...ダイオード

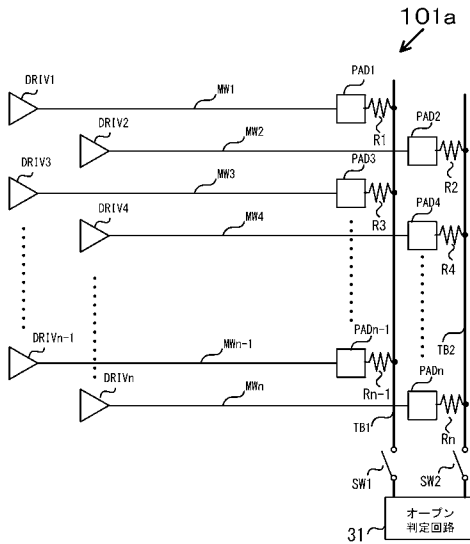
【図11A】

	V_{tb} (テストバス印加電圧)
通常動作時	V_{ss}
配線オープンテスト時	$V_{tb} > V_{bk}$ (耐圧)

【図11B】

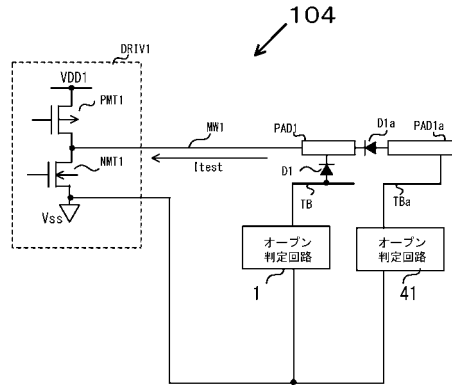
I_{test}	判定
変化	配線正常
一定(変化なし)	オープン不良

【図12】



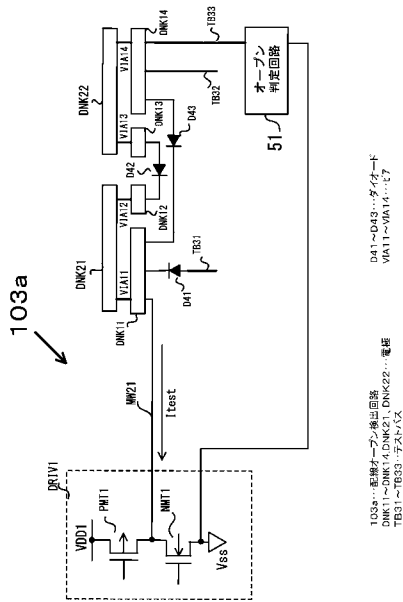
101a...配線オープン検出回路
R1~R4, Rn-1, Rn...抵抗

【図13】



104...配線オープン検出回路
D1a...ダイオード
PAD1a...端子
TBa...テストバス

【 図 1 4 】



【 図 1 5 B 】

Itest	判定
変化	配線正常
一定 (変化なし)	オープン不良

【 図 1 5 A 】

	テストバス印加電圧 (Vtb1, Vtb2, Vtb3)
通常動作時	Vtb1, Vtb2, Vtb3=Vss
配線オープンテスト時 (TB33~DNK14~VIA14~DNK22~VIA13 ~DNK13~D42~DNK12~VIA12~DNK21 ~VIA11~DNK11~DNK21)	Vtb3>Vf Vtb1, Vtb2=Vss

フロントページの続き

(72)発明者 塩地 正純

神奈川県川崎市幸区堀川町580番地 ソリッドスクエア東館9階 東芝マイクロエレクトロニクス株式会社内

(72)発明者 諏佐 聡子

神奈川県川崎市幸区堀川町580番地 ソリッドスクエア東館9階 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 2G014 AA02 AB51 AC18

2G132 AA14 AB01 AC03 AD01 AD15 AK07 AL04 AL12

5F038 BH04 BH05 BH13 BH15 CD02 CD13 DF03 DT12 EZ20