

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6871159号
(P6871159)

(45) 発行日 令和3年5月12日 (2021.5.12)

(24) 登録日 令和3年4月19日 (2021.4.19)

(51) Int. Cl.

F I

G09G 3/32 (2016.01)
G09G 3/20 (2006.01)G09G 3/32 A
G09G 3/20 611H
G09G 3/20 624B
G09G 3/20 642A
G09G 3/20 680F

請求項の数 17 (全 14 頁)

(21) 出願番号 特願2017-515215 (P2017-515215)
 (86) (22) 出願日 平成27年8月12日 (2015.8.12)
 (65) 公表番号 特表2017-533457 (P2017-533457A)
 (43) 公表日 平成29年11月9日 (2017.11.9)
 (86) 国際出願番号 PCT/US2015/044796
 (87) 国際公開番号 W02016/043873
 (87) 国際公開日 平成28年3月24日 (2016.3.24)
 審査請求日 平成30年7月18日 (2018.7.18)
 (31) 優先権主張番号 62/052,720
 (32) 優先日 平成26年9月19日 (2014.9.19)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(73) 特許権者 502176580
 コビン コーポレーション
 アメリカ合衆国、マサチューセッツ州 O
 1581, ウェストボロウ, ノース ドラ
 イヴ 125
 (74) 代理人 100087941
 弁理士 杉本 修司
 (74) 代理人 100086793
 弁理士 野田 雅士
 (74) 代理人 100112829
 弁理士 堤 健郎
 (74) 代理人 100150566
 弁理士 谷口 洋樹

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型のLED画素駆動回路および画素LED駆動方法

(57) 【特許請求の範囲】

【請求項1】

所望の画素輝度に対応する電圧を保持するように構成されたキャパシタであって、構成トランジスタの相互に接続された組合せを含むキャパシタと、

それぞれがゲートを有する2つ以上のトランジスタを有し、前記2つ以上のトランジスタが少なくとも並列または直列で互いに接続された制御ブロックであって、画素LEDを流れる電流の量を制御して、前記キャパシタに保持された前記電圧に対応させるように構成され、前記キャパシタの第1端子が供給電圧に電氣的に直接接続され、前記キャパシタの第2端子が当該制御ブロックの入力部に直接接続されている制御ブロックと、を備え、

当該制御ブロックの前記入力部が、前記2つ以上のトランジスタの全てのゲートと電氣的に接続されており、

前記制御ブロックの前記2つ以上のトランジスタおよび前記構成トランジスタを含む全てのトランジスタが、共通のゲート幾何寸法を有するように構成され、前記ゲート幾何寸法はゲートの長さおよび幅であって、前記ゲートの長さおよび幅は等しい、単位画素ドライバ回路。

【請求項2】

請求項1に記載の単位画素ドライバ回路において、前記制御ブロックが、さらに、第1のトランジスタ、第2のトランジスタ、第3のトランジスタおよび第4のトランジスタを含み、

(i) 前記第1のトランジスタのゲートと前記第2のトランジスタのゲートと前記第3

10

20

のトランジスタのゲートと前記第 4 のトランジスタのゲートとが、第 1 のノードを形成するように互いに電氣的に接続されており、

(i i) 前記第 1 のトランジスタのドレインと前記第 2 のトランジスタのドレインとが、第 2 のノードを形成するように互いに電氣的に接続されており、

(i i i) 前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースと前記第 3 のトランジスタのドレインと前記第 4 のトランジスタのドレインとが、第 3 のノードを形成するように互いに電氣的に接続されており、

(i v) 前記第 3 のトランジスタのソースと前記第 4 のトランジスタのソースとが、第 4 のノードを形成するように互いに電氣的に接続されている、単位画素ドライバ回路。

【請求項 3】

請求項 2 に記載の単位画素ドライバ回路において、さらに、
データトランジスタ、

を備え、前記データトランジスタのソースがデータ信号ラインに電氣的に接続されており、前記データトランジスタのドレインが前記第 1 のノードに電氣的に接続されており、前記データトランジスタのゲートが、選択信号を伝達するように構成された選択ラインに電氣的に接続されている、単位画素ドライバ回路。

【請求項 4】

請求項 2 に記載の単位画素ドライバ回路において、さらに、
ゲーティングトランジスタ、

を備え、前記ゲーティングトランジスタのソースがグランド電圧に電氣的に接続されており、前記ゲーティングトランジスタのドレインが前記第 4 のノードに電氣的に接続されており、前記ゲーティングトランジスタのゲートが、イネーブル信号を伝達するように構成されたイネーブルラインに電氣的に接続されている、単位画素ドライバ回路。

【請求項 5】

請求項 2 に記載の単位画素ドライバ回路において、前記トランジスタは、前記第 1 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように、かつ、前記第 2 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 3 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 4 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように同じ基板に配置されている、単位画素ドライバ回路。

【請求項 6】

請求項 5 に記載の単位画素ドライバ回路において、さらに、
データトランジスタと、
ゲーティングトランジスタと、

を備え、

前記データトランジスタが前記第 1 のトランジスタと前記ゲーティングトランジスタとに隣接するように、かつ、前記ゲーティングトランジスタが前記第 2 のトランジスタと前記データトランジスタとに隣接するように、ゲーティングトランジスタおよびデータトランジスタが前記基板に配置されている、単位画素ドライバ回路。

【請求項 7】

請求項 6 に記載の単位画素ドライバ回路において、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ、前記データトランジスタおよび前記ゲーティングトランジスタが、トランジスタ群を形成しており、前記キャパシタが、前記トランジスタ群の周囲に分布している、単位画素ドライバ回路。

【請求項 8】

請求項 1 に記載の単位画素ドライバ回路において、前記キャパシタが、少なくとも 2 つの構成トランジスタを用いて実現されている、単位画素ドライバ回路。

【請求項 9】

請求項 8 に記載の単位画素ドライバ回路において、前記キャパシタを実現する前記少な

10

20

30

40

50

くとも2つの構成トランジスタが、前記制御ブロックの前記2つ以上のトランジスタと共通のゲート幾何寸法を有する、単位画素ドライバ回路。

【請求項10】

所望の画素輝度に対応する電圧を保持するように構成されたキャパシタであって、構成トランジスタの相互に接続された組合せを含み、かつ第1端子および第2端子を有し、当該キャパシタの当該第1端子は供給電圧に電氣的に直接接続されているキャパシタと、

第1トランジスタゲート、第1トランジスタドレインおよび第1トランジスタソースを有する第1のトランジスタと、

第2トランジスタゲート、第2トランジスタドレインおよび第2トランジスタソースを有する第2のトランジスタと、

第3トランジスタゲート、第3トランジスタドレインおよび第3トランジスタソースを有する第3のトランジスタと、

第4トランジスタゲート、第4トランジスタドレインおよび第4トランジスタソースを有する第4のトランジスタと、

を備え、

前記第1のトランジスタと前記第2のトランジスタと前記第3のトランジスタと前記第4のトランジスタとは、

(i) 前記第1トランジスタドレインが前記第2トランジスタドレインに電氣的に直接接続され、

(ii) 前記第1トランジスタソースが前記第2トランジスタソースに電氣的に直接接続され、

(iii) 前記第3トランジスタドレインが前記第4トランジスタドレインに電氣的に直接接続され、

(iv) 前記第3トランジスタソースが前記第4トランジスタソースに電氣的に直接接続され、

(v) 前記第1トランジスタソースと前記第2トランジスタソースと前記第3トランジスタドレインと前記第4トランジスタドレインとが、互いに電氣的に接続され、

(vi) 第1トランジスタゲートと第2トランジスタゲートと第3トランジスタゲートと第4トランジスタゲートとが、互いに電氣的に接続されて、前記キャパシタの前記第2端子に接続されるように構成されており、

前記第1のトランジスタと前記第2のトランジスタと前記第3のトランジスタと前記第4のトランジスタとは、画素LEDを流れる電流の量であって、前記第1のトランジスタのゲートと前記第2のトランジスタのゲートと前記第3のトランジスタのゲートと前記第4のトランジスタのゲートとに印加される信号に対応する電流の量を制御するように構成されており、

前記構成トランジスタならびに前記第1のトランジスタ、前記第2のトランジスタ、前記第3のトランジスタおよび前記第4のトランジスタが、一様なパターンで同じ基板上に分布しており、共通のゲート幾何寸法を有するように構成されている、単位画素ドライバ回路。

【請求項11】

請求項10に記載の単位画素ドライバ回路において、前記一様なパターンが、行及び列のセットである、単位画素ドライバ回路。

【請求項12】

請求項10に記載の単位画素ドライバ回路において、前記トランジスタは、前記第1のトランジスタが前記第2のトランジスタと前記第3のトランジスタとに隣接するように、かつ、前記第2のトランジスタが前記第1のトランジスタと前記第4のトランジスタとに隣接するように、かつ、前記第3のトランジスタが前記第1のトランジスタと前記第4のトランジスタとに隣接するように、かつ、前記第4のトランジスタが前記第2のトランジスタと前記第3のトランジスタとに隣接するように前記基板に配置されている、単位画素ドライバ回路。

【請求項 13】

請求項 10 に記載の単位画素ドライバ回路において、前記第 1 トランジスタゲート、前記第 2 トランジスタゲート、前記第 3 トランジスタゲートおよび前記第 4 トランジスタゲートに印加される前記信号が、電圧である、単位画素ドライバ回路。

【請求項 14】

請求項 12 に記載の単位画素ドライバ回路において、さらに、前記電圧を保持するように構成されたキャパシタを備え、前記キャパシタが、前記第 1 トランジスタゲート、前記第 2 トランジスタゲート、前記第 3 トランジスタゲートおよび前記第 4 トランジスタゲートに電氣的に接続されている、単位画素ドライバ回路。

【請求項 15】

請求項 14 に記載の単位画素ドライバ回路において、前記キャパシタが、少なくとも 2 つの構成トランジスタを用いて実現されている、単位画素ドライバ回路。

【請求項 16】

請求項 15 に記載の単位画素ドライバ回路において、前記キャパシタを実現する前記少なくとも 2 つの構成トランジスタが、並列及び直列で互いに接続された前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタおよび前記第 4 のトランジスタと共通のゲート幾何寸法を有する、単位画素ドライバ回路。

【請求項 17】

画素 LED を駆動する方法であって、

所望の画素輝度に対応する電圧を保持するように構成されたキャパシタであって、構成トランジスタの相互に接続された組合せを含み、かつ第 1 端子および第 2 端子を有し、当該キャパシタの当該第 1 端子が供給電圧に電氣的に直接接続されているキャパシタを用意する過程と、

所望の画素輝度に対応する前記電圧を、前記第 2 端子を通して、制御ブロックに印加する過程と、

前記画素 LED を流れる、前記所望の画素輝度に対応する前記電圧に対応する電流の量を制御する過程と、を備え、
前記制御ブロックは、

第 1 トランジスタゲート、第 1 トランジスタドレインおよび第 1 トランジスタソースを有する第 1 のトランジスタと、

第 2 トランジスタゲート、第 2 トランジスタドレインおよび第 2 トランジスタソースを有する第 2 のトランジスタと、

第 3 トランジスタゲート、第 3 トランジスタドレインおよび第 3 トランジスタソースを有する第 3 のトランジスタと、

第 4 トランジスタゲート、第 4 トランジスタドレインおよび第 4 トランジスタソースを有する第 4 のトランジスタと、

を備え、

(i) 前記第 1 トランジスタドレインが前記第 2 トランジスタドレインに電氣的に直接接続され、

(i i) 前記第 1 トランジスタソースが前記第 2 トランジスタソースに電氣的に直接接続され、

(i i i) 前記第 3 トランジスタドレインが前記第 4 トランジスタドレインに電氣的に直接接続され、

(i v) 前記第 3 トランジスタソースが前記第 4 トランジスタソースに電氣的に直接接続され、

(v) 前記第 1 トランジスタソースと前記第 2 トランジスタソースと前記第 3 トランジスタドレインと前記第 4 トランジスタドレインとが、互いに電氣的に直接接続され、

(v i) 前記第 1 トランジスタゲート、前記第 2 トランジスタゲート、前記第 3 トランジスタゲートおよび前記第 4 トランジスタゲートが互いに電氣的に接続されて、前記キャパシタの前記第 2 端子に接続され、

10

20

30

40

50

(v i i) 前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタおよび前記第 4 のトランジスタが、前記構成トランジスタと共通のゲート幾何寸法を有するように構成されている制御ブロックである、方法。

【発明の詳細な説明】

【関連出願】

【 0 0 0 1 】

本願は、2014年9月19日付本願の米国仮特許出願第62/052,720号の優先権の利益を主張する。本願は、2015年6月5日付本願の米国特許出願第14/732,058号の関連出願である。これらの特許出願の全教示内容は、参照をもって本明細書に取り入れたものとする。

【背景技術】

【 0 0 0 2 】

現在、ノートブックPC、スマートフォン、タブレット型コンピューティング端末等のモバイルコンピューティングデバイスは、ビジネスライフおよび私生活の両方において、データを生成、分析、通信および消費するための日常的なツールとなっている。消費者は、高速無線通信技術のユビキタス化に伴ない、ますます容易にデジタル情報にアクセスできることを背景に、モバイルデジタルライフスタイルを享受し続ける。モバイルコンピューティングデバイスのよくある用途として、大量の高解像度コンピュータグラフィックス情報及び動画コンテンツを表示する用途が挙げられ、デバイスにワイヤレスでストリーミングして表示する場合が多い。

【 0 0 0 3 】

典型的にこれらのデバイスはディスプレイ画面を備えているものの、モバイル性を推し進めるため、デバイス自体の物理的サイズは制限されている。そのため、これらのモバイルデバイスで、高解像度の大型ディスプレイのようなより好ましい視覚的体験を再現することは難しい。その他にも、このような種類のデバイスの短所として、ユーザインターフェースがヒトの手に依存する（ヒトの手を使うことを必要とする）点が挙げられる。典型的には、ユーザは、（物理的または仮想的な）キーボードやタッチスクリーンディスプレイを用いてデータの入力や何らかの選択を行うことを求められる。

【 0 0 0 4 】

そのため、今日の消費者は、ヒトの手に依存するモバイルデバイスを補うまたはこれにとって代わる、ハンズフリーで（ヒトの手に依存しない）、高品質且つ携帯可能な、カラーディスプレイのソリューションを所望している。

【 0 0 0 5 】

そのようなディスプレイのソリューションの一例として、アクティブマトリクス型の発光ダイオード（LED）ディスプレイが挙げられる。アクティブマトリクス型のLEDディスプレイは、それぞれの画素ごとに、ディスプレイ走査期間中に駆動電圧により充電される保持（storage）キャパシタを使用する。キャパシタは、次の走査フレームまで電圧を保持し（store）、次の走査フレームになると、この走査フレームに対応する新たな電圧を保持する。保持された電圧は、画素回路にとって、その一つのフレーム時間のあいだLEDに電流を駆動するための基準となる。駆動される電流の量は、保持された電圧の数値に依存する。

【 0 0 0 6 】

図1に示すアクティブマトリクス型のLEDディスプレイの例では、それぞれの単位画素が、トランジスタ1、トランジスタ2、トランジスタ4、キャパシタ3およびLED5で構成される。トランジスタ1のゲートが選択ライン（SL）を介して選択信号を受け取る一方で、トランジスタ1のソースがVDatライン（Vデータライン）を介して電圧データ信号を受け取る。トランジスタ1が上記選択信号によってオンにされていると、上記電圧データ信号がトランジスタ2のゲートへと送られる。このデータ信号VDatの電圧レベルがトランジスタ2をオンにすることにより、トランジスタ2を介して駆動電流を生成し、トランジスタ4がオンにされている時間（on time）のあいだLED5を点灯させる。

【発明の概要】

【発明が解決しようとする課題】

【0007】

図1の例で示される回路の短所として、LED駆動回路の出力（すなわち、LED駆動電流）が、回路パラメータばらつきの影響を受け易いものであり得る点が挙げられる。このようなパラメータばらつきは、例えば、トランジスタの閾値電圧のばらつき、トランジスタの物理的なゲート幾何配置、形状または幾何寸法（geometry）の幅及び長さのばらつき等を含み得る。画素によって駆動電流に違いがあることは、アクティブマトリクス型のLEDディスプレイでの不均一な照明の原因になりかねない。

【課題を解決するための手段】

【0008】

本願に記載の実施形態は、画素駆動電流を制御する回路を提供する。この回路は、上記のような駆動回路を生成するのに用いられる製造プロセスに内在するプロセスばらつきの影響を軽減および/または緩和する。この実施形態は、パラレル（並列）及びシリアル（直列）の両方で接続されたトランジスタの組合せで構成される電流制御ブロックを形成することにより、そのような軽減および/または緩和を達成する。この実施形態は、さらに、上記電流制御回路（ブロック）内のそれらトランジスタのうちの多くにわたって又は全てにわたって共通のゲート幾何寸法（geometry size）を維持する。

【0009】

一態様において、本発明は、所望の画素輝度に対応する電圧を保持するように構成されたキャパシタと、並列及び直列で互いに接続された2つ以上のトランジスタを有する制御ブロックと、を備える単位画素ドライバ回路であり得る。前記制御ブロックは、画素LEDを流れる、前記キャパシタに保持された前記電圧に対応する電流の量を制御するように構成され得る。前記制御ブロックの前記2つ以上のトランジスタは、共通のゲート幾何寸法を有するように構成され得る。

【0010】

一実施形態において、前記制御ブロックは、さらに、第1のトランジスタ、第2のトランジスタ、第3のトランジスタおよび第4のトランジスタを含み得る。4つ全てのトランジスタが、並列及び直列の両方で互いに接続され得る。前記第1のトランジスタのゲートと前記第2のトランジスタのゲートと前記第3のトランジスタのゲートと前記第4のトランジスタのゲートとが、第1のノードを形成するように互いに電氣的に接続され得る。前記第1のトランジスタのドレインと前記第2のトランジスタのドレインとが、第2のノードを形成するように互いに電氣的に接続され得る。前記第1のトランジスタのソースと前記第2のトランジスタのソースと前記第3のトランジスタのドレインと前記第4のトランジスタのドレインとが、第3のノードを形成するように互いに電氣的に接続され得る。前記第3のトランジスタのソースと前記第4のトランジスタのソースとが、互いに電氣的に接続され得る。

【0011】

一実施形態において、前記単位画素ドライバ回路は、さらに、データトランジスタを備え得る。前記データトランジスタのソースがデータ信号ラインに電氣的に接続され得て、前記データトランジスタのドレインが前記第1のノードに電氣的に接続され得て、前記データトランジスタのゲートが、選択信号を伝達するように構成された選択ラインに電氣的に接続され得る。

【0012】

他の実施形態において、前記単位画素ドライバは、さらに、ゲーティングトランジスタを備え得る。前記ゲーティングトランジスタのソースが基準電圧に電氣的に接続され得て、前記ゲーティングトランジスタのドレインが前記第4のノードに電氣的に接続され得て、前記ゲーティングトランジスタのゲートが、イネーブル信号を伝達するように構成されたイネーブルラインに電氣的に接続され得る。

【0013】

他の実施形態において、前記トランジスタは、前記第 1 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように、かつ、前記第 2 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 3 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 4 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように同じ基板に配置されている。

【 0 0 1 4 】

一実施形態は、さらに、データトランジスタと、ゲーティングトランジスタと、を備える。前記ゲーティングトランジスタおよびデータトランジスタは、前記データトランジスタが前記第 1 のトランジスタと前記ゲーティングトランジスタとに隣接するように、かつ、前記ゲーティングトランジスタが前記第 2 のトランジスタと前記データトランジスタとに隣接するように前記基板に配置され得る。

10

【 0 0 1 5 】

一実施形態において、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ、前記データトランジスタおよび前記ゲーティングトランジスタは、トランジスタ群を形成しており、前記キャパシタが、前記トランジスタ群の周囲に分布している。

【 0 0 1 6 】

他の実施形態において、前記キャパシタは、少なくとも 1 つのトランジスタを用いて実現されている。前記キャパシタを実現する前記少なくとも 1 つのトランジスタは、前記制御ブロックの前記 2 つ以上のトランジスタと共通のゲート幾何寸法を有し得る。

20

【 0 0 1 7 】

他の態様において、本発明は、並列及び直列で互いに接続された 2 つ以上のトランジスタを備える単位画素ドライバ回路であり得る。前記 2 つ以上のトランジスタは、画素 LED を流れる、当該 2 つ以上のトランジスタのゲートに印加される信号に対応する電流の量を制御するように構成され得る。前記 2 つ以上のトランジスタは、一様なパターンで同じ基板上に分布し得る。前記 2 つ以上のトランジスタは、共通のゲート幾何寸法を有するように構成され得る。一実施形態において、前記一様なパターンは、行及び列のセットである。

【 0 0 1 8 】

30

さらなる他の態様において、本発明は、画素 LED を駆動する方法であって、制御信号を、並列及び直列で互いに接続されていて且つ共通のゲート幾何寸法を有するように構成されている 2 つ以上のトランジスタのブロックに印加する過程を備える方法であり得る。この方法は、さらに、前記画素 LED を流れる、前記制御信号に対応する電流の量を制御する過程を備え得る。

【 0 0 1 9 】

前述の内容は、添付の図面に示す本発明の例示的な実施形態についての、以下のより詳細な説明から明らかになる。図面では、異なる図をとおして同一の参照符号が同一の構成 / 構成要素を指すものとする。図面は必ずしも縮尺どおりではなく、むしろ、本発明の実施形態を示すことに重点が置かれている。

40

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】従来技術のアクティブマトリクス型の LED ディスプレイの一例を示す図である。

。

【図 2】本発明の一実施形態におけるアクティブマトリクス型の LED ディスプレイの一例を示す図である。

【図 3】図 1 に示す表示回路に対応するゲート幾何配置および寸法の一例を示す図である。

。

【図 4】図 2 に示す表示回路に対応する、本発明の一実施形態におけるゲート幾何配置および寸法の一例を示す図である。

50

【発明を実施するための形態】**【0021】**

以下では、本発明の例示的な実施形態について説明する。

【0022】

図2は、本発明の一実施形態に従って構成された単位画素回路の図である。

【0023】

図2の単位画素回路は、6つのトランジスタ12a, 12b, 12c, 12d, 11, 14、キャパシタ13およびLED15を備える。この例示的な実施形態は画素回路内のLEDを駆動する場合を説明するものであるが、説明する概念は、視覚表示画面を提供するための他の画素構成要素に適用することも可能である。

10

【0024】

キャパシタ13は、後で詳述するように、特定の様式で構築・配置されたトランジスタにより実現され得る。キャパシタ13は、当該技術分野で知られている代替的な技術を用いて実現されてもよく、例えば、キャパシタ誘電体として酸化物を使用して且つキャパシタプレートとして金属又は高濃度ドーパされたシリコンを使用して実現されてもよい。図2では、キャパシタ13に「xM」という記載が添えられている。これは、キャパシタ13が、実際にはM個のトランジスタ(Mは整数である)で構成され得ることを意味する。

【0025】

図2のトランジスタ12a, 12b, 12c, 12dは、図1のトランジスタ2により実行される機能と同様の機能を提供する。トランジスタ12a, 12b, 12c, 12dは、LED15に供給されるLED駆動電流20を制御する制御ブロックを協働で形成する。LED駆動電流20の量は、保持キャパシタ13(図1に示す回路で言えば、保持キャパシタ3)に保持された電圧の数値に依存する。

20

【0026】

本明細書においてトランジスタ11は、データトランジスタと称される。データトランジスタ11は、当該データトランジスタ11がオンにされると、VDatライン22からのデータ信号をトランジスタ12aのゲート、トランジスタ12bのゲート、トランジスタ12cのゲート、トランジスタ12dのゲートおよびキャパシタ13へと伝達する。データトランジスタ11は、選択ライン24から印加される選択信号に基づいてオンにされる。「VDatライン22」のように本明細書で用いられる「ライン」という文言は、信号を伝達することが可能な、導電体(例えば、電線、同軸ケーブル、プリント回路基板の配線等)、光ファイバー、導波管、マイクロストリップ、ストリップライン等のあらゆる物理的媒体のことを指し得る。

30

【0027】

本明細書においてトランジスタ14は、ゲートウェイトランジスタと称される。ゲートウェイトランジスタ14は、イネーブルライン26を介して当該ゲートウェイトランジスタのゲートに印加されるイネーブル信号に基づいてLED駆動電流20を制御する。つまり、トランジスタ14は、イネーブルライン26を介して伝達されるイネーブル信号に従ってLED駆動電流20のゲーティングを行う(gate)。

【0028】

40

トランジスタ12a, 12b, 12c, 12dは、図示のように並列接続及び直列接続の両方の意味で接続されている。全てのトランジスタ12a, 12b, 12c, 12dのゲート同士は、第1のノードを形成するように全て互いに電氣的に接続されており、且つトランジスタ11のドレインに電氣的に接続されている。トランジスタ12aのドレインとトランジスタ12bのドレインとは、第2のノードを形成するように互いに電氣的に接続されており、且つ基準電圧VDDに電氣的に接続されている。トランジスタ12aのソースとトランジスタ12bのソースとは、互いに電氣的に接続されており、且つトランジスタ12cのドレインおよびトランジスタ12dのドレインに電氣的に接続されている。トランジスタ12cのソースとトランジスタ12dのソースとは、互いに電氣的に接続されており、且つトランジスタ14のドレインに電氣的に接続されている。つまり、トラン

50

ジスタのペア [1 2 a , 1 2 b] とトランジスタのペア [1 2 c , 1 2 d] の各ペア内においては、2つのトランジスタが並列に接続されていると共に、他のトランジスタのペア [1 2 a , 1 2 c] とトランジスタのペア [1 2 b , 1 2 d] の各ペア内においては、2つのトランジスタが直列に接続されている。

【 0 0 2 9 】

図 2 に示す例示的な実施形態では、トランジスタ 1 2 a , 1 2 b , 1 2 c , 1 2 d が全て 1 つの同じ基板（例えば、半導体基板等）に配置されており、かつ、それらのトランジスタは実質的に同一の幅及び長さのゲート幾何寸法を有している。他の実施形態では、前記単位画素回路における全てのトランジスタ 1 2 a , 1 2 b , 1 2 c , 1 2 d , 1 1 , 1 4 が、実質的に同一の幅及び長さ寸法のゲート幾何寸法で配置されている。どのようなプロセスばらつきであっても、同様の幅及び長さ特徴を有する構成要素では、同様の影響をもたらす得るので、上記のような共通の幅及び長さ寸法は、プロセスばらつきの影響を軽減および/または緩和する役割を果たし得る。

【 0 0 3 0 】

図 3 に、図 1 に示す従来技術の回路の例の場合におけるトランジスタのゲート幾何配置および寸法を示す。図示のとおり、トランジスタ 1 およびトランジスタ 4 が共通のゲート幾何寸法（すなわち、 $W = a$, $L = b$ ）を有する一方で、トランジスタ 2 のゲート幾何寸法（ $W = c$, $L = d$ ）およびトランジスタ 3 のゲート幾何寸法（ $W = e$, $L = f$; 図示せず）は実質的に互いに異なると共に、トランジスタ 1 , 4 と異なる。

【 0 0 3 1 】

図 4 に、図 2 に示す単位画素回路の例の場合におけるトランジスタのゲート幾何配置および寸法を示す。例示的なこの実施形態では、ゲート幾何寸法 1 1 0 , 1 2 0 a , 1 2 0 b , 1 2 0 c , 1 2 0 d , 1 3 0 , 1 4 0（それぞれ、トランジスタ 1 1 , 1 2 a , 1 2 b , 1 2 c , 1 2 d , 1 3 , 1 4 に対応する）が、実質的に同一であり、すなわち、幅 = 長さ = a （式中、「 a 」は長さ寸法に沿った距離を定量化した数値である）である。そのような数値の例として、25 nm 又は 6 . 0 μ m が挙げられ得る（なお、これらはその数値の性質を示すための、あくまでも考えられ得る数値についての例示に過ぎない。これらの具体的な数値は、本発明をどのように限定することも意図していない）。

【 0 0 3 2 】

図 4 の例示的な実施形態では、トランジスタが、一様なパターン（この例では、行及び列のグリッド構成）で分布している。代替的な実施形態では、他の分布パターンが用いられ得る。例えば、こうした分布は、他に、同心円状の分布、六角形のハニカムパターン状の分布、平行斜線状のセットでの分布等であり得る。

【 0 0 3 3 】

図示のとおり、トランジスタ 1 1 0 はトランジスタ 1 4 0 に隣接して配置されており、トランジスタ 1 2 0 a , 1 2 0 b , 1 2 0 c , 1 2 0 d は互いに隣接して配置されている。記載の実施形態では、トランジスタ 1 3 0（トランジスタ 1 3 0 のうちの少なくとも一部が、協働で（集散的に）保持キャパシタ 1 3 を形成している）が、自分達以外のトランジスタ 1 1 0 , 1 4 0 , 1 2 0 a , 1 2 0 b , 1 2 0 c , 1 2 0 d を取り囲む周囲に沿って配置されている。

【 0 0 3 4 】

一部の実施形態において、各々のトランジスタ 1 3 0 は、特定の数値の静電容量を示すように構成され得る。トランジスタ 1 3 0 をこのように構成する技術は、当該技術分野においてよく知られている。例えば、ゲート - チャネル間静電容量が、特定の静電容量を提供するように利用（access）され得る。あるいは、ゲート - バルク間静電容量が利用され得る。一部の実施形態では、トランジスタ 1 3 0 に関する構成及びパラメータが、当該トランジスタ 1 3 0 を蓄積（accumulation）モードにするように設定され得る。他の実施形態では、トランジスタ 1 3 0 が、反転（inversion）モードに設定され得る。

【 0 0 3 5 】

図 2 に示す単位画素回路の設計は、特定の静電容量値を有する保持キャパシタ 1 3 を必

10

20

30

40

50

要とし得る。一部の実施形態において、この特定の静電容量は、トランジスタ 130 の選択的な組合せにより実現され得る。一部の実施形態では、2 つ以上のトランジスタ 130 が、合成静電容量が所望の特定の数値となるように直列又は並列構成で電氣的に接続され、且つ配置され得る。

【 0 0 3 6 】

本発明を例示的な実施形態を参照しながら具体的に図示・説明したが、当業者であれば、添付の特許請求の範囲に包含された本発明の範囲を逸脱しない範疇で形態や細部に様々な変更を施せることを理解するであろう。

なお、本発明は、実施の態様として以下の内容を含む。

〔 態 様 1 〕

所望の画素輝度に対応する電圧を保持するように構成されたキャパシタと、
並列及び直列で互いに接続された 2 つ以上のトランジスタを有する制御ブロックであって、画素 LED を流れる、前記キャパシタに保持された前記電圧に対応する電流の量を制御するように構成されている制御ブロックと、
を備え、
前記制御ブロックの前記 2 つ以上のトランジスタが、共通のゲート幾何寸法を有するように構成されている、単位画素ドライバ回路。

〔 態 様 2 〕

態様 1 に記載の単位画素ドライバ回路において、前記制御ブロックが、さらに、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタおよび第 4 のトランジスタを含み、4 つ全てのトランジスタが並列及び直列の両方で互いに接続されている、単位画素ドライバ回路。

〔 態 様 3 〕

態様 2 に記載の単位画素ドライバ回路において、(i) 前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートと前記第 3 のトランジスタのゲートと前記第 4 のトランジスタのゲートとが、第 1 のノードを形成するように互いに電氣的に接続されており、(i i) 前記第 1 のトランジスタのドレインと前記第 2 のトランジスタのドレインとが、第 2 のノードを形成するように互いに電氣的に接続されており、(i i i) 前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースと前記第 3 のトランジスタのドレインと前記第 4 のトランジスタのドレインとが、第 3 のノードを形成するように互いに電氣的に接続されており、(i v) 前記第 3 のトランジスタのソースと前記第 4 のトランジスタのソースとが、互いに電氣的に接続されている、単位画素ドライバ回路。

〔 態 様 4 〕

態様 3 に記載の単位画素ドライバ回路において、さらに、
データトランジスタ、
を備え、前記データトランジスタのソースがデータ信号ラインに電氣的に接続されており、前記データトランジスタのドレインが前記第 1 のノードに電氣的に接続されており、前記データトランジスタのゲートが、選択信号を伝達するように構成された選択ラインに電氣的に接続されている、単位画素ドライバ回路。

〔 態 様 5 〕

態様 3 に記載の単位画素ドライバ回路において、さらに、
ゲーティングトランジスタ、
を備え、前記ゲーティングトランジスタのソースが基準電圧に電氣的に接続されており、前記ゲーティングトランジスタのドレインが前記第 4 のノードに電氣的に接続されており、前記ゲーティングトランジスタのゲートが、イネーブル信号を伝達するように構成されたイネーブルラインに電氣的に接続されている、単位画素ドライバ回路。

〔 態 様 6 〕

態様 2 に記載の単位画素ドライバ回路において、前記トランジスタは、前記第 1 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように、かつ、前記第 2 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接

10

20

30

40

50

するように、かつ、前記第 3 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 4 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように同じ基板に配置されている、単位画素ドライバ回路。

[態様 7]

態様 6 に記載の単位画素ドライバ回路において、さらに、
データトランジスタと、
ゲーティングトランジスタと、
を備え、

前記データトランジスタが前記第 1 のトランジスタと前記ゲーティングトランジスタとに隣接するように、かつ、前記ゲーティングトランジスタが前記第 2 のトランジスタと前記データトランジスタとに隣接するように、ゲーティングトランジスタおよびデータトランジスタが前記基板に配置されている、単位画素ドライバ回路。

10

[態様 8]

態様 7 に記載の単位画素ドライバ回路において、前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 3 のトランジスタ、前記第 4 のトランジスタ、前記データトランジスタおよび前記ゲーティングトランジスタが、トランジスタ群を形成しており、前記キャパシタが、前記トランジスタ群の周囲に分布している、単位画素ドライバ回路。

[態様 9]

態様 1 に記載の単位画素ドライバ回路において、前記キャパシタが、少なくとも 1 つのトランジスタを用いて実現されている、単位画素ドライバ回路。

20

[態様 10]

態様 9 に記載の単位画素ドライバ回路において、前記キャパシタを実現する前記少なくとも 1 つのトランジスタが、前記制御ブロックの前記 2 つ以上のトランジスタと共通のゲート幾何寸法を有する、単位画素ドライバ回路。

[態様 11]

並列及び直列で互いに接続された 2 つ以上のトランジスタであって、画素 LED を流れる、当該 2 つ以上のトランジスタのゲートに印加される信号に対応する電流の量を制御するように構成されている 2 つ以上のトランジスタ、

を備え、

30

前記 2 つ以上のトランジスタが、一様なパターンで同じ基板上に分布しており、

前記 2 つ以上のトランジスタが、共通のゲート幾何寸法を有するように構成されている、単位画素ドライバ回路。

[態様 12]

態様 11 に記載の単位画素ドライバ回路において、前記一様なパターンが、行及び列のセットである、単位画素ドライバ回路。

[態様 13]

態様 11 に記載の単位画素ドライバ回路において、前記 2 つ以上のトランジスタが、さらに、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタおよび第 4 のトランジスタを含み、4 つ全てのトランジスタが並列及び直列の両方で互いに接続されている、単位画素ドライバ回路。

40

[態様 14]

態様 13 に記載の単位画素ドライバ回路において、(i) 前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートと前記第 3 のトランジスタのゲートと前記第 4 のトランジスタのゲートとが、第 1 のノードを形成するように互いに電氣的に接続されており、(i i) 前記第 1 のトランジスタのドレインと前記第 2 のトランジスタのドレインとが、第 2 のノードを形成するように互いに電氣的に接続されており、(i i i) 前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースと前記第 3 のトランジスタのドレインと前記第 4 のトランジスタのドレインとが、第 3 のノードを形成するように互いに電氣的に接続されており、(i v) 前記第 3 のトランジスタのソースと前記第 4 のトラン

50

ンジスタのソースとが、互いに電氣的に接続されている、単位画素ドライバ回路。

[態様 1 5]

態様 1 3 に記載の単位画素ドライバ回路において、前記トランジスタは、前記第 1 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように、かつ、前記第 2 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 3 のトランジスタが前記第 1 のトランジスタと前記第 4 のトランジスタとに隣接するように、かつ、前記第 4 のトランジスタが前記第 2 のトランジスタと前記第 3 のトランジスタとに隣接するように前記基板に配置されている、単位画素ドライバ回路。

[態様 1 6]

態様 1 1 に記載の単位画素ドライバ回路において、前記 2 つ以上のトランジスタのゲートに印加される前記信号が、電圧である、単位画素ドライバ回路。

[態様 1 7]

態様 1 5 に記載の単位画素ドライバ回路において、さらに、
前記電圧を保持するように構成されたキャパシタ、
を備え、前記キャパシタが、前記 2 つ以上のトランジスタのゲートに電氣的に接続されている、単位画素ドライバ回路。

[態様 1 8]

態様 1 7 に記載の単位画素ドライバ回路において、前記キャパシタが、少なくとも 1 つのトランジスタを用いて実現されている、単位画素ドライバ回路。

[態様 1 9]

態様 9 に記載の単位画素ドライバ回路において、前記キャパシタを実現する前記少なくとも 1 つのトランジスタが、並列及び直列で互いに接続された前記 2 つ以上のトランジスタと共通のゲート幾何寸法を有する、単位画素ドライバ回路。

[態様 2 0]

画素 L E D を駆動する方法であって、
制御信号を、並列及び直列で互いに接続されていて且つ共通のゲート幾何寸法を有するように構成されている 2 つ以上のトランジスタのブロックに印加する過程と、
前記画素 L E D を流れる、前記制御信号に対応する電流の量を制御する過程と、
を備える、方法。

10

20

30

【図 1】

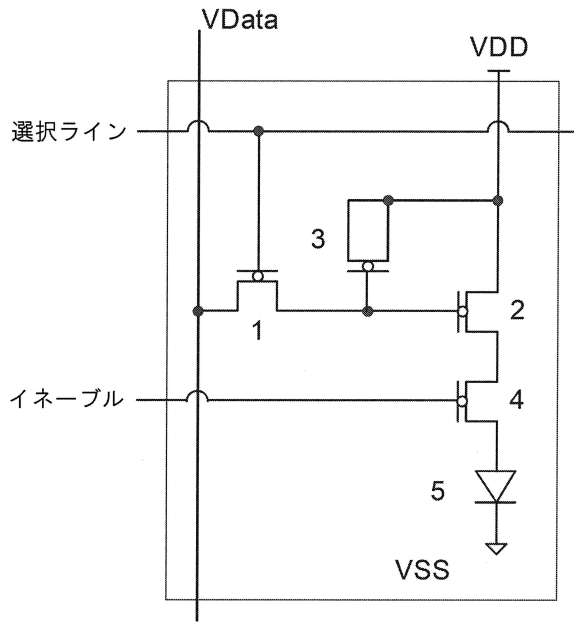


FIG. 1

【図 2】

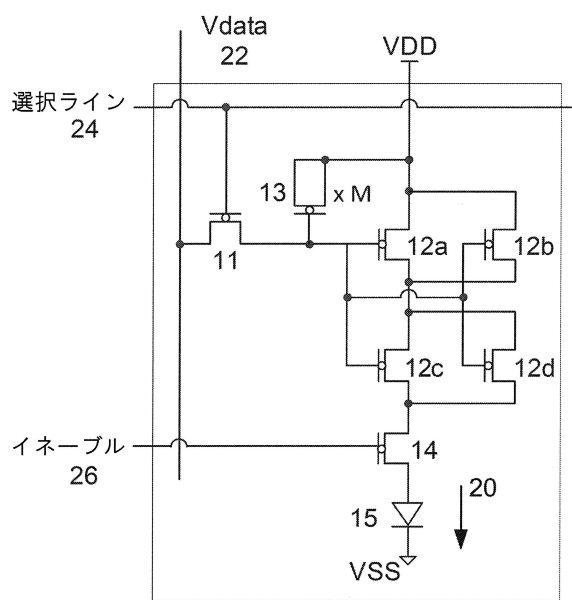


FIG. 2

【図 3】

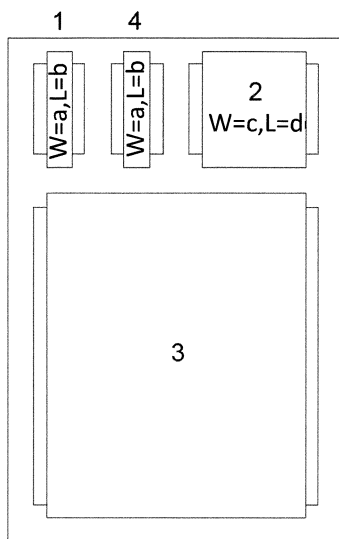


FIG. 3

【図 4】

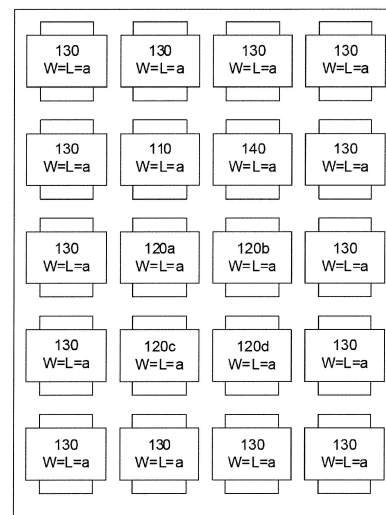


FIG. 4

フロントページの続き

- (72)発明者 ソ・ヨン・ソク
アメリカ合衆国, カリフォルニア州 9 4 3 0 3 , パロ アルト , ルイス ロード 3 7 2 8
- (72)発明者 キム・ジン・カク
アメリカ合衆国, カリフォルニア州 9 5 1 2 0 , サン ノゼ , クエイル リッジ コート 1 1
5 1
- (72)発明者 キム・ソン・ヨブ
アメリカ合衆国, カリフォルニア州 9 4 5 3 8 , フリーモント , ビッドウェル ドライブ 4 2
9 5
- (72)発明者 キム・ジャン・ホー
アメリカ合衆国, カリフォルニア州 9 5 1 1 7 , サン ノゼ , ウッドリーフ コート 3 7 8 3

審査官 西島 篤宏

- (56)参考文献 特開2004 - 117820 (JP, A)
特開2003 - 263130 (JP, A)
特開2004 - 126106 (JP, A)
特開2010 - 266490 (JP, A)

- (58)調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8