

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年12月18日(2014.12.18)

【公開番号】特開2013-131262(P2013-131262A)

【公開日】平成25年7月4日(2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-278558(P2011-278558)

【国際特許分類】

G 11 C 11/4096 (2006.01)

G 11 C 11/401 (2006.01)

【F I】

G 11 C 11/34 3 5 4 R

G 11 C 11/34 3 5 4 H

G 11 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成26年10月30日(2014.10.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の領域に配置される複数のメモリセルと接続される第1のローカルビット線と、
第2の領域に配置される複数のメモリセルと接続される第2のローカルビット線と、
前記第1のローカルビット線と前記第2のローカルビット線との間の差電圧を増幅する
差動型のローカルセンスアンプと、

前記第1のローカルビット線および前記第2のローカルビット線の延伸方向に配置され
るグローバルビット線と、

前記第1のローカルビット線と前記グローバルビット線との間の電気的接続を制御する
第1のスイッチと、

前記第2のローカルビット線と前記グローバルビット線との間の電気的接続を制御する
第2のスイッチと、

を備えることを特徴とする半導体装置。

【請求項2】

前記グローバルビット線の一端に接続されるシングルエンド型のグローバルセンスアン
プを更に備えることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1及び第2のスイッチを制御する制御回路を更に備え、
前記制御回路は、前記複数のメモリセルのうちの選択されたメモリセルに応じて、前記
第1及び第2のスイッチのうちの一方を導通状態に制御し、他方を非導通状態に制御する
ことを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記制御回路は、前記選択されたメモリセルが前記第1の領域にある場合に前記第1の
スイッチを導通状態に制御し、前記選択されたメモリセルが前記第2の領域にある場合に
前記第2のスイッチを導通状態に制御することを特徴とする請求項3に記載の半導体装置
。

【請求項5】

前記第1のローカルビット線と前記ローカルセンスアンプとの間の電気的接続を制御する第3のスイッチと、

前記第2のローカルビット線と前記ローカルセンスアンプとの間の電気的接続を制御する第4のスイッチと、

を更に備えることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記制御回路は、前記第1の領域の選択メモリセルにデータを書き込む時に前記第3のスイッチを非導通状態に制御し、前記第2の領域の選択メモリセルにデータを書き込む時に前記第4のスイッチを非導通状態に制御することを特徴とする請求項5に記載の半導体装置。

【請求項7】

ゲートが前記第2のローカルビット線に接続された第1のトランジスタと、

前記第1のトランジスタの出力ノードと前記グローバルビット線との間の電気的接続を制御する第5のスイッチと、

ゲートが前記第1のローカルビット線に接続された第2のトランジスタと、

前記第2のトランジスタの出力ノードと前記グローバルビット線との間の電気的接続を制御する第6のスイッチと、

を更に備えることを特徴とする請求項4に記載の半導体装置。

【請求項8】

前記制御回路は、前記第1の領域の選択メモリセルの読み出し動作時に前記第5のスイッチを導通状態に制御するとともに前記第6のスイッチを非導通状態に制御し、前記第2の領域の選択メモリセルの読み出し動作時に前記第6のスイッチを導通状態に制御するとともに前記第5のスイッチを非導通状態に制御することを特徴とする請求項7に記載の半導体装置。

【請求項9】

前記制御回路は、前記第1の領域の選択メモリセルにデータを書き込む時に前記第1のスイッチを導通状態に制御し、前記第2の領域の選択メモリセルにデータを書き込む時に前記第2のスイッチを導通状態に制御し、選択メモリセルにデータを書き込む時に前記第5及び第6のスイッチをともに非導通状態に制御することを特徴とする請求項7に記載の半導体装置。

【請求項10】

前記第1のスイッチは、前記ローカルセンスアンプの近端側と遠端側にそれぞれ配置された少なくとも2個のスイッチを含み、

前記第2のスイッチは、前記ローカルセンスアンプの近端側と遠端側にそれぞれ配置された少なくとも2個のスイッチを含む、

ことを特徴とする請求項1から9のいずれかに記載の半導体装置。

【請求項11】

第1方向に延びる第1ローカルビット線と、

第1方向に延びる第2ローカルビット線と、

各々が前記第1ローカルビット線と交差する複数の第1ワード線と、

各々が前記第2ローカルビット線と交差する複数の第2ワード線と、

各々が前記第1ローカルビット線および前記複数の第1ワード線のうちの対応するひとつと接続された複数の第1メモリセルと、

各々が前記第2ローカルビット線および前記複数の第2ワード線のうちの対応するひとつと接続された複数の第2メモリセルと、

前記第1ローカルビット線と前記第2ローカルビット線との間に設けられ、前記第1ローカルビット線に接続される第1ノードと前記第2ローカルビット線に接続される第2ノードとを含み、かつ前記第1ノードと前記第2ノードとの間の電位差を増幅するよう構成されたセンスアンプと、

前記第1および前記第2ローカルビット線に沿って第1方向に延びるグローバルビット

線と、

前記第1ローカルビット線と前記グローバルビット線との間に接続された第1トランジスタ回路と、

前記第2ローカルビット線と前記グローバルビット線との間に接続された第2トランジスタ回路と、を備えることを特徴とする半導体装置。

【請求項12】

前記第1トランジスタ回路は第1トランジスタを含み、前記第1トランジスタは前記第1ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第1制御信号が与えられるゲートとを含み、

前記第2トランジスタ回路は第2トランジスタを含み、前記第2トランジスタは前記第2ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第2制御信号が与えられるゲートとを含むことを特徴とする請求項11に記載の半導体装置。

【請求項13】

第1制御信号は前記複数の第1メモリセルのうちのひとつが選択されることに応じて活性化レベルをとることで前記第1トランジスタをONにし、

第2制御信号は前記複数の第2メモリセルのうちのひとつが選択されることに応じて活性化レベルをとることで前記第2トランジスタをONにすることを特徴とする請求項12に記載の半導体装置。

【請求項14】

前記第1トランジスタ回路は第1トランジスタと第2トランジスタと第3トランジスタとを含み、前記第1トランジスタは前記第1ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第1制御信号が与えられるゲートとを含み、前記第2トランジスタはソース・ドレイン経路と第2制御信号が与えられるゲートとを含み、前記第3トランジスタはソース・ドレイン経路と前記第1ローカルビット線に接続されたゲートとを含み、前記第2トランジスタのソース・ドレイン経路および前記第3トランジスタのソース・ドレイン経路は前記グローバルビット線と参照電位線との間で直列に接続され、

前記第2トランジスタ回路は第4トランジスタと第5トランジスタと第6トランジスタとを含み、前記第4トランジスタは前記第2ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第3制御信号が与えられるゲートとを含み、前記第5トランジスタはソース・ドレイン経路と第4制御信号が与えられるゲートとを含み、前記第6トランジスタはソース・ドレイン経路と前記第2ローカルビット線に接続されたゲートとを含み、前記第5トランジスタのソース・ドレイン経路および前記第6トランジスタのソース・ドレイン経路は前記グローバルビット線と参照電位線との間で直列に接続されることを特徴とする請求項11に記載の半導体装置。

【請求項15】

前記複数の第2メモリセルのうちのひとつが選択されることに応じて、データ読み出しだけ動作モードにおいては第2制御信号が活性化レベルをとることで前記第2トランジスタをONし、データ書き込み動作モードにおいては第3制御信号が活性化レベルをとることで前記第4トランジスタをONし、

前記複数の第1メモリセルのうちのひとつが選択されることに応じて、データ読み出しだけ動作モードにおいては第4制御信号が活性化レベルをとることで前記第5トランジスタをONし、データ書き込み動作モードにおいては第1制御信号が活性化レベルをとることで前記第1トランジスタをONすることを特徴とする請求項14に記載の半導体装置。

【請求項16】

前記第1トランジスタ回路はさらに第3トランジスタを含み、前記第3トランジスタは前記第1ローカルビット線と前記センスアンプの第1ノードとの間に接続されたソース・ドレイン経路と第3制御信号が与えられるゲートとを含み、

前記第2トランジスタ回路はさらに第4トランジスタを含み、前記第4トランジスタは

前記第2ローカルビット線と前記センスアンプの第2ノードとの間に接続されたソース-ドレイン経路と第4制御信号が与えられるゲートとを含むことを特徴とする請求項12に記載の半導体装置。

【請求項17】

前記複数の第1メモリセルのうちのひとつが選択されることに応じて、第1および第3制御信号のそれぞれは活性化レベルをとることで前記第1および第3トランジスタをONし、その後第1制御信号は活性化レベルをとり続けるものの、第3制御信号は非活性化レベルに変えられ、

前記複数の第2メモリセルのうちのひとつが選択されることに応じて、第2および第4制御信号のそれぞれは活性化レベルをとることで前記第2および第4トランジスタをONし、その後第2制御信号は活性化レベルをとり続けるものの、第4制御信号は非活性化レベルに変えられることを特徴とする請求項16に記載の半導体装置。

【請求項18】

第1方向に延びるグローバルビット線と、

前記グローバルビット線に接続され、前記グローバルビット線の電位を増幅するグローバルセンスアンプと、

前記グローバルビット線と実質的に平行となるよう第1方向に延びる第1ローカルビット線であって第1および第2端部とそれらの間の第1中間部とを有する第1ローカルビット線と、

各々が前記第1ローカルビット線の第1中間部に接続された複数の第1メモリセルと、前記グローバルビット線と実質的に平行となるよう第1方向に延びる第2ローカルビット線であって第3および第4端部とそれらの間の第2中間部とを有する第2ローカルビット線と、

各々が前記第2ローカルビット線の第2中間部に接続された複数の第2メモリセルと、前記第1ローカルビット線の第1端部と前記第2ローカルビット線の第3端部との間に設けられ、前記第1ローカルビット線と前記第2ローカルビット線との間の電位差を増幅するよう構成された第1ローカルセンスアンプと、

前記第1ローカルビット線の第1端部と前記グローバルビット線との間に接続された第1トランジスタと、

前記第1ローカルビット線の第2端部と前記グローバルビット線との間に接続された第2トランジスタと、

前記第2ローカルビット線の第3端部と前記グローバルビット線との間に接続された第3トランジスタと、

前記第2ローカルビット線の第4端部と前記グローバルビット線との間に接続された第4トランジスタと、を備えることを特徴とする半導体装置。

【請求項19】

前記グローバルビット線と実質的に平行となるよう第1方向に延びる第3ローカルビット線であって第5および第6端部とそれらの間の第3中間部とを有する第3ローカルビット線と、

各々が前記第3ローカルビット線の第3中間部に接続された複数の第3メモリセルと、前記グローバルビット線と実質的に平行となるよう第1方向に延びる第4ローカルビット線であって第7および第8端部とそれらの間の第4中間部とを有する第4ローカルビット線と、

各々が前記第4ローカルビット線の第4中間部に接続された複数の第4メモリセルと、前記第3ローカルビット線の第5端部と前記第4ローカルビット線の第7端部との間に設けられ、前記第3ローカルビット線と前記第4ローカルビット線との間の電位差を増幅するよう構成された第2ローカルセンスアンプと、

前記第3ローカルビット線の第5端部と前記グローバルビット線との間に接続された第5トランジスタと、

前記第3ローカルビット線の第6端部と前記グローバルビット線との間に接続された第

6 トランジスタと、

前記第4ローカルビット線の第7端部と前記グローバルビット線との間に接続された第7トランジスタと、

前記第4ローカルビット線の第8端部と前記グローバルビット線との間に接続された第8トランジスタと、をさらに備えることを特徴とする請求項18に記載の半導体装置。

【請求項20】

前記第1および第2ローカルビット線ならびに前記第1ローカルセンスアンプは前記グローバルビット線の一方の側に設けられ、前記第3および第4ローカルビット線ならびに前記第2ローカルセンスアンプは前記グローバルビット線の他方の側に設けられることを特徴とする請求項19に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の半導体装置は、第1の領域に配置される複数のメモリセルと接続される第1のローカルビット線と、第2の領域に配置される複数のメモリセルと接続される第2のローカルビット線と、前記第1のローカルビット線と前記第2のローカルビット線との間の差電圧を増幅する差動型のローカルセンスアンプと、前記第1のローカルビット線および前記第2のローカルビット線の延伸方向に配置されるグローバルビット線と、前記第1のローカルビット線と前記グローバルビット線との間の電気的接続を制御する第1のスイッチと、前記第2のローカルビット線と前記グローバルビット線との間の電気的接続を制御する第2のスイッチとを備えて構成され、前記第1の領域の選択メモリセルに対する書き込みデータは前記第1のスイッチを介して前記グローバルビット線から前記第1のローカルビット線に伝送され、前記第2の領域の選択メモリセルに対する書き込みデータは前記第2のスイッチを介して前記グローバルビット線から前記第2のローカルビット線に伝送されることを特徴としている。