

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成26年12月18日 (2014.12.18)

【公開番号】特開2013-131262(P2013-131262A)

【公開日】平成25年7月4日 (2013.7.4)

【年通号数】公開・登録公報2013-035

【出願番号】特願2011-278558(P2011-278558)

【国際特許分類】

G 1 1 C 11/4096 (2006.01)

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 R

G 1 1 C 11/34 3 5 4 H

G 1 1 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成26年10月30日 (2014.10.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の領域に配置される複数のメモリセルと接続される第 1 のローカルビット線と、  
第 2 の領域に配置される複数のメモリセルと接続される第 2 のローカルビット線と、  
前記第 1 のローカルビット線と前記第 2 のローカルビット線との間の差電圧を増幅する  
差動型のローカルセンスアンプと、

前記第 1 のローカルビット線および前記第 2 のローカルビット線の延伸方向に配置される  
グローバルビット線と、

前記第 1 のローカルビット線と前記グローバルビット線との間の電氣的接続を制御する  
第 1 のスイッチと、

前記第 2 のローカルビット線と前記グローバルビット線との間の電氣的接続を制御する  
第 2 のスイッチと、

を備えることを特徴とする半導体装置。

【請求項 2】

前記グローバルビット線の一端に接続されるシングルエンド型のグローバルセンスアンプを更に備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 及び第 2 のスイッチを制御する制御回路を更に備え、

前記制御回路は、前記複数のメモリセルのうちの選択されたメモリセルに応じて、前記第 1 及び第 2 のスイッチのうちの一方を導通状態に制御し、他方を非導通状態に制御することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記制御回路は、前記選択されたメモリセルが前記第 1 の領域にある場合に前記第 1 のスイッチを導通状態に制御し、前記選択されたメモリセルが前記第 2 の領域にある場合に前記第 2 のスイッチを導通状態に制御することを特徴とする請求項 3 に記載の半導体装置。

。

【請求項 5】

前記第 1 のローカルビット線と前記ローカルセンスアンプとの間の電氣的接続を制御する第 3 のスイッチと、

前記第 2 のローカルビット線と前記ローカルセンスアンプとの間の電氣的接続を制御する第 4 のスイッチと、

を更に備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記制御回路は、前記第 1 の領域の選択メモリセルにデータを書き込む時に前記第 3 のスイッチを非導通状態に制御し、前記第 2 の領域の選択メモリセルにデータを書き込む時に前記第 4 のスイッチを非導通状態に制御することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

ゲートが前記第 2 のローカルビット線に接続された第 1 のトランジスタと、

前記第 1 のトランジスタの出力ノードと前記グローバルビット線との間の電氣的接続を制御する第 5 のスイッチと、

ゲートが前記第 1 のローカルビット線に接続された第 2 のトランジスタと、

前記第 2 のトランジスタの出力ノードと前記グローバルビット線との間の電氣的接続を制御する第 6 のスイッチと、

を更に備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 8】

前記制御回路は、前記第 1 の領域の選択メモリセルの読み出し動作時に前記第 5 のスイッチを導通状態に制御するとともに前記第 6 のスイッチを非導通状態に制御し、前記第 2 の領域の選択メモリセルの読み出し動作時に前記第 6 のスイッチを導通状態に制御するとともに前記第 5 のスイッチを非導通状態に制御することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記制御回路は、前記第 1 の領域の選択メモリセルにデータを書き込む時に前記第 1 のスイッチを導通状態に制御し、前記第 2 の領域の選択メモリセルにデータを書き込む時に前記第 2 のスイッチを導通状態に制御し、選択メモリセルにデータを書き込む時に前記第 5 及び第 6 のスイッチをとともに非導通状態に制御することを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記第 1 のスイッチは、前記ローカルセンスアンプの近端側と遠端側にそれぞれ配置された少なくとも 2 個のスイッチを含み、

前記第 2 のスイッチは、前記ローカルセンスアンプの近端側と遠端側にそれぞれ配置された少なくとも 2 個のスイッチを含む、

ことを特徴とする請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】

第 1 方向に延びる第 1 ローカルビット線と、

第 1 方向に延びる第 2 ローカルビット線と、

各々が前記第 1 ローカルビット線と交差する複数の第 1 ワード線と、

各々が前記第 2 ローカルビット線と交差する複数の第 2 ワード線と、

各々が前記第 1 ローカルビット線および前記複数の第 1 ワード線のうちの対応するひとつと接続された複数の第 1 メモリセルと、

各々が前記第 2 ローカルビット線および前記複数の第 2 ワード線のうちの対応するひとつと接続された複数の第 2 メモリセルと、

前記第 1 ローカルビット線と前記第 2 ローカルビット線との間に設けられ、前記第 1 ローカルビット線に接続される第 1 ノードと前記第 2 ローカルビット線に接続される第 2 ノードとを含み、かつ前記第 1 ノードと前記第 2 ノードとの間の電位差を増幅するよう構成されたセンスアンプと、

前記第 1 および前記第 2 ローカルビット線に沿って第 1 方向に延びるグローバルビット

線と、

前記第 1 ローカルビット線と前記グローバルビット線との間に接続された第 1 トランジスタ回路と、

前記第 2 ローカルビット線と前記グローバルビット線との間に接続された第 2 トランジスタ回路と、を備えることを特徴とする半導体装置。

【請求項 1 2】

前記第 1 トランジスタ回路は第 1 トランジスタを含み、前記第 1 トランジスタは前記第 1 ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第 1 制御信号が与えられるゲートとを含み、

前記第 2 トランジスタ回路は第 2 トランジスタを含み、前記第 2 トランジスタは前記第 2 ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第 2 制御信号が与えられるゲートとを含むことを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

第 1 制御信号は前記複数の第 1 メモリセルのうちのひとつが選択されることに応じて活性化レベルをとることで前記第 1 トランジスタを ON にし、

第 2 制御信号は前記複数の第 2 メモリセルのうちのひとつが選択されることに応じて活性化レベルをとることで前記第 2 トランジスタを ON にすることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 1 トランジスタ回路は第 1 トランジスタと第 2 トランジスタと第 3 トランジスタとを含み、前記第 1 トランジスタは前記第 1 ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第 1 制御信号が与えられるゲートとを含み、前記第 2 トランジスタはソース・ドレイン経路と第 2 制御信号が与えられるゲートとを含み、前記第 3 トランジスタはソース・ドレイン経路と前記第 1 ローカルビット線に接続されたゲートとを含み、前記第 2 トランジスタのソース・ドレイン経路および前記第 3 トランジスタのソース・ドレイン経路は前記グローバルビット線と参照電位線との間で直列に接続され、

前記第 2 トランジスタ回路は第 4 トランジスタと第 5 トランジスタと第 6 トランジスタとを含み、前記第 4 トランジスタは前記第 2 ローカルビット線と前記グローバルビット線との間に接続されたソース・ドレイン経路と第 3 制御信号が与えられるゲートとを含み、前記第 5 トランジスタはソース・ドレイン経路と第 4 制御信号が与えられるゲートとを含み、前記第 6 トランジスタはソース・ドレイン経路と前記第 2 ローカルビット線に接続されたゲートとを含み、前記第 5 トランジスタのソース・ドレイン経路および前記第 6 トランジスタのソース・ドレイン経路は前記グローバルビット線と参照電位線との間で直列に接続されることを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 5】

前記複数の第 2 メモリセルのうちのひとつが選択されることに応じて、データ読み出し動作モードにおいては第 2 制御信号が活性化レベルをとることで前記第 2 トランジスタを ON し、データ書き込み動作モードにおいては第 3 制御信号が活性化レベルをとることで前記第 4 トランジスタを ON し、

前記複数の第 1 メモリセルのうちのひとつが選択されることに応じて、データ読み出し動作モードにおいては第 4 制御信号が活性化レベルをとることで前記第 5 トランジスタを ON し、データ書き込み動作モードにおいては第 1 制御信号が活性化レベルをとることで前記第 1 トランジスタを ON することを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記第 1 トランジスタ回路はさらに第 3 トランジスタを含み、前記第 3 トランジスタは前記第 1 ローカルビット線と前記センスアンプの第 1 ノードとの間に接続されたソース・ドレイン経路と第 3 制御信号が与えられるゲートとを含み、

前記第 2 トランジスタ回路はさらに第 4 トランジスタを含み、前記第 4 トランジスタは

前記第２ローカルビット線と前記センスアンプの第２ノードとの間に接続されたソース・ドレイン経路と第４制御信号が与えられるゲートとを含むことを特徴とする請求項１２に記載の半導体装置。

【請求項１７】

前記複数の第１メモリセルのうちのひとつが選択されることに応じて、第１および第３制御信号のそれぞれは活性化レベルをとることで前記第１および第３トランジスタをＯＮし、その後第１制御信号は活性化レベルをとり続けるものの、第３制御信号は非活性化レベルに変えられ、

前記複数の第２メモリセルのうちのひとつが選択されることに応じて、第２および第４制御信号のそれぞれは活性化レベルをとることで前記第２および第４トランジスタをＯＮし、その後第２制御信号は活性化レベルをとり続けるものの、第４制御信号は非活性化レベルに変えられることを特徴とする請求項１６に記載の半導体装置。

【請求項１８】

第１方向に延びるグローバルビット線と、

前記グローバルビット線に接続され、前記グローバルビット線の電位を増幅するグローバルセンスアンプと、

前記グローバルビット線と実質的に平行となるよう第１方向に延びる第１ローカルビット線であって第１および第２端部とそれらの間の第１中間部とを有する第１ローカルビット線と、

各々が前記第１ローカルビット線の第１中間部に接続された複数の第１メモリセルと、前記グローバルビット線と実質的に平行となるよう第１方向に延びる第２ローカルビット線であって第３および第４端部とそれらの間の第２中間部とを有する第２ローカルビット線と、

各々が前記第２ローカルビット線の第２中間部に接続された複数の第２メモリセルと、前記第１ローカルビット線の第１端部と前記第２ローカルビット線の第３端部との間に設けられ、前記第１ローカルビット線と前記第２ローカルビット線との間の電位差を増幅するよう構成された第１ローカルセンスアンプと、

前記第１ローカルビット線の第１端部と前記グローバルビット線との間に接続された第１トランジスタと、

前記第１ローカルビット線の第２端部と前記グローバルビット線との間に接続された第２トランジスタと、

前記第２ローカルビット線の第３端部と前記グローバルビット線との間に接続された第３トランジスタと、

前記第２ローカルビット線の第４端部と前記グローバルビット線との間に接続された第４トランジスタと、を備えることを特徴とする半導体装置。

【請求項１９】

前記グローバルビット線と実質的に平行となるよう第１方向に延びる第３ローカルビット線であって第５および第６端部とそれらの間の第３中間部とを有する第３ローカルビット線と、

各々が前記第３ローカルビット線の第３中間部に接続された複数の第３メモリセルと、前記グローバルビット線と実質的に平行となるよう第１方向に延びる第４ローカルビット線であって第７および第８端部とそれらの間の第４中間部とを有する第４ローカルビット線と、

各々が前記第４ローカルビット線の第４中間部に接続された複数の第４メモリセルと、前記第３ローカルビット線の第５端部と前記第４ローカルビット線の第７端部との間に設けられ、前記第３ローカルビット線と前記第４ローカルビット線との間の電位差を増幅するよう構成された第２ローカルセンスアンプと、

前記第３ローカルビット線の第５端部と前記グローバルビット線との間に接続された第５トランジスタと、

前記第３ローカルビット線の第６端部と前記グローバルビット線との間に接続された第

6 トランジスタと、

前記第 4 ローカルビット線の第 7 端部と前記グローバルビット線との間に接続された第

7 トランジスタと、

前記第 4 ローカルビット線の第 8 端部と前記グローバルビット線との間に接続された第

8 トランジスタと、をさらに備えることを特徴とする請求項 18 に記載の半導体装置。

**【請求項 20】**

前記第 1 および第 2 ローカルビット線ならびに前記第 1 ローカルセンスアンプは前記グローバルビット線の一方の側に設けられ、前記第 3 および第 4 ローカルビット線ならびに前記第 2 ローカルセンスアンプは前記グローバルビット線他方の側に設けられることを特徴とする請求項 19 に記載の半導体装置。

**【手続補正 2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0005

**【補正方法】**変更

**【補正の内容】**

**【0005】**

本発明の半導体装置は、第 1 の領域に配置される複数のメモリセルと接続される第 1 のローカルビット線と、第 2 の領域に配置される複数のメモリセルと接続される第 2 のローカルビット線と、前記第 1 のローカルビット線と前記第 2 のローカルビット線との間の差電圧を増幅する差動型のローカルセンスアンプと、前記第 1 のローカルビット線および前記第 2 のローカルビット線の延伸方向に配置されるグローバルビット線と、前記第 1 のローカルビット線と前記グローバルビット線との間の電氣的接続を制御する第 1 のスイッチと、前記第 2 のローカルビット線と前記グローバルビット線との間の電氣的接続を制御する第 2 のスイッチとを備えて構成され、前記第 1 の領域の選択メモリセルに対する書き込みデータは前記第 1 のスイッチを介して前記グローバルビット線から前記第 1 のローカルビット線に伝送され、前記第 2 の領域の選択メモリセルに対する書き込みデータは前記第 2 のスイッチを介して前記グローバルビット線から前記第 2 のローカルビット線に伝送されることを特徴としている。