



[12] 发明专利说明书

[21] ZL 专利号 91109930.1

[51]Int.Cl⁵

H03K 19/01

[45]授权公告日 1995 年 6 月 7 日

[24]颁证日 95.3.10

[21]申请号 91109930.1

[22]申请日 91.10.19

[30]优先权

[32]91.7.26 [33]KR[31]12922/91

[73]专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 李芳远 黄景云

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 王 岳 肖掬昌

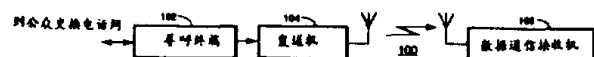
说明书页数:

附图页数:

[54]发明名称 转换速率加快电路

[57]摘要

本文公开了一种用于在运算放大器或比较器中提高转换速率而无需增加功耗的转换速率加快电路,在一优选实施例中,一个带有一差分放大器和一第一上牵晶体管 10 的运算放大器包括:一第一输入端 25,一第二上牵晶体管 9,一联在第一上牵晶体管 10 沟道一端的第二输出端 26,一具有公共电流通路、上牵电流通路和拉曳电流通路的电流稳定装置 30,一第一拉曳晶体管 11 以及一第二拉曳晶体管 8。



权利要求书

1.一种用于相对于运算放大器的输入信号提高输出信号响应速度的电路，该电路具有一个差分放大器并具有一其栅极联到所述差分放大器输出端上的第一上牵晶体管，所述电路包括：

一联接到所述上牵晶体管沟道一端的第一输出端；

一其沟道联在所述第一输出端与地电压端子之间的第一拉曳晶体管；

一第二上牵晶体管，其栅极联到所述差分放大器的所述输出端，其沟道的一端联到电源电压端子上；

一联在所述地电压端子和所述第二上牵晶体管之间的第二拉曳晶体管；

一联在所述第二上牵晶体管所述沟道另一端与所述拉曳晶体管之间的第二输出端；其特征在于：

联接在所述第一输出端与所述第二输出端之间并具有公共电流通路装置、上牵电流通路装置和拉曳电流通路装置的电流稳定装置。

2.如权利要求1的电路，其特征在于：所述公共电流通路装置的电流方向取决于在所述第一输出端子与所述第二输出端子之间的电位差。

3.如权利要求1的电路，其特征在于：所述上牵电流通路装置为第一金属氧化物半导体晶体管的沟道，该第一金属氧化物半导体晶体管的栅极联到所述第二输出端，且该第一金属氧化物半导体晶体管是联在所述电源电压端子与所述第一输出端子之间的。

4.如权利要求1的电路，其特征在于：所述拉曳电流通路装置为第二金属氧化物半导体晶体管的沟道，该第二金属氧化物半导体晶体管的栅极联到所述第二输出端，且该第二金属氧化物半导体晶体管是联在地电压端子与所述第一输出端子之间的。

5.如权利要求1的电路，其特征在于：所述公共电流通路装置包含一联在所述第一输出端和所述第二输出端之间的电阻。

6.如权利要求1、3或4的电路，其特征在于：所述第一和第二上牵晶体管及所述第二金属氧化物半导体晶体管的导通类型与所述第一和第二拉曳晶体管及所述第一金属氧化物半导体晶体管的导通类型相反。

7.一种用于相对于运算放大器的给定输入信号提高输出信号响应速度的电路，该电路具有一差分放大器，所述电路包括：

第一输出端；

第二输出端；

一其栅极耦合到所述差分放大器输出端并且其沟道联在电源电压端子与所述第二输出端之间的第一上牵晶体管；

一其栅极耦合到所述差分放大器所述输出端并且其沟道联在所述电源电压端子与所述第一输出端子之间的第二上牵晶体管；

一其沟道联在所述第二输出端与地电压端子之间的第一拉曳晶体管；

一其沟道联在所述第一输出端与所述地电压端子之间的第二拉曳晶体管；

一其栅极耦合到所述第一输出端并且其沟道联在所述电源电压端子与所述第二输出端之间的第三上牵晶体管；

一其栅极耦合到所述第一输出端子并且其沟道联在所述地电压端子与所述第二输出端之间的第三拉曳晶体管；其特征在于：

联接在所述第一输出端子与所述第二输出端子之间的阻性装置。

8.如权利要求7的电路，其特征在于：所述第一和第二上牵晶体管和所述第三拉曳晶体管的导通类型与所述第一和第二拉曳晶体管和所述上牵晶体管的导通类型相反。

本发明涉及运算放大器或比较器，更具体地说，涉及能提高运算放大器的转换速率（作为输入信号的函数的输出信号的响应速度）并且在输出端有容性负载等等的电路。

大多数电子线路广泛地采用运算放大器或比较器，它们通过对反向输入端和非反向输入端上的输入信号的和、减或差分放大产生输出信号。在这种运算放大器中，首先必须确立作为输入信号的一个函数的输出信号的响应，其程度对电子线路的特性和可靠性具有重大影响。具体讲，在一个用于半导体存贮装置等的比较器中，如果响应速度慢，除将导致数据存取速度慢以外，还会引起以高速运行的存贮装置的误操作。

图1以电路图形式示出已有技术的比较器(或运算放大器)。如图1所示,将发现比较器与N沟道输入型差分放大器具有相同的结构。因此,当第一输入端21的电位高于第二输入端22的电位时,P型金属氧化物半导体(MOS)晶体管4和5以及N型MOS晶体管7和11导通,于是,将第二输出端24的电位降低。与此相反,如果第二输入端22的电位高于第一输入端21的电位,电源电压 V_{DD} 通过P型MOS晶体管10对第二输出端24充电。在此情况下,第一输出端23的电压增益 A_{V01} 和第二输出端24的电压增益 A_{V02} 分别计算如下:

$$V_{V01} = g_{m2} / g_{m6}$$

$$V_{V02} = \{g_{m1}(S_{10} / S_6)\} / (g_{dS_{10}} + g_{dS_{11}})$$

其中, g_{m1} 、 g_{m2} 和 g_{m6} 分别为N型MOS晶体管1和2及P型MOS晶体管6的跨导, g_{ds} 为沟道导纳, s 为沟道的宽度与长度的比率。

在输出电压 V_{out} 正向增长后,当拉曳电流 I_{11} 经N型MOS晶体管11从第二输出端24流入地电压端 V_{ss} 时,转换速率 SR 在第二输出端子24上变为最大值为“0”。在输出电压负向增长后,当上牵电流 I_{10} 从电源电压端 V_{DD} 经P型MOS晶体管10流入第二输出端24时,转换速率 SR 在第二输出端24上变为最大值为“0”。

然而,在第二输出端24,存在由寄生电容15产生的负载电容 C_L ,它使得负载电流 i_L 流动。负载电容 C_L 和负载电流 i_L 对在第二输出端子24的电位从逻辑“低”变为逻辑“高”或从逻辑“高”变为逻辑“低”时转换速率 SR 产生重大影响。详细地讲,转换速率 SR 相对于时间而被定义作为输出电压 V_{out} 的差分系数,另一方面,负载电流 i_L 表示从上牵电流 I_{10} 中减去拉曳电流 I_{11} 后的值。这样,转换速率 SR 可表示如下:

$$SR = |dV_{out} / dt| = |i_L / C_L| = |(I_{10} - I_{11}) / C_L|$$

如转换速率 SR 的表达式,为了增加转换速率 SR (或对作为输出信号的函数具有输出信号的快速响应速度),负载电容 C_L 应当减小或使负载电流 i_L 加大。负载电容 C_L 不可被改变,因为负载电容作为一个寄生元件,在电路结构中具有其固定值,但却可以通过增加P型MOS晶体管10或N型MOS晶体管11的规格来增加负载电流 i_L 。然而,在输出上增加MOS晶体管10和11的规格将导致不希望

的在电路功耗上的增加。

本发明的目的在于提供一种电路,该电路能够提高转换率而不会增加在比较器的输出端等等上的功耗。

根据本发明的一个方面,一个具有一差分放大器和一栅极联到差分放大器输出端上的第一上牵晶体管的运算放大器,包括:一第一输出端;一栅极联到差分放大器输出端,沟道联在电源电压端和第一输出端间的第二上牵晶体管;一个联到第一上牵晶体管沟道任何一端上的第二输出端;一个联在第一输出端和第二输出端之间并具有公共电流通路、一个上牵电流通路和一个拉曳电流通路的电流稳定装置;一其沟道联在第二输出端与地电压端之间的第一拉曳晶体管;以及一其沟道联在第一输出端与地电压端子之间的第二拉曳晶体管。

本发明的优点及特征将在以下借助于附图的详细描述中变得更加清楚:

图1示出已有技术的比较器(或运算放大器)的电路图;

图2示出根据本发明的比较器(或运算放大器)的优选实施例的电路图;

图3示出根据本发明的操作波形图。

图2中,与图1中所示元件具有相同结构的元件标以相同的参考号。如图2所示,P型MOS晶体管9的栅极联到差分放大器的一个输出端23上,其沟道联在电源端 V_{DD} 和第一输出端25之间。N型MOS晶体管8其栅极联到N型MOS晶体管7的栅极,其沟道联在第一输出端25和地电压端 V_{ss} 之间。电流稳定电路30包含一N型MOS晶体管12、一P型MOS晶体管13及一电阻器14,该电流稳定电路30是联在第一输出端25和第二输出端26之间的,第二输出端26与图1中第二输出端24对应。N型MOS晶体管12的栅极联到第一输出端25,其沟道串在电源端 V_{DD} 与第二输出端26之间。P型MOS晶体管13的栅极联到第一输出端25,其沟道联在第二输出端26与地电压端 V_{ss} 之间。电阻14串在第一输出端25与第二输出端26之间。在图2所示电路中,应当注意:用于上牵的P型MOS晶体管9和10规格相同,并且用于拉曳的N型MOS晶体管8和11规格也相同。

在图3中示出在第一输出端子25上的输入波

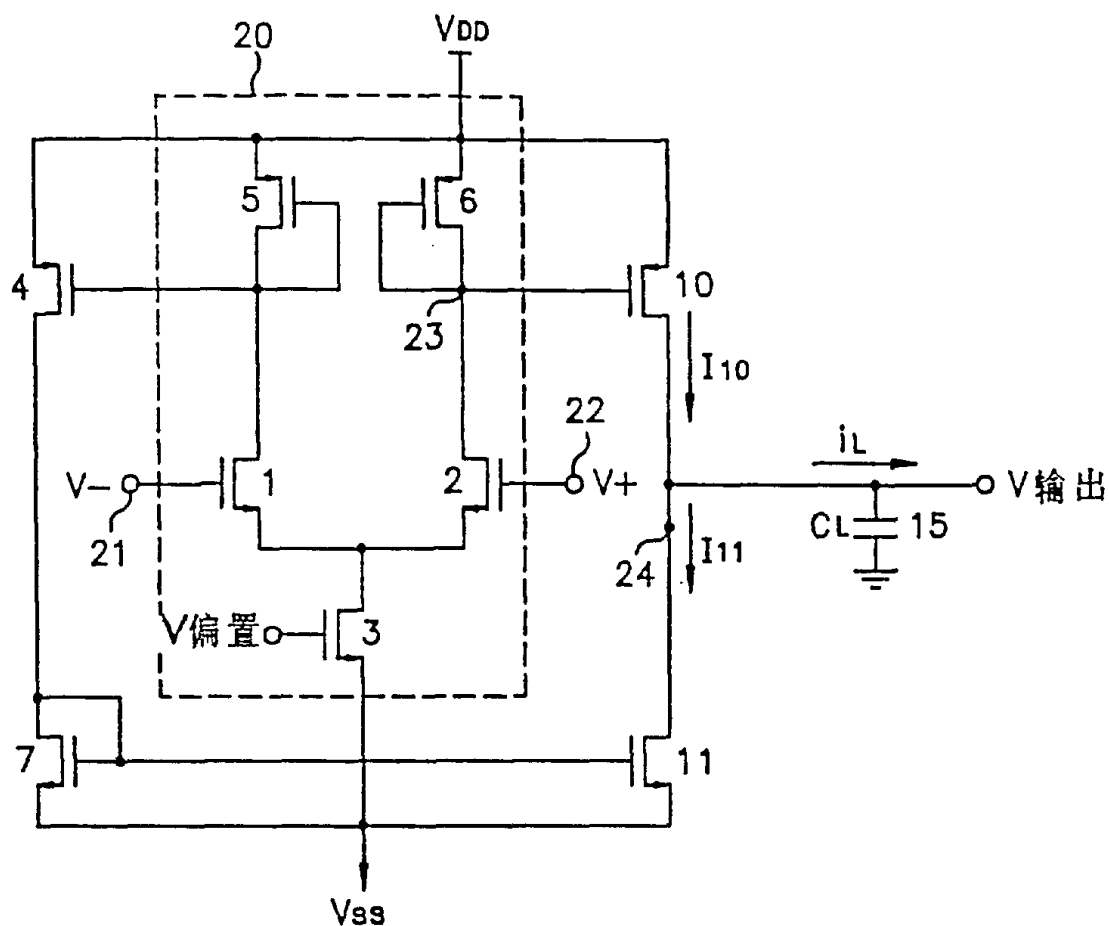
形 31 和波形 32 以及在第二输出端子 26 上的波形 33。假定作为“第一输入信号”的输入信号为逻辑低,即“0”电平,且被加到第一输入端 21,作为“第二输入信号”诸如图 3 输入波形 31 的信号被加到第二输入端子 22 上。由于第二输入信号的电位高于第一输入信号的电位,则差分放大器的输出端 23 的电位变为逻辑低。因而,用于上牵的 P 型 MOS 晶体管 9 和 10 导通,于是,对第一输入端子 25 和第二输入端子 26 充电直达到电源电压 V_{DD} 的电平。在这种情况下,如果在第二输出端 26 上没有电容 15,则第一输出端子 25 和第二输出端子 26 之间电压彼此相同,且电流不会在第一输出端子 25 和第二输出端子 26 之间流动。但是,如上所述,不可避免由寄生电容 15 产生的负载电容量 C_L 在第二输出端 26 上的存在。因此,在第一输出端 25 由负载电容量 C_L 产生如图 3 的波形 32 的电压、在第二输出端 26 产生如图 3 的波形 33 的电压。第二输出端 26 的波形 33 具有较平缓的陡度,即其转换速率与第一输出端的波形 32 相比更缓和。这一点是由负载电容 C_L 充电时间决定的。也就是说,在时间 t_1 ,第一输出端 25 的电位高于第二输出端 26 的电位 ΔV 。如果电位差 ΔV 大于 N 型 MOS 晶体管 12 的阈值电压,则 N 型 MOS 晶体管 12 导通,电位 i_x 流入第二输出端 26 直到第一和第二输出端子 25 和 26 的电位相等为止。此外,由在电阻 14 中第一输出端子 25 与第二输出端子 26 之间的电位差产生的电流 i_R 流入第二输出端 26。即,流入第二输出端子 26 的电流数量变为 $(I_{10}-I_{11})+i_x+i_R$ 。流入第二输出端 26 的电流与图 1 之中的相比增加了 (i_x+i_R) 。增加输出电流的结果使电容 15 的充电时间缩短较多,由此提高了转换速率。依相同途径,如果第二输入信号的电位低于为逻辑“0”电平的第一输入信号的电位,则流入地电压端 V_{SS} 的电流为经 P 型 MOS 晶体管 13 流入的电流,其方向与上述电流 i_R 相反的经电阻器 14 流入第一输出端 25 的电流与拉曳电流 i_{11} 的和电流 i_y 。其中经电阻器 14 流入第一输出端 25 的电流方向取决于第一输出端子 25 与所述第二输出端子 26 间的电位差。因此,对负载电容 C_L 的充电时间缩短较多,故提高了转换速率。

结果,由于第二输出端子 26 的波形 33 依箭头方向移动,作为输入波形 31 的函数的输出信号响应

速度(或转换速率)加快。

如上所述,在运算放大器或比较器中,输出信号的转换速率提高而无需增加电路的功率储备。

本发明已被具体示出,并参考采用 N 沟道输入型比较器的优选实施例加以描述了。但是,即使是采用 P 沟道输入型比较器,或采用图 3 所示输入波形 31 那样的信号作为第一输入信号,并将第二输入信号设置为逻辑“0”电平,而那些本技术领域的人应当知道,操作和通过对优选实施例的描述而达到的目的仍可被实现。



已有技术

图 1

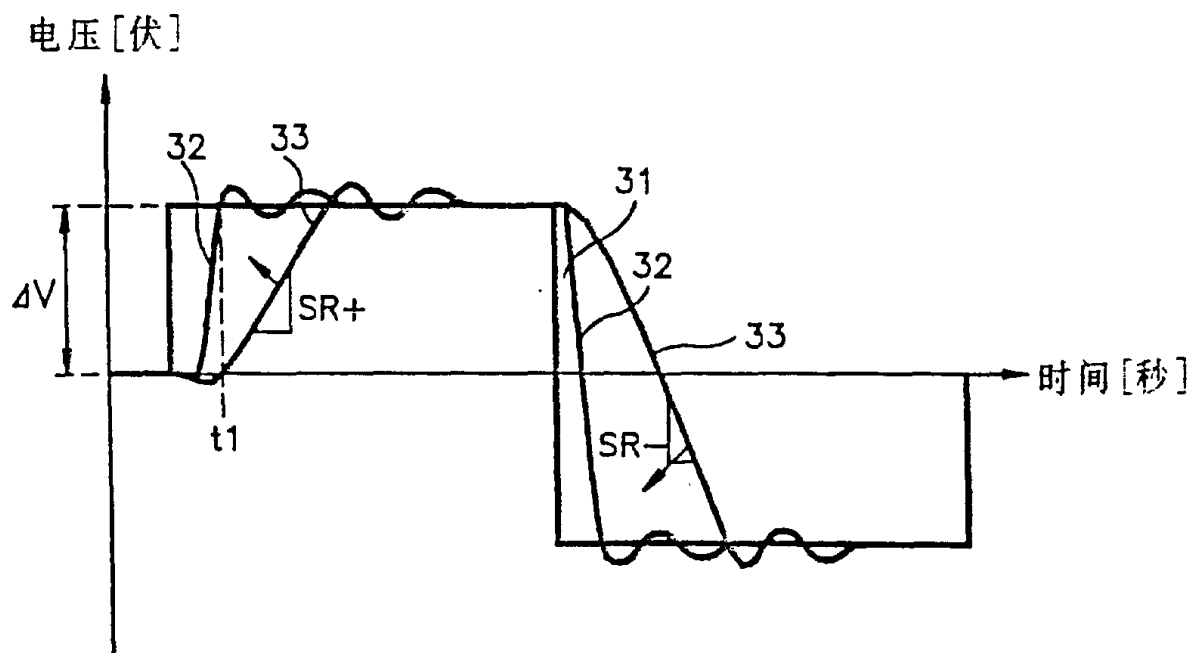


图 3

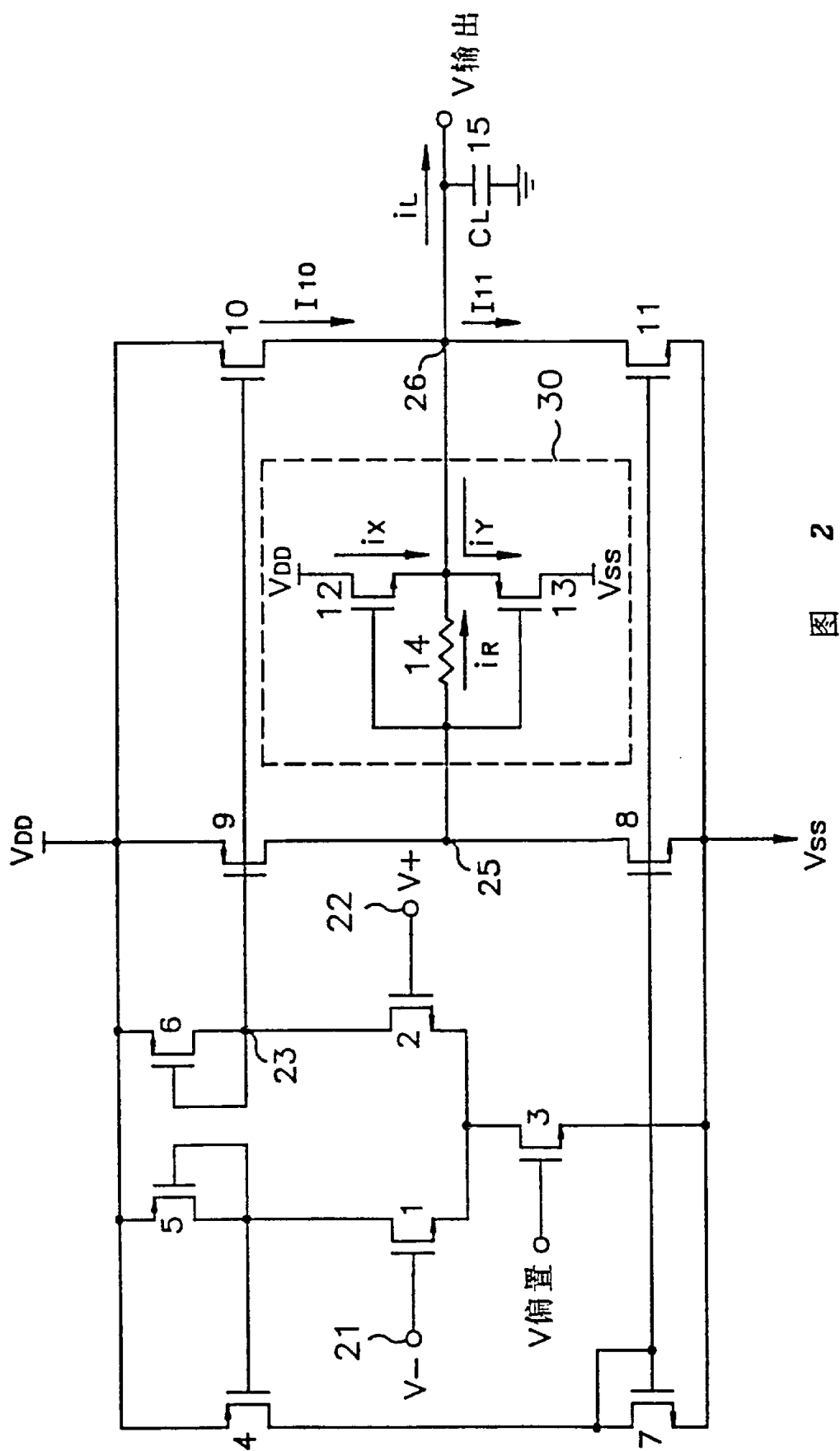


图 2