



(12)发明专利

(10)授权公告号 CN 106909521 B

(45)授权公告日 2020.08.04

(21)申请号 201610615496.2

(22)申请日 2016.07.28

(65)同一申请的已公布的文献号

申请公布号 CN 106909521 A

(43)申请公布日 2017.06.30

(30)优先权数据

10-2015-0184826 2015.12.23 KR

(73)专利权人 爱思开海力士有限公司

地址 韩国京畿道

(72)发明人 边谕俊

(74)专利代理机构 北京路浩知识产权代理有限公司

公司 11002

代理人 张晶 王莹

(51)Int.Cl.

G06F 13/16(2006.01)

G06F 3/06(2006.01)

(56)对比文件

US 2008209110 A1,2008.08.28

US 2012127807 A1,2012.05.24

US 2014244901 A1,2014.08.28

US 9164677 B2,2015.10.20

US 2015178149 A1,2015.06.25

审查员 徐金娜

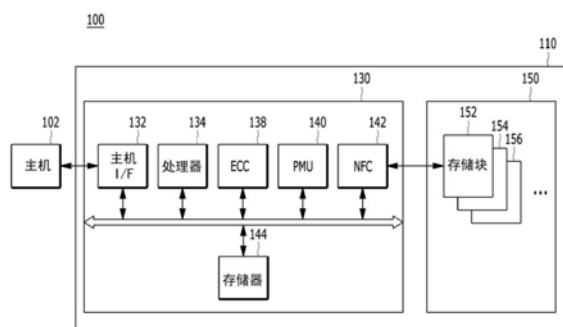
权利要求书2页 说明书27页 附图14页

(54)发明名称

存储器系统及其操作方法

(57)摘要

一种存储器系统,其可以包括包括多个存储块的存储器装置以及包括存储器的控制器,所述控制器适用于执行对应于从主机接收的命令的命令操作、在所述存储器中存储用户数据和元数据以及基于包括在所述命令中的命令参数而在所述存储块中的至少一个存储块中存储所述用户数据和元数据。



1. 一种存储器系统,其包括:

存储器装置,其包括多个存储块;以及

控制器,其包括存储器,所述控制器适用于执行对应于从主机接收的命令的命令操作、在所述存储器中存储用户数据和元数据以及基于包括在所述命令中的命令参数而在所述存储块中的至少一个存储块中存储所述用户数据和元数据,其中所述存储器包括:

第一缓冲器,其适用于存储所述用户数据的数据段;以及

第二缓冲器,其适用于存储所述元数据的元段,其中所述控制器适用于:

基于所述命令参数确定更新参数,

基于所述更新参数在所述至少一个存储块中存储所述第一缓冲器中存储的数据段,

响应于所述数据段的存储而更新所述元段,并且

通过基于所述更新参数在所述存储器中缓冲所述更新的元段而将所述元数据存储在所述存储器中,

其中所述元段包括第一映射数据和第二映射数据的映射段,

其中所述控制器适用于基于所述更新参数更新并缓冲所述第一映射数据的映射段,并且

其中所述控制器适用于响应于所述数据段的存储而更新并缓冲所述第二映射数据的映射段。

2. 如权利要求1所述的存储器系统,其中控制器适用于在所述存储器中缓冲所述更新的元段的同时在至少一个存储块中存储所述第一缓冲器中存储的数据段。

3. 如权利要求1所述的存储器系统,其中:

所述控制器适用于通过利用单触发编程在包括所述多个存储块中至少两个存储块的超级存储块中存储所述存储器中存储的所述用户数据和元数据。

4. 如权利要求3所述的存储器系统,其中所述超级存储块包括多个存储块中的第一存储块和第二存储块,

其中所述存储器装置包括多个存储器管芯,所述多个存储器管芯中的每个包括多个平面,所述多个平面中的每个包括多个存储块,并且

其中所述第一存储块包括在所述多个存储器管芯的第一存储器管芯的第一平面中。

5. 如权利要求4所述的存储器系统,其中所述第二存储块包括以下之一:

包括在所述存储器管芯的第一存储器管芯的第一平面中并且不同于所述第一存储块的存储块;

包括在所述存储器管芯的第一存储器管芯的第二平面中的存储块的特定存储块;以及

包括在所述存储器管芯的第二存储器管芯的多个平面中的存储块的特定存储块。

6. 如权利要求1所述的存储器系统,其中所述命令参数包括所述用户数据的处理模式和所述用户数据的数据类型中的一个。

7. 一种存储器系统的操作方法,其包括:

从主机接收关于包括多个存储块的存储器装置的命令;

通过所述存储器装置的控制器执行对应于从主机接收的命令的命令操作;

在所述控制器的存储器中存储用户数据和元数据;以及

基于包括在所述命令中的命令参数而在所述存储块中的至少一个存储块中存储所述

用户数据和元数据,其中在所述控制器的存储器中的所述用户数据和元数据的存储包括:

在包括在所述存储器中的第一缓冲器中存储所述用户数据的数据段;以及

在包括在所述存储器中的第二缓冲器中存储所述元数据的元段,所述存储器系统的操作方法进一步包括基于所述命令参数确定更新参数,并且

所述存储块中的所述数据段的存储包括基于所述更新参数在所述至少一个存储块中存储所述第一缓冲器中存储的数据段,其中所述存储器中的所述元数据的存储包括:

响应于所述数据段的存储而更新所述元段,并且

基于所述更新参数而在所述存储器中缓冲所述更新的元段,

其中所述元段包括第一映射数据和第二映射数据的映射段,

其中基于所述更新参数执行所述第一映射数据的映射段的更新和缓冲,并且

其中响应于所述数据段的存储而执行所述第二映射数据的映射段的更新和缓冲。

8.如权利要求7所述的操作方法,其中在在所述存储器中缓冲所述更新的元段的同时执行在至少一个存储块中存储所述第一缓冲器中存储的数据段。

9.如权利要求7所述的操作方法,其中:

所述存储块中的所述用户数据和元数据的存储包括通过利用单触发编程在包括所述多个存储块中至少两个存储块的超级存储块中存储所述存储器中存储的所述用户数据和元数据。

10.如权利要求9所述的操作方法,其中所述超级存储块包括多个存储块中的第一存储块和第二存储块,

其中所述存储器装置包括多个存储器管芯,所述多个存储器管芯中的每个包括多个平面,所述多个平面中的每个包括多个存储块,并且

其中所述第一存储块包括在所述多个存储器管芯的第一存储器管芯的第一平面中。

11.如权利要求10所述的操作方法,其中所述第二存储块包括以下之一:

包括在所述存储器管芯的第一存储器管芯的第一平面中并且不同于所述第一存储块的存储块;

包括在所述存储器管芯的第一存储器管芯的第二平面中的存储块的特定存储块;以及

包括在所述存储器管芯的第二存储器管芯的多个平面中的存储块的特定存储块。

12.如权利要求7所述的操作方法,其中所述命令参数包括所述用户数据的处理模式和所述用户数据的数据类型中的一个。

存储器系统及其操作方法

[0001] 相关申请的交叉引用

[0002] 本发明要求2015年12月23日提交的申请号为10-2015-0184826的韩国专利申请的优先权,其公开全文作为全部并入本申请。

技术领域

[0003] 本发明的示例性实施例涉及一种存储器系统,并且更具体地,涉及一种用于将数据处理至存储器装置的半导体存储器系统及其操作方法。

背景技术

[0004] 计算机环境范式已经转变为可以随时随地使用的普适计算系统。结果,便携电子设备,诸如移动电话、数码相机、以及笔记本电脑的使用不断地快速增加。这些便携电子设备一般使用具有一个以上的、也称作数据存储装置的半导体存储器装置的存储器系统。数据存储装置可以用作便携电子设备的主存储器装置或者辅助存储器装置。

[0005] 由于使用采用半导体存储器装置的数据存储装置不具有活动部件,所以采用半导体存储器装置的数据存储装置提供了优秀的稳定性、持久性、高信息存取速度、以及低功耗。数据存储装置的示例包括通用串行总线(USB)存储器装置、具有各种接口的存储卡以及固态驱动器(SSD)。

发明内容

[0006] 各种实施例涉及一种能够通过提高存储器装置的使用效率而快速并稳定地处理数据的存储器系统及其操作方法。

[0007] 在一个实施例中,一种存储器系统,可以包括:包括多个存储块的存储器装置;以及包括存储器的控制器,所述控制器适用于执行对应于从主机接收的命令的命令操作、在所述存储器中存储用户数据和元数据以及基于包括在所述命令中的命令参数而在所述存储块中的至少一个存储块中存储所述用户数据和元数据。

[0008] 存储器可以包括:第一缓冲器,其适用于存储所述用户数据的数据段;以及第二缓冲器,其适用于存储所述元数据的元段。

[0009] 控制器可以适用于:基于所述命令参数确定更新参数,并且基于所述更新参数在所述至少一个存储块中存储存储在所述第一缓冲器中的数据段。

[0010] 控制器可以适用于:响应于所述数据段的存储而更新所述元段,并且通过基于所述更新参数在所述存储器中缓冲所述更新的元段而将所述元数据存储在该存储器中。

[0011] 控制器可以适用于在所述存储器中缓冲所述更新的元段的同时在至少一个存储块中存储存储在所述第一缓冲器中的数据段。

[0012] 元段可以包括第一映射数据和第二映射数据的映射段,所述控制器可以适用于基于所述更新参数更新并缓冲所述第一映射数据的映射段,并且所述控制器可以适用于响应于所述数据段的存储更新并缓冲所述第二映射数据的映射段。

[0013] 所述控制器可以适用于通过利用单触发编程在包括所述多个存储块中至少两个存储块的超级存储块中存储存储在所述存储器中的所述用户数据和元数据。

[0014] 所述超级存储块可以包括多个存储块中的第一存储块和第二存储块,其中所述存储器装置包括多个存储器管芯,所述多个存储器管芯中的每个包括多个平面,所述多个平面中的每个包括多个存储块,并且其中所述第一存储块包括包括在所述多个存储器管芯的第一存储器管芯的第一平面中的存储块的特定存储块。

[0015] 所述第二存储块包括以下之一:特定存储块,其属于包括在所述存储器管芯的第一存储器管芯的第一平面中的存储块并且不同于包括在所述多个存储器管芯的第一存储器管芯的第一平面的存储块的特定存储块;包括在所述存储器管芯的第一存储器管芯的第二平面中的存储块的特定存储块;以及包括在所述存储器管芯的第二存储器管芯的多个平面中的存储块的特定存储块。

[0016] 所述命令参数可以包括所述用户数据的处理模式以及所述用户数据的数据类型之一。

[0017] 在一个实施例中,一种存储器系统的操作方法可以包括:从主机接收关于包括多个存储块的存储器装置的命令;执行对应于所述存储器装置的控制器和所述多个存储块之间的命令的命令操作;在所述控制器的存储器中存储用户数据和元数据;以及基于包括在所述命令中的命令参数而在所述存储块中的至少一个存储块中存储所述用户数据和元数据。

[0018] 在所述控制器的存储器中的所述用户数据和元数据的存储可以包括:在包括在所述存储器中的第一缓冲器中存储所述用户数据的数据段;以及在包括在所述存储器中的第二缓冲器中存储所述元数据的元段。

[0019] 所述操作方法可以进一步包括基于所述命令参数确定更新参数,并且所述存储块中所述数据段的存储可以包括基于所述更新参数在至少一个存储块中存储存储在所述第一缓冲器中的数据段。

[0020] 所述存储器中的所述元数据的存储可以包括:响应于所述数据段的存储而更新所述元段,并且基于所述更新参数在所述存储器中缓冲所述更新的元段。

[0021] 可以在在所述存储器中缓冲所述更新的元段的同时执行在至少一个存储块中存储存储在所述第一缓冲器中的数据段。

[0022] 元段可以包括第一映射数据和第二映射数据的映射段,所述第一映射数据的映射段的更新和缓冲可以基于所述信息执行,并且所述第一映射数据的映射段的更新和缓冲可以响应于所述数据段的存储而执行。

[0023] 所述存储块中的所述用户数据和元数据的存储可以包括通过利用单触发编程在包括所述多个存储块中至少两个存储块的超级存储块中存储存储在所述存储器中的所述用户数据和元数据。

[0024] 所述超级存储块可以包括多个存储块中的第一存储块和第二存储块,其中所述存储器装置包括多个存储器管芯,所述多个存储器管芯中的每个包括多个平面,所述多个平面中的每个包括多个存储块,并且其中所述第一存储块包括包括在所述多个存储器管芯的第一存储器管芯的第一平面中的存储块的特定存储块。

[0025] 所述第二存储块包括以下之一:特定存储块,其属于包括在所述存储器管芯的第

一存储器管芯的第一平面中的存储块并且不同于包括在所述多个存储器管芯的第一存储器管芯的第一平面的存储块的特定存储块;包括在所述存储器管芯的第一存储器管芯的第二平面中的存储块的特定存储块;以及包括在所述存储器管芯的第二存储器管芯的多个平面中的存储块的特定存储块。

[0026] 所述信息可以包括所述用户数据的处理模式以及所述用户数据的数据类型中的一个。

附图说明

[0027] 图1是示出根据本发明的一个实施例的包括存储器系统的数据处理系统的简图。

[0028] 图2是示出根据本发明的一个实施例的存储器装置的简图。

[0029] 图3是示出根据本发明的一个实施例的存储器装置中的存储块的电路图。

[0030] 图4至图11是示意地示出根据本发明的实施例的图2所示的存储器装置的各个方面的简图。

[0031] 图12至图14是示意地示出向根据本发明的一个实施例的存储器系统中的存储器装置的数据处理操作的简图。

[0032] 图15是示意地示出根据本发明的一个实施例的存储器系统中处理数据的操作过程的简图。

具体实施方式

[0033] 下面将参考附图更加详细地描述各种实施例。然而,本发明可以不同的形式呈现且不应被解释为限于在本文中提出的实施例。而是,这些实施例被提供使得本公开是彻底且完整的。在整个公开中,相同的参考数字用于对应本发明的各种附图和实施例中的相似部件。

[0034] 附图不一定按比例,并且在一些情况下,为了清楚地示出实施例的特征,比例可能已经被扩大。另外,应注意,当元件称为被连接或联接到另一个元件,应当理解为前者可以直接连接或联接到后者,或经由其间的中间元件电连接或联接到后者。

[0035] 本文使用的术语仅是出于描述特定实施例而不意在限制本发明。如在本文中使用的,单数形式意在也包括复数形式,除非上下文有清楚的相反指示。此外,将理解的是,当在本说明书中使用术语“包括”是指提及的元件的存在,但不用于排除一个以上其他元件的存在或增加。在本文中使用时,术语“和/或”包括一个以上相关列出项目的任何和所有组合。

[0036] 除非有相反说明,包括本文使用的科技术语的所有的项目具有与本发明所属技术领域技术人员通常所理解的相同意义。此外,将理解的是,诸如在常用词典里定义的那些术语应当解释为具有与其在相关技术上下文中的意义一致的意义,并且不应理解为理想化或过于正式的感觉,除非在本文中明确地如此定义。

[0037] 在下列说明中,陈述了大量特殊的细节,以提供本发明的透彻理解。本发明可以在没有部分或全部所述特殊细节的情况下实施。在其他情况下,为了不使本发明被不必要地模糊,不描述公知的工艺结构和/或工艺。

[0038] 还应注意,在一些情况下,对本领域技术人员显然的是,除非另有具体说明,结合

一个实施例描述的特征或元件可以单独使用或者与另一个实施例的其他特征或元件组合使用。

[0039] 以下,将参考附图描述本发明的各种实施例。

[0040] 参考图1,根据本发明的一个实施例提供了数据处理系统100。数据处理系统100可以包括主机102和存储器系统110。

[0041] 主机102可以包括任何合适的电子设备。例如,主机102可以包括便携电子设备,诸如移动电话、MP3播放器、笔记本电脑等。主机可以包括非便携电子设备,诸如台式电脑、游戏机、电视机、放映机等。

[0042] 存储器系统110可以响应于来自主机102的请求存储将被主机102访问的数据。存储器系统110可以用作主机102的主存储器系统。存储器系统110可以根据主机接口的协议实现为电联接至主机102。可以使用一个以上半导体存储器装置。可以使用易失性存储器装置或非易失性存储器装置。例如,存储器系统110可利用固态驱动器(SSD)、多媒体卡(MMC)、嵌入式MMC(eMMC)、减小尺寸的MMC(RS-MMC)和微型-MMC、安全数字(SD)卡、小型-SD和微型-SD、通用串行总线(USB)存储装置、通用闪速存储(UFS)装置、标准闪存(CF)卡、智能媒体(SM)卡、记忆棒等来实现。

[0043] 存储器系统110的存储器装置可以通过易失性存储器装置而实现,易失性存储器装置诸如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)等。可替换地,存储器系统110的存储器装置可以通过非易失性存储器装置来实现,非易失性存储器装置诸如只读存储器(ROM)、掩膜ROM(MROM)、可编程ROM(PROM)、可擦可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、铁电随机存取存储器(FRAM)、相变RAM(PRAM)、磁阻RAM(MRAM)、电阻式RAM(RRAM)等。

[0044] 存储器系统110可以包括用于存储数据的存储器装置150和用于控制存储器装置150的数据存储的控制器130。存储器装置150中存储的数据可以被主机102访问。

[0045] 控制器130和存储器装置150可以集成到单一半导体装置中。例如,控制器130和存储器装置150可以集成到被配置为固态驱动器(SSD)的半导体装置中。配置存储器系统110为SSD可通常允许主机102的操作速度的显著增加。

[0046] 控制器130和存储器装置150可集成在配置为诸如以下的存储卡的半导体装置中,诸如个人计算机存储卡国际联合会(PCMCIA)卡、标准闪存(CF)卡、智能媒体(SM)卡(SMC)、记忆棒、多媒体卡(MMC)、RS-MMC和微型MMC、安全数字(SD)卡、小型-SD、微型-SD和SDHC、通用闪速存储(UFS)装置等。

[0047] 并且,例如,存储器系统110可以是或者包括计算机、超便携移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携计算机、网络平板、平板电脑、无线电话、移动电话、智能电话、电子书、便携多媒体播放器(PMP)、便携式游戏机、导航装置、黑匣子、数码相机、数字多媒体广播(DMB)播放器、三维(3D)电视、智能电视、数字音频记录器、数字音频播放器、数字图像记录器、数字图像播放器、数字视频记录器、数字视频播放器、配置数据中心的存储器、能够在无线环境下传输和接收信息的装置、配置家庭网络的各种电子装置中的一种、配置计算机网络的各种电子装置中的一种、配置远程信息处理网络的各种电子装置中的一种、RFID装置、配置计算机系统的各种组成元件中的一种等。

[0048] 存储器装置150可以存储从主机102提供的数据。在读取操作期间,存储器装置150

可以将存储的数据提供至主机102。可以采用一个以上存储器装置150。一个以上存储器装置150可以是大致相同的。一个以上存储器装置可以是不同的存储器装置。存储器装置150可以包括一个以上存储块152、154和156。存储块152、154和156中的每个可以包括多个页面。每个页面可以包括电联接至多个字线(WL)的多个存储器单元。存储器装置150可以是当电源中断或者关断时能够保留存储的数据的非易失性存储器装置。根据一个实施例,存储器装置可以是闪速存储器。存储器装置可以是具有三维(3D)堆叠结构的闪速存储器装置。稍后参照图2至图11描述具有三维(3D)堆叠结构的非易失性存储器装置150的示例。

[0049] 控制器130可以控制存储器装置150的全部操作,诸如读取、写入、编程和/或擦除操作。一般地,控制器130可以响应于来自主机102的请求控制存储器装置150。例如,控制器130可以响应于来自主机102的读取请求将从存储器装置150读取的数据提供至主机102。或者,也作为示例,控制器可以响应于写入请求将从主机102提供的数据存储至存储器装置150中。

[0050] 可以使用任何合适的控制器。例如,控制器130可包括主机接口单元132、处理器134、错误纠正码(ECC)单元138、电源管理单元(PMU)140、NAND闪速控制器(NFC)142以及存储器144。

[0051] 主机接口单元132可处理从主机102提供的命令和/或数据。主机接口单元132可通过诸如以下的各种接口协议中的至少一个与主机102通信:通用串行总线(USB)、多媒体卡(MMC)、高速PCI(PCI-E)、串列SCSI(SAS)、串行高级技术附件(SATA)、并行高级技术附件(PATA)、小型计算机系统接口(SCSI)、增强型小型磁盘接口(ESDI)、集成驱动电路(IDE)等。主机接口单元132可以包括适用于与主机102通信的任何合适的电路、系统或装置,以及可能需要的控制器130的其他构件。

[0052] ECC单元138可以检测和纠正读取操作期间从存储器装置150读取的数据的错误。可以采用各种检测和纠正技术。例如,如果ECC单元138检测到的误码数量大于或等于可纠正误码的阈值数量,则ECC单元138可以不纠正误码和输出表示误码纠正失败的错误纠正失败信号。

[0053] ECC单元138可以基于任何合适的错误纠正方案执行错误纠正操作。例如,ECC单元138可以基于诸如以下的编码调制方案执行错误纠正操作:低密度奇偶校验(LDPC)码、博斯-查德胡里-霍昆格姆(BCH)码、涡轮码、里德-所罗门(RS)码、卷积码、递归卷积码(RSC)、网格编码调制(TCM)、分组编码调制(BCM)等。ECC单元138可包括错误检测纠正操作所需的任何合适的电路、系统或装置。

[0054] PMU 140可以提供和管理控制器130的电力。例如,PMU 140提供和管理控制器130的各种构件所需的电力。

[0055] NFC 142可用作控制器130和存储器装置150之间的存储接口以允许控制器130响应于来自主机102的请求控制存储器装置150。例如,NFC 142可生成用于存储器装置150的控制信号。例如当存储器装置150为闪速存储器时,且尤其当存储器装置150为NAND闪速存储器时,NFC可在处理器134的控制下处理数据。

[0056] 存储器144可以用作存储器系统110和控制器130的工作存储器,并且存储用于驱动存储器系统110和控制器130的数据。例如,当控制器130控制存储器装置150的操作时,存储器144可以存储控制器130和存储器装置150的诸如读取、写入、编程和擦除操作的操作使

用的数据。

[0057] 存储器144可以是或者包括易失性存储器。例如,存储器144可以是或者包括静态随机存取存储器 (SRAM) 或动态随机存取存储器 (DRAM)。如上所说,存储器144可存储被主机102和存储器装置150用于读取和/或写入操作的数据。存储器144可是或者包括程序存储器、数据存储器、写入缓冲器、读取缓冲器、映射 (map) 缓冲器等。

[0058] 处理器134可以控制存储器系统110的一般操作。例如,处理器134可以响应于来自主机102的写入请求控制存储器装置150的写入操作。同样,例如,处理器134可以响应于来自主机102的读取请求控制存储器装置150的读取操作。处理器134可以驱动称作闪存转换层 (FTL) 的固件以控制存储器系统110的一般操作。处理器可利用微处理器、中央处理单元 (CPU) 等来实现。可以使用任何合适的处理器。

[0059] 例如,管理单元 (未示出) 可以包括在处理器134中,以执行存储器装置150的坏块管理。因此,管理单元可发现包括在存储器装置150中的坏存储块,即对于进一步使用处于不满意状态的存储块,并对坏存储块执行坏块管理。例如,当采用闪速存储器例如NAND闪速存储器作为存储器装置150时,由于NAND逻辑功能的固有特性,写入操作期间可能发生编程失败。在坏块管理期间,编程失败的存储块 (即坏的存储块) 的数据可以编程到新的存储块中。由于编程失败产生的坏块可使存储器装置,尤其是具有3D堆叠结构的存储器装置的利用效率恶化,且因此对存储器系统100的可靠性造成负面影响。

[0060] 参考图2,存储器装置150可以包括多个存储块,例如第0至第(N-1)块210-240,其中N为正整数。多个存储块210-240中的每个可以包括多个页面,例如 2^M 个页面 (2^M PAGES),其中M为正整数。多个页面中的每个页面可以包括多个存储器单元,多个字线可以电联接至所述多个存储器单元。应注意,可以采用任意数量的合适的块或每块任意数量的页面。

[0061] 根据可被存储或表达在每个存储器单元中的位的数量,存储块可以是单层单元 (SLC) 存储块和/或多层单元 (MLC) 存储块。SLC存储块可包括利用每个都能够存储1位数据的存储器单元实现的多个页面。MLC存储块可包括利用每个都能够存储多位数据例如两位以上数据的存储器单元实现的多个页面。可以采用包括利用每个都能够存储3位数据的存储器单元实现的多个页面的MLC存储块并将被称为三层单元 (TLC) 存储块。

[0062] 多个存储块210至240中的每个可以在写入操作期间存储由主机装置102提供的的数据,并且可以在读取操作期间将存储的数据提供至主机102。

[0063] 参照图3,存储器装置150的存储块152可包括分别电联接至位线BL₀至BL_{m-1}的多个单元串340。每个单元串340可包括至少一个漏极选择晶体管DST和至少一个源极选择晶体管SST。多个存储器单元或多个存储器单元晶体管MC₀至MC_{n-1}可串联地电联接在选择晶体管DST和SST之间。各个存储器单元MC₀至MC_{n-1}可以由多层单元 (MLC) 构成,每个所述多层单元 (SLC) 存储多个位的数据信息。存储器单元可以具有任何合适的架构。

[0064] 在图3中,“DSL”表示漏极选择线、“SSL”表示源极选择线,并且“CSL”表示公共源线。

[0065] 图3作为示例示出构造为NAND闪速存储器单元的存储块152。然而,应注意存储块152不限于NAND闪速存储器,并且在其它实施例中存储块152可通过NOR闪速存储器、结合至少两种存储器单元的混合闪速存储器或控制器内置在存储芯片中的NAND闪速存储器来实现。而且,半导体装置的操作特征可不仅应用于电荷存储层由导电浮栅极配置的闪速存储

器装置而且可应用于电荷存储层由介电层配置的电荷摄取闪存(CTF)。也应注意,存储器装置150不仅限于闪速存储器装置。例如,存储器装置150可以是DRAM或SRAM装置。

[0066] 存储器装置150的电压发生器310可生成字线电压,例如,编程电压、读取电压或过电压,以根据操作模式被供应至各个字线。电压发生器310可生成待被供应至体材料(bulks)的电压,所述体材料例如其中形成有存储器单元的阱区。电压发生器310可以在控制电路(未示出)的控制下执行电压生成操作。电压发生器310可以生成多个可变读取电压以生成多个读取的数据。电压发生器310可以在控制电路控制下选择存储器单元阵列的存储块或扇区中的一个、从选择的存储块选择一个字线、并且将字线电压提供至选择的字线和未选择的字线。

[0067] 存储器装置150的读取/写入电路320可以由控制电路控制,并且可以根据操作模式用作传感放大器或写入驱动器。在验证/正常读取操作期间,读取/写入电路320可以用作用于从存储器单元阵列读取数据的传感放大器。同样,在编程操作期间,读取/写入电路320可以用作根据待被存储在存储器单元阵列中的数据来驱动位线。读取/写入电路320可以在编程操作期间从缓冲器(未示出)接收将要写入存储器单元阵列的数据,并且可以根据输入的数据驱动位线。为此,读取/写入电路320可以包括分别对应于列(或者位线)或者列对(或者位线对)的多个页面缓冲器322、324和326。页面缓冲器322、324和326中的每个可以包括多个锁存器(未示出)。

[0068] 图4是示出根据本发明的一个实施例的存储器装置150的多个存储块152至156的示例的框图。

[0069] 如图4所示,存储器装置150可以包括多个存储块BLK₀至BLK₀至BLK_{N-1}。每个存储块BLK₀至BLK_{N-1}可以以3D构造或纵向结构实现。各个存储块BLK₀至BLK_{N-1}可以包括在第一至第三方向,例如,X轴方向、Y轴方向和Z轴方向延伸的多个结构。

[0070] 各个存储块BLK₀至BLK_{N-1}可包括在第二方向上延伸的多个NAND串NS(图8)。多个NAND串NS可以设置在第一方向和第三方向。每个NAND串NS可以电联接至位线BL、至少一个源极选择线SSL、至少一个接地选择线GSL、多个字线WL、至少一个虚拟字线DWL、以及公共源线CSL。各个存储块BLK₀至BLK_{N-1}可电联接至多个位线BL、多个源极选择线SSL、多个接地选择线GSL、多个字线WL、多个虚拟字线DWL以及多个公共源线CSL。

[0071] 图5是图4中所示的多个存储块BLK₀至BLK_{N-1}中的一个存储块BLK_i的透视图。图6是沿图5所示的存储块BLK_i线I-I'截取的截面图。

[0072] 参考图5和图6,存储块BLK_i可以包括在第一至第三方向延伸的结构。

[0073] 存储块可包括衬底5111,衬底5111包括掺杂有第一类型杂质的硅材料。例如,基材5111可包括掺杂有p-型杂质的硅材料。基材5111可以是p-型阱,例如袋p阱。基材5111可以进一步包括围绕p-型阱的n-型阱。尽管本发明的实施例中,衬底5111示例为p-型硅,但应注意的是衬底5111不限于p-型硅。

[0074] 在第一方向延伸的多个掺杂区域5311至5314可以设置在基材5111上方。掺杂区域在第三方向上以均匀间隔隔开。多个掺杂区域5311-5314可包含不同于在衬底5111中使用的杂质的第二类型的杂质。例如,多个掺杂区域5311-5314可掺杂有n-型杂质。尽管在本发明的实施例中,第一至第四掺杂区域5311至5314示例为n-型,但应注意的是它们不限于n-型。

[0075] 在第一掺杂区域5311和第二掺杂区域5312之间的衬底5111上的区域中,在第一方向上延伸的多个介电材料区域5112可在第二方向上以均匀间隔隔开。介电材料区域5112和衬底5111也可在第二方向上以预设距离隔开。每个介电材料区域5112也可在第二方向上以预设距离彼此隔开。介电材料5112可以包括任何合适的介电材料,诸如二氧化硅。

[0076] 在两个连续的掺杂区域之间例如掺杂区域5311和掺杂区域5312之间的衬底5111上方的区域中,多个柱状物5113在第一方向上以均匀间隔隔开。多个柱状物5113在第二方向上延伸并可穿过介电材料区域5112使得它们可与衬底5111电联接。每个柱状物5113可包括一种以上材料。例如,每个柱状物5113可包括内层5115和外表面层5114。表面层5114可包括掺杂有杂质的硅材料。例如,表面层5114可包括掺杂有与衬底5111相同的或相同类型的杂质的硅材料。尽管,在本发明的实施例中例,表面层5114示例为包括p-型硅,但表面层5114不限于p-型硅,且本领域技术人员可容易地想到其它实施例,其中衬底5111和柱状物5113的表面层5114可掺杂有n-型杂质。

[0077] 每个柱状物5113的内层5115可由介电材料制成。内层5115可以是或包括诸如例如二氧化硅的介电材料。

[0078] 在第一掺杂区域5311和第二掺杂区域5312之间的区域中,介电层5116可沿介电材料区域5112、柱状物5113和衬底5111的露出表面设置。介电层5116的厚度可小于介电材料区域5112之间的距离的一半。换言之,不同于介电材料5112和介电层5116的材料的区域可被设置在(i)介电材料区域5112的第一介电材料的底部表面下的介电层5116和(ii)设置在介电材料区域5112的第二介电材料的顶部表面上的介电层5116之间。介电材料区域5112可以位于第一介电材料下面。

[0079] 在诸如第一掺杂区域5311和第二掺杂区域5312之间的区域的两个连续的掺杂区域之间的区域中,多个导电材料区域5211-5291可设置在介电层5116的露出表面上。在第一方向上延伸的多个导电材料区域可以在与多个介电材料区域5112的交叉配置中在第二方向上以均匀间隔隔开。介电层5116填充导电材料区域和介电材料区域5112之间的空间。例如,在第一方向上延伸的导电材料区域5211可设置在邻近衬底5111的介电材料区域5112和衬底5111之间。特别地,在第一方向上延伸的导电材料区域5211可设置在(i)设置在衬底5111上的介电层5116和(ii)设置在邻近衬底5111的介电材料区域5112的底部表面下的介电层5116之间。

[0080] 在第一方向上延伸的导电材料区域5211-5291中的每个可设置在(i)设置在介电材料区域5112中的一个的顶部表面上的介电层5116和(ii)设置在下一个介电材料区域5112的底部表面下的介电层5116之间。在第一方向上延伸的导电材料区域5221-5281可设置在介电材料区域5112之间。在第一方向上延伸的顶部导电材料区域5291可设置在最上面的介电材料5112上方。在第一方向上延伸的导电材料区域5211-5291可以由金属材料制成或包括金属材料。在第一方向上延伸的导电材料区域5211-5291可以由诸如多晶硅的导电材料制成或包括诸如多晶硅的导电材料。

[0081] 在第二掺杂区域5312和第三掺杂区域5313之间的区域中,可设置与第一掺杂区域5311和第二掺杂区域5312之间的结构相同的结构。例如,在第二掺杂区域5312和第三掺杂区域5313之间的区域中,可设置:在第一方向上延伸的多个介电材料区域5112、连续地设置在第一方向上且在第二方向上穿过多个介电材料区域5112的多个柱状物5113、设置在多个

介电材料区域5112和多个柱状物5113的露出表面上的介电层5116以及在第一方向上延伸的多个导电材料区域5212-5292。

[0082] 在第三掺杂区域5313和第四掺杂区域5314之间的区域中,可设置与第一掺杂区域5311和第二掺杂区域5312之间相同的结构。例如,在第三掺杂区域5313和第四掺杂区域5314之间的区域中,可设置:在第一方向上延伸的多个介电材料区域5112、顺序地设置在第一方向上且在第二方向上穿过多个介电材料区域5112的多个柱状物5113、设置在多个介电材料区域5112和多个柱状物5113的露出表面上的介电层5116以及在第一方向上延伸的多个导电材料区域5213-5293。

[0083] 漏极5320可分别设置在多个柱状物5113上方。漏极5320可以由掺杂有第二类型杂质的硅材料制成。漏极5320可以由掺杂有n-型杂质的硅材料制成。尽管为了方便说明,漏极5320示例为包括n-型硅,但应注意的是,漏极5320不限于n-型硅。例如,每个漏极5320的宽度可大于每个对应的柱状物5113的宽度。每个漏极5320可以焊盘(pad)的形状设置在每个对应的柱状物5113的顶部表面上方。

[0084] 在第三方向上延伸的导电材料区域5331-5333可设置在漏极5320上方。导电材料区域5331-5333中的每个可以以第一方向上相互间的预设间隔距离延伸地布置在顺次布置在第三方向的漏极5320上。各个导电材料区域5331-5333可与其下方的漏极5320电联接。在第三方向延伸的漏极5320和导电材料区域5331-5333可以通过接触插头电联接。在第三方向上延伸的导电材料区域5331-5333可以由金属材料制成。在第三方向上延伸的导电材料区域5331-5333可以由诸如多晶硅的导电材料制成。

[0085] 在图5和图6中,各自的柱状物5113可与介电层5116和在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293一起形成串。各个柱状物5113可与介电层5116和在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293一起形成NAND串NS。每个NAND串NS可包括多个晶体管结构TS。

[0086] 现在参照图7,在图6中所示的晶体管结构TS中,介电层5116可包括第一子介电层5117、第二子介电层5118和第三子介电层5119。

[0087] 在每个柱状物5113中的p-型硅的表面层5114可作为主体。邻近柱状物5113的第一子介电层5117可作为隧穿介电层,且可包括热氧化层。

[0088] 第二子介电层5118可作为电荷存储层。第二子介电层5118可作为电荷捕获层,且可包括氮化物层或诸如氧化铝层、氧化铅层等的金属氧化物层。

[0089] 邻近导电材料5233的第三子介电层5119可作为阻断介电层。邻近在第一方向上延伸的导电材料5233的第三子介电层5119可形成单层或多层。第三子介电层5119可以是介电常数大于第一子介电层5117和第二子介电层5118的诸如氧化铝层、氧化铅层等的高k介电层。

[0090] 导电材料5233可作为栅极或控制栅极。例如,栅极或控制栅极5233、阻断介电层5119、电荷存储层5118、隧穿介电层5117和主体5114可形成晶体管或存储器单元晶体管结构。例如,第一子介电层5117、第二子介电层5118和第三子介电层5119可形成氧化物-氮化物-氧化物(ONO)结构。在一个实施例中,为方便说明,在每个柱状物5113中的p-型硅的表面层5114将被称为第二方向上的主体。

[0091] 存储块BLKi可包括多个柱状物5113。例如,存储块BLKi可包括多个NAND串NS。详细

地,存储块BLK_i可包括在第二方向或垂直于衬底5111的方向上延伸的多个NAND串NS。

[0092] 每个NAND串NS可包括设置在第二方向上的多个晶体管结构TS。每个NAND串NS的多个晶体管结构TS中的至少一个可作为串源极晶体管SST。每个NAND串NS的多个晶体管结构TS中的至少一个可作为接地选择晶体管GST。

[0093] 栅极或控制栅极可对应于在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293。例如,栅极或控制栅极可在第一方向上延伸并形成字线和包括至少一个源极选择线SSL和至少一个接地选择线GSL的至少两个选择线。

[0094] 在第三方向上延伸的导电材料区域5331-5333可电联接至NAND串NS的一端。在第三方向上延伸的导电材料区域5331-5333可作为位线BL。例如,在一个存储块BLK_i中,多个NAND串NS可电联接至一个位线BL。

[0095] 在第一方向上延伸的第二类型掺杂区域5311-5314可被设置至NAND串NS的另一端。在第一方向上延伸的第二类型掺杂区域5311-5314可作为公共源线CSL。

[0096] 例如,存储块BLK_i可包括在垂直于衬底5111的方向例如第二方向上延伸的多个NAND串NS,且可作为其中多个NAND串NS电联接至一个位线BL的例如电荷捕获类型存储器的NAND闪速存储块。

[0097] 尽管图5至图7中示出了在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293设置为九(9)层,但应注意的是,在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293不限于此。例如,在第一方向上延伸的导电材料区域可设置为八(8)层、十六(16)层或任意多个层。例如,在一个NAND串NS中,晶体管的数量可以是8个、16个或更多。

[0098] 尽管图5至图7中示出了3个NAND串NS被电联接至一个位线BL,但应注意的是,实施例不限于此。在存储块BLK_i中,m个NAND串NS可电联接至一个位线BL,m为正整数。在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293的数量以及共同源极线5311-5314的数量可以根据电联接至一个位线BL的NAND串NS的数量变化。

[0099] 此外,尽管图5至图7中示出了三(3)个NAND串NS被电联接至在第一方向上延伸的一个导电材料,但应注意的是,实施例不限于此。例如,n个NAND串NS可被电联接至在第一方向上延伸的一个导电材料,n为正整数。位线5331-5333的数量可以根据电联接至在第一方向上延伸的一个导电材料的NAND串NS的数量而变化。

[0100] 参照图8,在具有第一结构的块BLK_i中,多个NAND串NS₁₁-NS₃₁可设置在第一位线BL₁和公共源线CSL之间。第一位线BL₁可对应于图5和图6的在第三方向上延伸的导电材料区域5331。NAND串NS₁₂-NS₃₂可设置在第二位线BL₂和公共源线CSL之间。第二位线BL₂可对应于图5和图6的在第三方向上延伸的导电材料区域5332。NAND串NS₁₃-NS₃₃可设置在第三位线BL₃和公共源线CSL之间。第三位线BL₃可对应于图5和图6的在第三方向上延伸的导电材料区域5333。

[0101] 每个NAND串NS的源极选择晶体管SST可电联接至对应的位线BL。每个NAND串NS的接地选择晶体管GST可电联接至公共源线CSL。存储器单元MC₁和MC₆可以设置在每个NAND串NS的源极选择晶体管SST和接地选择晶体管GST之间。

[0102] 在示例中,NAND串NS可以由行单元和列单元限定。电联接至一个位线的NAND串NS可形成一列。电联接至第一位线BL₁的NAND串NS₁₁-NS₃₁对应于第一列。电联接至第二位

线BL 2的NAND串NS12-NS 32可以对应于第二列。电联接至第三位线BL 3的NAND串NS13-NS 33可以对应于第三列。电联接至源极选择线SSL的NAND串NS可以形成一行。电联接至第一源极选择线SSL 1的NAND串NS 11-NS 13可以形成第一行。电联接至第二源极选择线SSL 2的NAND串NS 21-NS23可以形成第二行。电联接至第三源极选择线SSL 3的NAND串NS31-NS 33可以形成第三行。

[0103] 在每个NAND串NS中,可定义高度。在每个NAND串NS中,邻近接地选择晶体管GST的存储器单元MC 1的高度可具有例如值“1”。在每个NAND串NS中,当从衬底5111被测量时,存储器单元的高度可随着存储器单元靠近源极选择晶体管SST而增加。例如,在每个NAND串NS中,邻近源极选择晶体管SST的存储器单元MC 6的高度可具有例如值“7”。

[0104] 布置在相同行中的NAND串NS的源极选择晶体管SST可共享源极选择线SSL。布置在不同行中的NAND串NS的源极选择晶体管SST可分别电联接至不同的源极选择线SSL 1、SSL 2和SSL 3。

[0105] 相同行中的NAND串NS中的相同高度处的存储器单元可共享字线WL。例如,在相同高度处,电联接至不同行中的NAND串NS的存储器单元MC的字线WL可被彼此电联接。相同行的NAND串NS中相同高度处的虚拟存储器单元DMC可共享虚拟字线DWL。例如,在相同高度或水平处,电联接至不同行中的NAND串NS的虚拟存储器单元DMC的虚拟字线DWL可被彼此电联接。

[0106] 位于相同水平或高度或层处的字线WL或虚拟字线DWL可在导电材料区域5211-5291、5212-5292和5213-5293可以设置成在第一方向上延伸的各个层处彼此电联接。在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293可通过接触部共同电联接至上层。换言之,在相同行中的NAND串NS的接地选择晶体管GST可共享接地选择线GSL。进一步地,在不同行中的NAND串NS的接地选择晶体管GST可共享接地选择线GSL。例如,NAND串NS 11-NS 13、NS 21-NS 23和NS 31-NS 33可共同电联接至接地选择线GSL。

[0107] 公共源线CSL可共同电联接至NAND串NS。在衬底5111上方的有源区域上方,第一至第四掺杂区域5311-5314可被电联接。第一至第四掺杂区域5311-5314可以通过接触部共同的电联接至上层。

[0108] 例如,如图8中所示,相同高度或水平的字线WL可被互相电联接。因此,当选择特定高度处的字线WL时,电联接至被选择的字线WL的所有NAND串NS可被选择。在不同行中的NAND串NS可电联接至不同源极选择线SSL。因此,在电联接至相同字线WL的NAND串NS中,通过选择源极选择线SSL 1-SSL 3中的一个,未选择的行中的NAND串NS可与位线BL 1-BL 3电隔离。换言之,通过选择源极选择线SSL 1-SSL 3中的一个,布置在作为选择的源极线的相同行的NAND串NS的行可被选择。此外,通过选择位线BL 1-BL 3中的一个,布置在作为选择的位线的相同列的NAND串NS的行可被选择。因此,仅布置在作为选择的源极线的相同行和作为选择的位线的相同列中的NAND串NS可以被选择。

[0109] 在每个NAND串NS中,可设置虚拟存储器单元DMC。在图8中,例如,虚拟存储器单元DMC可在每个NAND串NS中被设置在第三存储器单元MC 3和第四存储器单元MC 4之间。例如,第一至第三存储器单元MC 1-MC 3可设置在虚拟存储器单元DMC和接地选择晶体管GST之间。第四至第六存储器单元MC 4-MC 6可设置在虚拟存储器单元DMC和源极选择晶体管SSL之间。每个NAND串NS的存储器单元MC可被虚拟存储器单元DMC划分成两(2)个存储器单元

组。在划分的存储器单元组中,邻近接地选择晶体管GST的存储器单元例如MC 1-MC 3可被称为较低存储器单元组,且邻近串选择晶体管SST的剩余存储器单元例如MC 4-MC 6可被称为较高存储器单元组。

[0110] 在下文中,将参照图9-图11做出详细说明,图9-图11示出根据本发明的另一个实施例的通过不同于第一结构的三维(3D)非易失性存储器而实现的存储器系统。

[0111] 特别地,图9是示意性说明利用不同于上文参照图5-图8所述的第一结构的三维(3D)非易失性存储装置来实现的存储装置的透视图。图10是示出沿图9的线VII-VII'截取的存储块BLK_j的截面图。

[0112] 参照图9和图10,存储块BLK_j可包括在第一至第三方向上延伸的结构且可包括衬底6311。基材6311可以包括掺杂第一型杂质的硅材料。例如,基材6311可包括掺杂有p-型杂质的硅材料。基材6311可以是p-型阱,例如袋p阱。基材6311可以进一步包括围绕p-型阱的n-型阱。尽管在描述的实施例中,基材6311示例为p-型硅,但应注意的是基材6311不限于p-型硅。

[0113] 在x轴方向和y轴方向上延伸的第一至第四导电材料区域6321-6324被设置在衬底6311上方。第一至第四导电材料区域6321-6324可在z轴方向上隔开预设距离。

[0114] 在x轴方向和y轴方向上延伸的第五至第八导电材料区域6325-6328可设置在衬底6311上方。第五至第八导电材料区域6325-6328可在z轴方向上隔开预设距离。第五至第八导电材料区域6325-6328可在y轴方向上与第一至第四导电材料区域6321-6324隔开。

[0115] 可设置穿过第一至第四导电材料区域6321-6324的多个下部柱状物DP。每个下部柱状物DP在z轴方向上延伸。而且,可设置穿过第五至第八导电材料区域6325-6328的多个上部柱状物UP。每个上部柱状物UP在z轴方向上延伸。

[0116] 下部柱状物DP和上部柱状物UP中的每个可包括内部材料6361、中间层6362和表面层6363。中间层6362可用作单元晶体管的通道。表面层6363可包括阻断介电层、电荷存储层和隧穿介电层。

[0117] 下部柱状物DP和上部柱状物UP可通过管栅极PG彼此电联接。管栅极PG可被设置在衬底6311中。例如,管栅极PG可包括与下部柱状物DP和上部柱状物UP相同的材料。

[0118] 在x轴方向和y轴方向上延伸的第二类型的掺杂材料6312可设置在下部柱状物DP上方。例如,第二类型的掺杂材料6312可包括n-型硅材料。第二类型的掺杂材料6312可用作公共源线CSL。

[0119] 漏极6340可设置在上部柱状物UP上方。漏极6340可包括n-型硅材料。在y轴方向上延伸的第一上部导电材料区域6351和第二上部导电材料区域6352可设置在漏极6340上方。

[0120] 第一上部导电材料区域6351和第二上部导电材料区域6352可沿x轴方向上隔开。第一上部导电材料区域6351和第二上部导电材料区域6352可由金属形成。第一上部导电材料区域6351和第二上部导电材料区域6352和漏极6340可通过接触插头彼此电联接。第一上部导电材料区域6351和第二上部导电材料区域6352分别作为第一位线BL₁和第二位线BL₂。

[0121] 第一导电材料6321可用作源极选择线SSL。第二导电材料6322可用作第一虚拟字线DWL₁。第三上部导电材料区域6323和第四上部导电材料区域6324分别作为第一主字线MWL₁和第二主字线MWL₂。第五上部导电材料区域6325和第六上部导电材料区域6326分别

作为第三主字线MWL 3和第四主字线MWL 4。第七导电材料6327可用作第二虚拟字线DWL 2。第八导电材料6328可用作漏极选择线DSL。

[0122] 下部柱状物DP和邻近下部柱状物DP的第一至第四导电材料区域6321-6324可以形成下部串。上部柱状物UP和邻近上部柱状物UP的第五至第八导电材料区域6325-6328可以形成上部串。下部串和上部串可通过管栅极PG彼此电联接。下部串的一端可电联接至作为公共源线CSL的第二类型的掺杂材料6312。上部串的一端可通过漏极6340电联接至对应的位线。一个下部串和一个上部串可以形成一个单元串,其电联接在作为公共源极线CSL的掺杂材料6312和作为位线BL的上部导电材料层6351-6352中的对应的一个之间。

[0123] 例如,下部串可包括源极选择晶体管SST、第一虚拟存储器单元DMC 1、以及第一主存储器单元MMC 1和第二主存储器单元MMC 2。上部串可包括第三主存储器单元MMC 3、第四主存储器单元MMC 4、第二虚拟存储器单元DMC 2和漏极选择晶体管DST。

[0124] 在图9和图10中,上部串和下部串可形成NAND串NS。NAND串NS可以包括多个晶体管结构TS。由于上文参照图7详细地描述了包括在图9和图10中的NAND串NS中的晶体管结构,所以在此将省略其详细说明。

[0125] 图11是示出具有如上参照图9和图10所述的第二结构的存储块BLK j的等效电路的电路图。为方便起见,仅示出形成第二结构中的存储块BLK j中的一对的第一串ST 1和第二串ST 2。

[0126] 参照图11,在具有第二结构的存储块BLK j中,多个单元串可以定义多个对的这种方式来设置,其中,单元串中的每个都利用如上参照图9和图10所述的通过管栅极PG电联接的一个上部串和一个下部串来实现。

[0127] 例如,在具有第二结构的存储块BLK j中,存储器单元CG 0-CG 31沿第一通道CH 1(未示出)堆叠,例如,至少一个源极选择栅极SSG 1和至少一个漏极选择栅极DSG 1可形成第一串ST 1,并且存储器单元CG 0-CG 31沿第二通道CH 2(未示出)堆叠,例如,至少一个源极选择栅极SSG 2和至少一个漏极选择栅极DSG 2可形成第二串ST 2。

[0128] 第一串ST 1和第二串ST 2可电联接至相同漏极选择线DSL和相同源极选择线SSL。第一串ST1可以电联接至第一位线BL 1。第二串ST 2可以电联接至第二位线BL 2。

[0129] 尽管图11示出了第一串ST 1和第二串ST 2被电联接至相同漏极选择线DSL和相同源极选择线SSL,但可认为第一串ST1和第二串ST 2可电联接至相同源极选择线SSL和相同位线BL、第一串ST 1可电联接至第一漏极选择线DSL 1并且第二串ST 2可电联接至第二漏极选择线SDL 2。进一步地,可认为第一串ST 1和第二串ST 2可电联接至相同漏极选择线DSL和相同位线BL、第一串ST 1可电联接至第一源极选择线SSL 1并且第二串ST 2可电联接至第二源极选择线SSL 2。

[0130] 现在参考图12至图15,将更详细地描述数据处理至存储器系统100中的存储器装置150。具体地,下面将更详细地描述对应于从主机102接收的命令的命令操作,例如,将命令数据处理至存储器装置150中的操作。

[0131] 图12至图14是示意地示出向根据本发明的一个实施例的存储器系统中的存储器装置的数据处理操作的实例的简图。

[0132] 在数据处理的示例中,对应于从主机102接收的命令的命令数据(例如,对应于从主机102接收的写入命令的写入数据)存储在存储器装置150中包括的多个存储块中。同样

地,生成并更新命令数据和多个存储块的元数据。例如,生成并更新包括对应于在多个存储块中写入命令数据的映射数据的元数据。此外,生成并更新的元数据存储多个存储块中。

[0133] 此外,为了方便说明,下文示出通过图1的控制器130执行在存储器系统中的数据处理操作的示例。然而,如上所述,控制器130的处理器134可以通过FTL执行数据处理。此外,控制器130执行对应于从主机102接收的命令的命令操作(例如写入操作)。通过控制器130而在写入操作中数据处理的示例可以包括通过将用户数据写入存储块而将对应于命令的用户数据存储于存储器装置150的存储块中。通过控制器130的数据处理可以包括生成和更新对应于存储块的命令操作和元数据的用户数据。通过控制器130的数据处理可以包括通过写入生成并更新的元数据而将生成并更新的元数据存储于存储器装置150的存储块中。

[0134] 元数据可以包括关于存储器装置的存储块的信息。元数据可以包括关于对应于特定接收的命令的用户数据存储或待存储在其中的存储块的信息。元数据可以包括对应于接收的命令的用户数据存储或待存储在其中的存储块的映射数据。在一个实施例中,元数据可以包括关于存储器装置的存储块的第一映射数据和第二映射数据。例如,元数据可以包括具有逻辑到物理(L2P)信息(以下称作“逻辑信息”)的第一映射数据和具有物理到逻辑(P2L)信息(以下称作“物理信息”)的第二映射数据。

[0135] 元数据可以包括关于对应于从主机102接收的命令的用户数据的信息。元数据可以包括关于对应于接收的命令的命令操作的信息。

[0136] 在一个实施例中,元数据可以包括关于对应于从主机102接收的命令的用户数据的信息、关于对应于接收的命令的命令操作的信息、关于存储器装置的存储块的信息、关于对应于命令操作的存储器装置的存储块的信息、关于存储器装置的存储块的映射数据的信息、关于对应于命令操作的存储块的映射数据的信息中的至少一个。因此,本领域技术人员可以预期其中元数据可以包括上述的几个信息的任意组合的各种实施例。

[0137] 在操作中,例如当从主机102接收写入命令时,控制器130可以通过将用户数据写入存储块中而将对应于接收的写入命令的用户数据存储于存储器装置150的存储块中。依据接收的写入命令存储用户数据的存储块可以是开放存储块或自由存储块。

[0138] 在一个实施例中,元数据可以包括第一映射数据和第二映射数据。第一映射数据可以包括其中存储在存储块中的用户数据的逻辑地址和物理地址之间的映射信息(即,逻辑信息)已经写入的L2P映射表。第二映射数据可以包括其中已经存储用户数据的存储块的物理地址和逻辑地址之间的映射信息(即,物理信息)已经写入的P2L映射表。控制器130可以通过将元数据写入存储块而将元数据存储于存储器装置150的存储块(例如,开放存储块或自由存储块)中。

[0139] 具体地,当从主机102接收写入命令时,控制器130可以通过将用户数据写入存储块中而将对应于写入命令的用户数据存储于存储块中。控制器130也可以在存储块中存储包括存储在存储块中的用户数据的第一映射数据和第二映射数据的元数据。用户数据的数据段和元数据的元段可以存储在存储器装置150的存储块中。

[0140] 在一个实施例中,存储器装置150可以包括多个存储器管芯。每个存储器管芯可以包括多个平面。每个平面可以包括多个存储块。对应于从主机102接收的命令的命令操作的用户数据和元数据可以编程并存储在存储器装置的存储块中。例如,用户数据和元数据可

以通过利用单触发编程写入而存储在超级存储块中。

[0141] 超级存储块可以包括多个存储块。例如,超级存储块可以包括第一存储块和第二存储块。第一存储块可以是包括在多个存储器管芯的第一存储器管芯的第一平面中的特定存储块,而第二存储块可以是不同于包括在第一存储器管芯的第一平面中的特定存储块的特定存储块。例如,第二存储块可以是包括在第一存储器管芯的第二平面中的特定存储块。或者,例如,第二存储块可以是包括在多个存储器管芯的第二存储器管芯的多个平面中的任一个中的特定存储块。第二存储块可以是与第一存储块不同的存储块,因此,其可以包括在第一存储块的相同存储器管芯和平面中,或者与第一存储块相同的存储器管芯的不同的平面中,或者不同于第一存储块的存储器管芯的存储器管芯中。

[0142] 在一个实施例中,用户数据和元数据编程至存储器装置150中包括的包括例如两个存储块的多个存储块的超级存储块中并且更新。超级块可以包括两个以上存储块。如上所述,超级存储块的存储块可以包括包括在相同存储器管芯的相同平面中的存储块、包括在相同存储器管芯的不同平面中的存储块、或者包括在不同存储器管芯中的存储块。

[0143] 在一个实施例中,用户数据的数据段和元数据的元段可以通过将数据段和元段写入超级存储块中而存储在包括第一存储块和第二存储块的超级存储块中。用户数据的存储和对应于存储的用户数据的元数据的元段的更新和存储可以通过参考包括在从主机102接收的命令中的至少一个参数(或者信息)而执行。元段可以是元数据的映射段。元数据的映射段可以包括第一映射数据的第一映射段和第二映射数据的第二映射段。

[0144] 例如,用于更新元数据的参数可以是包括在从主机102接收的命令中的参数(或者信息)。或者用于更新元数据的参数可以通过参考包括在从主机102接收的命令中的参数(或者信息)而确定。参数可以包括,例如,对应于命令的命令操作、或者用户数据的处理模式(例如,用户数据的读取/编程/写入模式)、或者用户数据的数据类型(例如,任意的、连续的,或者局部的)中的一个。

[0145] 因此,在操作中,根据一个实施例,元数据可以根据更新参数而更新并且存储在存储器装置150的存储块中。更新参数通过参考命令参数,诸如从主机102接收的命令的处理模式或者数据类型而确定。因此,第一映射数据的第一映射段,即,L2P段可以基于更新参数更新并存储。第二映射数据的第二映射段,即P2L段可以根据存储器装置150的存储块中的用户数据的存储而更新。例如,第二映射段可以根据通过单触发编程存储在超级存储块中的用户数据而更新。更新的P2L段和L2P段可以随后存储在存储器装置150的存储块中。例如,包括更新的P2L段和L2P段的元数据可以通过单触发编程存储在超级存储块中。

[0146] 在一个实施例中,元数据的元段的更新可以基于根据从主机102接收的命令参数确定的更新参数而缓冲。具体地,第一映射数据的第一映射段的更新可以基于更新参数而缓冲。在第一映射段的更新缓冲的同时,可以执行存储用户数据的操作。用户数据可以通过单触发编程存储在超级存储块中。在对应于更新参数的元段(例如,第一映射段)的缓冲之后,元段可以更新并且可以随后执行存储元数据的操作。元数据可以通过单触发编程存储在超级存储块中。

[0147] 可以通过在元段的缓冲期间编程用户数据而提高数据编程性能。同样,用户数据和元数据可以通过单触发编程存储在包括多个存储块的超级存储块中,进一步提高数据处理性能。

[0148] 在一个实施例中,用户数据的数据段和元段,特别地,映射段可以以交错方式存储。因此,可以通过在存储器装置150中交错映射段而提高映射数据的存取性能。

[0149] 以下,在实施例中,当在存储器系统执行对应于从主机102接收的命令的命令操作时,命令操作的用户数据的数据段和元数据的元段通过单触发编程写入并存储在包括在存储器装置150的超级存储块中的多个页面中。此外,当执行对应于从主机102接收的命令的命令操作时,根据命令操作(例如,用户数据的编程)更新包括在元数据中的映射数据的映射段(即,第一映射数据的L2P段和第二映射数据的P2L段)。存储器系统中,更新的L2P段和P2L段可以通过单触发编程写入并存储在超级存储块中。下面将参考图12至14更详细地描述存储器系统中的数据处理操作。

[0150] 参照图12,控制器130将对应于从主机102接收的命令的数据(例如,对应于写入命令的用户数据)存储在包括在存储器装置150中的超级存储块的开放块中。例如,存储器装置150包括第一超级存储块1250、第二超级存储块1260和第三超级存储块1270。每个超级存储块包括两个开放存储块,然而,这仅为示例,并且应注意每个超级块可以包括两个以上存储块。超级存储块的数量也可以通过设计而改变。第一超级存储块1250包括两个开放块1252和1254。第二超级存储块1260包括两个开放块1262和1264。第三超级存储块1270包括两个开放块1272和1274。控制器130通过将数据写入开放块1252、1254、1262、1264、1272和1274而将对应于从主机102接收的写入命令的用户数据存储存储在超级存储块1250、1260和1270的开放块1252、1254、1262、1264、1272和1274中。此外,控制器130通过根据用户数据的写入操作将映射数据写入开放块1252、1254、1262、1264、1272和1274而将用户数据的映射数据存储存储在存储器装置150的第一超级存储块1250、第二超级存储块1260和第三超级存储块1270的开放块1252、1254、1262、1264、1272和1274中。

[0151] 在一个实施例中,存储器装置150可以包括多个存储器管芯。每个存储器管芯可以包括多个平面并且每个平面可以包括多个存储块。每个超级存储块(即第一、第二和第三超级存储块1250、1260和1270)可以包括多个存储块(例如,包括在存储器装置150的多个存储器管芯和多个平面中的第一存储块和第二存储块)。在此情况下,存储器装置150的每个超级存储块1250、1260和1270可以包括两个存储块(即,第一存储块和第二存储块)以上的多个存储块。在一个实施例中,为了方便说明,假定存储器装置150的每个超级存储块1250、1260和1270包括两个存储块(即第一存储块和第二存储块)。

[0152] 因此,第一超级存储块1250包括作为第一存储块的块0 1252和作为第二存储块的块1 1254。第二超级存储块1260包括作为第一存储块的块2 1262和作为第二存储块的块3 1264。第三超级存储块1270包括作为第一存储块的块4 1272和作为第二存储块的块5 1274。此外,如果分别包括在第一、第二和第三超级存储块1250、1260和1270中的第一存储块(即块0 1252、块2 1262和块4 1272)是包括在存储器装置150的存储器管芯的第一存储管芯的第一平面中的特定存储块,则分别包括在第一、第二和第三超级存储块1250、1260和1270中的第二存储块(即,块1 1254、块3 1264和块5 1274)可以是不同于包括在存储器装置150的第一存储管芯的第一平面中的特定存储块的特定存储块、包括在存储器装置150的第一存储管芯的第二平面中的特定存储块、或者包括在存储器装置150的第二存储管芯的平面中的特定存储块。

[0153] 包括在第一、第二和第三超级存储块1250、1260和1270中的每个中的第一存储块

和第二存储块可以是包括在相同存储器管芯的相同平面中的存储块、包括在相同存储器管芯的不同平面中的存储块、或者包括在不同存储器管芯中的存储块。以下,为了方便说明,分别包括在第一、第二和第三超级存储块1250、1260和1270中的第一存储块(即块0 1252、块2 1262和块4 1272)是包括在存储器装置150的第一存储器管芯的第一平面中的存储块。同样地,分别包括在第一、第二和第三超级存储块1250、1260和1270中的第二存储块(即,块1 1254、块3 1264和块5 1274)是包括在存储器装置150的第一存储器管芯的第二平面中的存储块。

[0154] 此外,控制器130通过写入用户数据和元数据。根据对应于从主机102接收的命令的命令操作在多个存储器装置150的存储块中存储用户数据和元数据例如,控制器130通过利用单触发编程写入用户数据和元数据根据对应于从主机102接收的命令的命令操作在分别包括第一存储块和第二存储块的超级存储块(即,第一、第二和第三超级存储块1250、1260和1270)中存储用户数据和元数据。

[0155] 控制器130存储信息(例如,第一映射数据和第二映射数据),其指示通过执行对应于从主机102接收的命令的命令操作通过单触发编程将用户数据存储包括在存储器装置150的超级存储块1250、1260和1270中的第一存储块和第二存储块的页面中,存储在包括在存储器装置150的多个存储块(例如超级存储块1250、1260和1270)中的第一存储块和第二存储块中。换言之,控制器130通过单触发编程在超级存储块1250、1260和1270的第一存储块和第二存储块中存储第一映射数据的逻辑段(即,L2P段)和第二映射数据的物理段(即,P2L段)。

[0156] 此外,控制器130包括包括在控制器130的存储器144中的第一和第二缓冲器1210和1220。控制器130在第一缓冲器1210中缓存并缓冲对应于从主机102接收的命令的数据(例如,对应于写入命令的用户数据)。即,控制器130在作为数据缓冲器/缓存的第一缓冲器1210中存储用户数据的数据段1212。同样地,控制器130在包括在存储器装置150中的多个存储块中存储存储在第一缓冲器1210中的数据段1212。例如,控制器130通过利用单触发编程在页面中写入数据段1212而在包括在存储器装置150中的超级存储块1250、1260和1270的第一存储块和第二存储块中的页面中存储存储在第一缓冲器1210中的数据段1212。

[0157] 此外,当对应于从主机102接收的命令的用户数据的数据段1212写入并存储在包括在超级存储块1250、1260和1270的第一存储块和第二存储块中的页面中时,控制器130生成第一映射数据第二映射数据并且将第一映射数据和第二映射数据存储包括在控制器130的存储器144中的第二缓冲器1220中。即,控制器130在作为映射缓冲器/缓存(即,元缓冲器/缓存)的第二缓冲器1220中存储用户数据的第一映射数据的L2P段1222和第二映射数据的P2L段1224。

[0158] 即,控制器130在控制器130的第二缓冲器1220中存储对应于从主机102接收的命令的用户数据的元数据和命令操作。在一个实施例中,存储在控制器130的第二缓冲器1220中的元数据包括关于对应于从主机102接收的命令的命令数据(例如,命令数据信息)的信息、关于对应于命令的命令操作(例如,命令操作信息)的信息、关于存储器装置150的执行命令操作的存储块(例如,存储块信息)的信息、以及对应于命令操作的映射数据(例如,第一映射数据和第二映射数据)。控制器130可以在第二缓冲器1220中存储映射数据作为元数据。例如,控制器130可以在第二缓冲器1220中存储映射段作为元段。

[0159] 此外,控制器130将存储在第二缓冲器1220中的第一映射数据的L2P段1222和第二映射数据的P2L段1224存储在包括在存储器装置150中的多个存储块中。在一个实施例中,控制器130通过单触发编程将第一映射数据的L2P段1222和第二映射数据的P2L段1224存储在包括在超级存储块1250、1260和1270中的第一存储块和第二存储块中的页面中。

[0160] 在一个实施例中,响应于存储器装置150的超级存储块1250、1260和1270的第一存储块和第二存储块的页面中的用户数据的存储,控制器130通过参考从主机102接收的命令的参数对第一映射数据和第二映射数据的映射段执行更新和存储。换言之,控制器130通过参考命令参数而确定映射段的更新参数。命令参数包括例如命令操作或者用户数据的处理模式或者用户数据的数据类型。此外,控制器130基于更新参数更新映射段,并且在存储器装置150的超级存储块1250、1260和1270中存储更新的映射段。

[0161] 具体地,控制器130通过参考从主机102接收的命令的参数(即,处理模式或者数据类型)而确定更新参数并且基于更新参数更新并存储第一映射数据的第一映射段(即,L2P段1222)。换言之,响应于用户数据的存储,控制器130更新存储在第二缓冲器1220中的第二映射数据的第一映射段(即,P2L段1224)。此外,控制器130根据基于命令参数确定的更新参数更新存储在第二缓冲器1220中的第一映射数据的第一映射段(即L2P段1222)。然后控制器130在包括在存储器装置150中的多个存储块中存储更新的P2L段1224和L2P段1222。例如,控制器130通过单触发编程在超级存储块1250、1260和1270中存储包括更新的P2L段1224和L2P段1222的元数据。

[0162] 在一个实施例中,控制器130基于根据接收的命令的参数确定的更新参数而缓冲元数据的元段的更新。具体地,控制器130基于更新参数在第二缓冲器1222中缓冲第一映射数据的第一映射段(即L2P段1222)的更新。在缓冲L2P段1222的更新的同时,控制器130执行存储用户数据的操作。控制器130通过单触发编程在超级存储块1250、1260和1270中存储用户数据的数据段1212。此外,在缓冲L2P段1222的更新的同时,控制器130响应于数据段1212的存储而在超级存储块1250、1260和1270中更新存储在第二缓冲器1222中的第二映射数据的第一映射段(即,P2L段1224)。此外,在基于更新参数在第二缓冲器1222中缓冲元段(即L2P段1222)的更新之后,控制器130更新L2P段1222并且通过单触发编程在包括在存储器装置150中的多个存储块(例如,超级存储块1250、1260和1270)中存储包括更新的L2P段1222P2L段1224的元数据的元段。

[0163] 以下,为了方便说明,将参考图13描述示例,在该示例中,在对应于从主机102接收的命令的命令操作的用户数据和元数据存储包括在控制器130的存储器144中的缓冲器或者缓存中之后,存储在第一缓冲器1210中的用户数据和存储在第二缓冲器1220中的元数据通过单触发编程存储在存储器装置150的第一超级存储块1250中。换言之,在用户数据存储在第一缓冲器1210中且元数据(即,第一映射数据和第二映射数据)存储在第二缓冲器1220中之后,存储在第一缓冲器1210中的用户数据和存储在第二缓冲器1220中的元数据通过单触发编程存储在存储器装置150的第一超级存储块1250中。

[0164] 图13示出存储在第一缓冲器1210中的用户数据和存储在第二缓冲器1220中的元数据通过单触发编程存储在相同超级存储块(即第一超级存储块1250)中的示例。然而,我们注意到,在另一个实施例中,存储在第一缓冲器1210中的用户数据和存储在第二缓冲器1220中的元数据可以存储在不同的超级存储块中。例如,存储在第一缓冲器1210中的用户

数据可以存储在第一超级存储块1250中,并且存储在第二缓冲器1220中的元数据可以存储在第二超级存储块1260中。此外,存储在第一缓冲器1210中的用户数据可以通过单触发编程存储在存储器装置150的多个存储块中,并且存储在第二缓冲器1220中的元数据可以存储在包括在存储器装置150中的一个存储块或者多个存储块中。

[0165] 现在参考图13,其与图12所示的存储器装置150相似,图13的存储器装置150也包括第一超级存储块1250、第二超级存储块1260和第三超级存储块1270。每个超级存储块包括多个存储块(例如两个开放存储块)。第一超级存储块1250包括两个开放块1252和1254。第二超级存储块1260包括两个开放块1262和1264。第三超级存储块1270包括两个开放块1272和1274。控制器130包括第一缓冲器1210和第二缓冲器1220。第一缓冲器1210和第二缓冲器1220可以包括在控制器130的存储器144中。

[0166] 在操作中,当从主机102接收命令时,如果待执行对应于接收的命令的命令操作,控制器130将对应于命令操作的用户数据的数据段1300存储在所述第一缓冲器1210中。

[0167] 存储在所述第一缓冲器1210中的用户数据的数据段1300可以包括多个数据段,例如数据段1302-1328,如图13所示。更具体地,如图13所示,数据段1302具有逻辑页面0(以下称作“数据段0”),数据段1304具有逻辑页面1(以下称作“数据段1”),数据段1306具有逻辑页面2(以下称作“数据段2”),数据段1308具有逻辑页面3(以下称作“数据段3”),数据段1310具有逻辑页面4(以下称作“数据段4”),数据段1312具有逻辑页面5(以下称作“数据段5”),数据段1314具有逻辑页面6(以下称作“数据段6”),数据段1316逻辑页面7(以下称作“数据段7”),数据段1318具有逻辑页面8(以下称作“数据段8”),数据段1320具有逻辑页面9(以下称作“数据段9”),数据段1322具有逻辑页面10(以下称作“数据段10”),数据段1324具有逻辑页面11(以下称作“数据段11”),数据段1326具有逻辑页面12(以下称作“数据段12”),数据段1328具有逻辑页面13(以下称作“数据段13”)。

[0168] 此外,当从主机102接收命令时,如果待执行对应于接收的命令的命令操作,控制器130将命令操作的元数据的元段存储在第二缓冲器1220中。例如,控制器130将包括用户数据的映射数据的元数据的元段1330存储在包括在存储器144中的在第二缓冲器1220中。

[0169] 存储在第二缓冲器1220中的元数据的元段1330包括多个数据段1332-1358。例如,元段1332具有元数据的段索引0(以下称作“元段0”)。元段1334具有元数据的段索引1(以下称作“元段1”)。元段1336具有元数据的段索引2(以下称作“元段2”)。元段1338具有元数据的段索引3(以下称作“元段3”)。元段1340具有元数据的段索引4(以下称作“元段4”)。元段1342具有元数据的段索引5(以下称作“元段5”)。元段1344具有元数据的段索引6(以下称作“元段6”)。元段1346具有元数据的段索引7(以下称作“元段7”)。元段1348具有元数据的段索引8(以下称作“元段8”)。元段1350具有元数据的段索引9(以下称作“元段9”)。元段1352具有元数据的段索引10(以下称作“元段10”)。元段1354具有元数据的段索引11(以下称作“元段11”)。元段1356具有元数据的段索引12(以下称作“元段12”)。元段1358具有元数据的段索引13(以下称作“元段13”)。

[0170] 此外,控制器130将存储在所述第一缓冲器1210中的数据段1300和存储在第二缓冲器1220中的元段1330存储包括在存储器装置150中的多个存储块中。例如,控制器130将存储在所述第一缓冲器1210中的数据段1300和存储在第二缓冲器1220中的元段1330存储在存储器装置150的第一超级存储块1250、第二超级存储块1260和第三超级存储块1270中的第一超

级存储块1250中。例如,控制器130通过单触发编程将数据段1300和元段1330存储在第一超级存储块1250中。

[0171] 如上所述,当存储在第一缓冲器1210中的用户数据的数据段1300存储在包括在第一超级存储块1250中的第一存储块和第二存储块的页面中时,控制器130根据从主机102接收的命令参数执行存储在第二缓冲器1220中的元段1330(即,包括在元段1330中的第一映射数据的L2P段1222和第二映射数据的P2L段1224)的更新和存储。具体地,控制器130通过参考命令参数而确定映射段的更新参数。命令参数可以包括例如命令操作或者用户数据的处理模式或者用户数据的数据类型。同样地,控制器130基于更新参数更新L2P段1222。在根据数据段1300的存储更新P2L段1224之后,控制器130通过单触发编程在包括在存储器装置150中的多个存储块的页面中存储包括更新的L2P段1222和P2L段1224的元段1330。同样地,控制器130在第一超级存储块1250的第一存储块和第二存储块的页面中存储元段1330。

[0172] 在一个实施例中,控制器130可以根据从主机102接收的命令参数更新元数据的元段(即,第一映射数据的L2P段1222)。同样地,控制器130可以在包括在存储器装置150中的多个存储块中存储更新的元段。例如,控制器130可以在存储器装置150的第一超级存储块1250的第一存储块和第二存储块中存储更新的元段。

[0173] 参照图14,当在特定时间点 t_0 从主机102接收的命令的命令参数检测(1400)为具有特定值,例如“1”时,控制器130基于命令参数的值确定更新参数也具有“1”的值。同样地,通过根据为“1”的更新参数而通过单触发编程写入用户数据的数据段1402,控制器130将存储在第一缓冲器1210中的用户数据的数据段1402(例如,数据段0 1302、数据段1 1304、数据段2 1306、和数据段3 1308)存储在第一超级存储块1250中。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面0中存储存储在第一缓冲器1210中的数据段01302。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面0中存储存储在第一缓冲器1210中的数据段1 1304。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面1中存储存储在第一缓冲器1210中的数据段2 1306。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面1中存储存储在第一缓冲器1210中的数据段3 1308。

[0174] 此外,在时间点 t_0 之后的时间点 t_1 ,根据“1”的更新参数,控制器130根据时间点 t_0 的数据段1402的存储在第二缓冲器1220中更新第二映射数据的P2L段1224和第一映射数据的L2P段1222。同样地,控制器130通过利用单触发编程写入元段1404而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1404。换言之,在时间点 t_1 ,根据“1”的更新参数,控制器130根据时间点 t_0 的数据段1402的存储更新P2L段1224和L2P段1222。然后,控制器130通过写入元段1404而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1404(例如,元段0 1332、元段1 1334、元段2 1336和元段3 1338)。

[0175] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面2中存储存储在第二缓冲器1220中的元段0 1332。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面2中存储存储在第二缓冲器1220中的元段1 1334。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面3中存储存储在第二缓冲器1220中的元段2 1336。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面3中存储存储在第二缓冲器1220中的元段3 1338。

[0176] 此外,在时间点t1之后的时间点t2,根据“1”的更新参数,控制器130通过利用单触发编程写入数据段1406而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1406(例如,数据段4 1310、数据段5 1312、数据段6 1314和数据段7 1316)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面4中存储存储在第一缓冲器1210中的数据段4 1310。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面4中存储存储在第一缓冲器1210中的数据段5 1312。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面5中存储存储在第一缓冲器1210中的数据段6 1314。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面5中存储存储在第一缓冲器1210中的数据段71316。

[0177] 此外,在时间点t2之后的时间点t3,根据“1”的更新参数,控制器130根据时间点t2的数据段1406的存储在第二缓冲器1220中更新第二映射数据的P2L段1224和第一映射数据的L2P段1222。同样地,控制器130通过利用单触发编程写入元段1408而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1408。换言之,在时间点t3,根据“1”的更新参数,控制器130根据时间点t2的数据段1406的存储更新P2L段1224和L2P段1222。然后,控制器130通过利用单触发编程写入元段1408而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1408(例如,元段4 1340、元段5 1342、元段6 1344和元段7 1346)。

[0178] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面6中存储存储在第二缓冲器1220中的元段4 1340。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面6中存储存储在第二缓冲器1220中的元段5 1342。控制器130在块01252(即,第一超级存储块1250的第一存储块)的页面7中存储存储在第二缓冲器1220中的元段6 1344。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面7中存储存储在第二缓冲器1220中的元段7 1346。

[0179] 此外,在时间点t3之后的时间点t4,根据“1”的更新参数,控制器130通过利用单触发编程写入数据段1410而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1410(例如,数据段8 1318、数据段9 1320、数据段10 1322和数据段11 1324)。换言之,在时间点t4,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面8中存储存储在第一缓冲器1210中的数据段8 1318。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面8中存储存储在第一缓冲器1210中的数据段9 1320。控制器130在块01252(即,第一超级存储块1250的第一存储块)的页面9中存储存储在第一缓冲器1210中的数据段10 1322。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面9中存储存储在第一缓冲器1210中的数据段11 1324。

[0180] 此外,在时间点t4之后的时间点t5,根据“1”的更新参数,控制器130根据时间点t4的数据段1410的存储在第二缓冲器1220中更新第二映射数据的P2L段1224和第一映射数据的L2P段1222。然后,控制器130通过利用单触发编程写入元段1412而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1412。换言之,在时间点t5,根据“1”的更新参数,控制器130根据时间点t4的数据段1410的存储更新P2L段1224和L2P段1222。然后,控制器130通过写入元段1412而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1412(例如,元段8 1348、元段9 1350、元段10 1352和元段111354)。

[0181] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面10中存储存储在第二缓冲器1220中的元段8 1348。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面10中存储存储在第二缓冲器1220中的元段9 1350。控制器130在块01252(即,第一超级存储块1250的第一存储块)的页面11中存储存储在第二缓冲器1220中的元段10 1352。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面11中存储存储在第二缓冲器1220中的元段11 1354。

[0182] 此外,对数据段1414和元段1416,控制器130如上所述地执行更新和存储操作。

[0183] 当检测到从主机102接收的命令的命令参数为“2”(1420)时,控制器130基于命令的“2”的参数确定更新参数为“2”。在特定时间点t₀,根据“2”的更新参数,控制器130通过利用单触发编程写入数据段1422而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1422(例如,数据段0 1302、数据段1 1304、数据段21306和数据段3 1308)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面0中存储存储在第一缓冲器1210中的数据段0 1302。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面0中存储存储在第一缓冲器1210中的数据段1 1304。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面1中存储存储在第一缓冲器1210中的数据段2 1306。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面1中存储存储在第一缓冲器1210中的数据段3 1308。在此情况下,控制器130根据时间点t₀的数据段1422的存储而更新第二映射数据的P2L段1224。

[0184] 此外,在时间点t₀之后的时间点t₁,根据“2”的更新参数,控制器130通过利用单触发编程写入数据段1424而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1424(例如,数据段4 1310、数据段5 1312、数据段6 1314和数据段7 1316)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面2中存储存储在第一缓冲器1210中的数据段4 1310。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面2中存储存储在第一缓冲器1210中的数据段5 1312。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面3中存储存储在第一缓冲器1210中的数据段6 1314。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面3中存储存储在第一缓冲器1210中的数据段71316。在此情况下,控制器130根据时间点t₁的数据段1424的存储而更新第二映射数据的P2L段1224。

[0185] 此外,在时间点t₁之后的时间点t₂,根据“2”的更新参数,控制器130根据时间点t₀的数据段1422和时间点t₁的数据段1424的存储而在第二缓冲器1220中更新第一映射数据的L2P段1222。然后,控制器130通过利用单触发编程写入元段1426而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1426。换言之,在时间点t₂,根据“2”的更新参数,控制器130根据时间点t₀的数据段1422和时间点t₁的数据段1424的存储而更新L2P段1222。然后,控制器130通过利用单触发编程写入元段1426而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1426(例如,元段0 1332、元段1 1334、元段2 1336、元段3 1338、元段4 1340、元段5 1342、元段6 1344好元段7 1346)。

[0186] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面4中存储存储在第二缓冲器1220中的元段0 1332。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面4中存储存储在第二缓冲器1220中的元段1 1334。控制器

130在块01252(即,第一超级存储块1250的第一存储块)的页面5中存储存储在第二缓冲器1220中的元段2 1336。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面5中存储存储在第二缓冲器1220中的元段3 1338。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面6中存储存储在第二缓冲器1220中的元段4 1340。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面6中存储存储在第二缓冲器1220中的元段5 1342。控制器130在块01252(即,第一超级存储块1250的第一存储块)的页面7中存储存储在第二缓冲器1220中的元段6 1344。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面7中存储存储在第二缓冲器1220中的元段7 1346。

[0187] 此外,在时间点t₂之后的时间点t₄,根据“2”的更新参数,控制器130通过利用单触发编程写入数据段1428而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1428(例如,数据段8 1318、数据段9 1320、数据段10 1322和数据段11 1324)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面6中存储存储在第一缓冲器1210中的数据段8 1318。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面6中存储存储在第一缓冲器1210中的数据段9 1320。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面7中存储存储在第一缓冲器1210中的数据段10 1322。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面7中存储存储在第一缓冲器1210中的数据段111324。在此情况下,控制器130根据时间点t₃的数据段1428的存储而更新第二映射数据的P2L段1224。

[0188] 此外,在时间点t₃之后的时间点t₄,根据“2”的更新参数,控制器130通过利用单触发编程写入数据段1430而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1430(例如,数据段12 1326、数据段13 1328、数据段14和数据段15)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面8中存储存储在第一缓冲器1210中的数据段12 1326。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面8中存储存储在第一缓冲器1210中的数据段13 1328。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面9中存储存储在第一缓冲器1210中的数据段14。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面9中存储存储在第一缓冲器1210中的数据段15。在此情况下,控制器130根据时间点t₃的数据段1430的存储而更新第二映射数据的P2L段1224。

[0189] 此外,在时间点t₄之后的时间点t₅,根据“2”的更新参数,控制器130根据时间点t₃的数据段1428和时间点t₄的数据段1430的存储而在第二缓冲器1220中更新第一映射数据的L2P段1222。然后,控制器130通过利用单触发编程写入元段1432而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1432。换言之,在时间点t₅,根据“2”的更新参数,控制器130根据时间点t₃的数据段1428和时间点t₄的数据段1430的存储而更新L2P段1222。然后,控制器130通过写入元段1432而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1432(例如,元段8 1348、元段9 1350、元段10 1352、元段11 1354、元段12 1356、元段13 1358、元段14和元段15)。

[0190] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面10中存储存储在第二缓冲器1220中的元段8 1348。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面10中存储存储在第二缓冲器1220中的元段9 1350。控制

器130在块01252(即,第一超级存储块1250的第一存储块)的页面11中存储存储在第二缓冲器1220中的元段10 1352。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面11中存储存储在第二缓冲器1220中的元段11 1354。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面12中存储存储在第二缓冲器1220中的元段121356。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面12中存储存储在第二缓冲器1220中的元段13 1358。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面13中存储存储在第二缓冲器1220中的元段14。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面13中存储存储在第二缓冲器1220中的元段15。

[0191] 当检测到从主机102接收的命令的命令参数为“3”(1440)时,控制器130基于命令的“3”的参数确定更新参数为“3”。在特定时间点 t_0 ,根据“3”的更新参数,控制器130通过利用单触发编程写入数据段1442而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1442(例如,数据段0 1302、数据段1 1304、数据段2 1306和数据段3 1308)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面0中存储存储在第一缓冲器1210中的数据段0 1302。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面0中存储存储在第一缓冲器1210中的数据段1 1304。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面1中存储存储在第一缓冲器1210中的数据段2 1306。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面1中存储存储在第一缓冲器1210中的数据段3 1308。在此情况下,控制器130根据时间点 t_0 的数据段1442的存储而更新第二映射数据的P2L段1224。

[0192] 此外,在时间点 t_0 之后的时间点 t_1 ,根据“3”的更新参数,控制器130通过利用单触发编程写入数据段1444而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1444(例如,数据段4 1310、数据段5 1312、数据段6 1314和数据段7 1316)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面2中存储存储在第一缓冲器1210中的数据段4 1310。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面2中存储存储在第一缓冲器1210中的数据段5 1312。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面3中存储存储在第一缓冲器1210中的数据段6 1314。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面3中存储存储在第一缓冲器1210中的数据段71316。在此情况下,控制器130根据时间点 t_1 的数据段1444的存储而更新第二映射数据的P2L段1224。

[0193] 此外,在时间点 t_1 之后的时间点 t_2 ,根据“3”的更新参数,控制器130通过利用单触发编程写入数据段1446而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1446(例如,数据段8 1318、数据段9 1320、数据段10 1322和数据段11 1324)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面4中存储存储在第一缓冲器1210中的数据段8 1318。控制器130在块11254(即,第一超级存储块1250的第二存储块)的页面4中存储存储在第一缓冲器1210中的数据段9 1320。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面5中存储存储在第一缓冲器1210中的数据段10 1322。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面5中存储存储在第一缓冲器1210中,的数据段111324。在此情况下,控制器130根据时间点 t_2 的数据段1446的存储而更新第二映射数据的P2L段1224。

[0194] 此外,在时间点t2之后的时间点t3,根据“3”的更新参数,控制器130根据在时间点t0的数据段1442、在时间点t1的数据段1444以及在时间点t2的数据段1446的存储而在第二缓冲器1220中更新第一映射数据的L2P段1222。然后,控制器130通过利用单触发编程写入元段1448而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1448。换言之,在时间点t3,根据“3”的更新参数,控制器130根据在时间点t0的数据段1442、在时间点t1的数据段1444以及在时间点t2的数据段1446的存储而更新L2P段1222。同样地,控制器130通过写入元段1448而在第一超级存储块1250中存储包括更新的P2L段1224和L2P段1222的元段1448(例如,元段0 1332、元段1 1334、元段2 1336、元段3 1338、元段4 1340、元段5 1342、元段6 1344、元段7 1346、元段8 1348、元段9 1350、元段10 1352和元段11 1354)。

[0195] 在此情况下,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面6中存储存储在第二缓冲器1220中的元段0 1332。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面6中存储存储在第二缓冲器1220中的元段1 1334。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面7中存储存储在第二缓冲器1220中的元段2 1336。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面7中存储存储在第二缓冲器1220中的元段3 1338。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面8中存储存储在第二缓冲器1220中的元段4 1340。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面8中存储存储在第二缓冲器1220中的元段5 1342。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面9中存储存储在第二缓冲器1220中的元段6 1344。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面9中存储存储在第二缓冲器1220中的元段7 1346。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面10中存储存储在第二缓冲器1220中的元段8 1348。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面10中存储存储在第二缓冲器1220中的元段9 1350。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面11中存储存储在第二缓冲器1220中的元段10 1352。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面11中存储存储在第二缓冲器1220中的元段11 1354。

[0196] 此外,在时间点t3之后的时间点t4,根据“3”的更新参数,控制器130通过利用单触发编程写入数据段1450而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的数据段1450(例如,数据段12 1326、数据段13 1328、数据段14和数据段15)。换言之,控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面12中存储存储在第一缓冲器1210中的数据段12 1326。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面12中存储存储在第一缓冲器1210中的数据段13 1328。控制器130在块0 1252(即,第一超级存储块1250的第一存储块)的页面13中存储存储在第一缓冲器1210中的数据段14。控制器130在块1 1254(即,第一超级存储块1250的第二存储块)的页面13中存储存储在第一缓冲器1210中的数据段15。在此情况下,控制器130根据时间点t4的数据段1450的存储而更新第二映射数据的P2L段1224。

[0197] 当检测到从主机102接收的命令的命令参数为“全部”(1460)时,控制器130基于命令的“全部”的参数确定更新参数为“全部”。在特定时间点t0,根据“全部”的更新参数,控制

器130通过利用单触发编程写入数据段1462而在第一超级存储块1250中存储存储在第一缓冲器1210中的用户数据的全部数据段1462。换言之,控制器130在包括在块0 1252(即,第一超级存储块1250的第一存储块)和块1 1254(即,第一超级存储块1250的第二存储块)的多个页面中存储存储在第一缓冲器1210中的全部数据段1300。

[0198] 此外,在时间点t₀之后的时间点t₁,根据“全部”的更新参数,控制器130根据时间点t₀的全部数据段1462的存储而在第二缓冲器1220中更新全部第二映射数据的P2L段1224和全部第一映射数据的L2P段1222。然后,控制器130通过利用单触发编程写入元段1464而在第一超级存储块1250中存储包括全部更新的P2L段1224和全部L2P段1222的元段1464。换言之,在时间点t₁,根据“全部”的更新参数,控制器130根据时间点t₀的全部数据段1462的存储而更新全部P2L段1224和全部L2P段1222。然后,控制器130在包括在块0 1252(即,第一超级存储块1250的第一存储块)和块1 1254(即,第一超级存储块1250的第二存储块)中的多个页面中存储包括更新的P2L段1224和L2P段1222的元段1464(即,存储在第二缓冲器1220中的全部元段1330)。

[0199] 在一个实施例中,如果如上所述地执行对应于从主机102接收的命令的命令操作,则对应于命令操作的用户数据和元数据存储存储在控制器130的存储器144中。换言之,用户数据的数据段1300存储在包括在控制器130的存储器144中的作为数据缓冲器/缓存的第一缓冲器1210中,并且元数据的元段1330存储在包括在控制器130的存储器144中的作为元缓冲器/缓存的第二缓冲器1220中。此外,检测从主机102接收的命令参数,并且确定更新参数。根据更新参数,存储在第一缓冲器1210中的数据段1300存储在包括在存储器装置150中的多个存储块中。例如,存储在第一缓冲器1210中的数据段1300通过单触发编程存储在存储器装置150的超级存储块中。此外,根据更新参数,在元段1330在第二缓冲器1220中更新之后,更新的元段1330存储包括在存储器装置150中的多个存储块中。例如,更新的元段1330通过单触发编程存储在存储器装置150的超级存储块中。

[0200] 因此,如果待执行对应于从主机102接收的命令的命令操作,则可以通过单触发编程快速并稳定地处理对应于命令操作的用户数据和元数据。结果,可以快速并稳定地执行命令操作。此外,在根据本发明的一个实施例的存储器系统中,元数据(即,用户数据的映射数据)以交错方式(例如,如图14所示)通过单触发编程存储在存储器装置150的超级存储块1250、1260和1270的第一存储块和第二存储块中。即,用户数据的映射数据以存储在存储器装置150的多个存储块中。因此,可以快速地处理将执行命令操作的元数据的存取(映射数据的存取)。

[0201] 图15是示意地示出根据本发明的一个实施例的存储器系统中处理数据的操作过程的简图。例如,可以通过图1、12和13的存储器系统110的控制器130执行处理。

[0202] 参照图15,如果待执行对应于从主机102接收的命令的命令操作,则在步骤1510,存储器系统110在控制器130的存储器144中存储对应于命令操作的用户数据的数据段和元数据的元段。然后,存储器系统110通过对从存储在控制器130的存储器144中的数据段和元段至存储器装置150的超级存储块的进行单触发编程来检测数据段和元段。在此情况下,存储器系统110检测从主机102接收的命令参数并且然后基于命令参数确定更新参数。

[0203] 此外,在步骤1520,针对存储控制器130的存储器144中的数据段和元段的单触发编程,存储器系统110检测存储器装置150的超级存储块中的开放块。例如,开放块可以是存

储器装置150中的超级存储块的第一存储块和第二存储块。

[0204] 在步骤1530,根据更新参数,存储器系统110通过利用单触发编程写入(即,编程)数据段而将存储在控制器130的存储器144中的数据段存储在包括在存储器装置150的超级存储块中的页面中。此外,根据更新参数,存储器系统110根据数据段的编程而更新元段(即,第二映射数据的P2L段和第一映射数据的L2P段),并随后通过利用单触发编程写入(即,编程)元段而在包括在存储器装置150的超级存储块中的页面中存储包括更新的P2L段和L2P段的元段。

[0205] 本发明的存储器系统和操作方法可以通过提高存储器装置的效率而比现有存储器系统更快速并稳定地处理数据。

[0206] 尽管为了说明的目的已经描述了各种实施例,但对于本领域技术人员将明显的是,在不脱离如权利要求所限定的本发明的精神和/或范围的情况下可以做出各种改变和变型。

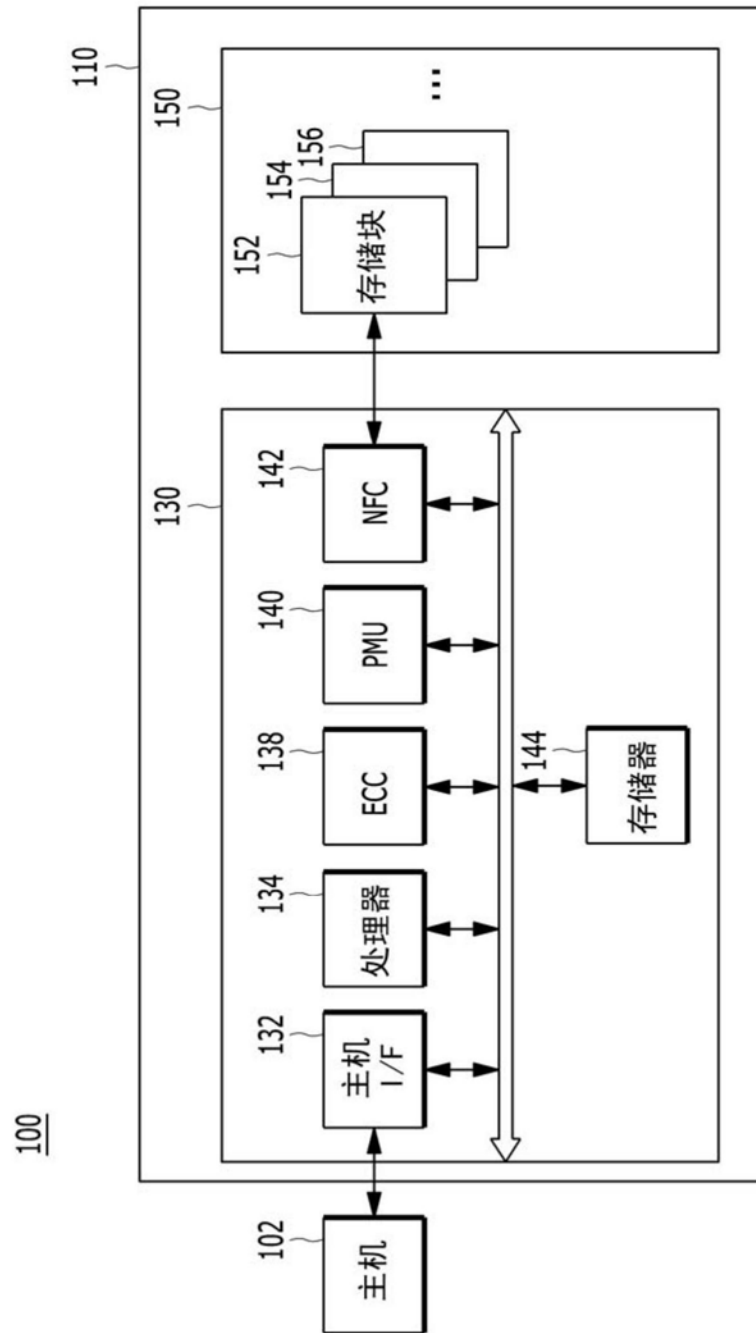


图1

150

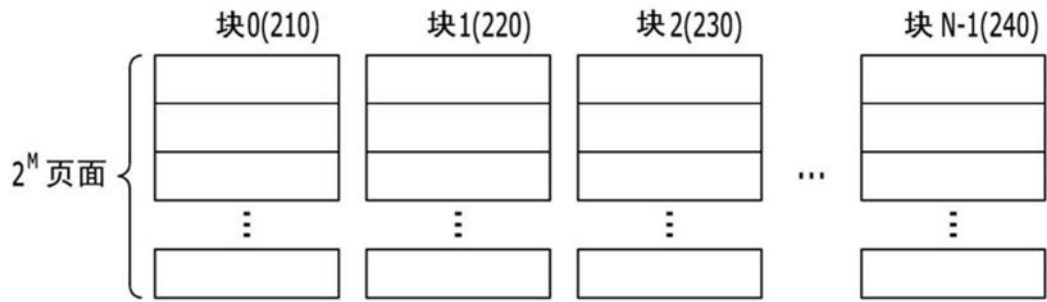


图2

300

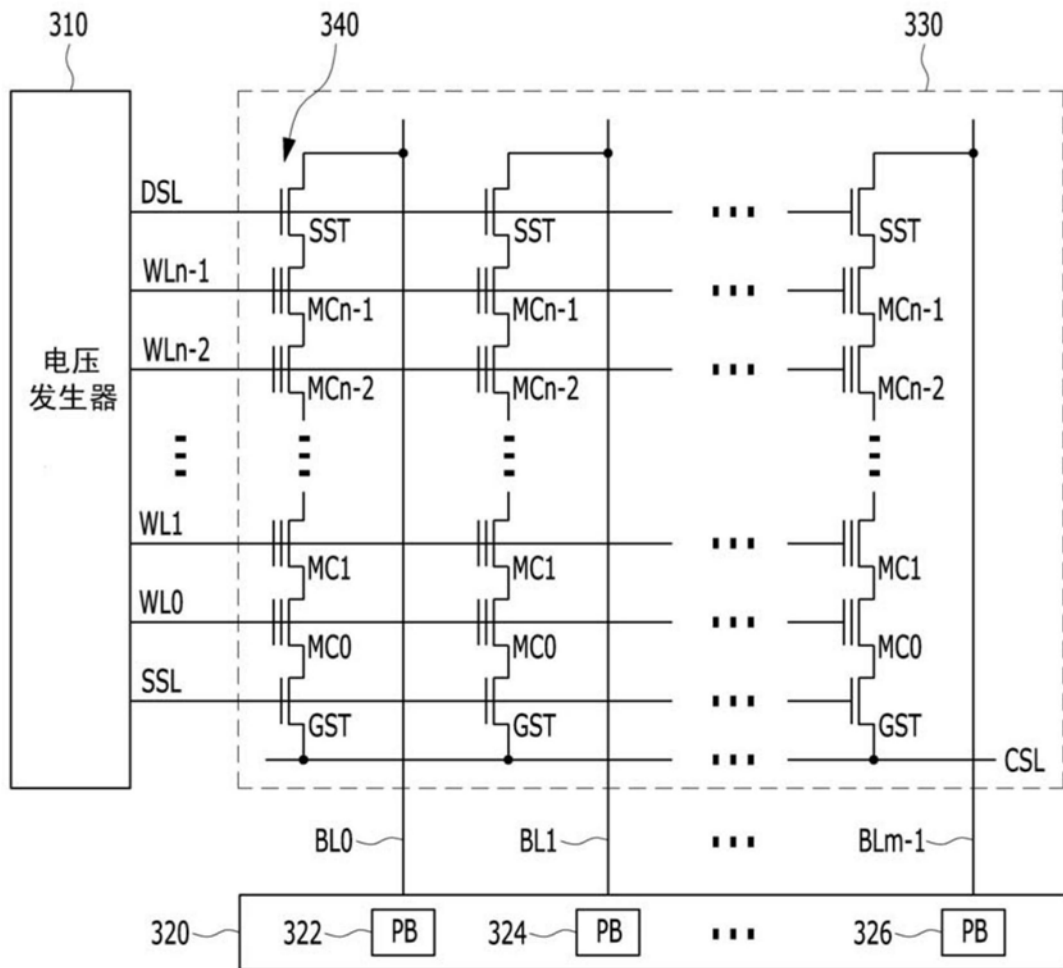


图3

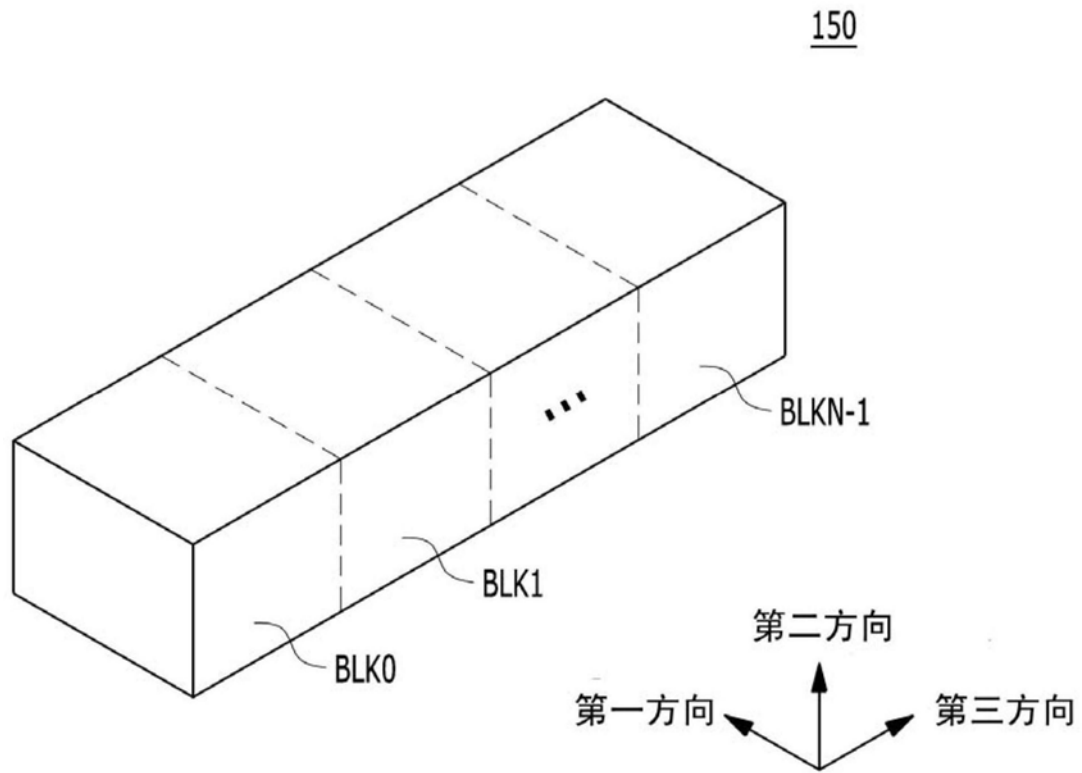


图4

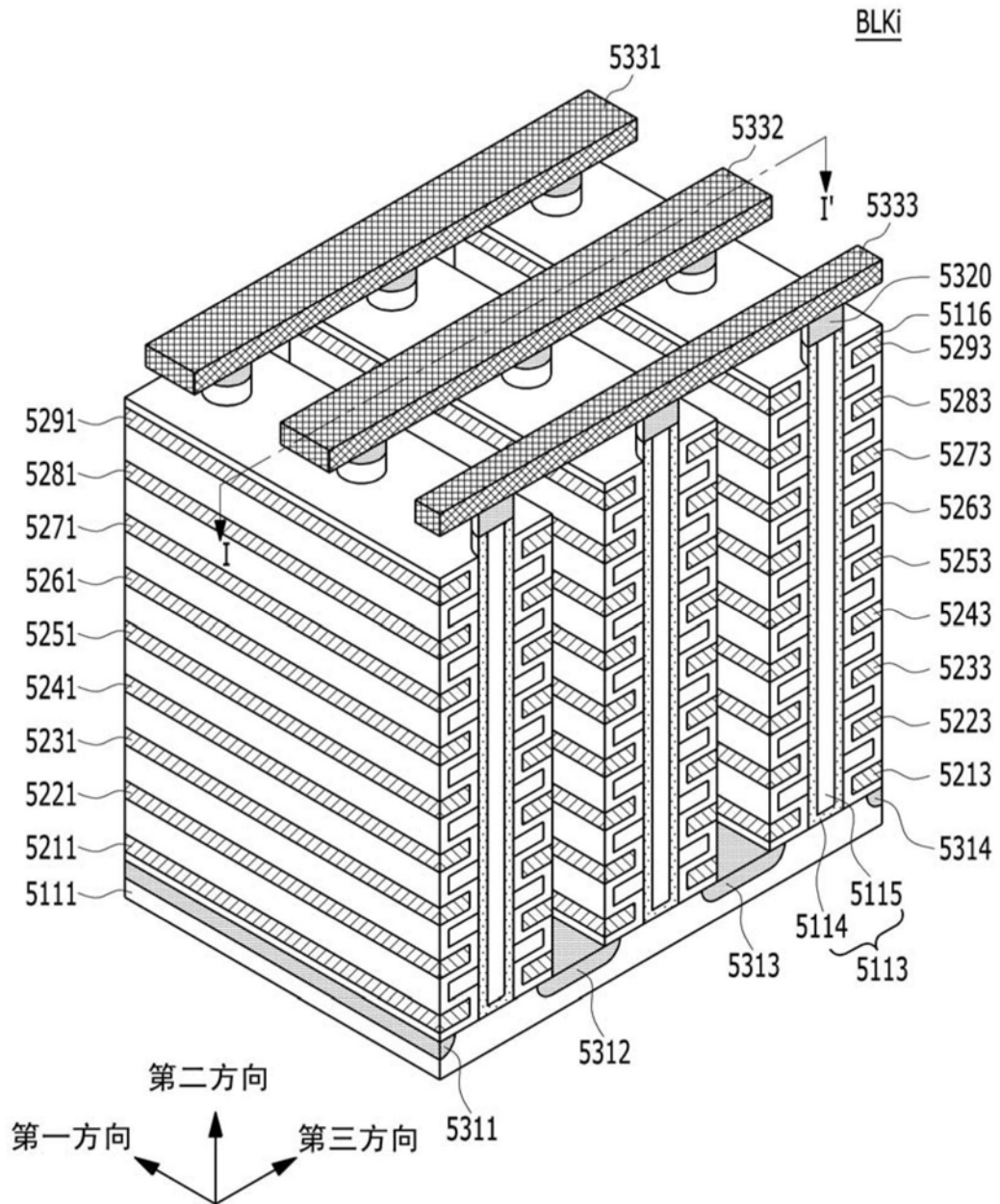


图5

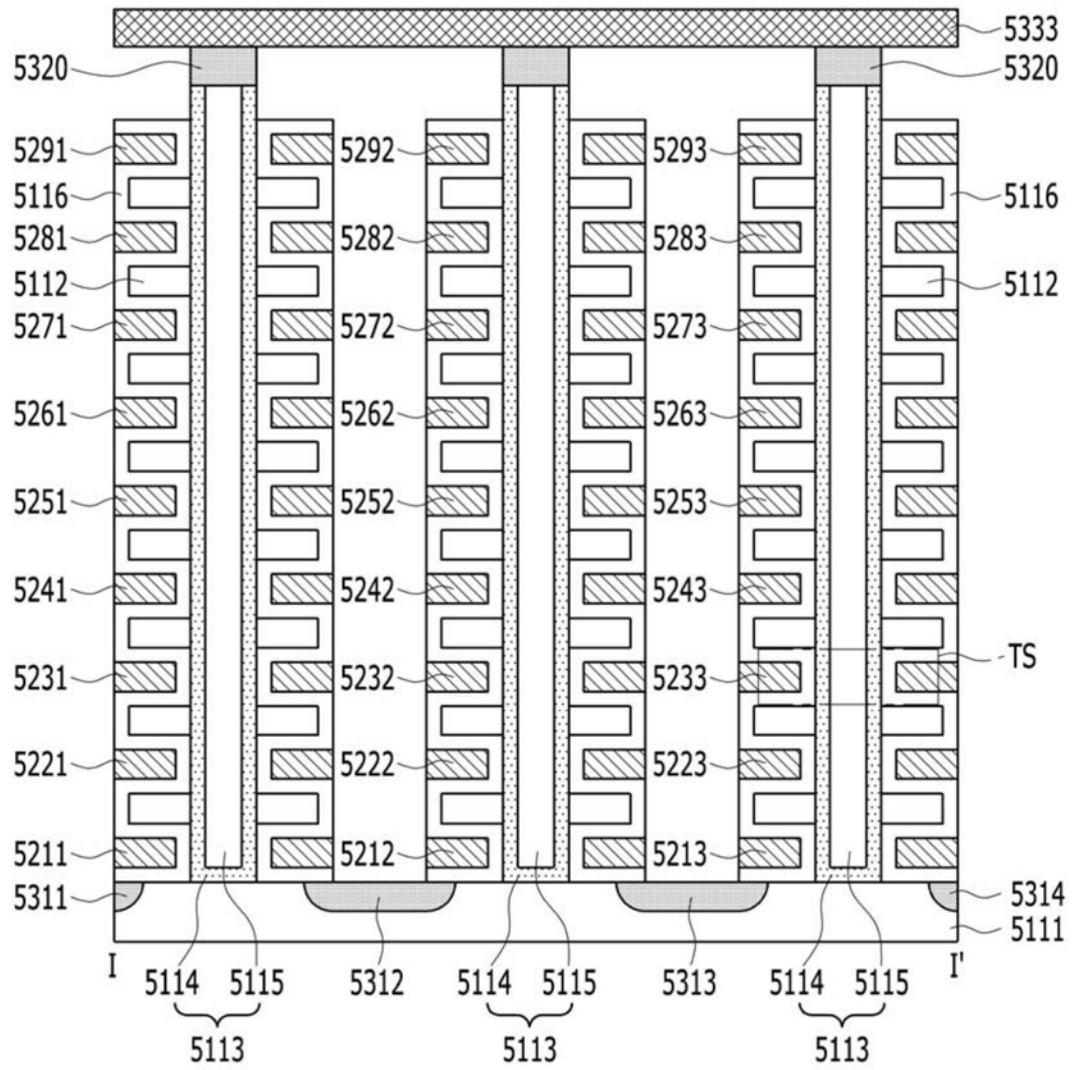


图6

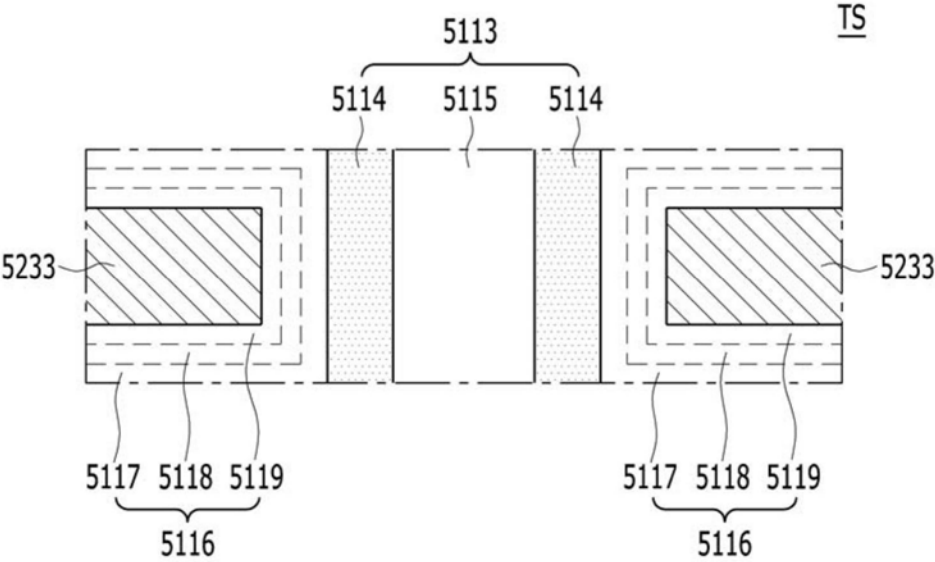


图7

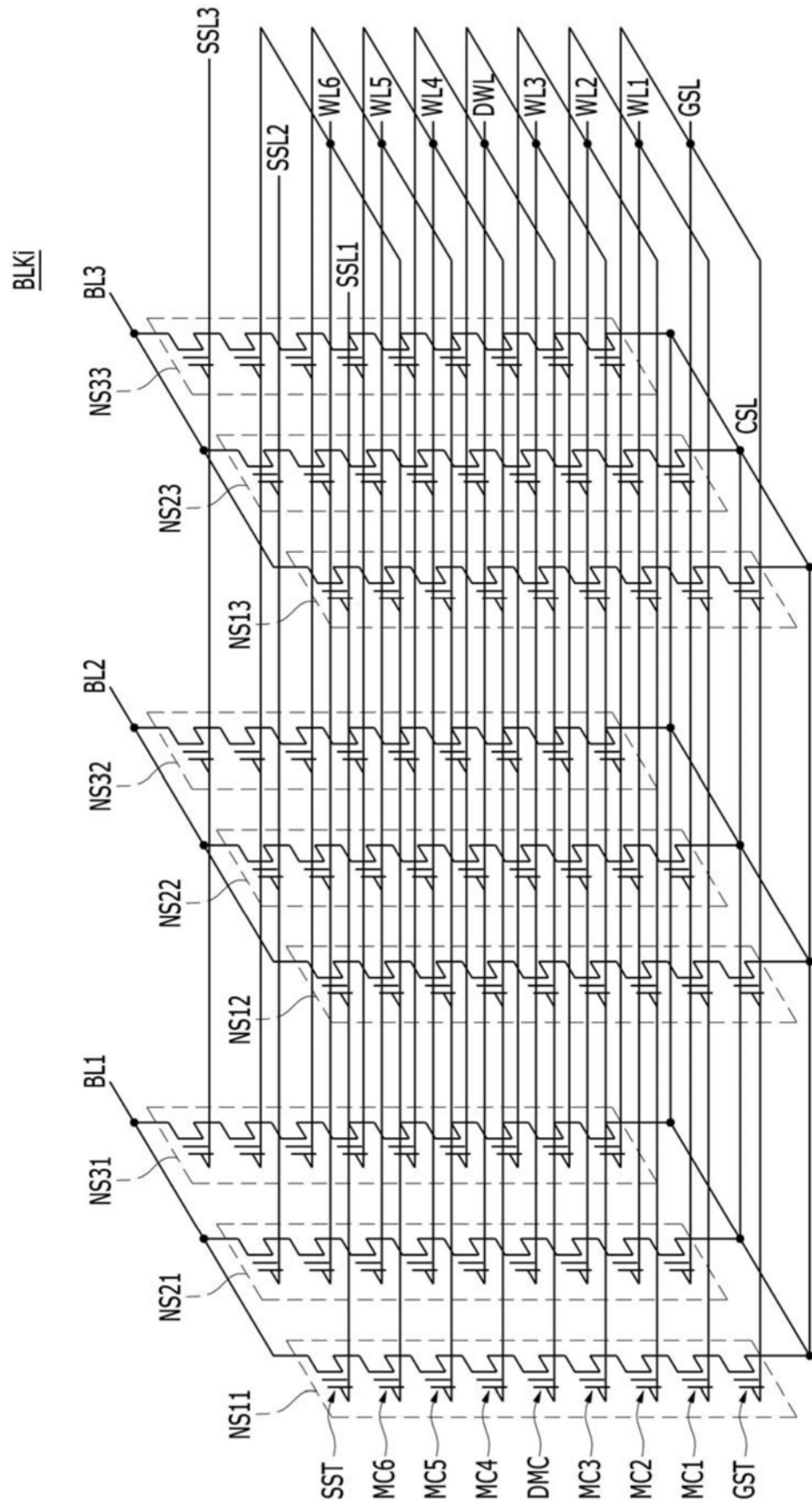


图8

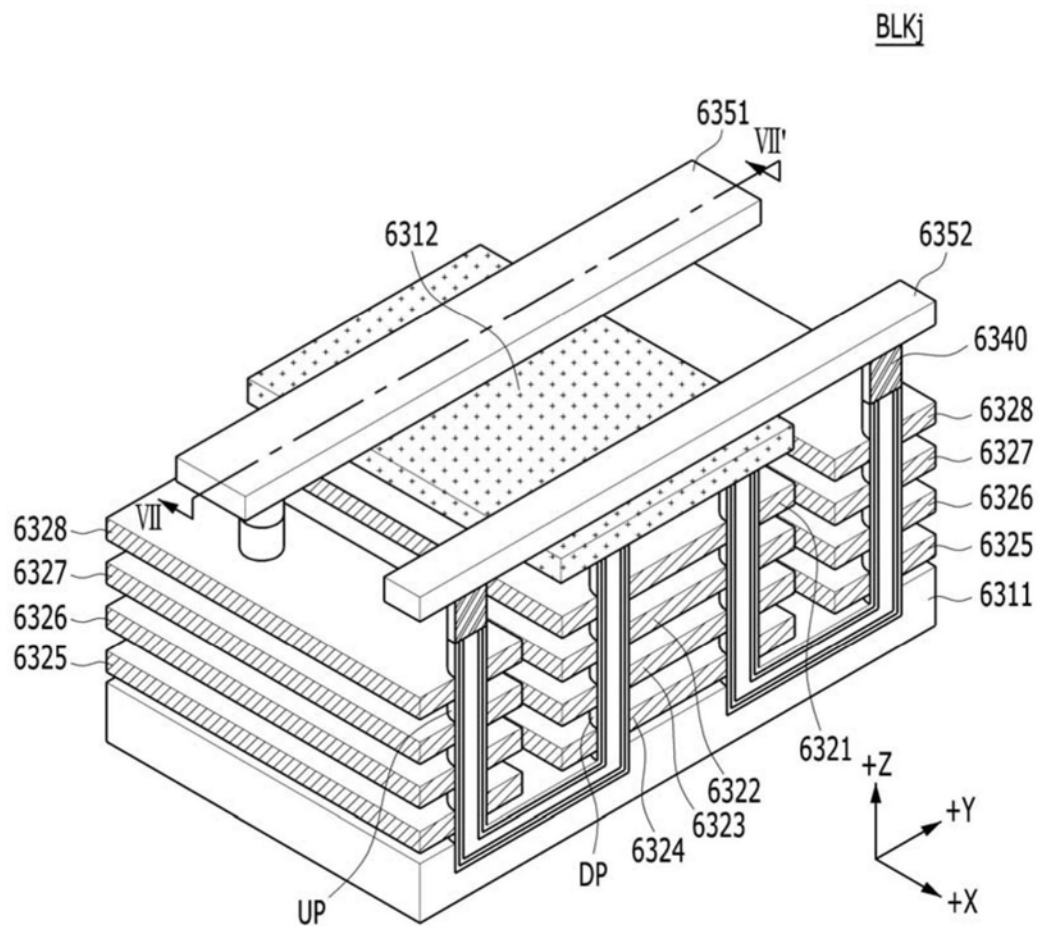


图9

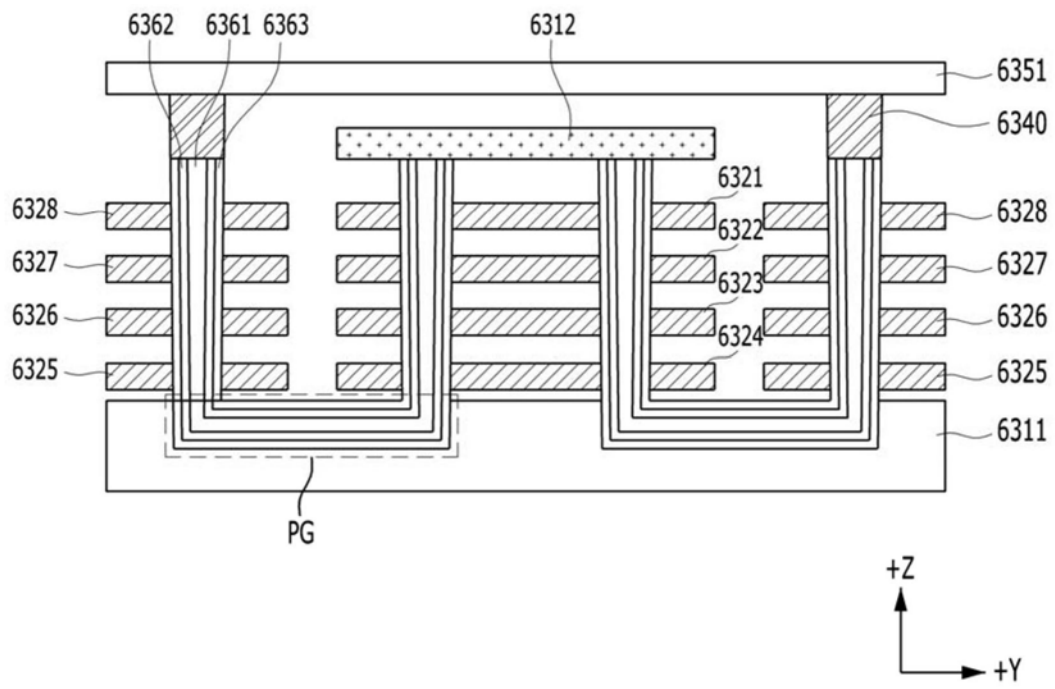


图10

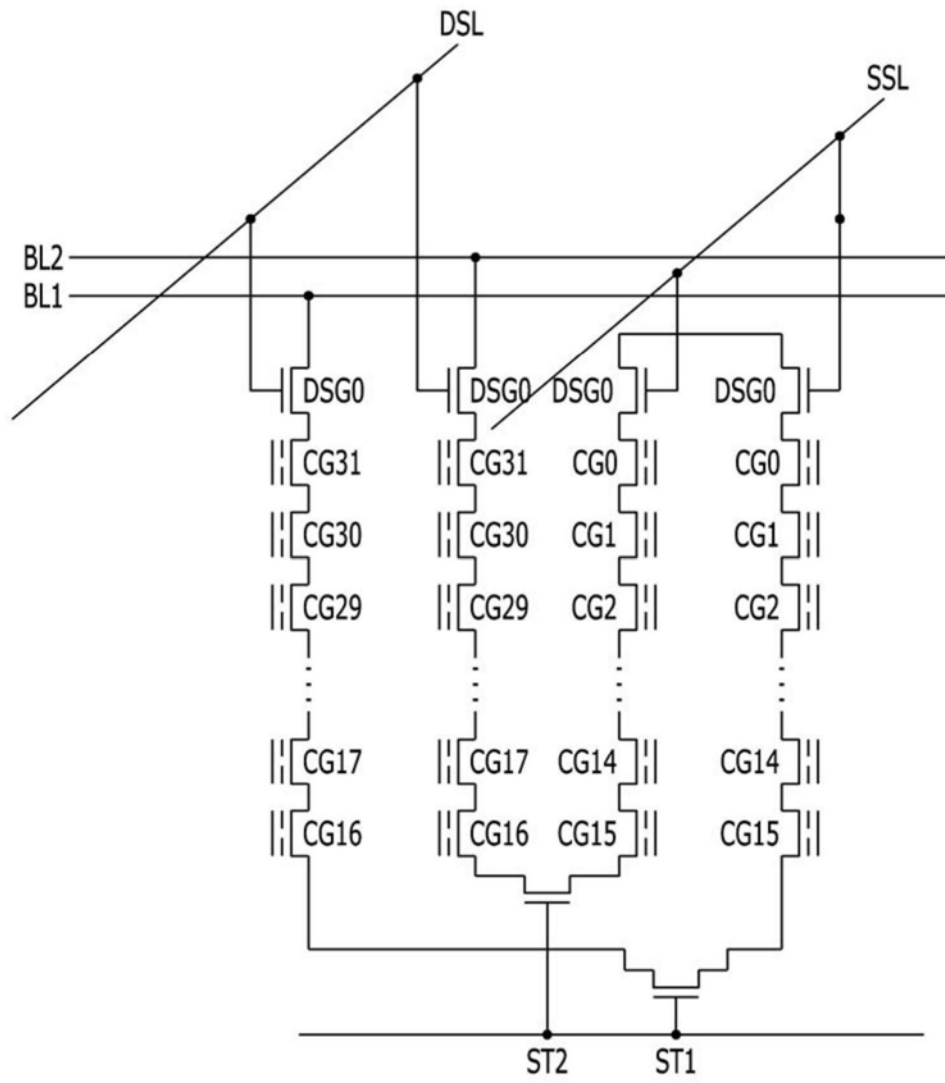


图11

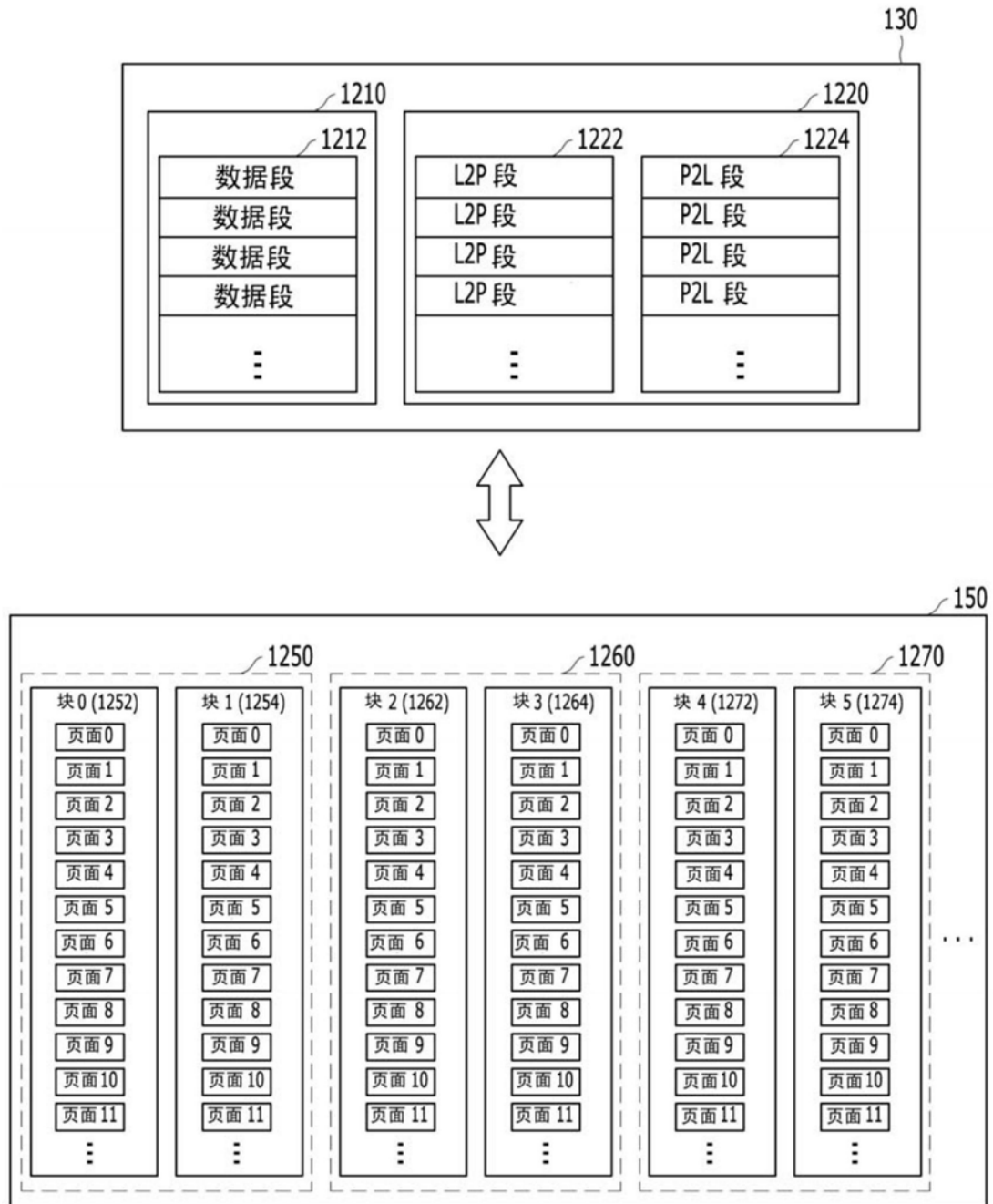


图12

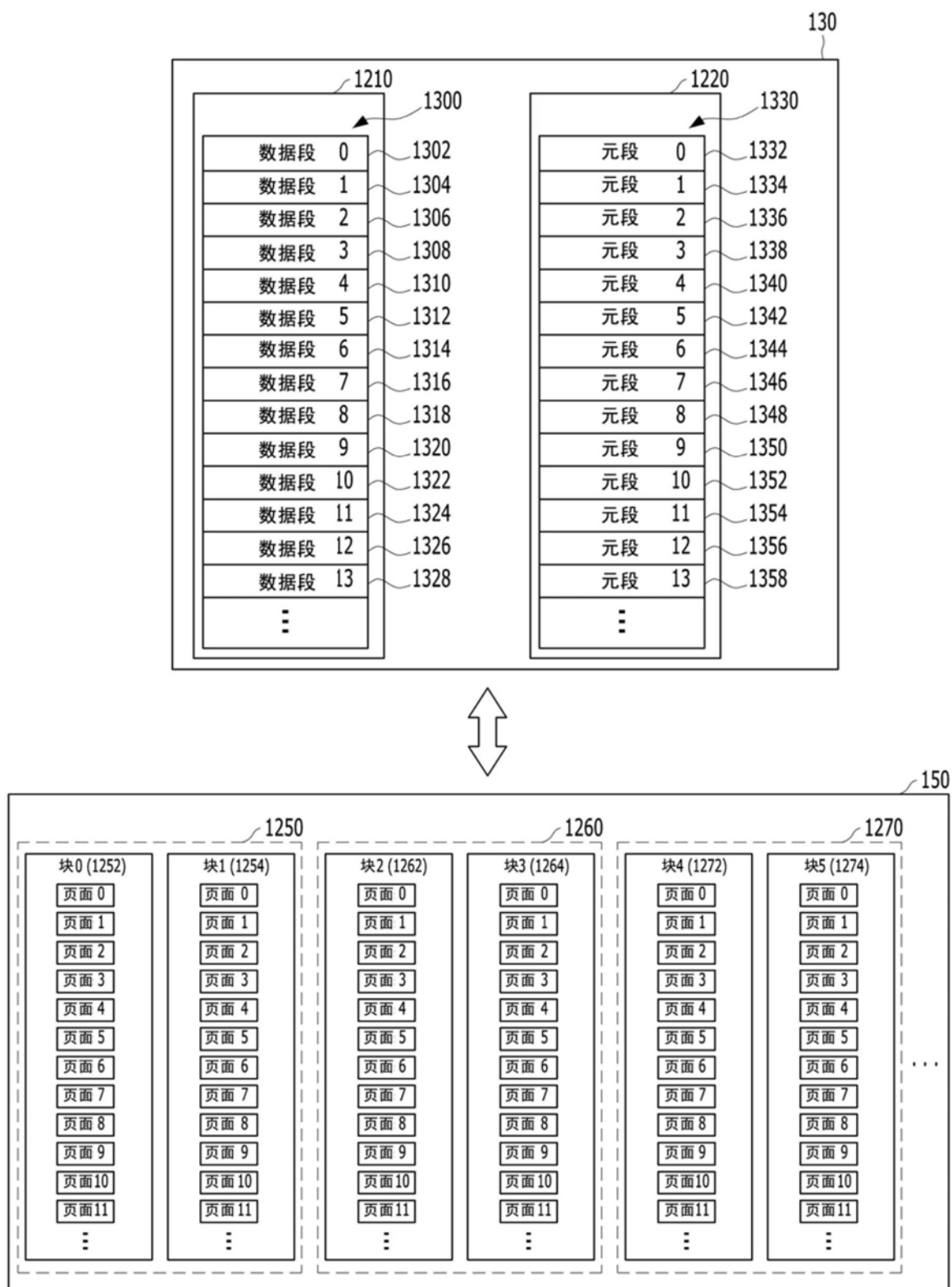


图13

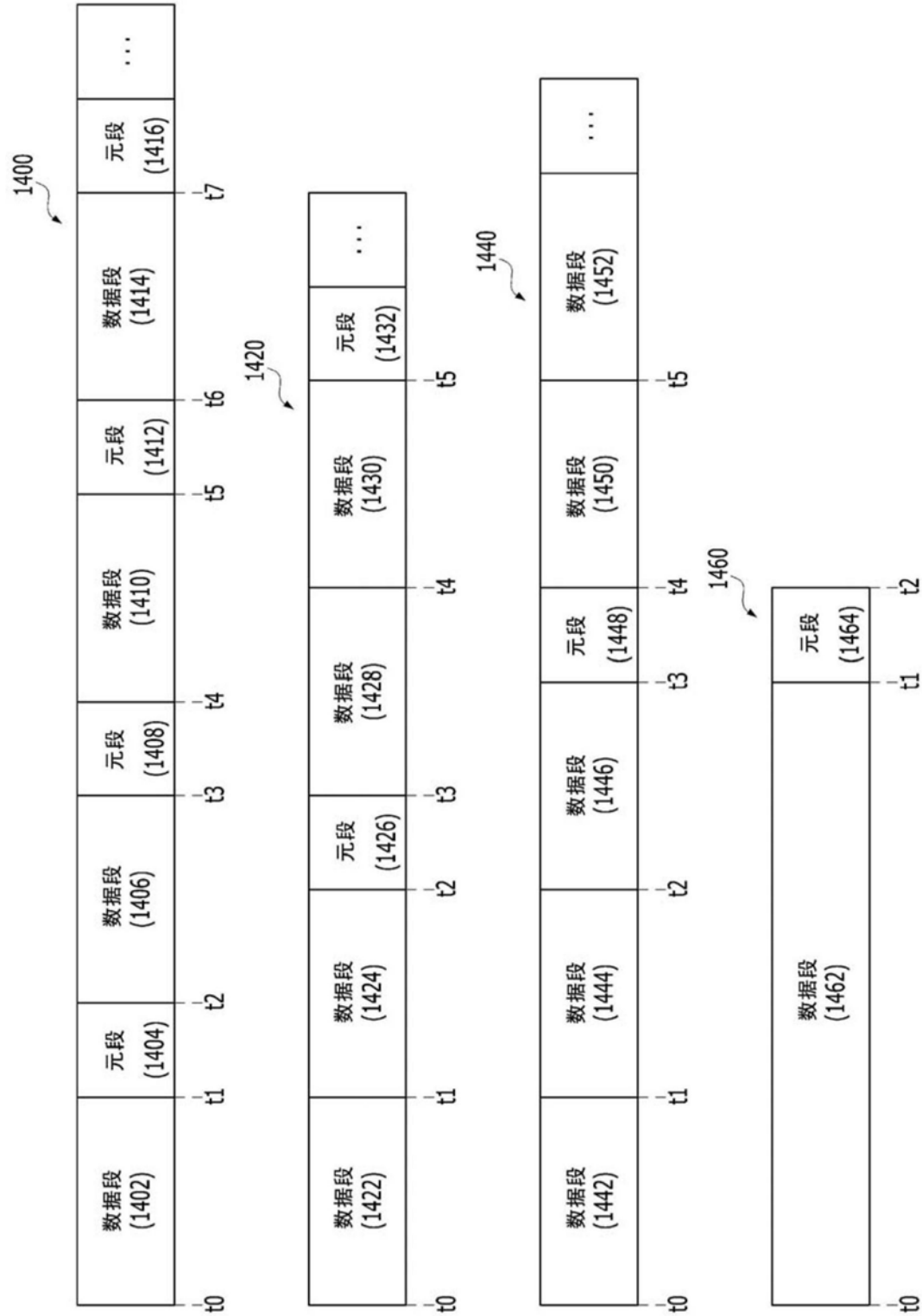


图14

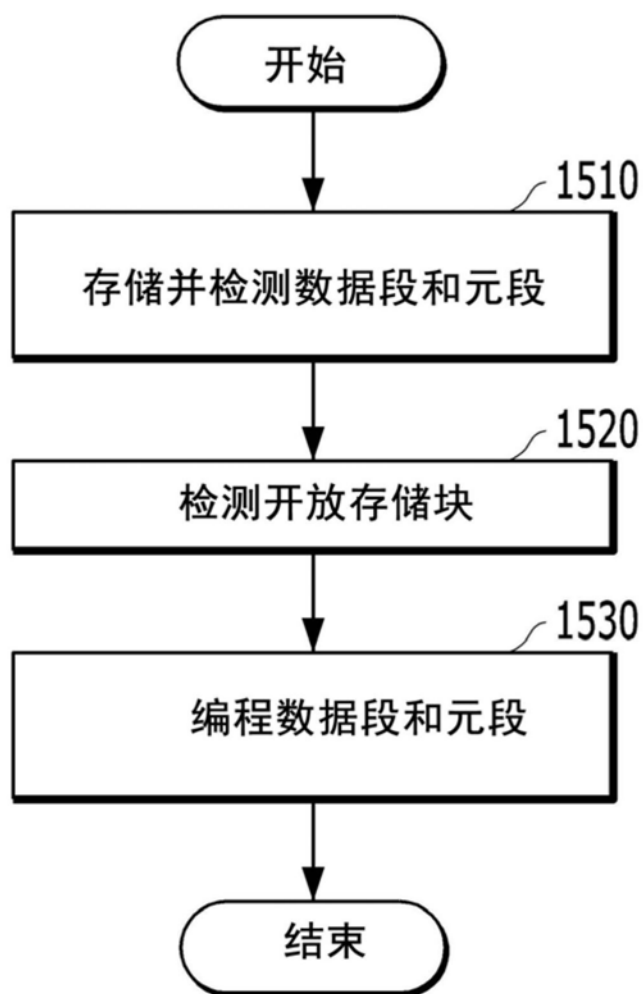


图15