



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월02일
(11) 등록번호 10-1959560
(24) 등록일자 2019년03월12일

(51) 국제특허분류(Int. Cl.)
H03M 3/00 (2006.01) H03M 1/20 (2006.01)
(52) CPC특허분류
H03M 3/494 (2019.01)
H03M 1/20 (2013.01)
(21) 출원번호 10-2017-0155541
(22) 출원일자 2017년11월21일
심사청구일자 2017년11월21일
(56) 선행기술조사문헌
KR1020160115800 A*
US20120038500 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김재준
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술대학교
장종규
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술대학교
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 7 항

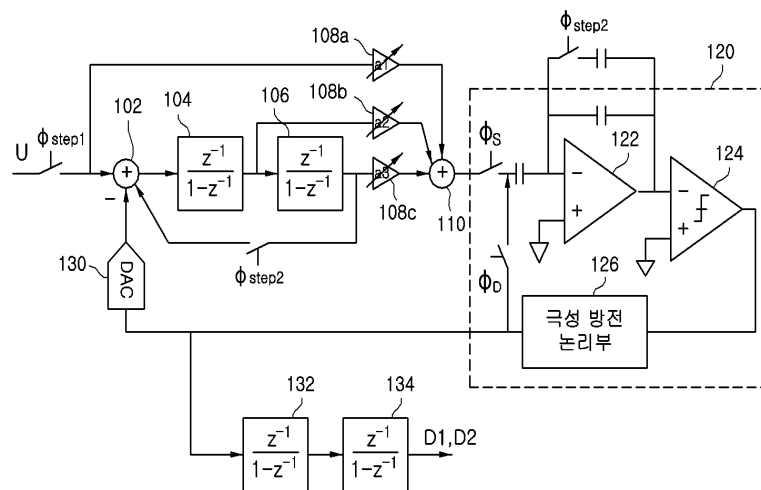
심사관 : 조춘근

(54) 발명의 명칭 아날로그 디지털 변환기

(57) 요약

본 발명에 따른 아날로그 디지털 변환기는, 입력과 아날로그 신호로 변환된 양자화 출력 간의 차이를 생성하는 감산기와, 생성된 상기 차이를 1차 적분하는 제 1 적분기와, 상기 제 1 적분기의 출력 전압을 2차 적분하는 제 2 적분기와, 상기 입력, 상기 제 1 적분기 및 상기 제 2 적분기의 각 출력 전압에 계수가 곱해진 값을 가산하는 가산기와, 상기 가산기의 출력 전압과 기준 전압과의 비교를 통해 디지털의 양자화 출력을 생성하는 노이즈 웨이핑 양자화기와, 상기 양자화 출력을 아날로그 신호로 변환하여 상기 감산기에 제공하는 디지털 아날로그 변환기(DAC)와, 상기 양자화 출력을 적분하여 디지털 정보를 출력하는 디지털 적분기를 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 10064058

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 센서산업고도화전문기술개발사업

연구과제명 패치형 헬스케어7종 복합센서 소자 및 플랫폼 기술개발

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2016.04.01 ~ 2019.03.31

명세서

청구범위

청구항 1

아날로그 디지털 변환기로서,
 입력과 아날로그 신호로 변환된 양자화 출력 간의 차이를 생성하는 감산기와,
 생성된 상기 차이를 1차 적분하는 제 1 적분기와,
 상기 제 1 적분기의 출력 전압을 2차 적분하는 제 2 적분기와,
 상기 입력, 상기 제 1 적분기 및 상기 제 2 적분기의 각 출력 전압에 계수가 곱해진 값을 가산하는 가산기와,
 상기 가산기의 출력 전압과 기준 전압과의 비교를 통해 디지털의 양자화 출력을 생성하는 노이즈 웨이핑 양자화
 기와,
 상기 양자화 출력을 아날로그 신호로 변환하여 상기 감산기에 제공하는 디지털 아날로그 변환기(DAC)와,
 상기 양자화 출력을 적분하여 디지털 정보를 출력하는 디지털 적분기
 를 포함하고,
 상기 디지털 정보로의 변환이 1단계와 2단계로 나누어 수행될 때,
 상기 감산기는,
 상기 1단계에서 상기 입력과 상기 아날로그 신호로 변환된 양자화 출력 간의 차이를 생성하고,
 상기 2단계에서 상기 입력 대신에 상기 제 2 적분기의 출력과 상기 아날로그 신호로 변환된 양자화 출력 간의
 차이를 생성하는
 아날로그 디지털 변환기.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 제 2 적분기는,
 상기 2단계가 수행될 때, 버퍼로서의 역할로 전환되는
 아날로그 디지털 변환기.

청구항 4

제 1 항에 있어서,
 상기 노이즈 웨이핑 양자화기는,
 상기 2단계가 수행될 때, 전압의 충방전이 아닌 적분기로서의 역할로 전환되는
 아날로그 디지털 변환기.

청구항 5

제 1 항에 있어서,
 상기 제 1 적분기 및 제 2 적분기 각각은,

노이즈 셰이핑을 일으키기 위해 아날로그 적분기로서 사용되는 증폭기인
아날로그 디지털 변환기.

청구항 6

제 1 항에 있어서,
상기 노이즈 셰이핑 양자화기는,
상기 가산기의 출력 전압을 증폭하는 증폭기와,
상기 증폭기의 출력 전압과 기준 전압을 비교하는 비교기와,
상기 비교기의 출력에 따라 입력이 양수인지 음수인지를 감지하고, 상기 증폭기에 연결된 커패시터의 전압을 충전 또는 방전시킴으로써 양자화된 값을 생성하는 극성 방전 논리부(polarity discharge logic)
를 포함하는 아날로그 디지털 변환기.

청구항 7

제 6 항에 있어서,
상기 증폭기는,
차동 증폭기인
아날로그 디지털 변환기.

청구항 8

제 6 항에 있어서,
상기 극성 방전 논리부는,
상기 입력의 크기에 따라 8레벨 양자화를 수행하는
아날로그 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 변환기(ADC)에 관한 것으로, 더욱 상세하게는 노이즈 셰이핑 양자화기(NSQ: Noise shaping quantizer)를 통해 델타 시그마의 차수(order)와 안정성을 확보할 수 있는 아날로그 디지털 변환기에 관한 것이다.

배경 기술

[0002] 잘 알려진 바와 같이, CMOS 공정 기술이 수 나노미터 수준으로 발전해 감에 따라 회로의 동작속도가 빨라짐과 더불어 집적도가 높아지고 있으며, 전원 전압의 크기가 상대적으로 낮아지면서 전력소모가 크게 감소하는 추세이다.

[0003] 상기한 바와 같은 요소들은 디지털 회로 설계에는 큰 장점이 될 수 있지만, 증폭기 등을 사용하는 아날로그 회로 설계는 점점 더 어려워지고 있다.

[0004] 일반적으로, ADC를 실행할 때 샘플링 후 저항을 통해 전압을 방전시키는데, 제로 크로싱(zero crossing)이 일어나면 방전을 멈추고 그때까지의 클록(clock) 횟수로 양자화(quantization)를 진행하게 된다.

[0005] 이러한 방식의 ADC에서는 N 비트의 양자화를 위해 2^N 클록 사이클이 필요하다. 즉, 샘플링 주파수로 2^N 빠른 주파수가 필요하게 되는 문제가 있으며, 이러한 문제는 ADC의 설계를 복잡하게 하는 요인으로 작용하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록특허 제1214976호(공고일: 2012. 12. 24)

발명의 내용

해결하려는 과제

- [0007] 본 발명은 노이즈 웨이핑 양자화기를 사용함으로써 델타 시그마의 차수와 안정성을 실현하고, MSB(most significant bit)와 LSB(least significant bit)의 2 단계 적용을 통해 델타 시그마의 차수(order)를 2배로 늘릴 수 있는 아날로그 디지털 변환기를 제안한다.
- [0008] 또한, 본 발명은 블록(구성부재)의 재사용을 통해 추가적인 회로의 사용을 억제하고, MSB와 LSB가 동일한 OSR(over sampling ratio)을 사용하도록 하여 데시메이션 필터(Decimation filter)를 공유시킴으로써 적은 OSR을 통해 상대적으로 높은 고분해능을 갖는 아날로그 디지털 변환기를 제안한다.
- [0009] 본 발명이 해결하고자 하는 과제는 상기에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재들로부터 본 발명이 속하는 통상의 지식을 가진 자에 의해 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 본 발명은, 일 관점에 따라, 입력과 아날로그 신호로 변환된 양자화 출력 간의 차이를 생성하는 감산기와, 생성된 상기 차이를 1차 적분하는 제 1 적분기와, 상기 제 1 적분기의 출력 전압을 2차 적분하는 제 2 적분기와, 상기 입력, 상기 제 1 적분기 및 상기 제 2 적분기의 각 출력 전압에 계수가 곱해진 값을 가산하는 가산기와, 상기 가산기의 출력 전압과 기준 전압과의 비교를 통해 디지털의 양자화 출력을 생성하는 노이즈 웨이핑 양자화기와, 상기 양자화 출력을 아날로그 신호로 변환하여 상기 감산기에 제공하는 디지털 아날로그 변환기(DAC)와, 상기 양자화 출력을 적분하여 디지털 정보를 출력하는 디지털 적분기를 포함하는 아날로그 디지털 변환기를 제공할 수 있다.
- [0011] 본 발명의 상기 감산기는, 상기 디지털 정보로의 변환이 MSB의 1단계와 LSB의 2단계로 나누어 수행될 때, 상기 2단계에서 상기 양자화 출력과 상기 적분기의 출력을 입력으로 하는 차이를 생성할 수 있다.
- [0012] 본 발명의 상기 제 2 적분기는, 상기 2단계가 수행될 때, 버퍼로서의 역할로 전환될 수 있다.
- [0013] 본 발명의 상기 노이즈 웨이핑 양자화기는, 상기 2단계가 수행될 때, 전압의 충방전이 아닌 적분기로서의 역할로 전환될 수 있다.
- [0014] 본 발명의 상기 제 1 적분기 및 제 2 적분기 각각은, 노이즈 웨이핑을 일으키기 위해 아날로그 적분기로서 사용되는 증폭기일 수 있다.
- [0015] 본 발명의 상기 노이즈 웨이핑 양자화기는, 상기 가산기의 출력 전압을 증폭하는 증폭기와, 상기 증폭기의 출력 전압과 기준 전압을 비교하는 비교기와, 상기 비교기의 출력에 따라 입력이 양수인지 음수인지를 감지하고, 상기 증폭기에 연결된 커패시터의 전압을 충전 또는 방전시킴으로써 양자화된 값을 생성하는 극성 방전 논리부(polarity discharge logic)를 포함할 수 있다.
- [0016] 본 발명의 상기 증폭기는, 차동 증폭기일 수 있다.
- [0017] 본 발명의 상기 극성 방전 논리부는, 상기 입력의 크기에 따라 8레벨 양자화를 수행할 수 있다.

발명의 효과

- [0018] 본 발명의 실시예에 따르면, 노이즈 웨이핑 양자화기의 사용을 통해 델타 시그마의 차수와 안정성을 실현할 수 있고, MSB와 LSB의 2 단계 적용을 통해 델타 시그마의 차수를 2배로 늘릴 수 있다.
- [0019] 또한, 본 발명의 실시예에 따르면, 블록의 재사용을 통해 추가적인 회로의 사용을 억제할 수 있고, MSB와 LSB가 동일한 OSR을 사용하도록 하여 데시메이션 필터를 공유시킴으로써 적은 OSR을 통해 상대적으로 높은 고분해능의 ADC를 실현할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예에 따른 아날로그 디지털 변환기에 대한 블록도이다.
- 도 2는 본 발명의 실시예에 따른 양자화기 내부의 증폭기와 극성 방전 논리부의 충전 및 방전 동작을 설명하기 위한 블록도이다.
- 도 3은 노이즈 셰이핑 양자화기의 동작을 설명하기 위한 출력 파형도이다.
- 도 4는 본 발명의 실시예에 따라 수행되는 첫 번째 단계와 두 번째 단계에서의 전체적인 시간 그래프를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0021] 먼저, 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되는 실시 예들을 참조하면 명확해질 것이다. 여기에서, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 발명의 범주를 명확하게 이해할 수 있도록 하기 위해 예시적으로 제공되는 것이므로, 본 발명의 기술적 범위는 청구항들에 의해 정의되어야 할 것이다.
- [0022] 아울러, 아래의 본 발명을 설명함에 있어서 공지 기능 또는 구성 등에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들인 것으로, 이는 사용자, 운용자 등의 의도 또는 관례 등에 따라 달라질 수 있음은 물론이다. 그러므로, 그 정의는 본 명세서의 전반에 걸쳐 기술되는 기술사상을 토대로 이루어져야 할 것이다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.
- [0024] 도 1은 본 발명의 실시예에 따른 아날로그 디지털 변환기에 대한 블록도이다.
- [0025] 도 1을 참조하면, 본 실시예의 아날로그 디지털 변환기는 감산기(102), 제 1 적분기(104), 제 2 적분기(106), 3개의 계수(108a, 108b, 108c), 가산기(110), 양자화기(120), 디지털 아날로그 변환기(DAC)(130), 2개의 디지털 적분기(132, 134) 등을 포함할 수 있다.
- [0026] 먼저, 입력(U)은 감산기(102)와 제 1 계수(108A)로 각각 제공되는데, 감산기(102)는 디지털 아날로그 변환기(130)를 통해 아날로그 전압의 형태로 변환된 양자화 출력과 입력(U)과의 차이(차이 전압)를 생성하는데, 여기에서 생성되는 차이는 제 1 적분기(104)의 입력으로 제공된다.
- [0027] 또한, 감산기(102)는, 본 발명의 실시예에 따라 아날로그 디지털 변환(ADC)이 MSB의 1단계와 LSB의 2단계로 나누어 수행될 때, 2단계에서 양자화 출력(DAC(130)의 출력)과 제 2 적분기의 출력을 입력으로 하는 차이를 생성한다.
- [0028] 그리고, 제 1 적분기(104)는 감산기(102)로부터 전달되는 차이 전압을 1차 적분하여 시간 적분에 비례하는 값을 출력하는데, 이러한 제 1 적분기(104)의 출력(출력 전압)은 제 2 적분기(106)의 입력과 제 2 계수(108b)가 곱해져 가산기(110)의 타측 입력으로 각각 제공된다. 여기에서, 제 1 적분기(104)는, 예컨대 노이즈 셰이핑을 일으키기 위해 아날로그 적분기로서 사용되는 증폭기로 정의될 수 있다.
- [0029] 또한, 제 2 적분기(106)는 제 1 적분기(104)의 출력을 2차 적분하여 시간 적분에 비례하는 값을 출력하는데, 이러한 제 2 적분기(106)의 출력(출력 전압)은 제 3 계수(108c)가 곱해져 가산기(110)의 다른 타측 입력으로 각각 제공된다. 여기에서, 제 2 적분기(106)는, 예컨대 노이즈 셰이핑을 일으키기 위해 아날로그 적분기로서 사용되는 증폭기로 정의될 수 있다.
- [0030] 이때, 아날로그 디지털 변환(ADC)이 MSB와 LSB의 두 단계로 진행되는 경우에 있어서, 두 번째 단계에서는 제 2 적분기(106)의 출력이 감산기(102)의 일측 입력으로 제공될 수 있으며, 감산기(102)에서는 입력(U) 대신에 제 2 적분기(106)의 출력을 이용하는데, 이것은 2차의 노이즈 셰이핑(noise shaping) 효과를 얻기 위해서이다. 그리고, 두 번째 단계가 진행될 때, 제 2 적분기(106)는 적분기가 아닌 버퍼로서의 역할을 수행하게 된다.
- [0031] 다음에, 가산기(110)는 입력(u)에 제 1 계수(108a)가 곱해진 값, 제 1 적분기(104)의 출력 전압에 제 2 계수(108b)가 곱해진 값, 제 2 적분기(106)의 출력 전압에 제 3 계수(108c)가 곱해진 값을 가산한 후 양자화기(12

0)의 입력으로 제공할 수 있다. 즉, 가산기(110)는 각 커패시터(도시 생략)의 비율로 제 1 내지 제 3 계수(108a, 108b, 108c)를 곱한 후 세 개의 신호를 가산하여 증폭기(122)의 일측 입력으로 제공한다.

[0032] 여기에서, 양자화기(120)는, 예컨대 노이즈 셰이핑 양자화기로서, 가산기(110)의 출력 전압과 기준 전압과의 비교를 통해, 예컨대 8 레벨의 양자화 출력을 생성하는 등의 기능을 제공할 수 있는데, 이를 위해 양자화기(120)는 증폭기(122), 비교기(124) 및 극성 방전 논리부(polarity discharge logic)(126) 등을 포함할 수 있다.

[0033] 먼저, 증폭기(122)는, 예컨대 차동 증폭기로서, 가산기(110)의 출력 전압을 증폭한 후 커패시터에 저장할 수 있는데, 이러한 증폭기(122)의 출력은 비교기(124)의 일측 입력으로 제공될 수 있다. 즉, 첫 번째 단계에서는 증폭기(122)의 출력이 비교기(124)의 일측 입력으로 제공되고, 두 번째 단계에서는 스위치와 커패시터를 이용하여 세 개의 신호를 더한 값(스위치를 이용하여 커패시터의 비율로 세 개의 신호를 합한 값)이 비교기(124)의 일측 입력으로 제공된다.

[0034] 또한, 비교기(124)는 증폭기(122)의 출력 전압과 기준 전압을 비교하고, 그 비교 결과에 따른 출력(예컨대, "1" 또는 "0"의 1비트 출력)을 극성 방전 논리부(126)의 입력으로 제공할 수 있다.

[0035] 그리고, 극성 방전 논리부(126)는 비교기(124)의 출력에 따라 입력이 양수인지 음수인지를 감지하고, 증폭기(122)에 연결된 커패시터의 전압을 충전 또는 방전시킴으로써 양자화된 값을 생성, 예컨대 입력의 크기에 따라 8레벨의 양자화 출력을 생성하는 등의 기능을 제공할 수 있다.

[0036] 즉, 양자화기(120)는 증폭기(122)를 통해 가산기(110)의 출력을 커패시터에 저장하고, 극성 방전 논리부(126)를 통해 비교기(124)의 출력에 따른 양만큼 방전시키는데, 이러한 과정에서 양자화 에러(quantization error)가 증폭기(122)의 커패시터의 남아있게 되고, 그 양자화 에러들이 새로운 입력이 들어올 때마다 적분되어 최종적으로 1차 노이즈 셰이핑 효과를 얻게 된다.

[0037] 이때, 비교기(124)의 출력은 1비트지만, 극성 방전 로직부(126)는 1비트 출력을 통해 증폭기(122)의 출력의 부호가 변할 때까지 방전 혹은 충전시킨다. 그때까지 비교기(124)는 동일한 값을 출력하기 때문에 그 1비트 출력을 카운트하여 최종적인 8 레벨의 양자화 결과를 출력할 수 있으며, 이를 위해 양자화기(120)에는 극성 검출기(도시 생략)가 내장될 수 있다.

[0038] 한편, 아날로그 디지털 변환이 MSB와 LSB의 두 단계로 진행될 때, 두 번째 단계에서 양자화기(120)는 전압의 충방전이 아닌 적분기로서의 역할을 수행하게 된다.

[0039] 여기에서, 양자화기(120)의 출력, 즉 극성 방전 논리부(126)의 8레벨 양자화 출력은 디지털 아날로그 변환기(130)와 두 개의 디지털 적분기(132, 134)의 입력으로 각각 제공된다.

[0040] 그리고, 디지털 아날로그 변환기(130)는 양자화 출력을 아날로그 신호로 변환, 즉 극성 방전 논리부(126)의 양자화 출력을 아날로그 전압으로 변환하여 감산기(102)의 일측 입력으로 제공한다.

[0041] 한편, 두 개의 디지털 적분기(132, 134)는, 예컨대 디지털 데시메이션 필터(digital decimation filter)로 정의될 수 있는 것으로, 제 1 적분기(104)와 제 2 적분기(106)가 수행한 노이즈 셰이핑 효과가 반영된 양자화 출력을 최종적으로 디지털 정보(디지털 코드)로 적용시키는 기능을 수행할 수 있는 것으로, 이러한 두 디지털 적분기(132, 134)의 출력(D1, D2)은 한 번의 변환 주기(conversion period)가 끝날 때마다 출력될 수 있다. 여기에서, 2개의 디지털 적분기(132, 134)로 디지털 데시메이션 필터를 구성하는 것은 입력(U)에 대하여 출력이 두 개의 시그마를 가지고 있기 때문에 이 두 개의 시그마를 구현하기 위해 2개의 디지털 적분기를 사용한다.

[0042] 즉, 본 발명의 실시예에 따르면, ADC가 MSB와 LSB의 두 단계로 이루어지는데, 첫 번째 단계(ϕ_{step1})(MSB의 수행 단계)에서는 감산기(102)가 디지털 아날로그 변환기(130)를 통해 아날로그 전압의 형태로 변환된 양자화 출력과 입력(U)과의 차이(차이 전압)를 생성하여 이후 과정들을 수행하고, 두 번째 단계(ϕ_{step2})(LSB의 수행 단계)에서는 감산기(102)에 들어오는 입력(U) 대신에 제 2 적분기(106)의 출력이 감산기(102)의 일측 입력으로 제공되어 차이를 생성하는 등과 같은 이후의 과정들을 수행하게 된다.

[0043] 이때, 두 번째 과정에서 입력(U) 대신에 제 2 적분기(106)의 출력을 이용하는 것은 2차의 노이즈 셰이핑 효과를 얻기 위해서이다.

[0044] 본 실시예에 따르면, 첫 번째 단계에서는 양자화기(120)를 통해 생성되는 8레벨 양자화된 값을 감산기(102)로 피드백하여 제 1 적분기(104)로의 입력 값을 상대적으로 작게 만들어 줌으로써 발진 가능성을 현저하게 감소시킬 수 있다.

- [0045] 또한, 두 번째 단계에서는 감산기(102)의 입력으로 들어오는 제 2 적분기(106)의 출력 값이 상대적으로 작기 때문에 발진 가능성을 더욱 감소시킬 수 있다.
- [0046] 그리고, 두 번째 단계에서 2차의 노이즈 웨이핑 효과를 가지기 위하여 첫 번째 단계에서 사용한 양자화기(120)는 그 역할을 달리할 수 있다. 즉, 양자화기(120) 내부의 증폭기(122)는 제 1 적분기(104)와 동일한 기능을 수행할 수 있는데, 그러한 과정에서 가산기(110)의 입력들의 계수들(108a, 108b, 108c)이 달라져야 안정성에 문제가 발생하지 않는다.
- [0047] 이때, 두 번째 단계에 있어서, 극성 방전 논리부(126)는 일반적인 비교기의 기능만을 수행할 뿐, 비교기(124)의 결과에 따른 충전/방전의 기능은 수행하지 않는다.
- [0048] 첫 번째 단계에서와 마찬가지로, 극성 방전 논리부(126)의 출력은 디지털 아날로그 변환기(130)와 두 개의 디지털 적분기(132, 134)를 통해 최종적인 디지털 정보로 출력된다.
- [0049] 즉, 본 발명의 실시예에 따르면, MSB의 첫 번째 단계와 LSB의 두 번째 단계에서 모든 블록(구성요소)을 재사용하기 때문에 전력손실을 줄일 수 있으며, 상대적으로 높은 고분해능의 아날로그 디지털 변환을 실현할 수 있다.
- [0050] 도 2는 본 발명의 실시예에 따른 양자화기 내부의 증폭기와 극성 방전 논리부의 충전 및 방전 동작을 설명하기 위한 블록도이다.
- [0051] 도 2를 참조하면, 샘플링 위상(Sampling phase)(ϕ_s)에서는 양자화기(120)의 입력을 샘플링 커패시터(204a, 204b)에 샘플링한다. 차동 증폭기(208)와 C_1 를 통해 V_{OUT} 가 $-V_{IN}$ 이 된다. V_{OUT} 값은 비교기(210)를 통해 1비트의 값으로 출력된다.
- [0052] 그리고, 비교기(210)의 1비트 출력에 따라 V_{REF} 의 값이 바뀌어 C_1 에 저장된 V_{IN} 전압을 충전 혹은 방전할지를 결정한다. 충전 혹은 방전을 하게 되어 그 값이 0을 지나 기존의 V_{IN} 값과 부호가 달라지게 될 때 충전 혹은 방전을 멈추고, 그 횟수를 카운트하여 그에 맞는 값을 극성 방전 논리부(126)가 출력하게 된다.
- [0053] 본 발명의 실시예에서는 입력의 크기에 따른 8레벨 양자화를 이용하기 때문에 4번의 방전 위상(discharging phase)(ϕ_D)을 통해 충전 혹은 방전을 일으킴으로써 V_{IN} 을 양자화할 수 있다.
- [0054] 도 3은 노이즈 웨이핑 양자화기의 동작을 설명하기 위한 출력 파형도이다.
- [0055] 도 3을 참조하면, 샘플링 위상에서 노이즈 웨이핑 양자화기의 입력이 샘플링되면 단위 전압(unit voltage) 만큼씩 방전이 일어나는데, 비교기에서는 방전이 일어나는 때 순간 그 결과를 극성 검출기를 통해 전 단계의 방전 결과와 비교한다.
- [0056] 예컨대, 도 3에서 빨간색으로 표시한 것이 COMPN 이라고 가정할 때, COMPN이 계속 로직 하이("1")일 경우에 방전이 계속 일어나고, 그 결과 차동 증폭기의 출력이 0보다 작아지게 되면 COMPN이 로직 로우("0")로 변환된다.
- [0057] COMPN이 로직 하이에서 로직 로우로 변하면 극성 검출기가 반응하여 방전을 멈추고, COMPN이 로직 하이였던 횟수에 따른 8레벨 양자화 출력을 DAC로 보내게 된다.
- [0058] 그리고, 다음의 샘플링 위상에서 차동 증폭기의 출력에 전 단계의 양자화 오차와 다음 입력을 합하여 샘플링함으로써 노이즈 웨이핑을 발생시킬 수 있다.
- [0059] 도 4는 본 발명의 실시예에 따라 수행되는 첫 번째 단계와 두 번째 단계에서의 전체적인 시간 그래프를 나타낸다.
- [0060] 도 4를 참조하면, MSB와 LSB의 두 단계에서 동일한 차수의 델타-시그마를 사용하기 때문에 각 단계의 OSR 차이에 따른 성능 변화가 일어나지 않으며, 각 단계가 동일한 클록을 사용하기 때문에 클록의 복잡성을 줄일 수 있다.
- [0061] 즉, 각 단계의 출력은 리셋 클록에 동기화하여 출력되는데, 첫 번째 단계의 결과는 거친 해상도(rough resolution)로 출력되고, 이후 두 번째 단계의 결과와 계산을 통해 부드러운 해상도(smooth resolution)를 최종적으로 출력할 수 있다.
- [0062] 이상의 설명은 본 발명의 기술사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 여러 가지 치환, 변형

및 변경 등이 가능함을 쉽게 알 수 있을 것이다. 즉, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것으로서, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

[0063] 따라서, 본 발명의 보호 범위는 후술되는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

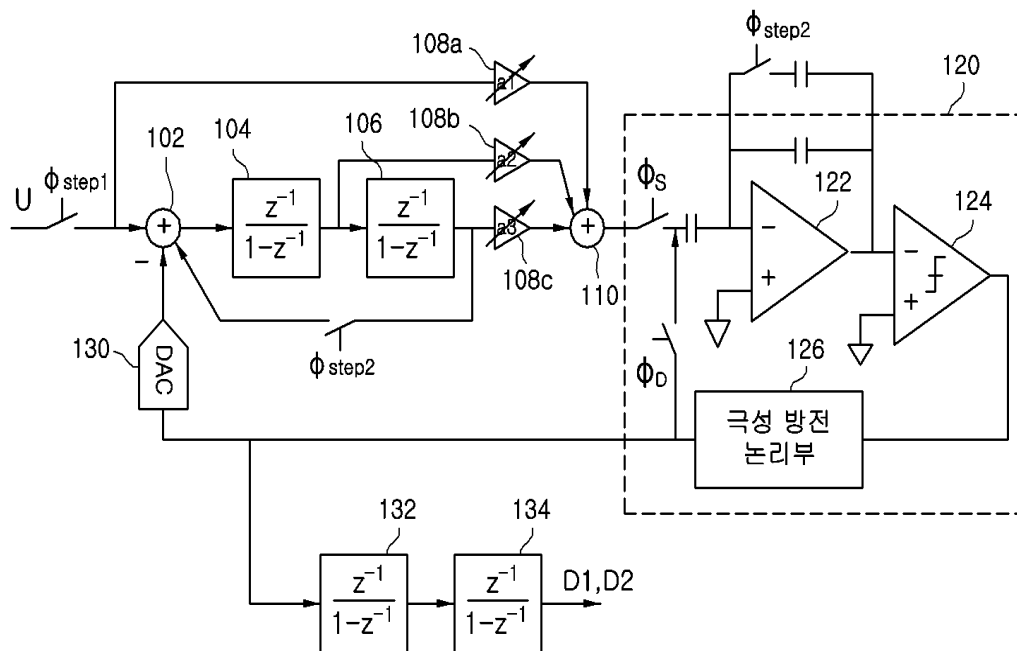
부호의 설명

[0064]

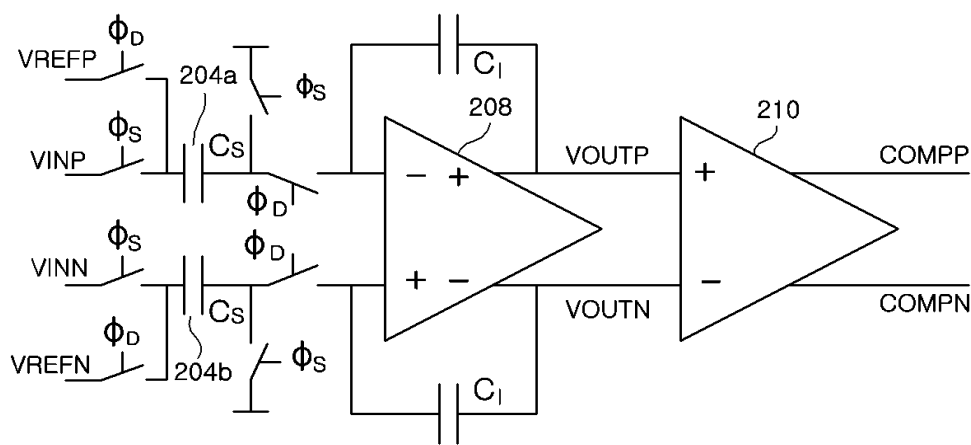
102 : 감산기	104 : 제 1 적분기
106 : 제 2 적분기	108a ~ 108c : 계수
110 : 가산기	120 : 양자화기
122 : 증폭기	124 : 비교기
126 : 극성 방전 논리부	130 : DAC
132, 134 : 디지털 적분기	

도면

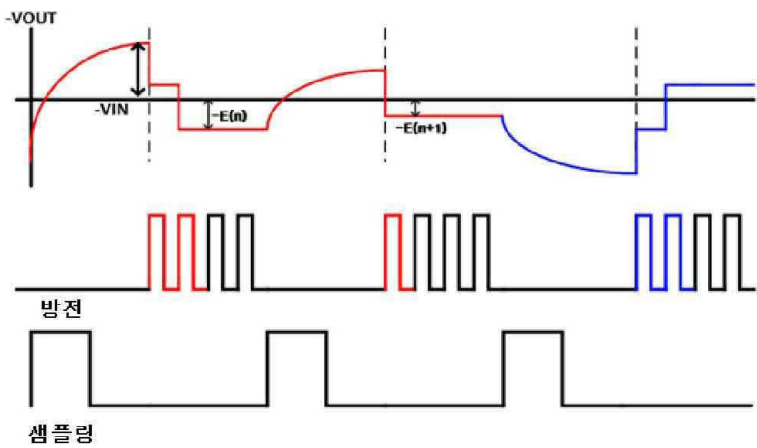
도면1



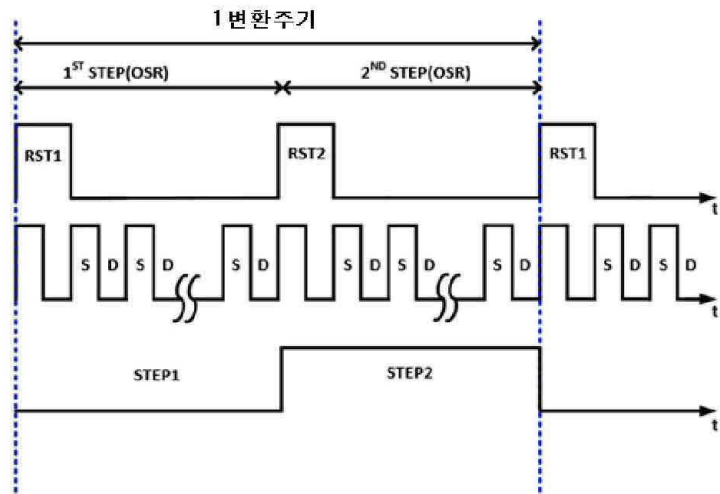
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

상기 상기

【변경후】

상기