

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6042187号
(P6042187)

(45) 発行日 平成28年12月14日 (2016.12.14)

(24) 登録日 平成28年11月18日 (2016.11.18)

(51) Int.Cl.

F I

G09F 9/30 (2006.01)
 G09G 3/20 (2006.01)
 G09G 3/30 (2006.01)
 H01L 27/32 (2006.01)
 H05B 33/12 (2006.01)

G09F 9/30 330
 G09G 3/20 624B
 G09G 3/20 680F
 G09G 3/20 680G
 G09G 3/30 J

請求項の数 22 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2012-261961 (P2012-261961)
 (22) 出願日 平成24年11月30日 (2012.11.30)
 (65) 公開番号 特開2014-106507 (P2014-106507A)
 (43) 公開日 平成26年6月9日 (2014.6.9)
 審査請求日 平成27年4月15日 (2015.4.15)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 山田 泰之
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内

審査官 田辺 正樹

最終頁に続く

(54) 【発明の名称】 O L E D表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素と、平面的に見て前記複数の画素と重畳する表示領域と、前記表示領域を囲む周辺領域と、を備える第1基板と、

前記第1基板に対向する第2基板と、

前記複数の画素の各々に形成され、第1電極と、前記第1電極の前記第2基板の側に配置された第2電極と、前記第1電極と前記第2電極との間に配置された発光層と、を具備する発光素子と、

前記第1基板に形成された第1配線及び第2配線と、

前記第2基板に形成され、平面的に見て前記表示領域と重畳しない第3配線と、

前記周辺領域に配置され、前記第1基板と前記第2基板との間に設けられた第1導電性部材と、

前記周辺領域の前記第1導電性部材とは異なる位置に配置され、前記第1基板と前記第2基板との間に設けられた第2導電性部材と、を有し、

前記第1導電性部材は、前記第1基板上で前記第1配線と接続され、前記第2基板上で前記第3配線と接続され、

前記第2導電性部材は、前記第1基板上で前記第2配線と接続され、前記第2基板上で前記第3配線と接続され、

前記第2配線は、互いに離間して位置する複数の箇所前記第2電極と接続されていることを特徴とするO L E D表示装置。

10

20

【請求項 2】

前記複数の箇所の少なくとも 2 つは、表示領域が有する 1 つの辺に位置することを特徴とする請求項 1 に記載の O L E D 表示装置。

【請求項 3】

前記第 1 導電性部材及び前記第 2 導電性部材は、それぞれ複数個配置され、

前記第 1 配線、前記第 2 配線、前記第 3 配線は、それぞれ複数本形成されていることを特徴とする請求項 1 又は請求項 2 に記載の O L E D 表示装置。

【請求項 4】

前記表示領域は、第 1 の辺と、前記第 1 の辺と対向する第 2 の辺と、を有し、

前記第 1 導電性部材は前記第 1 の辺の側に配置され、

前記第 2 導電性部材は前記第 2 の辺の側に配置されていることを特徴とする請求項 1 から請求項 3 の何れか 1 項に記載の O L E D 表示装置。

【請求項 5】

前記第 1 導電性部材及び前記第 2 導電性部材は、それぞれ複数個配置され、

前記第 1 導電性部材は、前記第 1 の辺の一方の端部の側と他方の端部の側とに配置され、

前記第 2 導電性部材は、前記第 2 の辺の一方の端部の側と他方の端部の側とに配置されていることを特徴とする請求項 4 に記載の O L E D 表示装置。

【請求項 6】

前記表示領域は、前記第 1 の辺及び前記第 2 の辺と交差する第 3 の辺と、前記第 3 の辺と対向する第 4 の辺と、を有し、

前記第 2 配線は、前記第 1 の辺の側、前記第 2 の辺の側、前記第 3 の辺の側、及び前記第 4 の辺の側のそれぞれで、前記第 2 電極と接続されることを特徴とする請求項 4 又は請求項 5 に記載の O L E D 表示装置。

【請求項 7】

前記周辺領域は、駆動回路が配置された周辺回路領域を含み、

前記第 2 配線は、前記周辺回路領域と前記第 1 基板の端部との間を延在する部分を有することを特徴とする請求項 1 から請求項 6 の何れか 1 項に記載の O L E D 表示装置。

【請求項 8】

前記周辺領域は、駆動回路が配置された周辺回路領域を含み、

前記第 2 配線は、前記周辺回路領域と前記表示領域との間を延在する部分を有する第 4 配線と、前記周辺回路領域と前記第 1 基板の端部との間を延在する部分を有する第 5 配線とを含むことを特徴とする請求項 1 から請求項 6 の何れか 1 項に記載の O L E D 表示装置。

【請求項 9】

前記第 1 導電性部材は、第 3 導電性部材と前記第 3 導電性部材よりも前記端部の近くに配置された第 4 導電性部材とを含み、

前記第 3 導電性部材は前記第 4 配線と接続され、前記第 4 導電性部材は前記第 5 配線と接続されることを特徴とする請求項 8 に記載の O L E D 表示装置。

【請求項 10】

前記第 2 導電性部材は、第 5 導電性部材と前記第 5 導電性部材よりも前記端部の近くに配置された第 6 導電性部材とを含み、

前記第 5 導電性部材は前記第 4 配線と接続され、前記第 6 導電性部材は前記第 5 配線と接続されることを特徴とする請求項 8 又は請求項 9 に記載の O L E D 表示装置。

【請求項 11】

前記周辺回路領域は、前記表示領域を挟んで互いに対向する第 1 周辺回路領域と第 2 周辺回路領域とを含み、

前記第 4 配線は、前記第 1 周辺回路領域の側に位置する配線と前記第 2 周辺回路領域の側に位置する配線とを含み、

前記第 5 配線は、前記第 1 周辺回路領域の側に位置する配線と前記第 2 周辺回路領域の

10

20

30

40

50

側に位置する配線とを含むことを特徴とする請求項 8 から請求項 10 の何れか 1 項に記載の O L E D 表示装置。

【請求項 12】

前記第 1 配線は、第 6 配線と第 7 配線とを含み、

前記第 1 導電性部材は、前記第 6 配線と接続される第 7 導電性部材と、前記第 7 配線と接続される第 8 導電性部材とを含み、

前記第 6 配線と前記第 7 配線とは、互いに異なる電圧が印加されることを特徴とする請求項 1 から請求項 11 の何れか 1 項に記載の O L E D 表示装置。

【請求項 13】

前記表示領域は、第 1 の辺を有し、

前記第 7 導電性部材は前記第 1 の辺の一方の端部に配置され、

前記第 8 導電性部材は前記第 1 の辺の他方の端部に配置されていることを特徴とする請求項 12 に記載の O L E D 表示装置。

【請求項 14】

前記第 2 電極は前記複数の画素に跨って形成されていることを特徴とする請求項 1 から請求項 13 の何れか 1 項に記載の O L E D 表示装置。

【請求項 15】

前記第 1 基板上にドライバ I C が配置され、

前記第 1 配線は、前記ドライバ I C と接続されていることを特徴とする請求項 1 から請求項 14 の何れか 1 項に記載の O L E D 表示装置。

【請求項 16】

複数の画素と、平面的に見て前記複数の画素と重畳する表示領域と、前記表示領域を囲む周辺領域と、を備える第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記複数の画素の各々に形成され、第 1 電極と、前記第 1 電極の前記第 2 基板の側に配置された第 2 電極と、前記第 1 電極と前記第 2 電極との間に配置された発光層と、を具備する発光素子と、

前記第 1 基板に形成された第 1 配線、第 2 配線、第 3 配線、及び第 4 配線と、

前記第 2 基板に形成され、平面的に見て前記表示領域と重畳しない第 5 配線及び第 6 配線と、

前記周辺領域に配置され、前記第 1 基板と前記第 2 基板との間に設けられた第 1 導電性部材、第 2 導電性部材、第 3 導電性部材、及び第 4 導電性部材と、を有し、

前記第 1 導電性部材は、前記第 1 基板上で前記第 1 配線と接続され、前記第 2 基板上で前記第 5 配線と接続され、

前記第 2 導電性部材は、前記第 1 基板上で前記第 2 配線と接続され、前記第 2 基板上で前記第 5 配線と接続され、

前記第 3 導電性部材は、前記第 1 基板上で前記第 3 配線と接続され、前記第 2 基板上で前記第 6 配線と接続され、

前記第 4 導電性部材は、前記第 1 基板上で前記第 4 配線と接続され、前記第 2 基板上で前記第 6 配線と接続され、

前記第 1 配線、前記第 1 導電性部材、前記第 5 配線、前記第 2 導電性部材、及び前記第 2 配線には、第 1 の電圧が印加され、

前記第 3 配線、前記第 3 導電性部材、前記第 6 配線、前記第 4 導電性部材、及び前記第 4 配線には、前記第 1 の電圧とは異なる第 2 の電圧が印加され、

前記第 2 配線と前記第 4 配線とは、前記第 2 電極と接続されていることを特徴とする O L E D 表示装置。

【請求項 17】

前記表示領域は、第 1 の辺と前記第 1 の辺に対向する第 2 の辺とを有し、

前記第 1 導電性部材は前記第 1 の辺の一方の端部に配置され、

前記第 3 導電性部材は前記第 1 の辺の他方の端部に配置され、

10

20

30

40

50

前記第 2 導電性部材は前記第 2 の辺の前記一方の端部と同じ側に配置され、
前記第 4 導電性部材は前記第 2 の辺の前記他方の端部と同じ側に配置されていることを
特徴とする請求項 1 6 に記載の O L E D 表示装置。

【請求項 1 8】

複数の画素と、平面的に見て前記複数の画素と重畳する表示領域と、前記表示領域を囲
む周辺領域と、を備える第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記複数の画素の各々に形成され、第 1 電極と、前記第 1 電極の前記第 2 基板の側に配
置された第 2 電極と、前記第 1 電極と前記第 2 電極との間に配置された発光層と、を具備
する発光素子と、

前記第 1 基板に形成された第 1 配線及び第 2 配線と、

前記第 2 基板に形成され、平面的に見て前記周辺領域と重畳する第 3 配線と、

前記周辺領域に配置され、前記第 1 基板と前記第 2 基板との間に設けられた第 1 導電性
部材と、

前記周辺領域の前記第 1 導電性部材とは異なる位置に配置され、前記第 1 基板と前記第
2 基板との間に設けられた第 2 導電性部材と、を有し、

前記周辺領域は、駆動回路が配置された周辺回路領域を含み、

前記第 2 配線は、前記周辺回路領域と前記第 1 基板の端部との間を延在する部分を有し
、

前記第 1 導電性部材は、前記第 1 基板上で前記第 1 配線と接続され、前記第 2 基板上で
前記第 3 配線と接続され、

前記第 2 導電性部材は、前記第 1 基板上で前記第 2 配線と接続され、前記第 2 基板上で
前記第 3 配線と接続され、

前記第 2 配線は、前記第 2 電極と接続されていることを特徴とする O L E D 表示装置。

【請求項 1 9】

複数の画素と、平面的に見て前記複数の画素と重畳する表示領域と、前記表示領域を囲
む周辺領域と、を備える第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記複数の画素の各々に形成され、第 1 電極と、前記第 1 電極の前記第 2 基板の側に配
置された第 2 電極と、前記第 1 電極と前記第 2 電極との間に配置された発光層と、を具備
する発光素子と、

前記第 1 基板に形成された第 1 配線及び第 2 配線と、

前記第 2 基板に形成され、平面的に見て前記周辺領域と重畳する第 3 配線と、

前記周辺領域に配置され、前記第 1 基板と前記第 2 基板との間に設けられた第 1 導電性
部材と、

前記周辺領域の前記第 1 導電性部材とは異なる位置に配置され、前記第 1 基板と前記第
2 基板との間に設けられた第 2 導電性部材と、を有し、

前記周辺領域は、駆動回路が配置された周辺回路領域を含み、

前記第 2 配線は、前記周辺回路領域と前記表示領域との間を延在する部分を有する第 4
配線と、前記周辺回路領域と前記第 1 基板の端部との間を延在する部分を有する第 5 配線
とを含み、

前記第 1 導電性部材は、前記第 1 基板上で前記第 1 配線と接続され、前記第 2 基板上で
前記第 3 配線と接続され、

前記第 2 導電性部材は、前記第 1 基板上で前記第 2 配線と接続され、前記第 2 基板上で
前記第 3 配線と接続され、

前記第 2 配線は、前記第 2 電極と接続されていることを特徴とする O L E D 表示装置。

【請求項 2 0】

前記第 1 導電性部材は、第 3 導電性部材と前記第 3 導電性部材よりも前記端部の近くに
配置された第 4 導電性部材とを含み、

前記第 3 導電性部材は前記第 4 配線と接続され、前記第 4 導電性部材は前記第 5 配線と

10

20

30

40

50

接続されることを特徴とする請求項 19 に記載の O L E D 表示装置。

【請求項 21】

前記第 2 導電性部材は、第 5 導電性部材と前記第 5 導電性部材よりも前記端部の近くに配置された第 6 導電性部材とを含み、

前記第 5 導電性部材は前記第 4 配線と接続され、前記第 6 導電性部材は前記第 5 配線と接続されることを特徴とする請求項 19 又は請求項 20 に記載の O L E D 表示装置。

【請求項 22】

前記周辺回路領域は、前記表示領域を挟んで互いに対向する第 1 周辺回路領域と第 2 周辺回路領域とを含み、

前記第 4 配線は、前記第 1 周辺回路領域の側に位置する配線と前記第 2 周辺回路領域の側に位置する配線とを含み、

前記第 5 配線は、前記第 1 周辺回路領域の側に位置する配線と前記第 2 周辺回路領域の側に位置する配線とを含むことを特徴とする請求項 19 から請求項 21 の何れか 1 項に記載の O L E D 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、O L E D (organic light-emitting diode) 素子を備えた O L E D 表示装置に関する。

【背景技術】

【0002】

近年、O L E D 表示装置など、供給される電流に応じた強度で発光する素子（以下、「電流発光素子」という。）を用いた表示装置が開発されている。このような表示装置は、電流発光素子に供給される電流量を、各画素における駆動トランジスタにより制御して、表示の階調が制御される。

【0003】

このような表示装置のうち、O L E D 表示装置には、各画素に対応した複数の O L E D 素子及び駆動トランジスタがマトリクス状に形成された基板（以下、「アレイ基板」という。）の上に、O L E D 素子からの光を透過させる対向基板を貼り合わせた構造を有するものがある。O L E D 素子は発光（E L）層を有し、発光層の上下には発光のための電流を供給するアノード及びカソード電極が配置され、これらの電極は、アレイ基板上の電源配線を介してドライバ I C あるいはその他の外部電源と接続されて電源電圧の供給を受ける。

【0004】

このような電源と電極間の伝達損失を最小限にするために、従来の表示装置には、アレイ基板上の電源配線の厚膜化、線幅増加、複線化、多層化等により、電源配線の低抵抗化を実現しようとするものがある（例えば、特許文献 1 参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2001 - 154218 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、大画面化に伴う配線長の増加、高精細化・狭額縁化に伴う電源配線領域の縮小等により、アレイ基板上の電源配線が高抵抗化し、上述したような従来の表示装置では、電圧降下による輝度不足や、電圧の電源近端/遠端差による画面内輝度分布(輝度傾斜)が原因となり、画質劣化を生じさせる虞があった。

【0007】

本発明は上述した課題に鑑みてなされてものであり、大画面・高精細・狭額縁の表示装

10

20

30

40

50

置を設計する際に課題となる、電源配線の高抵抗化に伴う輝度傾斜に対し、電源配線を配置可能なアレイ基板上の領域の制約を受けることなく、電源配線を低抵抗化し、画質向上を実現するＯＬＥＤ表示装置を提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明の一実施形態に係るＯＬＥＤ表示装置は、複数の制御信号線と複数のデータ信号線とが交差して配置された位置に複数の画素がマトリクス状に配置された第１基板と、前記第１基板と対向して配置される第２基板と、を備え、前記複数の画素の各々は、前記制御信号線から供給される制御信号に応じて前記データ信号線から供給されるデータ電圧が書き込まれる画素回路と、前記画素回路から前記データ電圧に応じた電流が供給される第１電極及び電源電圧が供給される第２電極を備えたＯＬＥＤ素子と、を含み、前記第１基板及び前記第２基板は、それぞれ複数の電源配線を備え、前記第１基板の前記複数の電源配線と前記第２基板の前記複数の電源配線とは、それぞれ導電性部材を介して接続され、前記複数の電源配線の各々は、前記ＯＬＥＤ素子の前記第２電極に接続されることを特徴とする。

10

【０００９】

また、前記第２基板の前記複数の電源配線は、前記第１基板の前記複数の画素が配置された表示領域と重畳しない位置に配置されてもよい。

【００１０】

前記導電性部材は、前記第１基板の前記複数の画素が配置された表示領域と重畳しない位置に、前記第１基板と前記第２基板とを接続して配置されてもよい。

20

【００１１】

前記導電性部材は、導電性樹脂又は異方性導電膜であってもよい。

【００１２】

前記ＯＬＥＤ素子の前記第２電極は、前記複数の画素に対応して一つ配置される共通電極であり、前記複数の電源配線と複数個所において接続されて前記電源電圧を給電されてもよい。

【発明の効果】

【００１３】

本発明によれば、対向基板の額縁領域に電源配線を設けることにより、電源配線を配置可能なアレイ基板上の領域の制約を受けることなく、電源配線を低抵抗化して給電することができるため、電源配線の高抵抗化に伴う輝度傾斜を生じさせずに、画質を向上させることができ、且つ、大画面化、高精細化、狭額縁化が可能なＯＬＥＤ表示装置を提供することができる。

30

【図面の簡単な説明】

【００１４】

【図１】本発明の一実施形態に係るＯＬＥＤ表示装置の概略構成を示す平面図である。

【図２Ａ】本発明の一実施形態に係るＯＬＥＤ表示装置の画素の概略構成を示す断面図である。

【図２Ｂ】本発明の一実施形態に係るＯＬＥＤ表示装置に用いられる画素回路の一例を示す回路図である。

40

【図３】本発明の第１の実施形態に係るＯＬＥＤ表示装置の構成を説明するための図であり、（ａ）は、アレイ基板を示す平面図であり、（ｂ）は、ＯＬＥＤ表示装置を示す断面図である。

【図４】本発明の第１の実施形態に係るＯＬＥＤ表示装置の構成を説明するための図であり、（ａ）は、対向基板の平面図であり、（ｂ）は、アレイ基板の平面図である。

【図５】本発明の第２の実施形態に係るＯＬＥＤ表示装置の構成を説明するための図であり、（ａ）は、アレイ基板を示す平面図であり、（ｂ）及び（ｃ）は、ＯＬＥＤ表示装置を示す断面図である。

【図６】本発明の第２の実施形態に係るＯＬＥＤ表示装置の構成を説明するための図であ

50

り、(a)は、対向基板の平面図であり、(b)は、アレイ基板の平面図である。

【図7】本発明の第3の実施形態に係るOLED表示装置の構成を説明するための図であり、(a)は、アレイ基板を示す平面図であり、(b)及び(c)は、OLED表示装置を示す断面図である。

【図8】本発明の第3の実施形態に係るOLED表示装置の構成を説明するための図であり、(a)は、対向基板の平面図であり、(b)は、アレイ基板の平面図である。

【図9】従来のOLED表示装置の構成を説明するための図であり、(a)は、アレイ基板を示す平面図であり、(b)は、OLED表示装置を示す断面図である。

【発明を実施するための形態】

【0015】

10

以下、図面を参照しながら、本発明のOLED表示装置の実施形態について説明する。なお、本発明のOLED表示装置は、以下の実施形態に限定されることはなく、種々の変形を行ない実施することが可能である。

【0016】

図1に、本発明の一実施形態に係るOLED表示装置100の概略構成を示す。本実施形態に係るOLED表示装置100は、基板110上に形成された、表示領域101、FPC(Flexible printed circuits)102、ドライバIC103、及び走査線駆動回路104aを備える。表示領域101には、図中の横方向に走る複数の制御信号線g1-1~g1-3と縦方向に走る複数のデータ信号線d1~d3とが互いに交差して配置され、制御信号線g1-1~g1-3とデータ信号線d1~d3との交差部に対応する位置に、複数の画素105がマトリクス状に配置される。図1には、一例として、一画素105あたり3本の制御信号線g1-1~g1-3と1本のデータ信号線d1とが交差して配置される構成を図示しているが、この構成に限定されるものではない。

20

【0017】

また、OLED表示装置100は、表示領域101を挟んで走査線駆動回路104aと対向する位置に、図1に図示したように、走査線駆動回路104a以外の周辺回路及び配線等が形成される領域104bを有していてもよい。走査線駆動回路104aとその他の周辺回路及び配線が形成される領域104bの位置は、図1に図示した位置に限定されず、いずれか一方の位置にのみ形成されるものであってもよい。また、以下、走査線駆動回路104a、及び他の周辺回路等が形成される領域104bについて、周辺回路領域104a、104bという。

30

【0018】

各画素105には、データ信号線d1~d3から供給されるデータ電圧を保持するコンデンサと、制御信号線g1-1~g1-3から供給される制御信号に応じて各画素105に供給されるデータ電圧の書き込みを制御することにより各画素105の発光を制御する薄膜トランジスタとを備えた画素回路が配置される。

【0019】

以下、図2A及び図2Bを参照し、画素105の構成についてより詳細に説明する。

【0020】

40

図2Aは、本発明の一実施形態に係るOLED表示装置100に用いられる画素105の概略構成を示す断面図である。図2Bは、本発明の一実施形態に係るOLED表示装置100に用いられる画素回路20の一例を示した回路図である。

【0021】

図2Aに図示したように、画素105は、基板110上に形成された画素回路20と、画素回路20上に絶縁膜22及び平坦化膜21を介して形成されたOLED素子10とを含む。OLED素子10は、反射膜19上に形成されたアノード(陽極)13と、アノード13上に形成された、ホール注入層(HIL)18、ホール輸送層(HTL)17、発光層(EML)16、電子輸送層(ETL)15、及び電子注入層(EIL)14が順次積層されて構成される有機EL(Organic Electro-Luminescence)層12と、有機EL

50

層 1 2 上に形成されたカソード（陰極）1 1 と、を備える。アノード 1 3 は、画素 1 0 5 ごとに配置され、有機 E L 層 1 2 に電流を供給して発光を制御する電極である。また、カソード 1 1 は、全ての画素 1 0 5 に対応して一つ配置され、共通電極として機能する電極である。なお、図 2 A に図示した画素回路 2 0 を備えた O L E D 表示装置 1 0 0 は、トップエミッション型の O L E D 表示装置を構成するため、カソード 1 1 は、有機 E L 層 1 2 から出射される光を透過させるように透光性を有する材料を用いて形成される。

【 0 0 2 2 】

図 2 B に図示したように、各画素 1 0 5 の画素回路 2 0 は、4 つのトランジスタ T R 1 ~ T R 4 と、2 つのコンデンサ C 1、C 2 と、O L E D 素子 1 0（図 2 B に示した O L E D）とを備えるものであってもよい。トランジスタ T R 1 は、ソースがデータ電圧ライン D A T A（図 1 に示したデータ信号線 d 1）に接続され、ドレインがコンデンサ C 1 の一方の電極に接続され、ゲートが走査電極ライン S E L E C T（図 1 に示した制御信号線 g 1 - 1）に接続される。トランジスタ T R 2 は、ソースがコンデンサ C 1 の他方の電極、コンデンサ C 2 の一方の電極、及びトランジスタ T R 3 のゲートに共通接続されているとともに、ドレインがトランジスタ T R 3 のドレインとトランジスタ T R 4 のソースに共通接続され、ゲートが制御信号ライン A Z（図 1 に示した制御信号線 g 1 - 2）に接続される。トランジスタ T R 4 は、ドレインが O L E D 素子 1 0 のアノード 1 3 に接続され、ゲートが制御信号ライン A Z B（図 1 に示した制御信号線 g 1 - 3）に接続される。トランジスタ T R 3 のソース及びコンデンサ C 2 の他方の電極には第 1 電源電圧が印加され、O L E D 素子 1 0 のカソード 1 1 には第 2 電源電圧が印加される。本発明の実施形態では、第 1 電源電圧はアノード電圧 V D D とし、第 2 電源電圧はカソード電圧 C V とした。また、カソード電圧 C V には基準電圧又は負電圧が用いられる。

【 0 0 2 3 】

このような構成を備える画素回路 2 0 は、トランジスタ T R 3 の動作しきい値電圧のばらつきを補正した後、コンデンサ C 1、C 2 等に電圧を保持させることにより、データ電圧ライン D A T A から供給されるデータ電圧に応じた輝度で O L E D 素子 1 0 を発光させることができるように構成されている。このため、図 2 B に図示した構成を備える画素回路 2 0 は、トランジスタの特性ばらつきや電源電圧の降下等が表示に直接的に現れてしまう O L E D 表示装置等に用いられている。

【 0 0 2 4 】

このような画素回路 2 0 を備えた従来の O L E D 表示装置 1 0 0 x の構成について、以下、図 9 を参照して説明する。図 9 は、従来の O L E D 表示装置 1 0 0 x の構成を説明するための図であり、（ a ）は、アレイ基板 1 1 0 を示す平面図であり、（ b ）は、O L E D 表示装置 1 0 0 x を示す断面図である。なお、従来の O L E D 表示装置 1 0 0 x について、図 1 を参照して上述した O L E D 表示装置 1 0 0 と同じ構成については同じ符号を付し、その説明を省略する。

【 0 0 2 5 】

図 9 に図示した従来の O L E D 表示装置 1 0 0 x は、O L E D 表示装置 1 0 0 と同様に、複数の画素 1 0 5 を含む表示領域 1 0 1、周辺回路領域 1 0 4 a、1 0 4 b、及びドライバ I C 1 0 3 を備えた基板 1 1 0（以下、「アレイ基板 1 1 0」という。）と、アレイ基板 1 1 0 にシール材 1 2 5 等を介して貼り合される対向基板 1 3 0 とを含む。アレイ基板 1 1 0 及び対向基板 1 3 0 は、いずれもガラス基板を用いて形成されたものであってもよい。また、対向基板 1 3 0 は、カラーフィルタを含むものであってもよく、タッチパネル機能を備えた薄膜デバイス等であってもよい。

【 0 0 2 6 】

図 9 に図示したように、従来の O L E D 表示装置 1 0 0 x においては、例えばドライバ I C 1 0 3 のような電源から、表示領域 1 0 1 に配置されたカソード 1 1 に、アレイ基板 1 1 0 に配置された電源配線 1 2 0 x を介して電源電圧が供給される。なお、電源は、図 9 に図示したドライバ I C 1 0 3 から給電される構成に限らず、外部電源（図示せず）から給電される構成であってもよい。また、図 9 に図示した 1 2 0 x は、電源配線 1 2 0 x

の電流経路を簡略化して図示したものであり、図9(a)に図示した電源配線120xの矢印の方向、及び図9(b)に点線で図示した矢印Xの方向は、電源電圧の伝達方向を図示したものである。図9(a)には、カソード11の配置位置を図示していないが、カソード11は、表示領域101内において全ての画素105を覆うように配置されて共通電極として機能する。従って、図9(a)に図示した構成は一例に過ぎないが、カソード11は、電源配線120xの矢印が表示領域101内において示すように、複数の個所において電源配線120xと接続され、電源電圧を給電されてもよい。なお、図9(a)は、電源配線120xが、矩形の表示領域101における4隅からカソード11に接続された構成を図示したものである。

【0027】

10

図9(a)に図示したように、表示領域101のカソード11に接続される電源配線120xは、アレイ基板110上において、図9(a)に点線で図示した表示領域101及び周辺回路領域104a、104bを除いた領域に配置される。このとき、電源配線120xは、表示領域101の全体にわたっていずれの画素105にも一様に、且つ過不足なく電源電圧を供給することが求められる。このため、電源配線120xを低抵抗化する必要がある。

【0028】

しかしながら、従来のOLED表示装置100xにおいて、電源配線120xは、アレイ基板110上の表示領域101及び周辺回路領域104a、104bを除いた余白領域に配置せざるを得ず、その配線幅に制約を受けるものであった。また、大画面化による配線長増加、高精細化による電源配線120x以外の回路の複雑化及び肥大化、及び狭額縁化による配線領域の縮小化等に伴い、配線幅の制約はますます大きくなる傾向があり、低抵抗化が難しい状況であった。一方、配線の複線化や多層化することにより一定の低抵抗効果は得られるものの、構造が複雑化し、表示性能の改善効果にも限界があった。そこで、本発明者は、電源配線120xの高抵抗化に伴う輝度傾斜を生じさせずに、画質を向上させることができ、且つ、大画面化、高精細化、狭額縁化を実現可能なOLED表示装置の構成を検討し、本発明に至った。

20

【0029】

<第1の実施形態>

以下、図3及び図4を参照し、本発明の第1の実施形態に係るOLED表示装置100の構成について説明する。図3は、本発明の第1の実施形態に係るOLED表示装置100の構成を説明するための図であり、(a)は、アレイ基板110を示す平面図であり、(b)は、OLED表示装置100を示す断面図である。図4は、本発明の第1の実施形態に係るOLED表示装置100の構成を説明するための図であり、(a)は、対向基板130の平面図であり、(b)は、アレイ基板110の平面図である。なお、以下、図9を参照して上述した従来のOLED表示装置100xと同じ構成については同じ符号を付し、その説明を省略する。

30

【0030】

図3に図示したように、第1の実施形態に係るOLED表示装置100は、複数の画素105を含む表示領域101、周辺回路領域104a、104b、及びドライバIC103を備えたアレイ基板110と、アレイ基板110にシール材125(図3に図示せず)等を介して貼り合される対向基板130とを含む。また、第1の実施形態に係るOLED表示装置100は、アレイ基板110と対向基板130との間に、導電性部材121a~121dが配置され、アレイ基板110上に形成された電源配線120と、対向基板130上に形成された電源配線120とが、導電性部材121a~121dを介して導通される。

40

【0031】

電源配線120は、公知の材料を用いて形成することができ、ITOを用いて形成してもよく、アルミ、金、銀、銅等を用いて形成してもよい。導電性部材121a~121dには、例えば、導電性樹脂や異方性導電膜(ACF)を用いる。なお、図3(a)には、

50

説明の便宜上、導電性部材 121a ~ 121d の内側を電源配線 120 が通過するように図示しているが、実際には、アレイ基板 110 及び対向基板 130 にそれぞれ形成された電源配線 120 上に導電性部材 121a ~ 121d が形成され、導電性部材 121a ~ 121d を介してアレイ基板 110 と対向基板 130 とが接続されるように構成される。また、電源配線 120 及び導電性部材 121a ~ 121d の配置される位置は、後述するように、図 3 に図示した構成に限定されるものではない。

【0032】

図 3 (a) に図示した電源配線 120 の矢印の方向及び図 3 (b) に点線で図示した矢印 A の方向は、カソード電源電圧の伝達方向を示している。カソード電源電圧は、アレイ基板 110 上のドライバ IC 103 から、アレイ基板 110 上の電源配線 120 に伝達された後、導電性部材 121a、121d を介して対向基板 130 上の電源配線 120 に伝達され、さらに導電性部材 121b、121c を介してアレイ基板上の電源配線 120 に伝達され、表示領域 101 のカソード 11 に給電される。

【0033】

電源配線 120 は、図 4 (a) に図示したように、対向基板 130 上においては、表示領域 101 と重畳しない対向基板 130 の額縁領域である領域 122 に配置することができる。従って、対向基板 130 の額縁領域の幅を最大限利用して電源配線 120 の配線幅を決定することができ、電源配線 120 の低抵抗化を図ることが可能となる。また、電源配線 120 は、図 4 (b) に図示したように、アレイ基板 110 上においては、表示領域 101 及び周辺回路領域 104a、104b を除いた余白領域 123 のいずれの位置に配置されてもよい。これにより、カソード電源電圧を、図 4 (b) に矢印 B として電源電圧の伝達方向を図示したように、矩形の表示領域 101 の 4 辺からいずれの位置に配置された画素 105 に対しても偏りがないように低抵抗給電することが可能となる。従って、電源側に位置する表示領域 101 の近端部と、電源と対向する位置にある表示領域 101 の遠端部とで輝度傾斜が生じないように給電することができ、OLED 表示装置 100 の画質劣化を低減させることが可能となる。

【0034】

なお、電源配線 120 は、図 3 及び図 4 に図示したアレイ基板 110 と対向基板 130 とに敷設して導電性部材 121a ~ 121d を介して接続する電源配線 120 の構成に、図 9 に図示したアレイ基板 110 のみに敷設する電源配線 120x の構成を組み合わせ構成してもよい。

【0035】

また、図 3 (a) には、対向基板 130 のアレイ基板 110 と対向する側の面上に電源配線 120 が配置される構成を図示しているが、図示した構成に限定されず、対向基板 130 のアレイ基板 110 と対向しない側の面上に電源配線 120 が配置されてもよい。例えば、対向基板 130 がカラーフィルタ基板である場合には、カラーフィルタを含む積層膜を覆う保護膜上に電源配線 120 が配置されてもよい。

【0036】

また、図 3 及び図 4 には、導電性部材 121a ~ 121d が表示領域 101 を囲む額縁状の領域 122、123 の 4 隅に配置された構成を図示しているが、OLED 表示装置 100 の狭額縁化との兼ね合いで、導電性部材 121a ~ 121d の数は 4 つに限らず 1 つ以上の複数であってもよく、配置位置についても電源配線 120 が配置可能な領域 122、123 であればいずれの位置に配置されてもよい。

【0037】

以上のように、本発明の第 1 の実施形態に係る OLED 表示装置 100 によれば、アレイ基板 110 上に形成された電源配線 120 と対向基板 130 上に形成された電源配線 120 とを、導電性部材 121a ~ 121d を介して接続し、且つ、対向基板 130 上の額縁領域 122 を利用して電源配線 120 を低抵抗化するように構成することにより、アレイ基板 110 上での配線幅制約を受けずに、電源配線 120 を低抵抗化することが可能となる。

【0038】

従って、本発明の第1の実施形態に係るOLED表示装置100によれば、電源配線120の高抵抗化に伴う輝度傾斜を生じさせずに画質を向上させることができ、且つ、大画面・高精細・狭額縁のOLED表示装置100を実現できる。

【0039】

<第2の実施形態>

以下、図5及び図6を参照し、本発明の第2実施形態に係るOLED表示装置100の構成について説明する。図5は、本発明の第2の実施形態に係るOLED表示装置100の構成を説明するための図であり、(a)は、アレイ基板110を示す平面図であり、(b)及び(c)は、OLED表示装置100を示す断面図である。図6は、本発明の第2の実施形態に係るOLED表示装置100の構成を説明するための図であり、(a)は、対向基板130の平面図であり、(b)は、アレイ基板110の平面図である。なお、以下、図3及び図4を参照して上述した第1の実施形態に係るOLED表示装置100と同じ構成については同じ符号を付し、その説明を省略する。

10

【0040】

第2の実施形態に係るOLED表示装置100は、図5及び図6に図示したように、アレイ基板110及び対向基板130にそれぞれ配置された2つの電源配線120a、120bと、8つの導電性部材121e~121lとを備える。第2の実施形態に係るOLED表示装置100は、電源配線120a、120bを複線化することにより、複数電源の低抵抗給電を実現しようとするものである。

20

【0041】

図5及び図6に図示したように、アレイ基板110上に配置された電源配線120aは、アレイ基板110及び対向基板130の額縁領域のうち外縁側の領域122A、123Aに配置された導電性部材121e~121hを介して、対向基板130に配置された電源配線120aと接続される。また、アレイ基板110上に配置された電源配線120bは、アレイ基板110及び対向基板130の額縁領域のうち表示領域101に近い側の領域122B、123Bに配置された導電性部材121e~121hを介して、対向基板130に配置された電源配線120aと接続される。

【0042】

このような構成を備えることにより、第2の実施形態に係るOLED表示装置100は、図5(b)及び(c)に点線で示したカソード電源電圧の伝達方向を表す矢印C、Dのように、カソード電源電圧を、アレイ基板110上のドライバIC103から、アレイ基板110上の電源配線120a、120bにそれぞれ伝達した後、導電性部材121e、121h又は導電性部材121i、121lを介して対向基板130上の電源配線120a、120bにそれぞれ伝達し、さらに導電性部材121f、121g又は導電性部材12j、121kを介してアレイ基板110上の電源配線120a、120bにそれぞれ伝達し、表示領域101のカソード11に給電する構成を備える。なお、図示していないが、複数の電源配線120a、120bの接続先はカソード11に限定されるものではなく、その他の電源供給用途に電源配線120a、120bを用いてもよい。

30

【0043】

以上のように、本発明の第2の実施形態に係るOLED表示装置100は、対向基板130上の額縁領域122A、122Bを利用して電源配線120a、120bをそれぞれ低抵抗化するように構成することにより、図6(b)に電源電圧の伝達方向を示す矢印E、Fとして図示したように、電源電圧を矩形の表示領域101の4辺から各画素105に対して偏りなく低抵抗給電することが可能となる。

40

【0044】

従って、本発明の第2の実施形態に係るOLED表示装置100によれば、電源配線120a、120bを複線化した場合にも、第1の実施形態に係るOLED表示装置100と同様に、対向基板130上の額縁領域122A、122Bを利用して電源配線120a、120bをそれぞれ低抵抗化することができるため、輝度傾斜を生じさせずに表示領域

50

１０１の各画素１０５に電源電圧を給電することができる。

【００４５】

< 第３の実施形態 >

以下、図７及び図８を参照し、本発明の第３実施形態に係るＯＬＥＤ表示装置１００の構成について説明する。図７は、本発明の第３の実施形態に係るＯＬＥＤ表示装置１００の構成を説明するための図であり、（ａ）は、アレイ基板１１０を示す平面図であり、（ｂ）及び（ｃ）は、ＯＬＥＤ表示装置１００を示す断面図である。図８は、本発明の第２の実施形態に係るＯＬＥＤ表示装置１００の構成を説明するための図であり、（ａ）は、対向基板１３０の平面図であり、（ｂ）は、アレイ基板１１０の平面図である。なお、以下、図３乃至図６を参照して上述した第１及び第２の実施形態に係るＯＬＥＤ表示装置１

10

【００４６】

第３の実施形態に係るＯＬＥＤ表示装置１００は、図７及び図８に図示したように、アレイ基板１１０及び対向基板１３０にそれぞれ配置された２つの電源配線１２０ｃ、１２０ｄと、４つの導電性部材１２１ｍ～１２１ｐとを備える。第３の実施形態に係るＯＬＥＤ表示装置１００は、第２の実施形態に係るＯＬＥＤ表示装置１００と同様に、複数電源の低抵抗給電を実現しようとするものである。

【００４７】

第３の実施形態に係るＯＬＥＤ表示装置１００は、図７（ｂ）及び（ｃ）に点線で示したカソード電源電圧の伝達方向を表す矢印Ｇ、Ｈのように、カソード電源電圧を、アレイ

20

【００４８】

図８に図示したように、電源配線１２０ｃ、１２０ｄは、それぞれ対向基板１３０及びアレイ基板１１０において、表示領域１０１を囲む額縁領域のうち中央部を境に左側の領域１２３Ｃ、１２３Ｃと右側の領域１２２Ｄ、１２３Ｄとにそれぞれ配置される。従って、左側の領域１２３Ｃ、１２３Ｃと右側の領域１２２Ｄ、１２３Ｄとで異なる電源配線１２０ｃ、１２０ｄを配置することにより、表示領域１０１の左側の画素１０５と右側の画素１０５とで異なる電源電圧を供給することも可能となる。また、図８（ｂ）に電源電圧の伝達方向を示す矢印Ｉ、Ｊとして図示したように、電源電圧を矩形的表示領域１０１の４辺から各画素１０５に対して偏りなく低抵抗給電することも可能となる。

30

【００４９】

なお、図８には、表示領域１０１を囲む額縁領域のうち中央部を境に左側の領域１２３Ｃ、１２３Ｃと右側の領域１２２Ｄ、１２３Ｄとに分け、電源配線１２０ｃ、１２０ｄがそれぞれ配置される構成を図示したが、図示した中央部を境とする構成に限定されるものではなく、電源配線１２０ｃ、１２０ｄの配置位置は仕様に応じて適宜変更され得る。

40

【００５０】

以上のように、本発明の第３の実施形態に係るＯＬＥＤ表示装置１００によれば、対向基板１３０上の額縁領域１２２Ｃ、１２２Ｄを利用して電源配線１２０ｃ、１２０ｄをそれぞれ低抵抗化するように構成することにより、電源配線１２０ｃ、１２０ｄを複線化した場合にも、第１及び第２の実施形態に係るＯＬＥＤ表示装置１００と同様に、輝度傾斜を生じさせずに表示領域１０１の各画素１０５に電源電圧を給電することが可能となる。

【００５１】

以上のとおり、本発明の第１乃至第３の実施形態に係るＯＬＥＤ表示装置１００によれ

50

ば、対向基板 130 の額縁領域に電源配線 120、120a~120d を設けることにより、電源配線 120、120a~120d を配置可能なアレイ基板 110 上の領域の制約を受けることなく、電源配線 120、120a~120d を低抵抗化して給電することができるため、電源配線 120、120a~120d の高抵抗化に伴う輝度傾斜を生じさせずに、画質を向上させることができ、且つ、狭額縁化された O L E D 表示装置を提供することができる。

【符号の説明】

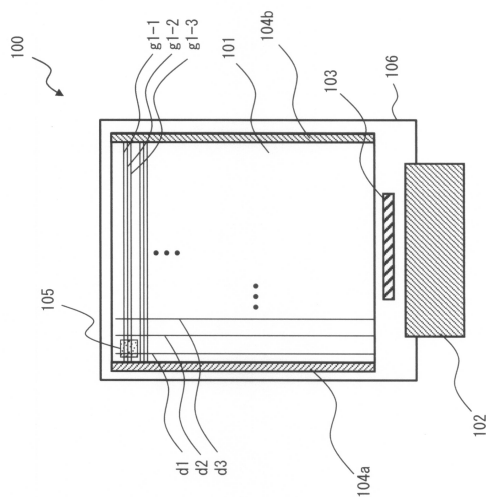
【0052】

- 100 O L E D 表示装置
- 101 表示領域
- 103 ドライバ I C
- 104a、104b 周辺回路領域
- 105 画素
- 110 アレイ基板
- 120、120a~121d 電源配線
- 121a~121p 導電性部材
- 130 対向基板
- 10 O L E D 素子
- 11 カソード
- 13 アノード
- 20 画素回路

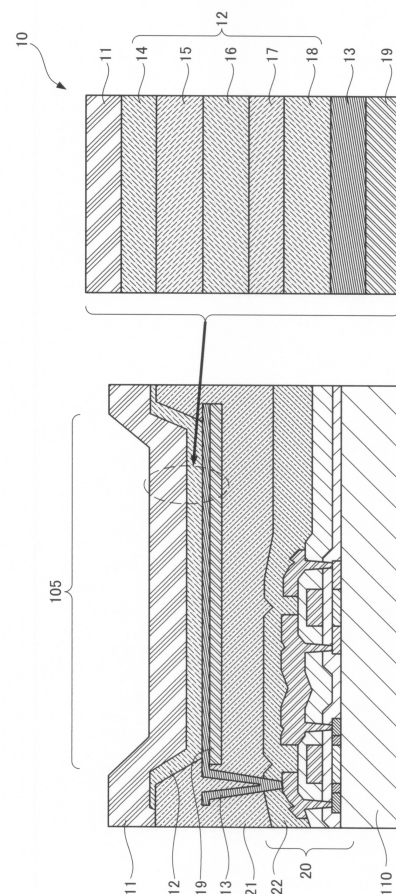
10

20

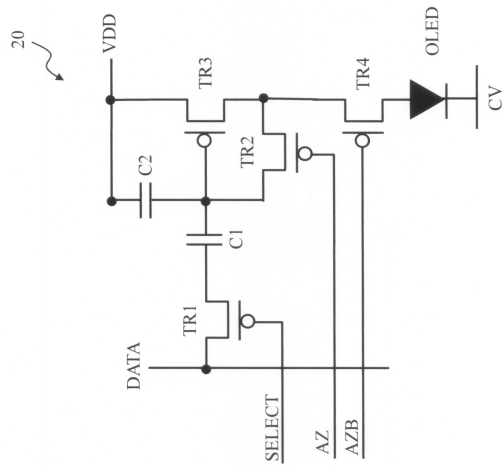
【図 1】



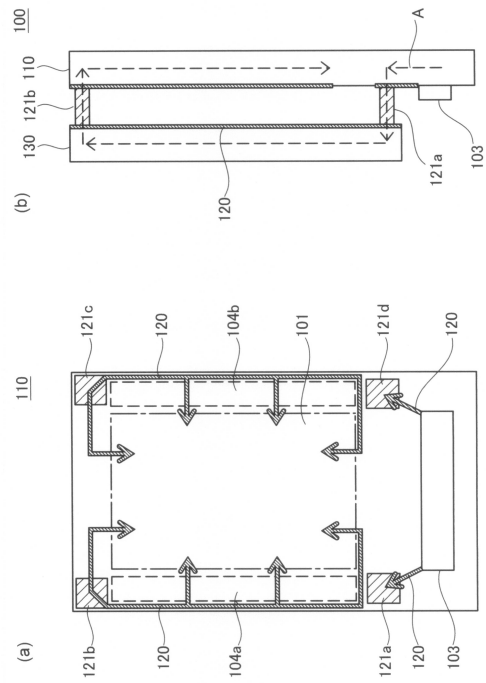
【図 2 A】



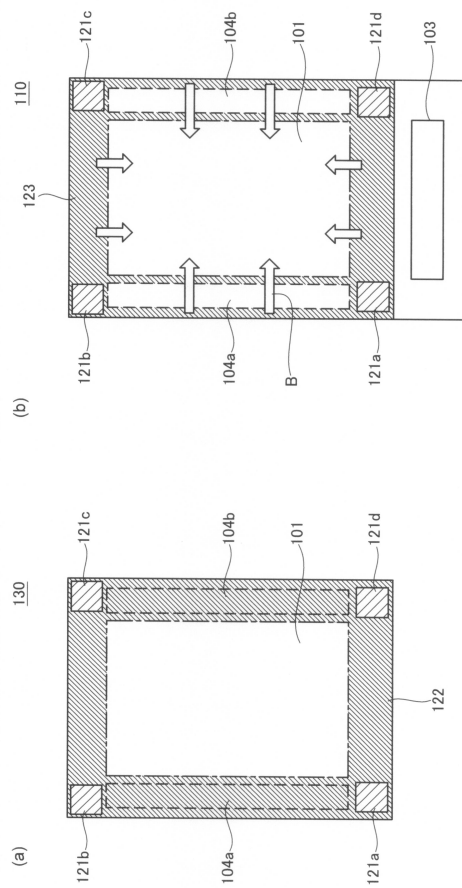
【 図 2 B 】



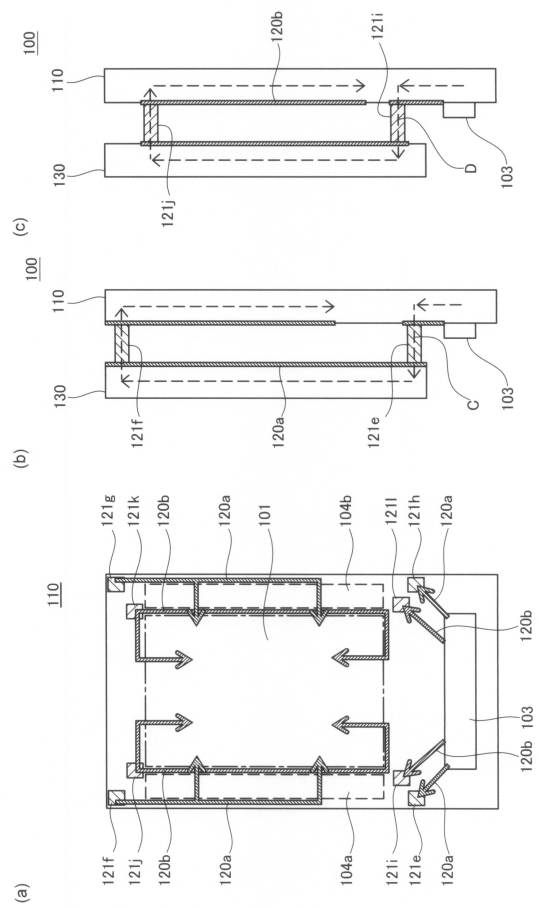
【 図 3 】



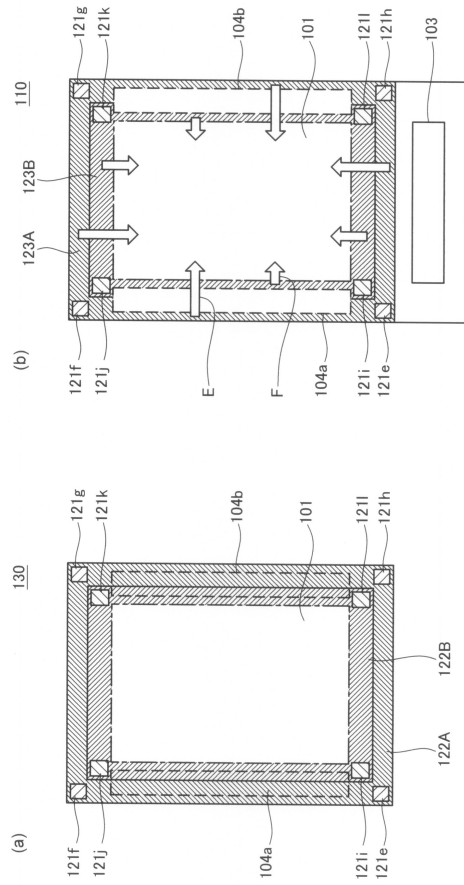
【 図 4 】



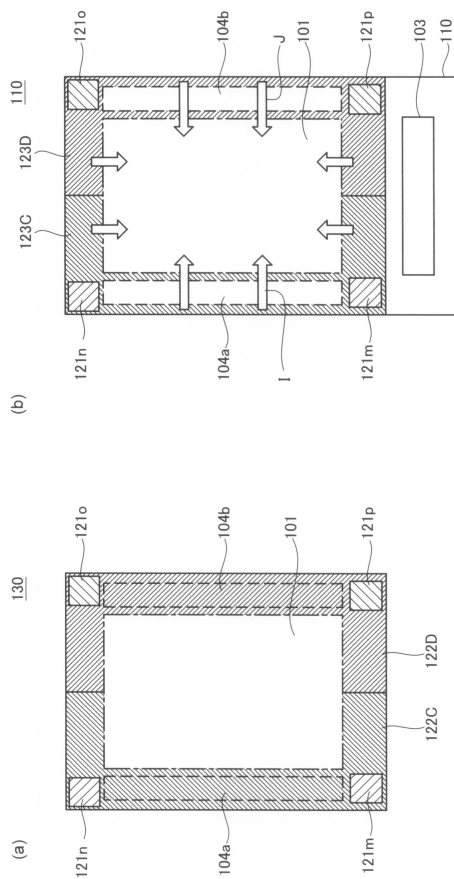
【 図 5 】



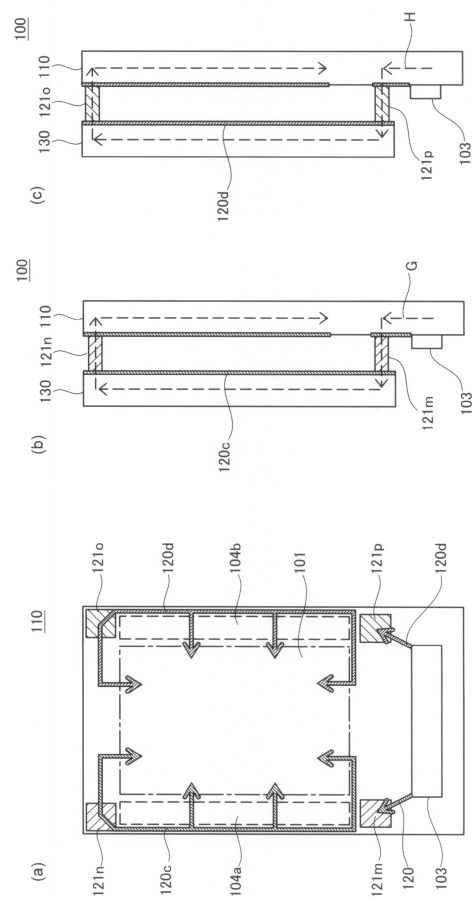
【 図 6 】



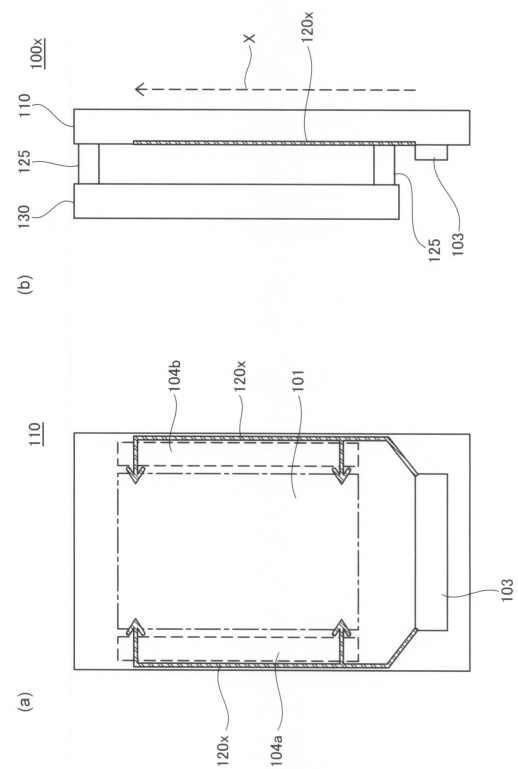
【 図 8 】



【圖 7】



【 図 9 】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 51/50 (2006.01)</i>		G 0 9 G 3/30		K
<i>H 0 5 B 33/04 (2006.01)</i>		G 0 9 G 3/20	6 4 2 A	
		G 0 9 F 9/30	3 3 8	
		G 0 9 F 9/30	3 6 5	
		H 0 5 B 33/12		B
		H 0 5 B 33/14		A
		H 0 5 B 33/04		

(56)参考文献 特開 2 0 0 6 - 2 1 5 5 5 0 (J P , A)
 特開 2 0 1 0 - 1 4 5 6 6 1 (J P , A)
 特開 2 0 1 0 - 2 1 2 1 0 8 (J P , A)
 特開 2 0 0 8 - 3 1 1 2 3 9 (J P , A)
 特開 2 0 0 6 - 3 0 9 2 2 3 (J P , A)
 特開 2 0 0 7 - 2 3 4 7 0 6 (J P , A)
 特開 2 0 0 5 - 1 7 3 5 7 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 F 9 / 3 0 - 9 / 4 6
 G 0 9 G 3 / 0 0 - 3 / 3 4、3 / 3 8
 H 0 1 L 2 7 / 3 2、5 1 / 5 0
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8