

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

273 743

(11)

(13) B1

(51) Int. Cl.⁵
G 05 B 19/18

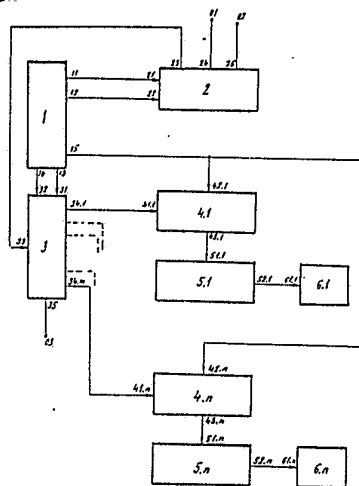
(21) PV 6867-88.G
(22) Přihlášeno 18 10 88

(40) Zveřejněno 14 08 90
(45) Vydáno 24 03 92

(75) Autor vynálezu KOLLERT PAVEL ing., LIBEREC,
KAFKA LUBOŠ ing., PRAHA

(54) Zobrazovací blok programovatelného regulátoru

(57) Zapojení zobrazovacího bloku využívá stradače jako paměti a jako budiče zobrazovací jednotky. Vstupní data se získávají přímo z datové sběrnice mikropočítače. Zápisový impuls se přepíná k jednotlivým budičům zobrazovacích jednotek přepínačem. Přepínač se adresuje z adresní sběrnice. Blokovací obvod zajišťuje přepínání jednotlivých stránek paměti dat. Jako stránky paměti dat jsou obsluhovány stradače ve výkonových pamětech. Z výkonové paměti se zobrazovaná informace převádí přes přiřazený omezovací blok, ve kterém se proudově omezí a přechází na přiřazenou zobrazovací jednotku, kde se zobrazí. Využije se u zobrazovacích jednotek programových regulátorů.



Vynález se týká zobrazovacího bloku programovatelného regulátoru.

Známa zapojení zobrazovacích jednotek jsou se sedmisegmentovými znaky upravena pro tzv. dynamický provoz. U těchto zapojení se pro aktivovaný znak přivádí napětí na segmentové vstupy těch segmentů, které se mají rozsvítit v příslušném znaku. Shodné segmentové vstupy všech znaků jsou spojeny a způsob připojení napětí na tyto vstupy určuje tvar zobrazovaného znaku. Druhý pól segmentů je vzájemně propojen v rámci znaku a postupným přiváděním napětí na jednotlivé znaky se zajišťuje zobrazení znaku na konkrétní pozici. Tak se postupně rozsvěčují jednotlivé znaky, a to takovou rychlostí, při které má lidské oko v důsledku určité setrvačnosti dojem, že jednotlivé znaky svítí nepřetržitě. Nevýhodou tohoto uspořádání je, že při dynamickém provozu zobrazovací jednotky se vyžaduje stálá programová obsluha, která je u zařízení s velkým časovým zatížením programového vybavení prakticky nemožná. Příkladem takového programového vybavení je právě programové vybavení pro regulaci v reálném čase. Další nevýhodou tohoto uspořádání je nižší jas zobrazovaných údajů vzhledem k nepříznivému poměru času, po který segment svítí a času, po který je segment ztemněn. Nízký jas se částečně kompenzuje zvýšeným proudem do segmentu, ten však vyžaduje použití nákladnějších budičů se zvýšeným výkonem. Použití zvýšeného proudu do segmentů bývá navíc příčinou nízké životnosti zobrazovací jednotky. Jinou možností je řešení zobrazovače v dynamickém provozu bez podpory programového vybavení. Při takovém řešení však vznikají neúměrně vysoké požadavky na počet prvků technického vybavení. Je známo také klasické zapojení, které se používá zejména u malého počtu zobrazovacích jednotek, především v zapojeních s TTL obvody střední a nižší integrace. U těchto zapojení je jeden zobrazovací prvek připojen přes odpory na dekódér. Dekódér převádí binární kód potřebný k zobrazení informace na sedmisegmentový displej. Binární kód se uchovává ve čtyřbitové paměti zobrazovaných dat. Čtyřbitová paměť zobrazovaných dat může být tvořena výstupní branou mikropočítače. Nevýhodou tohoto zapojení zobrazovací jednotky je omezený počet zobrazovaných znaků, které je třeba předem určit.

Tyto nedostatky odstraňuje zapojení zobrazovacího bloku univerzálního programového regulátoru podle vynálezu. Ovládací výstupy řídicího mikropočítače jsou spojeny s ovládacími vstupy rozdělovacího bloku a skupinový zobrazovací výstup každé výkonové paměti je spojen se vstupem přiřazeného prvního až n-tého omezovače. Výstup každého omezovače je spojen se vstupem přiřazené první až n-té zobrazovací jednotky. Podstata vynálezu spočívá v tom, že paměťový výstup rozdělovacího bloku je spojen s paměťovou výstupní svorkou zapojení, jehož komunikační výstupní svorka je spojena s komunikačním výstupem rozdělovacího bloku. Uvolňovací výstup rozdělovacího bloku je spojen s uvolňovacím vstupem přepínače. Skupinový adresní vstup přepínače je spojen se skupinovým adresním výstupem mikropočítače. Skupinový datový výstup mikropočítače je spojen se skupinovým datovým vstupem odpovídající první až n-té výkonové paměti. Zápisový vstup každé výkonové paměti je spojen s odpovídající první až n-tou výstupní svorkou. Společný vstup přepínače je spojen s povelovým výstupem mikropočítače. Převodníková výstupní svorka přepínače je spojena s převodníkovým výstupem zapojení.

Výhodou zapojení podle vynálezu je jednoduché řešení s možností ovládání prakticky neomezeného počtu zobrazovaných znaků a snadným propojením s řídicím mikropočítačem prostřednictvím sběrnice. Zobrazované znaky vykazují vysoký jas bez blikání. Jejich čtení je pro lidské oko příjemnější a nedochází k mýlkám. Zapojení umožňuje zobrazení libovolného znaku v rámci sedmisegmentového zobrazovače. To umožňuje využívat mnemonického vyjádření různých veličin, například th, tc, atd. Této vlastnosti lze s výhodou využít u programovatelného regulátoru při cyklickém zobrazování různých parametrů regulace pro jejich snadné rozlišení. Význačnou vlastností zapojení je také snadná programová obsluha, která spočívá ve vložení kódu znaku na specifikovanou adresu a nevyžaduje periodickou činnost programového vybavení v rámci operačního systému

v reálném čase.

Příklad uspořádání podle vynálezu je znázorněn na připojeném výkrese v blokovém schématu.

Jednotlivé bloky zapojení je možno charakterizovat takto.

Řídicí mikropočítač 1 je jednočipový mikropočítač s pamětí programu. Slouží k přípravě zobrazovaných dat a k řízení jejich zobrazení.

Rozdělovací blok 2 je vytvořen z pěti hradel typu NAND. Slouží k odblokování jednotlivých částí obvodu, se kterými komunikuje jako s pamětí dat.

Přepínač 3 je tvořen analogovým multiplexerem. Slouží k přepínání zápisového impulsu do jednotlivých výkonových pamětí a na převodníkový výstup zapojení.

Všechny výkonové paměti 4.1. až 4.n. jsou stejné, jsou tvořeny osmibitovým střadačem s výstupním proudem větším než 15 mA. Slouží jako paměť zobrazovací informace u budiče displeje. Všechny omezovače 5.1. až 5.n. jsou stejné. Každý je vytvořen sedmi odpory a slouží jako omezovač proudu pro jednotlivé segmenty připojené zobrazovací jednotky.

Všechny zobrazovací jednotky 6.1. až 6.n. jsou stejné. Jsou to sedmissegmentové zobrazovací jednotky se světelnými diodami. Slouží k zobrazení dat.

Zapojení jednotlivých bloků, součástí a svorek zobrazovací jednotky univerzálního programového regulátoru je provedeno takto. Ovládací výstupy 11. 12 řídicího mikropočítače 1 jsou spojeny s přiřazenými ovládacími vstupy 21. 22 rozdělovacího bloku 2. Skupinový zobrazovací výstup 43.1 až 43.n každé výkonové paměti 4.1 až 4.n je spojen se vstupem 51.1 až 51.n přiřazeného prvního až n-tého omezovače 5.1 až 5.n. Výstup 52.1 až 52.n každého omezovače 5.1 až 5.n je spojen vstupem 61.1 až 61.n přiřazené první až n-té zobrazovací jednotky 6.1 až 6.n. Paměťový výstup 24 rozdělovacího bloku 2 je spojen s paměťovou výstupní svorkou 01 zapojení. Komunikační výstupní svorka 02 zapojení je spojena s komunikačním výstupem 25 rozdělovacího bloku 2. Uvolňovací výstup 23 rozdělovacího bloku 2 je spojen s uvolňovacím vstupem 33 přepínače 3. Skupinový adresní vstup 31 přepínače 3 je spojen se skupinovým adresním výstupem 13 řídicího mikropočítače 1. Skupinový datový výstup 15 mikropočítače 1 je spojen se skupinovým datovým vstupem 42.1 až 42.n odpovídající první až n-té výkonové paměti 4.1 až 4.n. Zápisový vstup 41.1 až 41.n každé výkonové paměti 4.1 až 4.n je spojen s odpovídající první až n-tou výstupní svorkou 34.1 až 34.n přepínače 3. Společný vstup 32 přepínače 3 je spojen s povelovým výstupem 14 řídicího mikropočítače 1. Převodníková výstupní svorka 35 přepínače 3 je spojena s převodníkovým výstupem 03 zapojení. Paměťová výstupní svorka 01 zapojení, komunikační svorka 02 zapojení a převodníkový výstup 03 zapojení jsou připojeny k vnějším obvodům, které nejsou součástí tohoto zapojení.

Zobrazovací blok pracuje takto. Zobrazování řídí mikropočítač 1, ze kterého vycházejí přes jeho skupinový datový vstup 15 data, která přecházejí na skupinový datový vstup 42.1 až 42.n první až n-té výkonové paměti 4.1 až 4.n. V případě změny zobrazované informace vyšle mikropočítač 1 ze svého povelového výstupu 14 zápisový impuls, který přechází na společný vstup 32 přepínače 3. Z první až n-té výstupní svorky 34.1 až 34.n přepínače 3 přechází zápisový impuls na zápisový vstup 41.1 až 41.n první až n-té výkonové paměti 4.1 až 4.n. Přepínání zápisových impulsů do jednotlivých výkonových pamětí 4.1 až 4.n řídí mikropočítač 1 řídicím signálem, který přechází ze skupinového adresního výstupu 13 mikropočítače 1 na skupinový adresní vstup 31 přepínače 3. Protože se zapojení chová k jednotlivým výkonovým pamětem 4.1 až 4.n jako ke stránce paměti dat, je třeba ještě obsloužit rozdělovací blok 2, který uvolňuje činnost příslušné skupiny bloků, ve které je výkonová paměť 4 s přiřazeným omezovačem 5 a s přiřazenou zobrazovací jednotkou 6. Činnost rozdělovacího bloku 2 řídí mikropočítač 1 signály, které přecházejí z prvního ovládacího výstupu 11

mikropočítače 1 na první ovládací vstup 21 ovládacího bloku 2 a ze druhého ovládacího výstupu 12 mikropočítače 1 na druhý ovládací vstup 22 rozdělovacího bloku 2. Uvolňovací signál přechází z uvolňovacího výstupu 23 rozdělovacího bloku 2 na uvolňovací vstup 33 přepínače 3. Jestliže je na uvolňovacím vstupu 33 přepínače 3 uvolňovací signál, potom v případě, že mikropočítač 1 vyšle zápisový puls, zapíše se nová data podle určené adresy do odpovídající první až n-té výkonové paměti 4.1 až 4.n. Data zapsaná do příslušné výkonové paměti 4.1 až 4.n přecházejí přes její skupinový zobrazovací výstup 43.1 až 43.n do přiřazeného prvního až n-tého omezovače 5.1 až 5.n. V omezovači 5.1 až 5.n se signál proudově omezí na požadovanou úroveň. Proudově omezený signál přechází do přiřazené zobrazovací jednotky 6.1 až 6.n, ve které se informace zobrazí. Signálem, který přechází z paměťového výstupu 24 rozdělovacího bloku 2 na napěťovou výstupní svorku 01 zapojení a signálem, který přechází z komunikačního výstupu 25 rozdělovacího bloku 2 zapojení na komunikační výstupní svorku 02 zapojení se řídí vnějšími obvody, která nejsou součástí tohoto zapojení. Další vnější obvod, který není součástí zapojení, se ovládá signálem, který přechází z převodníkové výstupní svorky 35 přepínače 3 na převodníkový vstup 03 zapojení.

Vynálezu se využije v zobrazovacích blocích programových regulátorů řízených počítačem.

P Ř E D M Ě T V Y N Á L E Z U

Zobrazovací blok univerzálního programového regulátoru, u kterého jsou ovládací výstupy řídicího mikropočítače spojeny s ovládacími vstupy rozdělovacího bloku a skupinový zobrazovací výstup každé výkonové paměti je spojen se vstupem přiřazeného prvního až n-tého omezovače, jehož výstup je spojen se vstupem přiřazené první až n-té zobrazovací jednotky, vyznačující se tím, že paměťový výstup (24) rozdělovacího bloku (2) je spojen s paměťovou výstupní svorkou (01) zapojení, jehož komunikační výstupní svorka (02) je spojena s komunikačním výstupem (25) rozdělovacího bloku (2), jehož uvolňovací výstup (23) je spojen s uvolňovacím vstupem (33) přepínače (3), jehož skupinový adresní vstup (31) je spojen se skupinovým adresním výstupem (13) mikropočítače (1), jehož skupinový datový výstup (15) je spojen se skupinovým datovým vstupem (42.1 až 42.n) odpovídající první až n-té výkonové paměti (4.1 až 4.n), jejíž zápisový vstup (41.1 až 41.n) je spojen s odpovídající první až n-tou výstupní svorkou (34.1 až 34.n) přepínače (3), jehož společný vstup (32) je spojen s povelovým výstupem (14) mikropočítače (1) a převodníková výstupní svorka (35) přepínače (3) je spojena s převodníkovým výstupem (03) zapojení.

