

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H03K 5/01 (2006.01)



## [12] 发明专利申请公开说明书

[21] 申请号 200480016980.9

[43] 公开日 2006年7月26日

[11] 公开号 CN 1809959A

[22] 申请日 2004.5.18

[21] 申请号 200480016980.9

[30] 优先权

[32] 2003.6.17 [33] IT [31] MI2003A001217

[86] 国际申请 PCT/US2004/015616 2004.5.18

[87] 国际公布 WO2005/001891 英 2005.1.6

[85] 进入国家阶段日期 2005.12.16

[71] 申请人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72] 发明人 S·西韦罗 M·弗卢里欧

[74] 专利代理机构 上海专利商标事务所有限公司  
代理人 李玲

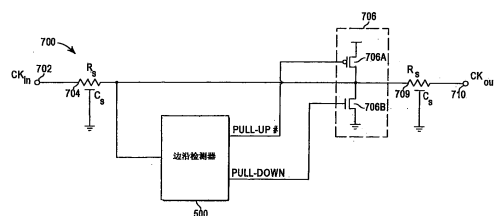
权利要求书 3 页 说明书 7 页 附图 7 页

### [54] 发明名称

再生时钟中继器

### [57] 摘要

一种再生时钟中继器(图5:700)包括:边沿检测器(图6,500)和输出驱动器装置(706)以通过恢复其高逻辑电平和低逻辑电平而产生时钟信号(CK)。输出驱动器装置还包括拉高(706A)和拉低(706B)电路,它们适于接收一对控制信号(PULL-UP#、PULL-DOWN#)。通过边沿检测器生成这些控制信号以检测时钟信号的上升沿和下降沿。在边沿检测器中,一对门限电平检测器(540、550)检测时钟信号的高和低逻辑电平并将结果输入到逻辑门组合(562、564、568、570)和锁存器(566)以便使信号标记的位置保持固定。这些控制信号的固定位置触发输出驱动器装置以恢复所述时钟信号的高逻辑电平和低逻辑电平。



1. 一种用于在时钟分配线路上再生时钟信号的时钟中继器，包括：  
边沿检测器装置，用于检测所述时钟信号的上升沿和下降沿，并响应  
5 于此分别产生拉高和拉低控制信号；以及  
输出驱动器装置，连接于所述边沿检测器装置以接收在那里形成的所述控制信号，用于恢复所述时钟信号的高和低逻辑电平。
2. 如权利要求 1 所述的时钟中继器，其特征在于，所述边沿检测器装置还包括：  
10 电平检测器装置，通过检测来自所述时钟信号低逻辑电平的上升沿和来自所述时钟信号高逻辑电平的下降沿而产生第一信号和第二信号；  
第一逻辑或非门，适于接收第一信号的反转和第二信号的反转；  
第二逻辑或非门，适于接收第一信号和第二信号；  
置位/复位锁存器，在置位输入端耦合于第一逻辑或非门的输出并在复  
15 位输入端耦合于第二逻辑或非门的输出以产生第三信号；  
第一逻辑与非门，适于接收第一信号、第二信号的反转以产生拉高控制信号；以及  
第三逻辑或非门，适于接收第一信号的反转、第二信号和第三脉冲信号以生成拉低控制信号。
- 20 3. 如权利要求 2 所述的时钟中继器，其特征在于，所述电平检测器装置还包括用于检测所述时钟信号的所述高逻辑电平的第一电平检测器装置和用于检测所述时钟信号的所述低逻辑电平的第二电平检测器装置。
4. 如权利要求 3 所述的时钟中继器，其特征在于，所述第一电平检测器装置还包括：  
25 低门限 PMOS 晶体管和高门限 NMOS 晶体管，用于检测所述时钟信号的所述高逻辑电平，其中，所述低门限 PMOS 晶体管的栅极和所述高门限 NMOS 晶体管的栅极彼此耦合并耦合于所述时钟信号，所述低门限 PMOS 晶体管的漏极耦合于高门限 NMOS 晶体管的漏极，所述低门限 PMOS 的源

极耦合于源电压，而所述高门限 NMOS 晶体管的源极耦合于电位地；以及  
第一反相器，所述第一反相器具有耦合于所述低门限 PMOS 晶体管和  
所述高门限 NMOS 晶体管的共漏极以产生所述第一信号的输入端，其中，  
所述第一反相器的输出端是所述第一信号的反转。

- 5 5. 如权利要求 3 所述的时钟中继器，其特征在于，所述第二电平检测器  
装置还包括：

用于检测所述时钟信号的所述低逻辑电平的高门限 PMOS 晶体管和低  
门限 NMOS 晶体管，其中，所述高门限 PMOS 晶体管的栅极和所述低门限  
NMOS 晶体管的栅极被彼此耦合，所述高门限 PMOS 晶体管的漏极耦合于  
10 低门限 NMOS 晶体管的漏极，所述高门限 PMOS 晶体管的源极耦合于所述  
源电压，而所述低门限 NMOS 晶体管的源极耦合于所述电位地；以及

第二反相器，所述第二反相器具有耦合于所述高门限 NMOS 晶体管和  
所述低门限 PMOS 晶体管的共漏极以产生所述第二信号的输入端，其中，  
所述第二反相器的输出端是所述第二信号的反转。

- 15 6. 如权利要求 1 所述的再生时钟中继器，其特征在于，所述输出驱动器  
装置还包括：

拉高 PMOS 晶体管；

耦合于所述拉高 PMOS 晶体管的 NMOS 拉低晶体管，其中，所述 PMOS  
拉高晶体管的栅极耦合于所述拉高控制信号，所述拉高 PMOS 晶体管的漏  
20 极耦合于所述 NMOS 拉低晶体管的漏极并耦合于所述时钟信号，PMOS 拉  
高晶体管的源极耦合于所述源电压，NMOS 拉低晶体管的栅极耦合于所述  
拉低控制信号，而所述拉低 NMOS 晶体管的源极耦合于所述电位地。

7. 如权利要求 1 所述的时钟中继器，其特征在于，沿同步存储装置内时  
钟电路的时钟线路上分布有多个所述时钟中继器，所述存储装置包括：

- 25 包括多个按列或按行排列的存储单元在内的存储单元阵列；

数据输入/.输出端；

检测和写入电路；

用于选择所述存储单元阵列的行和列的行/列地址解码器；

控制电路，响应于来自时钟电路的时钟信号，用来控制所述同步半导体存储装置的操作；以及

用于同步所述同步半导体存储装置的操作的时钟电路。

8. 一种在同步半导体存储器中再生时钟信号的方法，所述方法包括下列  
5 步骤：

从所述时钟信号的低逻辑电平中检测上升沿和从所述时钟信号的高逻辑电平中检测下降沿；

响应于检测到时钟信号的上升沿而生成拉高控制信号；

响应于检测到时钟信号的下降沿而生成拉低控制信号；

- 10 使用拉高控制信号恢复所述高逻辑电平；以及  
使用拉低控制信号恢复所述低逻辑电平。

9. 如权利要求 8 所述的方法，其特征在于，产生拉高控制信号的步骤还包括下列步骤：

基于高逻辑电平产生第一信号；

- 15 基于低逻辑电平产生第二信号；以及

使用第一和第二信号以及它们的互补信号而产生第三信号。

## 再生时钟中继器

## 5 技术领域

本发明涉及一种在存储器集成电路中的时钟信号分配，更具体地涉及沿时钟线设置以恢复时钟信号逻辑电平的时钟中继器。

## 背景技术

10 在数字同步系统中，有效的时钟分配对系统正常工作是很必需的。时钟信号的不适当的慢速传播会限制系统元件彼此保持充分同步的能力。另外，降级的时钟信号会完全地造成系统的故障，即使其它部分为无瑕疵的设计和元件也好。参阅图 1，代表性的时钟分配线路 100 包括具有低逻辑电平  $V_L$  和高逻辑电平  $V_H$  的基准时钟信号 102、时钟输入缓冲器或驱动器 104。分配线路 100 在接  
15 收端具有固有电阻 (R) 和电容 (C) 106 以及负载电容 108。时钟信号 102 被完全由周期性地高和低电压电平 ( $V_H$  和  $V_L$ ) 指定，理想地具有方波波形。

当线路的电阻 R 相当于或大于驱动器的开启 (ON) 电阻时，传播时延  $t_d$  与 RC 时间常数成正比。由于电阻 R 和电容 C 都随长度呈线性关系地增加，因此传播时延  $t_d$  与线路长度的平方成正比。

20 时钟信号 102 的降级是由将输入缓冲器 104 联接于具有负载电容  $C_L$  108 的门电路的时钟分配线路 100 的 RC 时间常数而造成的。时钟信号 102 遭受降级以至于其初始的高  $V_H$  和低  $V_L$  值失真而偏离它们原来的值。这可以从输出时钟信号 110 中看出。分配线路 100 中的 RC 元件起到低通滤波器的作用以使时钟信号 102 具有和时间常数 RC 成正比的上升时间和下降时间。结果，时钟信号  
25 102 不保持初始的时钟信号波形。因此，需要能使时钟信号的传播时延和信号降级最小的时钟分配网络。

现存多种试图解决上述问题的方法，每种方法都依赖于时钟分配线路 106 的不同的固有电阻和电容值。在一种方法中，线路被分成较小的段以使时延  $t_d$

与长度呈近似线性关系，而不是与长度的平方呈线性关系。参阅图 2A，时钟分配线路 200A 被分成 k 个段。该现有技术方法的目的是找到使传播时延  $t_d$  最小的最优段数 k。

假设总的线路电阻为 R 而总的线路电容为 C。线路的每段都由一个最小尺寸反相缓冲器或驱动器 204 界定，具有特征输入电容  $C_i$ 、202A 以及特征输出阻抗  $R_o$ 、206A。每段都具有所分布的 RC 特征 208A。假设所有段都具有相同长度，则每段的分布电阻  $R_s$ 、208A 等于  $R/k$ ，而每段的分布电容  $C_s$  等于  $C/K$ 。50% 的传播时延（图 3 中  $V_{out}/V_{in}=0.5$  的时刻）可表达成

$$T_{50\%} = k [0.7R_o(C_s+C_i) + R_s(0.4C_s + 0.7C_i)]$$

其中因子 0.7 是指由集总的电阻和电容（这里指  $R_o$  和  $C_i$ ）构成的 RC 项，因子 0.4 是指由分布电阻和电容（这里指  $R_s$  和  $C_s$ ）构成的 RC 项。 $T_{50\%}$  的最小值给出最佳 k 值， $K_{opt} = \sqrt{0.4 RC/0.7R_oC_i}$ 。

对于该最佳 k 值，连接两个反相器的单独一段的时延等于一个反相器的时延， $0.4R_sC_s=0.7R_oC_i$ 。

参阅图 2B，在另一种方法中，可使中继器 204B 的大小以因数 h 增加而进一步改善传播时延  $t_d$ 。输入电容 202B 现在为  $hC_i$ ，输出阻抗 201B 现在是  $R_o/h$ ，而分布的 RC 元件 208B 保持不变。在这种情况下，k 和 h 的最佳值则变成：

$$K_{opt} = \sqrt{0.4RC/0.7R_oC_i}, H_{opt} = \sqrt{R_oC/RC_i}.$$

图 3 示出时钟信号 300 上的时钟分配线路的集总的和分布的 RC 特性的效果。在图 3 中，在时钟信号 300 上，集总 RC 的效果比分布 RC 的效果差。使所接收的时钟信号的输出电压达到其集总 RC 线路 302 的高逻辑值的 0.5 需要  $0.7RC$  的时间，而输出电压仅用  $0.4RC$  就达到分布 RC 线路 304 的相同电压电平。通过图 2B 所采用的以因数 h 增加中继器的方法，集总 RC 线路 302 对时钟信号的严重后果得以改善。

参阅图 4，代替单个反相器的中继器，另一种方法使用由多对串联的反相器 402 和 404 组成的中继器驱动器。这样，沿分配线路段 406 传播的时钟信号的极性在时钟分配线路 400 上的任何点都保持相同。

在上述所有方法中，中继器结构要求在中继器输入端接收的时钟信号超过

反相器的门限而得以工作。如果分配线路的 RC 值非常高,  $k_{opt}$  值将很大并且在该最佳值处的最小传播时延可能仍然很大。

本发明的一个目的是为时钟分配线路提供一种中继器结构, 其相对于现有的中继器结构能减少总传播时延。

## 5

### 发明内容

本发明的目的是通过使用输出驱动器装置的再生时钟中继器而实现的, 该输出驱动器装置接收有关上升沿和下降沿的信息以恢复时钟信号的高逻辑电平 ( $V_H$ ) 和低逻辑电平 ( $V_L$ )。为了实现上述目的, 再生时钟中继器包括边沿检测器, 每当检测出上升沿时, 它产生拉高控制信号, 每当检测出下降沿时, 它产生拉低控制信号。在本发明的较佳实施例的边沿检测器中, 使用高门限电平反相器和低门限电平反相器来产生拉高和拉低控制信号。这些控制信号相对于时钟信号边沿的相对时序可由多个逻辑门和一个锁存器来保持固定。输出驱动器被拉高控制信号和拉低控制信号触发以恢复时钟信号的高逻辑电平 ( $V_H$ ) 和低逻辑电平 ( $V_L$ )。

### 附图说明

图 1 示出耦合于现有技术的具有固有 RC 特性的代表性分配线路的时钟信号的示意图。

20 图 2A 示出现有技术多级电路的示意图, 其用以减少由时钟分配线路中的固有电阻和电容造成的传播时延  $t_d$ 。

图 2B 示出现有技术的另一方法的示意图, 其用以通过增加中继器的  $h$  因数而进一步减少由时钟分配线路中的固有电阻和电容造成的传播时延。

图 3 示出时钟信号上的时钟分配线路的集总的和分布的 RC 特征的效果图。

25 图 4 示出又一现有技术的方法的示意图, 其中使用由在时钟分配线路中串联的反相器对组成的中继器以便使时钟信号的极性在线路中的任何点上都保持相同。

图 5 是示出根据本发明的再生时钟重复电路的一般特征的示意性框图。

图6是用于图5的中继器电路中的边沿检测器的较佳实施例的示意性电路图。

图7A和图7B是示出用于图6的边沿检测器中的高触发点反相器和低触发点反相器的操作图表。

5 图8示出根据本发明的表示图5和图6的再生时钟发生器的诸部分电路的操作的信号时序图。

图9示出使用如图5所示的再生时钟中继器的存储装置。

### 具体实施方式

10 参阅图5,根据本发明的用于恢复降级时钟信号的低逻辑电平( $V_L$ )和高逻辑电平( $V_H$ )的再生时钟发生器700包括:边沿检测电路500和输出驱动器电路706。边沿检测电路500从由固有RC阻抗704表征的时钟分配线路702的一段中接收时钟信号 $CK_{in}$ ,并基于时钟信号702的逻辑电平而产生拉高控制信号(PULL-UP#)或拉低控制信号(PULL-DOWN)。拉高控制信号  
15 (PULL-UP#)是通过检测到时钟信号的上升沿超过低门限电压电平而产生的,拉低控制信号(PULL-DOWN)是通过检测到时钟信号的下降沿低于高门限电压电平而产生的。输出驱动器706具有在高逻辑电平( $V_H$ )连接于电源的拉高晶体管706A(通常为P型)以及在低逻辑电平( $V_L$ )(一般为接地)连接于电源的拉低晶体管706A(通常为n型)。拉高和拉低晶体管706A  
20 和706B各自接收拉高控制信号和拉低控制信号以恢复所接收的降级时钟信号的高逻辑电平( $V_H$ )和低逻辑电平( $V_L$ ),并将所恢复的时钟置于时钟分配线路的另一段上,该另一段同样由固有RC阻抗709表征且其输出为节点710处的 $Ck_{out}$ 。

参阅图6,边沿检测器500包括高门限电平反相器(IVH)540和低门  
25 限电平反相器(IVL)550,它们均耦合于时钟输入502。高门限电平反相器540产生第一信号(HIGH#)并通过反相器546产生该信号的反转(HIGH)。低门限电平反相器(IVL)产生第二信号(LOW#)并通过反相器556产生该信号的反转(LOW)。这四个信号被输入到或非(NOR)逻辑门562和564,



或非逻辑门 562 和 564 的输出被输入到置位/复位锁存器 566。锁存器 566 的输出和四路信号 (HIGH、HIGH#、LOW、LOW#) 一起被输入到与非 (NAND) 和或非 (NOR) 逻辑门 568 和 570 以生成拉高控制信号 (PULL-UP#) 和拉低控制信号 (PULL-DOWN)。

- 5 高门限电平反相器 (IVH) 540 由低门限的 p 沟道晶体管 542 和高门限的 n 沟道晶体管 544 组成。低门限电平 PMOS 晶体管 542 被用作拉高晶体管，其源极连接于电源。高门限电平 NMOS 晶体管 544 被用作拉低晶体管，其源极连接于电位地。低门限 PMOS 晶体管 542 和高门限电平拉低 NMOS 晶体管 544 的栅极均连接于时钟输入 Ck。最后，低门限 PMOS 晶体管 542 的漏极和
- 10 NMOS 晶体管 544 的漏极一起形成产生信号 HIGH# 的反相器输出。

图 7A 示出用于本发明的高门限电平反相器 (IVH) 540 的传递函数特征曲线图。高门限电平反相器 (IVH) 540 中的低门限 PMOS 晶体管 542 和高门限 NMOS 晶体管 544 使得门限电压  $V_{th}$  非常高并使  $V_{th}$  和  $V_H$  之间的距离非常窄。这可从曲线 540A 中看出来。

- 15 返回图 6，低门限电平反相器 (IVL) 550 包括用作拉高晶体管的高门限 PMOS 晶体管 552，该拉高晶体管 552 耦合于用作拉低晶体管的低门限电平 NMOS 554。低门限电平反相器 (IVL) 550 通过检测到输入时钟信号 502 上升到高于预设低逻辑电平 ( $V_L$ ) 而产生第二信号 (LOW#)。第二信号 (LOW#) 被输入到反相器 556 以产生反相信号 (LOW)。在低门限电平反相器 (IVL)
- 20 550 中，低门限电平 NMOS 晶体管 554 被用作拉低晶体管，其源极连接于电位地 547。高门限电平 PMOS 晶体管 552 被用作拉高晶体管，其源极连接于电源 543。高门限电平 PMOS 晶体管 552 和低门限电平 NMOS 晶体管 554 的栅极均连接于时钟信号输入 502。最后，高门限电平 PMOS 晶体管 552 的漏极和低门限电平 NMOS 晶体管 554 的漏极一起形成产生信号 LOW 的反相器输出。

- 25 在图 7B 中，可以看出低门限电平反相器 (IVL) 550 的传递函数与高门限电平反相器 (IVH) 540 的相反。不象高门限电平反相器 (IVH) 540，低门限电平反相器 (IVL) 550 具有低门限电压 ( $V_{th}$ ) 以检测时钟信号 502 的瞬变。 $V_{th}$  和  $V_H$  之间的距离很大。

高门限电平检测器 (IVL) 540 的输出 HIGH# 和低门限电平检测器 (IVH) 550 的输出 LOW# 均被输入到第一或非 (NOR) 门 562。第一或非 (NOR) 门 562 的输出被输入到置位/复位锁存器 566 的复位端。反相输出 HIGH 和 LOW 被输入到第二逻辑或非 (NOR) 门 564 中。第二或非 (NOR) 门 564 的输出 5 被输入到置位/复位锁存器 566 的置位端。置位/复位锁存器 566 的输出被称为 RISE 信号。该信号 RISE 表示时钟信号 502 的边沿是上升还是下降。一般来说, 置位/复位锁存器 566 仅当置位端为高 (HIGH) 时变高 (HIGH) 而当复位端为高 (HIGH) 时变 LOW。当置位端和复位端均为低 (LOW) 或零时, 锁存器 566 保持其先前值,  $Q_{n+1} = Q_n$ 。

10 RISE 信号和反相器信号 HIGH# 和 LOW 一起被输入到第一与非 (NAND) 门 568 以提供拉高控制信号 (PULL\_UP#)。信号 HIGH、LOW# 和 RISE 均被输入到第三或非 (NOR) 逻辑门 570 以产生拉低控制信号 (PULL\_DOWN)。

参阅图 8, 曲线 800A 示出了图 5 中输入处的时钟信号 502。该接收的时钟信号由其低 ( $V_L$ ) 和高 ( $V_H$ ) 逻辑电平所定义, 但由于它所传播经过的 15 时钟分配线路上的 RC 特征而降级并因此具有斜波形, 与定义明确的边沿瞬变相比, 它具有相对较长的上升和下降时间。高门限电平反相器 (IVH) 540 检测跨过高逻辑电平  $V_H$  附近的高门限电平 ( $V_{TH}$ ) 的时钟瞬变, 而低门限电平反相器 (IVL) 检测跨低逻辑电平  $V_L$  附近的低门限电平 ( $V_{TL}$ ) 的时钟瞬变。在时钟的上升期间, 跨过低门限电平 ( $V_{TL}$ ) 的瞬变发生在时刻  $t_0$  并稍后再 20 次发生于  $t_4$ 。跨过高门限电平 ( $V_{TH}$ ) 的瞬变发生在  $t_1$  (并稍后再次发生于  $t_5$ )。  $t_0$  和  $t_1$  之间的周期由一个拉高控制信号脉冲 (PULL-UP#) 所表征, 如曲线 800E 所示。在时钟的下降期间, 跨过高门限电平 ( $V_{TH}$ ) 的瞬变发生在时刻  $t_2$  (和  $t_5$  之后未图示的时刻)。跨过低门限电平 ( $V_{TL}$ ) 的瞬变发生在  $t_3$  (和稍后未图示的时刻)。  $t_2$  和  $t_3$  之间的时间周期由一个拉低控制信 25 号脉冲 (PULL-DOWN) 所表征, 如曲线 800F 所示。

参阅曲线 800B, 当输入时钟信号 CK、800A 跨过低逻辑电平  $V_L$  时, 低触发点反相器 550 将其输出 LOW# 拉至接地电位, 而其互补值 LOW 变高, 参见信号 800B。LOW 信号的边沿处于时刻  $t_0$  和  $t_3$ 。

参阅曲线 800C, 当时钟信号 Ck 增加时, 低门限电平 PMOS 542 开始导通并因此输出 HIGH# 为  $V_H$ 。此时, 高门限电平 NMOS 544 不导通。仅当时钟信号 502 到达  $V_{TH}$  时, 低门限 PMOS 544 才能防止电流流经沟道并变得不导通。同时, 高门限 NMOS 导通。结果, 高门限电平 NMOS 接管并将输出 (HIGH#) 拉低。在图中的 800C, HIGH 的曲线表示 HIGH# 输出的反转。HIGH 信号的边沿分别处于  $t_1$  和  $t_2$ 。

通过参照曲线 800D, 置位/复位锁存器 566 的输出响应 RISE 被示出。当或非 (NOR) 门 564 的 HIGH、LOW 端均为低 (LOW) 时, 锁存器 566 的置位端为高 (HIGH)。另一方面, 仅当 HIGH#、LOW# 为逻辑低 (LOW) 或零时, 复位端才为高 (HIGH)。RISE 信号的下降沿在  $t_1$ , 表示时钟上升已经结束。RISE 信号的上升沿在  $t_3$ , 表示时钟的下降沿已结束。

图表 800E 示出拉高控制信号 (PULL\_UP#) 以及它检测如图表 800A 所示的时钟信号的上升沿的方法。同样, 拉高控制信号的脉冲持续时间表示  $t_0$  和  $t_1$  之间的时间间隔。

图表 800F 示出拉低控制信号 (PULL\_DOWN) 以及它检测如图表 800A 所示的时钟信号的下降沿的方法。下降控制信号的脉冲持续时间表示  $t_2$  和  $t_3$  之间的时间间隔。

参阅图 9, 同步存储装置 1000 包括如上所述的再生时钟中继器 500 以便在时钟线路上在存储装置 1000 的不同位置再生时钟信号。这表示将时钟中继器于集成电路的典型应用。典型的存储装置 1000 包括存储阵列 1002、控制电路 1004、行解码器 1006、列解码器 1010、检测和写入电路 1008 和 1012、时钟电路 1014。再生时钟中继器 500 沿时钟分配线路贯穿分布在装置 1000 中, 其中时钟分配线路被分成若干段。

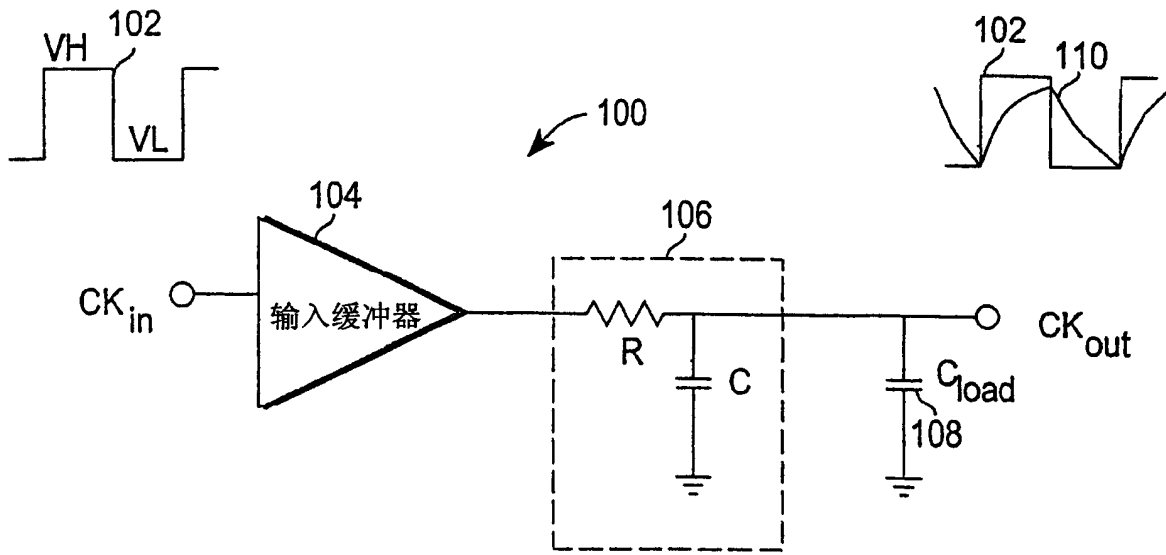


图 1

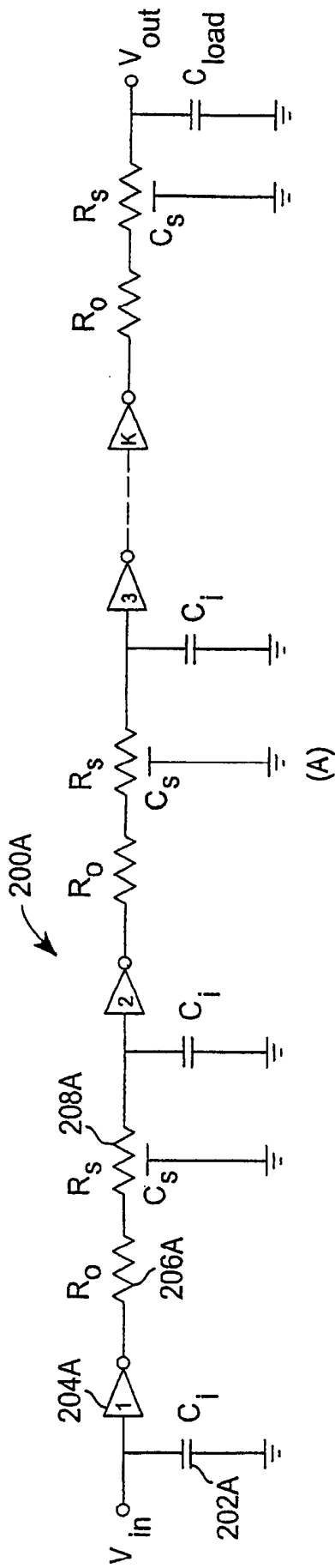


图 2A

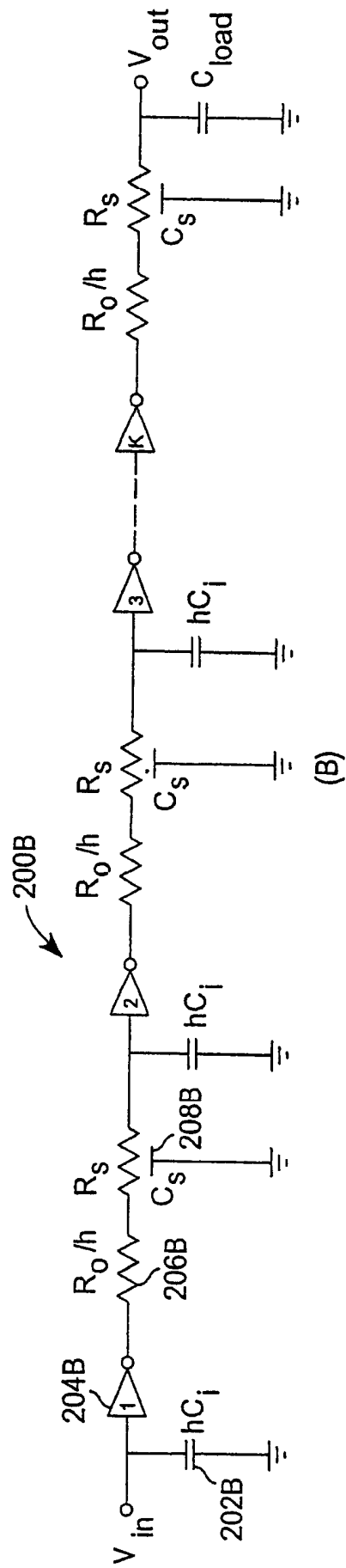


图 2B

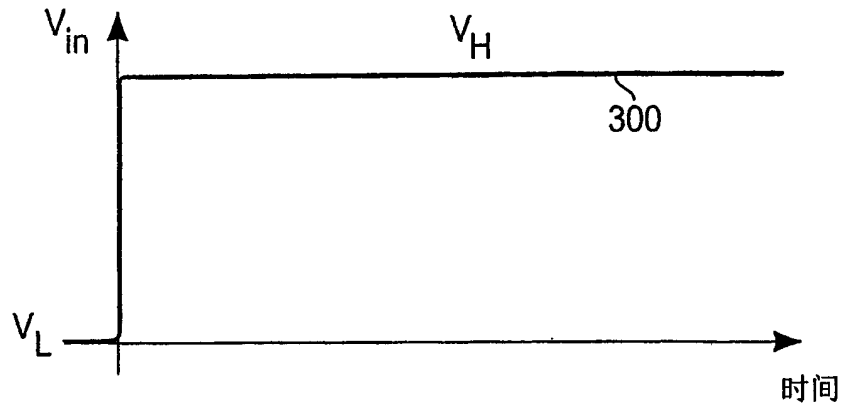


图 3A

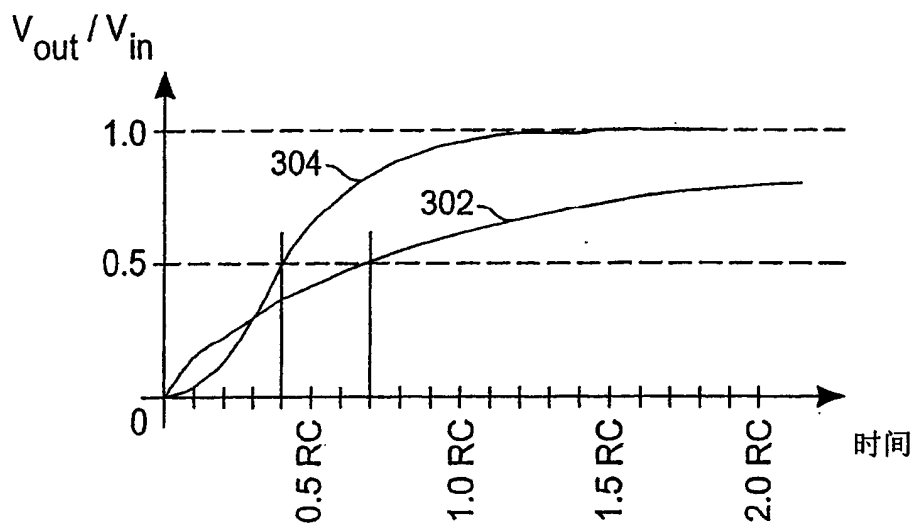


图 3B

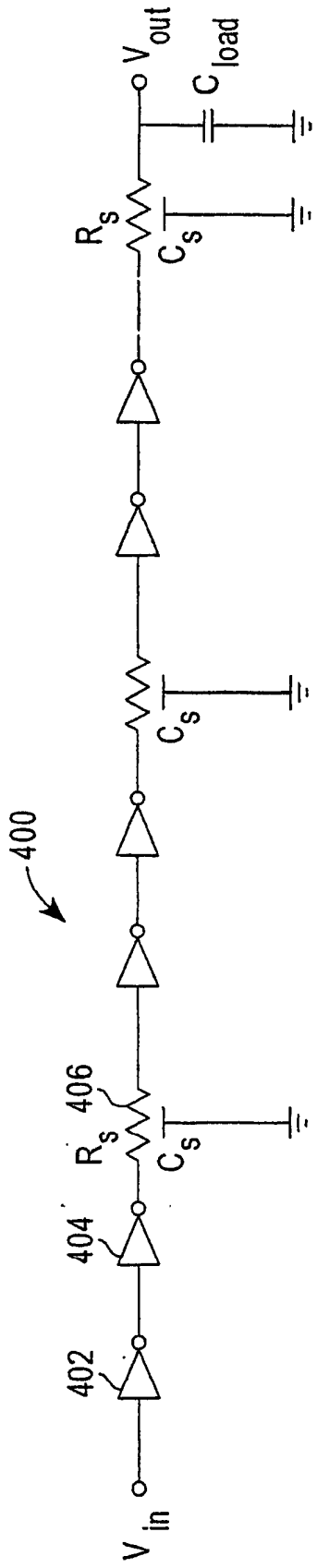


图 4

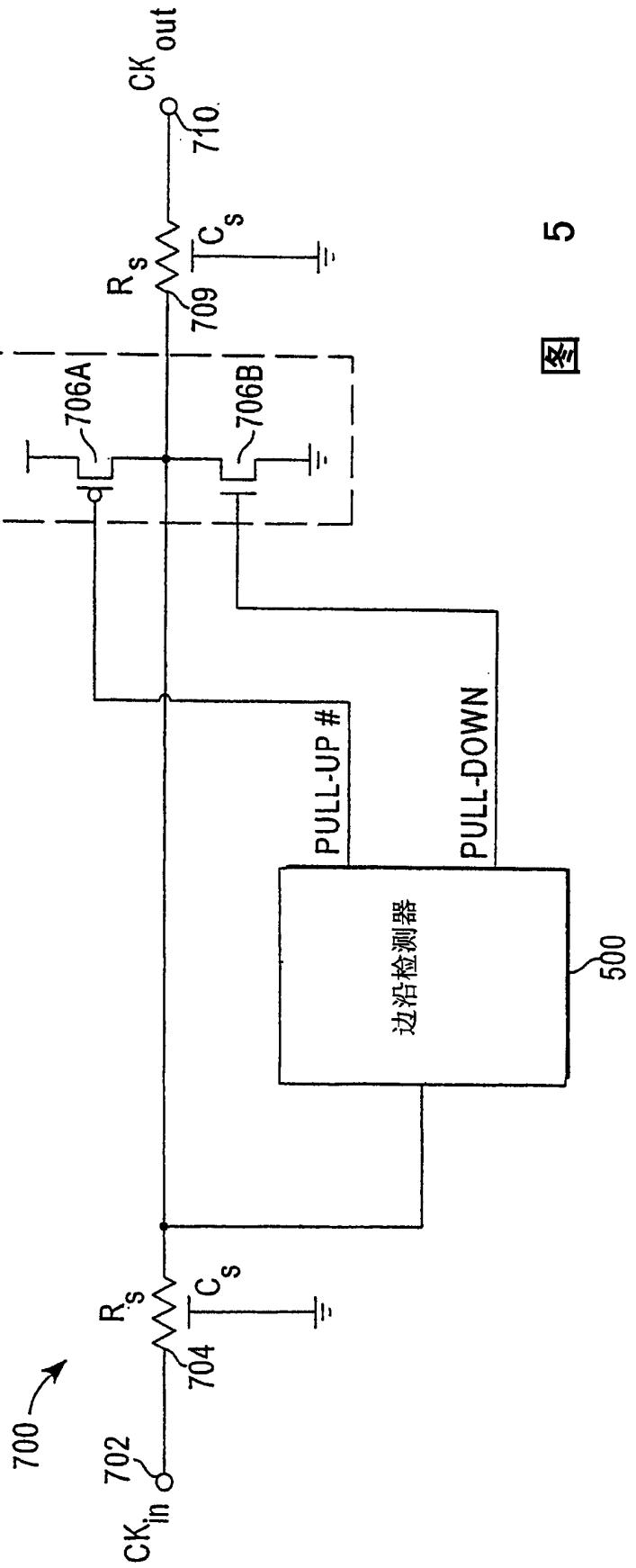


图 5

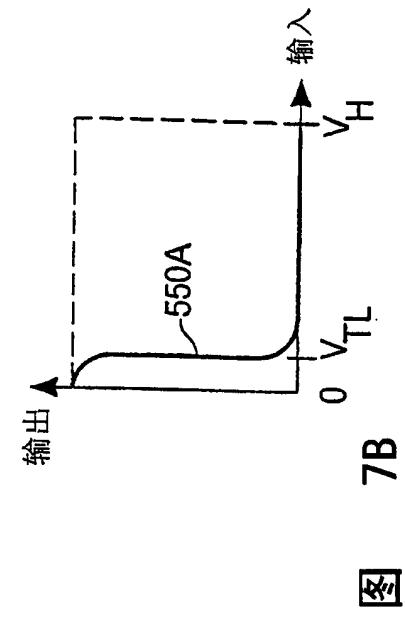
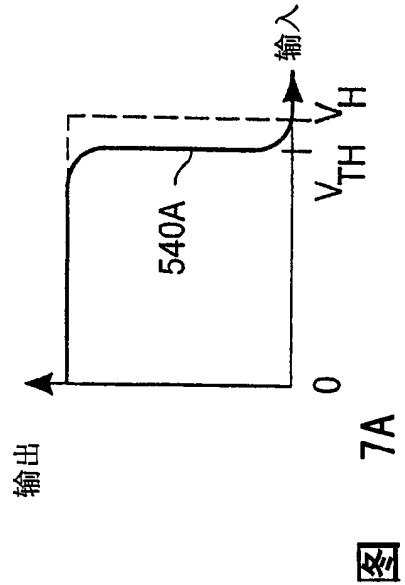
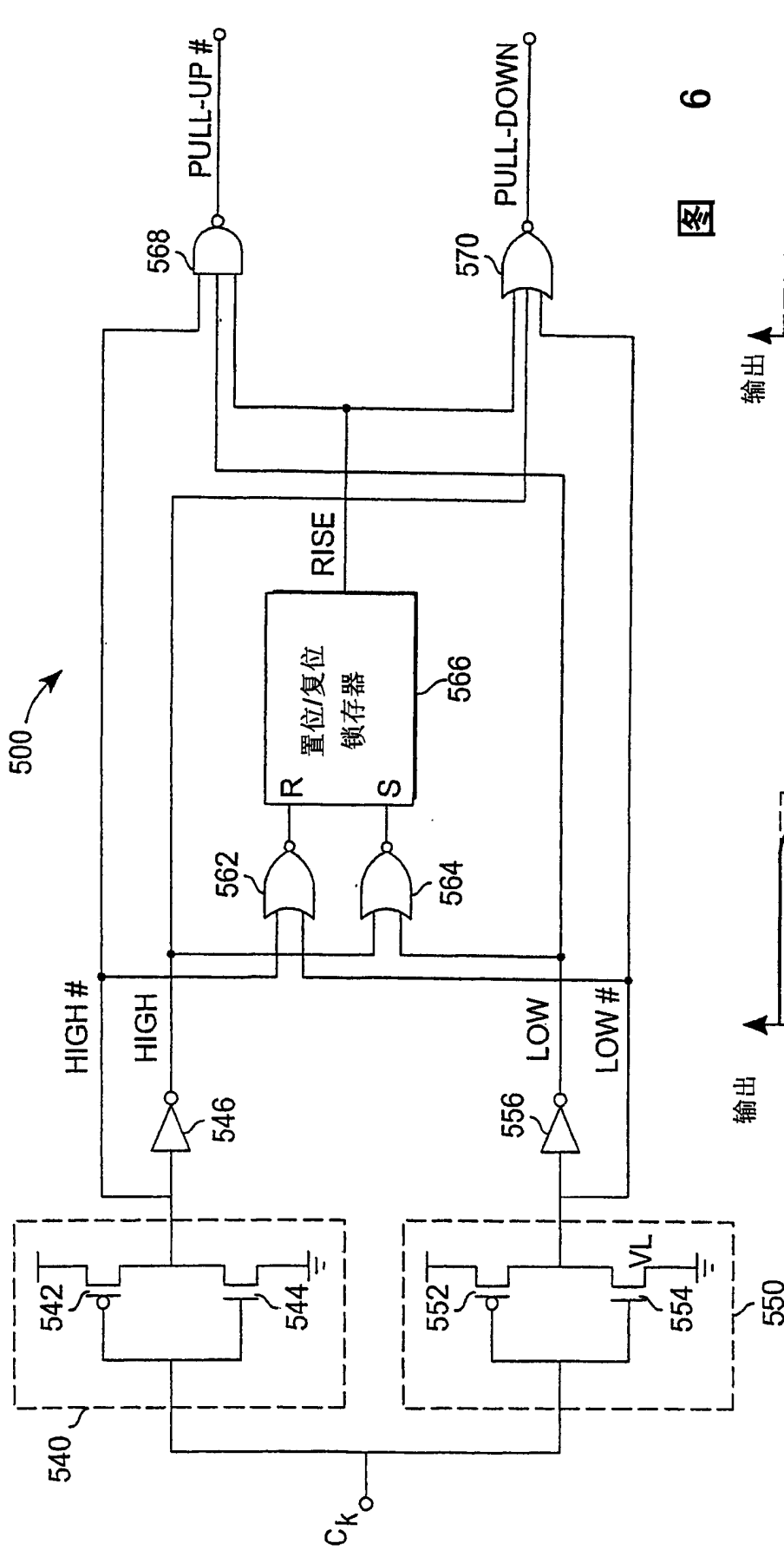


图 6

图 7A

图 7B



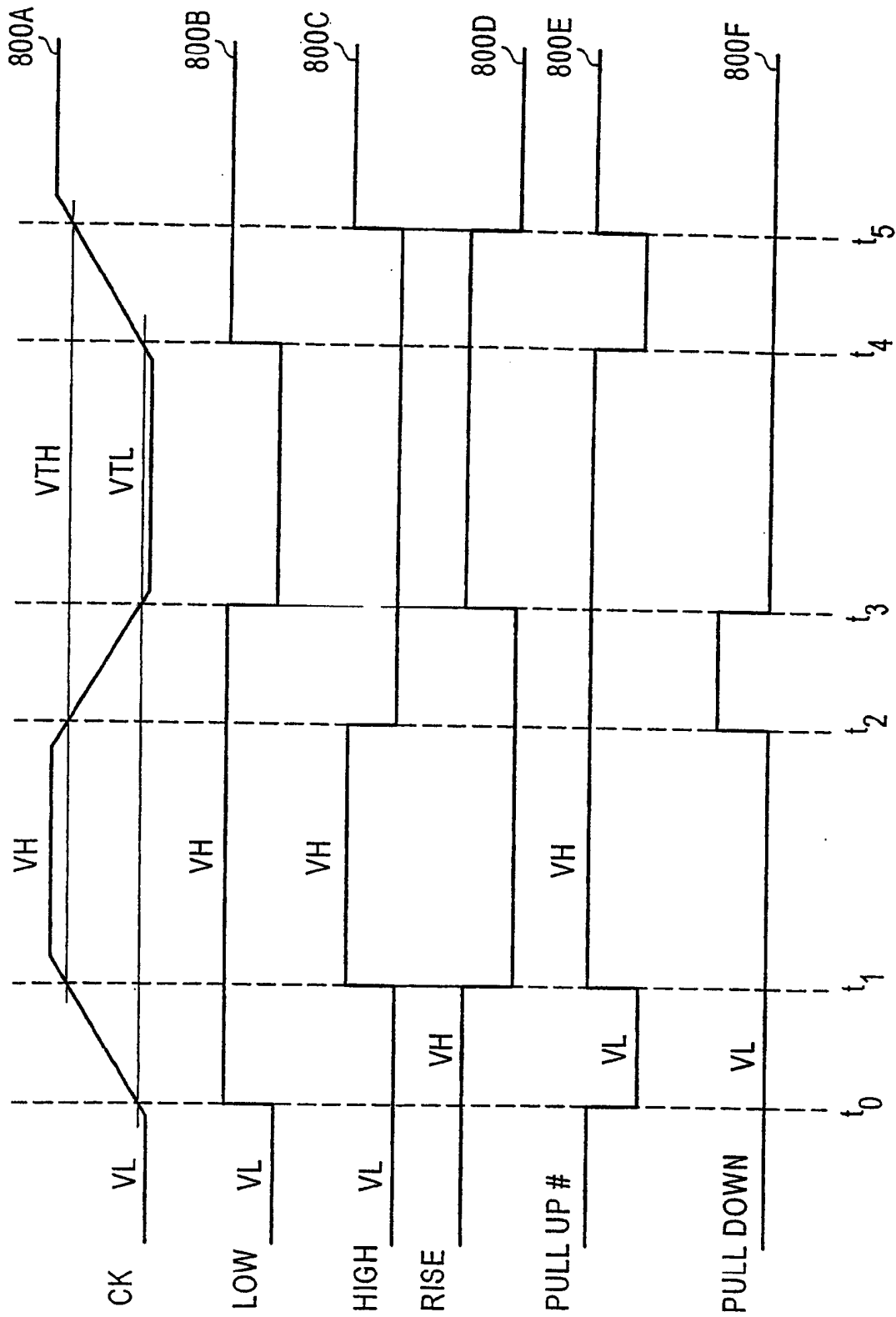


图 8

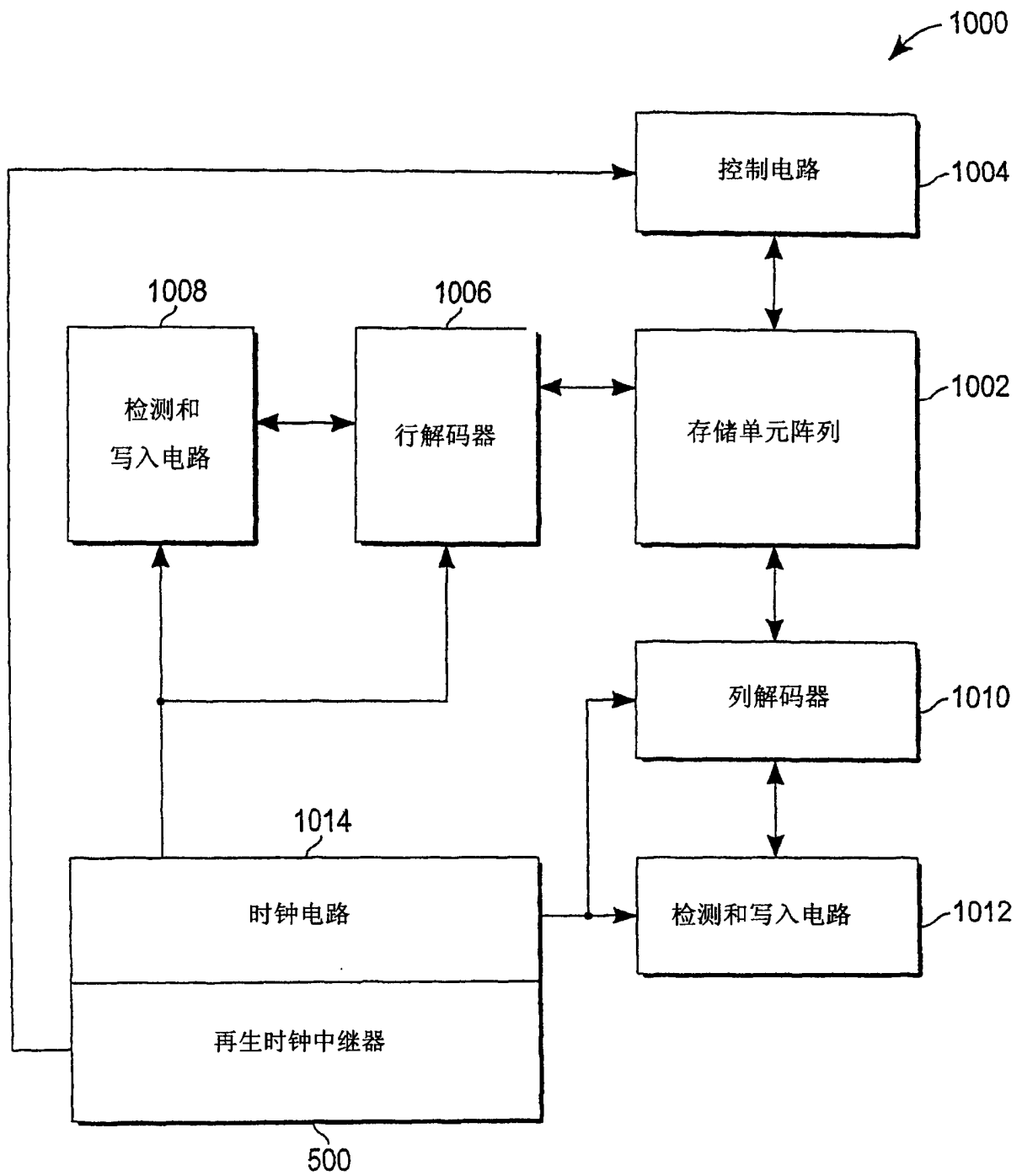


图 9