



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200950353 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

(21)申請案號：098104009

(22)申請日：中華民國 98 (2009) 年 02 月 06 日

(51)Int. Cl. : **H03M3/04 (2006.01)**

(30)優先權：2008/02/06 美國 12/027,132

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：貝倫堤尼 蓋瑞 約翰 BALLANTYNE, GARY JOHN (NZ)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：30 項 圖式數：11 共 44 頁

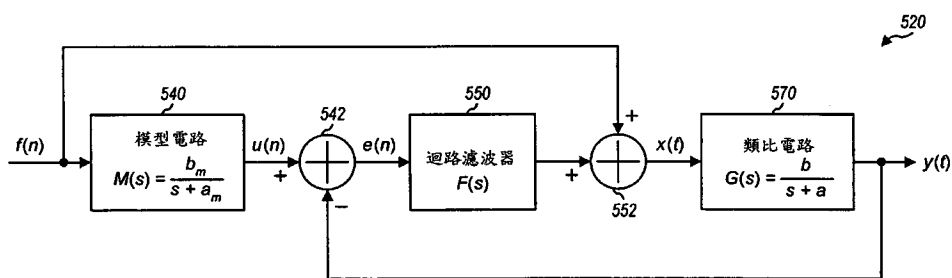
(54)名稱

適應性高階數位類比轉換

ADAPTIVE HIGH-ORDER DIGITAL-TO-ANALOG CONVERSION

(57)摘要

本發明描述用於使用一階或較高階保持來執行數位類比轉換的技術，該等技術將一簡單類比電路用於信號重建並使用回饋控制技術。在一項設計中，一數位類比轉換電路包括一反模型電路、一回饋電路、一零階保持(ZOH)電路、及一類比電路。該反模型電路處理一數位輸入信號且提供一第一數位信號。該回饋電路接收該第一數位信號及來自該類比電路之一類比輸出信號，執行低頻率雜訊濾波且提供一第二數位信號。該 ZOH 電路使用零階保持將該第二數位信號自數位轉換至類比，且提供該類比電路之一類比輸入信號。該類比電路對該類比輸入信號進行操作，且提供該類比輸出信號。該類比電路可為一具有一或多個極點之簡單電路。



520：模型參考控制系統

540：模型電路

542：加法器

550：迴路濾波器

552：加法器

570：類比電路



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200950353 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

(21)申請案號：098104009

(22)申請日：中華民國 98 (2009) 年 02 月 06 日

(51)Int. Cl. : **H03M3/04 (2006.01)**

(30)優先權：2008/02/06 美國 12/027,132

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：貝倫堤尼 蓋瑞 約翰 BALLANTYNE, GARY JOHN (NZ)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：30 項 圖式數：11 共 44 頁

(54)名稱

適應性高階數位類比轉換

ADAPTIVE HIGH-ORDER DIGITAL-TO-ANALOG CONVERSION

(57)摘要

本發明描述用於使用一階或較高階保持來執行數位類比轉換的技術，該等技術將一簡單類比電路用於信號重建並使用回饋控制技術。在一項設計中，一數位類比轉換電路包括一反模型電路、一回饋電路、一零階保持(ZOH)電路、及一類比電路。該反模型電路處理一數位輸入信號且提供一第一數位信號。該回饋電路接收該第一數位信號及來自該類比電路之一類比輸出信號，執行低頻率雜訊濾波且提供一第二數位信號。該 ZOH 電路使用零階保持將該第二數位信號自數位轉換至類比，且提供該類比電路之一類比輸入信號。該類比電路對該類比輸入信號進行操作，且提供該類比輸出信號。該類比電路可為一具有一或多個極點之簡單電路。

520：模型參考控制系統

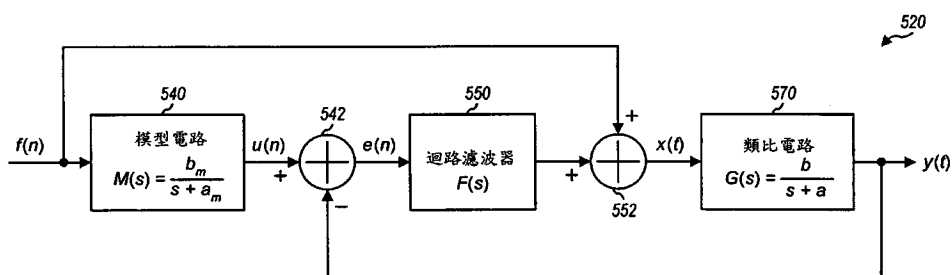
540：模型電路

542：加法器

550：迴路濾波器

552：加法器

570：類比電路



六、發明說明：

【發明所屬之技術領域】

本揭示案大體而言係關於電子學，且更具體言之係關於用於執行數位類比轉換之技術。

【先前技術】

數位類比轉換器(DAC)為接收一數位信號且輸出一類比信號之電路。DAC通常用於各種電子器件中以在數位電路與類比電路之間提供介面。舉例而言，諸如蜂巢式電話之無線通信器件可包括一或多個DAC以與傳輸器、音訊輸出電路、視訊輸出電路等建立介面。

通常結合諸如用以對來自DAC之該類比信號進行濾波之重建濾波器的類比電路來使用DAC。類比電路可能相對複雜，且可增加使用該DAC之電子器件之複雜性及成本。需要使用簡單類比電路來執行數位類比轉換以降低複雜性及成本。

【發明內容】

本文描述用於使用一階或較高階保持來執行數位類比轉換之裝置。該等技術利用一簡單類比電路用於信號重建，且使用回饋控制技術來改良類比電路之低頻率行為且達成良好的效能。

在一項設計中，一數位類比轉換電路包括一反模型電路、一回饋電路、一零階保持(ZOH)電路及一類比電路。該反模型電路處理一數位輸入信號且提供一第一數位信號。該回饋電路接收該第一數位信號及來自該類比電路之

一類比輸出信號，執行低頻率雜訊濾波且提供一第二數位信號。該ZOH電路使用零階保持將該第二數位信號自數位轉換至類比，且提供該類比電路之一類比輸入信號。該類比電路對該類比輸入信號進行操作，且提供類比輸出信號。該類比電路可為一具有一或多個極點之簡單電路。

在一項設計中，該回饋電路包括一模型電路、第一及第二加法器、一迴路濾波器及一類比數位轉換器(ADC)。該模型電路基於一轉移函數 $M(s)$ 對該第一數位信號進行操作且提供一模型輸出信號。ADC數位化該類比輸出信號且提供一數位化輸出信號。第一加法器自該模型輸出信號減去數位化輸出信號，且提供一誤差信號。迴路濾波器對該誤差信號進行濾波且提供一經濾波信號。第二加法器對該經濾波信號與該第一數位信號求和且提供該第二數位信號。該回饋電路執行雜訊濾波以便在最少地影響該第一數位信號的同時改良該類比電路之低頻率行為。

該模型電路之轉移函數 $M(s)$ 可基於類比電路之一轉移函數 $G(s)$ 及ZOH電路之轉移函數 $Z(s)$ 而適應性地確定。適應電路可估計該類比電路之至少一參數(例如，一極點頻率及一增益)。該模型電路之轉移函數 $M(s)$ 接著可基於該(等)所估計參數而實施。反模型電路可具有轉移函數 $M^{-1}(s)$ ，其為模型電路之轉移函數 $M(s)$ 之反函數。

以下進一步詳細描述本揭示案之各種態樣及特徵。

【實施方式】

圖1A展示以習知方式執行數位類比轉換之器件100之方

塊圖。在器件100內，數位電路110接收並處理數位信號，且提供一數位輸入信號 $d(n)$ ，其中 n 為樣本索引。DAC 120使用零階保持將該數位輸入信號自數位轉換至類比，且提供一類比輸入信號 $\tilde{x}(t)$ ，其中 t 為連續時間之變數。重建濾波器130對該類比輸入信號進行濾波且提供一類比輸出信號 $\hat{y}(t)$ 。濾波器130可執行各種功能，諸如由數位類比轉換引起之影像衰減、對歸因於零階保持之頻率回應下降之補償等。

圖1B展示圖1A中之數位輸入信號 $d(n)$ 及類比輸入信號 $\tilde{x}(t)$ 之時序圖。數位輸入信號在離散時間點 n_1 、 n_2 等含有數位值。DAC 120藉由輸出並保持每一數位值持續一取樣週期 T 之整個持續時間來產生類比輸入信號 $\tilde{x}(t)$ 。該類比輸入信號在每一取樣時刻改變至彼取樣時刻之新數位值。

圖1C展示時域階梯函數歸因於零階保持之頻率回應 $Z(f)$ 。由DAC 120進行之零階保持導致具有正弦 $(x)/x$ 形狀之頻率回應 $Z(f)$ ，其中空值之位置由取樣週期 T 確定。該類比輸入信號 $\tilde{x}(t)$ 包括在原點處之所要信號分量150(其藉由該下降而經濾波)以及在 $1/T$ 之倍數處的影像160(其藉由正弦 $(x)/x$ 陷波而經濾波)。為了簡單起見，圖1C中僅展示處於正頻率之分量。重建濾波器130可試圖衰減高於 $1/T$ 之頻率處之影像。重建濾波器130亦可試圖補償通頻帶中歸因於正弦 $(x)/x$ 回應之下降。重建濾波器130之複雜性可取決於各種因素，諸如信號頻寬、取樣速率、影像之所要衰減量、所要通頻帶回應等。相對複雜之重建濾波器可用以滿

足可適用需求，但可增加器件100之複雜性及成本。

需要使用簡單類比電路在獲得良好效能之同時執行數位類比轉換。此可藉由使用一階或較高階保持來執行數位類比轉換而達成。一般而言，本文所述之技術可用於高於零階保持之任何階。為了清晰起見，下文針對一階保持(FOH)描述該等技術之某些態樣。

圖2展示使用一階保持執行數位類比轉換之器件200之設計的方塊圖。在器件200內，數位電路210接收並處理數位資料，且提供一數位輸入信號 $d(n)$ 至數位類比轉換電路220。在轉換電路220內，微分器230對數位輸入信號進行微分運算且提供一微分信號。ZOH電路240使用零階保持將該微分信號自數位轉換至類比，且提供一類比輸入信號。積分器250對該類比輸入信號進行積分運算，且提供一類比輸出信號 $y(t)$ 。

轉換電路220之總轉移函數 $H(s)$ 可表示為：

$$H(s) = \underbrace{\left[\frac{1-z^{-1}}{T} \right]_{z=e^{sT}}}_{\text{微分器}} \underbrace{\frac{1-e^{-sT}}{sT}}_{\text{ZOH}} \underbrace{\frac{1}{s}}_{\text{積分器}} = \left(\frac{1-e^{-sT}}{sT} \right)^2, \quad \text{等式(1)}$$

其中 $s=j\omega$ ， ω 為以弧度為單位之頻率，且 z^{-1} 指示一個取樣週期之延遲。

如等式(1)中所示，零階保持具有轉移函數 $\frac{1-e^{-sT}}{sT}$ 。一般而言，L階保持具有轉移函數 $\left(\frac{1-e^{-sT}}{sT} \right)^{L+1}$ ，其中 $L \geq 0$ 。等式(1)指示一階保持可使用圖2中所示之微分器230、ZOH電路240及積分器250來達成。

數位類比轉換電路220可能由於若干原因而難以實施或實施起來不切實際。第一，理想/純積分器通常為不可實現的但可藉由在低頻率處具有極點的電路來近似。第二，積分器與具有極點之電路兩者易受可能嚴重降級類比輸出信號之品質的低頻率雜訊、漂移及干擾。

在一態樣中，數位類比轉換電路包括具有一或多個極點之簡單類比電路及一數位回饋電路以改良該類比電路之低頻率行為。該轉換電路可使用一階或較高階保持來執行數位類比轉換，且可更平穩地重建該類比輸出信號。該一階或較高階保持可藉由使用回饋控制技術自類比電路導引類比輸出信號而達成。

圖3展示使用一階或較高階保持及負回饋之數位類比轉換電路300之設計的方塊圖。在轉換電路300內，反模型電路310如以下描述接收並處理一數位輸入信號 $d(n)$ ，且提供一第一數位信號 $f(n)$ 。回饋電路330接收該第一數位信號及一類比輸出信號 $y(t)$ ，且產生一提供所要類比輸出信號之第二數位信號 $s(n)$ 。ZOH電路360使用零階保持將該第二數位信號自數位轉換至類比，且提供一類比輸入信號 $x(t)$ 。類比電路370對該類比輸入信號進行操作，且提供類比輸出信號 $y(t)$ 。類比電路370可近似為具有單極點之一積分器，或可實施具有多個極點之較高階濾波器。

回饋電路330執行若干功能。第一，回饋電路330試圖改良類比電路370之低頻率行為。第二，回饋電路330試圖傳遞該第一數位信號之信號成分。回饋電路330、ZOH電路

360及類比電路370(該等電路形成一模型參考系統320)之組合轉移函數可經設計以緊密匹配ZOH電路360及類比電路370之組合轉移函數。反模型電路310可具有為模型參考系統320之轉移函數之反函數的轉移函數，使得轉換電路300之總回應在寬頻寬上為平坦的。

圖4展示模型參考系統320a及回饋電路330a之方塊圖，其為圖3中之模型參考系統320及回饋電路330之一種設計。為了簡單起見，圖4展示各種電路之 s 域中的轉移函數，其通常用於類比電路及連續時間中之信號。回饋電路330a接收該第一數位信號 $f(n)$ 及該類比輸出信號 $y(t)$ ，且產生該第二數位信號 $s(n)$ 。

在回饋電路330a內，一模型電路340接收該第一數位信號 $f(n)$ 且提供一模型輸出信號 $u(n)$ 。ADC 380接收並數位化該類比輸出信號 $y(t)$ ，且提供一數位化輸出信號 $v(n)$ 。加法器342自該模型輸出信號減去數位化輸出信號，且提供一誤差信號 $e(n)$ 。迴路濾波器350對該誤差信號進行濾波且提供一經濾波信號。加法器352對經濾波信號及第一數位信號求和，且提供該第二數位信號 $s(n)$ 。

回饋電路330a、ZOH電路360及類比電路370形成一模型參考適應性控制系統，且可使用適應性控制技術來分析。迴路濾波器350確定該適應性控制系統之雜訊濾波及迴路動態。在一項設計中，迴路濾波器350之轉移函數 $F(s)$ 可表示為：

$$F(s) = \frac{1}{s+p}, \quad \text{等式(2)}$$

其中 p 為迴路濾波器之極點之頻率。

轉移函數 $F(s)$ 確定由加法器 342 及 352、迴路濾波器 350、ZOH 電路 360、類比電路 370 及 ADC 380 形成之迴路 332 之封閉迴路頻寬。迴路濾波器 350 之窄頻寬可提供較多雜訊濾波但較慢瞬態回應。相反，迴路濾波器 350 之較寬頻寬可提供較少雜訊濾波但較快瞬態回應。迴路濾波器 350 之頻寬可經選擇以達成所要雜訊濾波及迴路動態。

回饋電路 330a 實施兩點或雙埠調變以便達成類比輸出信號之寬頻帶調變。在回饋電路 330a 內，第一數位信號 $f(n)$ 經提供至一高通調變路徑及一低通調變路徑兩者。在高通調變路徑中，該第一數位信號自回饋電路 330a 之輸入直接提供至加法器 352。在低通調變路徑中，該第一數位信號經由模型電路 340、加法器 342 及迴路濾波器 350 提供至加法器 352。該低通調變路徑之頻寬由模型電路 340 及迴路濾波器 350 確定，且可為相對窄的。藉由經由分離之高通及低通調變路徑施加該第一數位信號，該適應性控制系統可提供具有寬於適應性控制系統之封閉迴路頻寬的信號頻寬之第二數位信號。

模型電路 340 具有 s 域中之轉移函數 $M(s)$ ，ZOH 電路 360 具有 s 域中之轉移函數 $Z(s)$ ，且類比電路 370 具有 s 域中之轉移函數 $G(s)$ 。模型電路 340 之轉移函數可經界定以匹配 ZOH 電路 360 及類比電路 370 之組合轉移函數，如下：

$$M(s)=Z(s)\cdot G(s)。$$

等式(3)

若等式(3)經達成，則回饋電路330a、ZOH電路360及類比電路370之組合轉移函數將等於 $Z(s)\cdot G(s)$ 。在此狀況下，回饋電路330a可在最少地影響總轉移函數的同時改良類比電路370之低頻率行為。

圖5展示一模型參考控制系統520之方塊圖，其為圖3中之模型參考系統320之模型。為簡單起見，自系統520省略圖4中之ZOH電路360及ADC 380。在系統520中，模型電路540、加法器542、迴路濾波器550及加法器552分別以與圖4中之模型電路340、加法器342、迴路濾波器350及加法器352相同的方式耦接。一類比電路570直接耦接至加法器552之輸出。

對於一階保持，類比電路570之轉移函數 $G(s)$ 及模型電路540之轉移函數 $M(s)$ 可表示為：

$$G(s)=\frac{b}{s+a}，\text{ 且}$$

等式(4)

$$M(s)=\frac{b_m}{s+a_m}，$$

等式(5)

其中 a 為類比電路570之極點之頻率，

b 為類比電路570之增益，

a_m 為模型電路540之極點之頻率，且

b_m 為模型電路540之增益。

等式(4)中之轉移函數 $G(s)$ 可使用與電阻器(R)及電容器(C)並聯之電流源、被動RC濾波器、開關電容濾波器等來實施。極點頻率 a 可藉由電阻器及電容器之值來確定。增

益 b 可取決於驅動電阻器及電容器之電流源及/或其他主動電路之增益。

在模型參考控制系統520中，類比電路570為待控制之對象(plant)。術語"對象"在一控制系統內通常用於其輸出係藉由施加一適當輸入而控制之區塊。對於模型參考控制系統520，對象(其為具有等式(4)中之轉移函數 $G(s)$ 的類比電路570)經激勵以遵循模型(其為具有等式(5)中之轉移函數 $M(s)$ 的模型電路540)。若模型電路540之極點頻率 a_m 及增益 b_m 匹配類比電路570之極點頻率 a 及增益 b ，則系統520之總轉移函數與模型電路540之轉移函數相同。

類比電路570之極點頻率及增益可經設定為所要值。然而，歸因於組件容差及/或其他因素，類比電路570之極點頻率及增益可不同於所要值及/或可能為並非已知的。在此狀況下，類比電路570之極點頻率及增益可經適應性地確定。

圖6展示模型電路540a之方塊圖，其為圖5中之模型電路540之一項設計。在此設計中，模型電路540a適應性地估計類比電路570之參數 a 及 b ，且將所估計之參數 a_m 及 b_m 應用於其轉移函數 $M(s)$ 。

在模型電路540a內，加法器612接收乘法器626之輸出且自該第一數位信號 $f(n)$ 減去乘法器626之該輸出。累加器614累加加法器612之輸出且提供一累加信號 $k(n)$ 。乘法器616使累加信號與來自電路634之 b_m 相乘且提供模型輸出信號 $u(n)$ 。

乘法器 622 使累加信號 $k(n)$ 與來自加法器 542 之誤差信號 $e(n)$ 相乘。電路 624 使用增益 g_1 來按比例調整乘法器 622 之輸出，累加經按比例調整之結果，且提供 a_m ， a_m 為類比電路 570 之極點頻率 a 之估計。乘法器 626 使累加信號 $k(n)$ 與 a_m 相乘且提供其輸出至加法器 612。

乘法器 632 使第一數位信號 $f(n)$ 與誤差信號 $e(n)$ 相乘。電路 634 使用增益 $-g_2$ 來按比例調整乘法器 632 之輸出，累加經按比例調整之結果，且提供 b_m ， b_m 為類比電路 570 之增益 b 之估計。

電路 624 之增益 g_1 確定參數 a_m 之適應率，且電路 634 之增益 g_2 確定參數 b_m 之適應率。可選擇增益 g_1 及 g_2 以分別達成 a_m 及 b_m 之所要適應率。一旦適應已收斂， a_m 便應緊密匹配 a ，且 b_m 應緊密匹配 b 。模型電路 540a 接著將實施等式 (5) 中所示之轉移函數 $M(s)$ 。

圖 6 展示適應性地估計類比電路 570 之參數且將所估計參數應用至模型電路 540 之一項設計。亦可以其他方式來估計類比電路 570 之參數。

圖 7 展示使用一階或較高階保持及負回饋之數位類比轉換電路 700 之設計的方塊圖。轉換電路 700 包括一反模型電路 710、一回饋電路 730、一 ZOH 電路 760 及一類比電路 770，其分別以與圖 3 中之反模型電路 310、回饋電路 330、ZOH 電路 360 及類比電路 370 相同之方式耦接。

在圖 7 所示之設計中，回饋電路 730 包括一模型電路 740、一加法器 742、一迴路濾波器 750、一加法器 752 及一

ADC 780，其分別以與圖4中模型電路340、加法器342、迴路濾波器350、加法器352及ADC 380相同之方式耦接。回饋電路730進一步包括一適應電路790，適應電路790可接收第一數位信號 $f(n)$ 、誤差信號 $e(n)$ 、第二數位信號 $s(n)$ 及/或數位化輸出信號 $v(n)$ 。適應電路790可估計ZOH電路760之轉移函數 $Z(s)$ 及/或類比電路770之轉移函數 $G(s)$ 的參數。模型電路740之轉移函數 $M(s)$ 可基於所估計參數來界定，以匹配ZOH電路760及類比電路770之組合轉移函數 $Z(s) \cdot G(s)$ 。對於一階保持，適應電路790可如圖6中所示來實施。對於較高階保持，適應電路790可使用Landau, Y.D. 在 "Adaptive Control, The Model Reference Approach" (Marcel Dekker有限公司，1979)中描述之回饋控制技術來實施。反模型電路710具有轉移函數 $M^{-1}(s)$ ，其為模型電路740之轉移函數 $M(s)$ 之反函數。

數位類比轉換電路700可實施一階或較高階保持。對於實際L階保持，該對象包括級聯耦接之L個積分器，其中L可為一或更大。此等L個積分器可經近似在充分高之頻率處具有L個極點。對於L階保持，類比電路770可包括L個極點以近似L個積分器。作為一實例，對於二階保持，類比電路770可包括兩個極點，且可具有以下轉移函數：

$$G(s) = \left(\frac{b_1}{s+a_1} \right) \cdot \left(\frac{b_2}{s+a_2} \right), \quad \text{等式(6)}$$

其中 a_1 及 a_2 為兩個極點之頻率，且

b_1 及 b_2 為與兩個極點相關聯之增益。

對於任何給定階L，模型電路740可具有ZOH電路760及類比電路770之組合轉移函數。

為了清晰起見，圖5及圖6省略了圖4中之ZOH電路360及ADC 380。此外，圖4至圖7展示各種電路之s域中之轉移函數，其通常用於類比電路及連續時間中之信號。在實際實施中，僅類比電路以及ZOH電路及ADC之部分為類比/連續的，且剩餘電路為數位/離散時間。因此，ZOH電路及ADC左方之所有電路可使用數位電路來實施。

由於模型電路係以離散時間數位地實施，所以類比電路可僅在對應於取樣時間點之離散時刻受控。在取樣時刻之間，該類比輸出信號 $y(t)$ 取決於類比電路之連續時間回應。ZOH電路接收第二數位信號 $s(n)$ 且針對第二數位信號中之每一樣本提供一階梯回應至類比電路，例如，如圖1B中所示。取樣時刻之間的類比輸出信號藉由類比電路之階梯回應來確定。

對於一階保持，具有等式(4)中所示之單極點轉移函數 $G(s)$ 的類比電路之階梯回應 $g(t)$ 可表示為：

$$g(t) = \frac{b}{a} \cdot (1 - e^{-at}) = \frac{b}{a} \cdot \left(a \cdot t - \frac{(a \cdot t)^2}{2!} + \frac{(a \cdot t)^3}{3!} + \dots \right), \quad \text{等式(7)}$$

其中"!"指示階乘。

在等式(7)中， b/a 為DC處之增益且為一按比例調整之因數。階梯回應可使用等式(7)中之第二個等號右邊的具有不同階的一系列項來近似。第一項 $a \cdot t$ 為具有斜率 a 之直線。後續項可經考慮為該直線之誤差。若極點頻率比取樣頻率

低很多，或 $a \ll 1/T$ ，則 $g(t)$ 在樣本之間幾乎為線性的。舉例而言，極點頻率可為約千赫茲(KHz)，而取樣頻率可為約百萬赫茲(MHz)。若極點頻率 a 相對低，則類比輸出信號將為樣本之近分段線性內插，且數位類比轉換電路將接近一階保持。

圖8展示使用一階保持之數位類比轉換電路300或700中之來自ZOH電路之類比輸入信號 $x(t)$ 及來自類比電路之類比輸出信號 $y(t)$ 的時序圖。類比輸入信號 $x(t)$ 使用虛線來展示且在每一取樣時刻 n_1 、 n_2 等處具有一階梯回應。類比輸出信號 $y(t)$ 歸因於等式(4)中所示之單極點轉移函數 $G(s)$ 而在取樣時刻之間近似線性地變化。實務上，圖8中之FOH回應將延遲至少一樣本以允許必要處理之時間。

圖9展示用於基於本文所述之技術來執行數位類比轉換之過程900的設計。可使用反模型電路來處理一數位輸入信號以獲得第一數位信號(步驟912)。可使用一回饋電路來處理第一數位信號及來自類比電路之類比輸出信號以獲得第二數位信號(步驟914)。可使用零階保持將第二數位信號自數位轉換至類比以獲得類比電路之一類比輸入信號(步驟916)。類比輸入信號可通過類比電路以獲得該類比輸出信號(步驟918)。

該類比電路可包含一或多個極點。對於一階保持，類比電路可具有等式(4)中所示之轉移函數。對於二階保持，類比電路可具有等式(6)中所示之轉移函數。類比電路之每一極點之頻率可比第一數位信號之取樣頻率低得多(例如，

至少十倍低)。

圖10展示圖9中之步驟914之設計。可使用模型電路來處理第一數位信號以獲得一模型輸出信號(步驟1012)。可使用ADC來數位化類比輸出信號以獲得一數位化輸出信號(步驟1014)。可自模型輸出信號減去該數位化輸出信號以獲得一誤差信號(步驟1016)。可使用迴路濾波器來濾波誤差信號以獲得一經濾波信號(步驟1018)。濾波信號可與第一數位信號相加以獲得第二數位信號(步驟1020)。

模型電路可具有基於ZOH電路及類比電路之轉移函數而確定之轉移函數。適應電路可估計類比電路之至少一參數，且模型電路之轉移函數可基於該(等)所估計參數來實施。舉例而言，適應電路可估計類比電路之極點頻率及增益，且模型電路之轉移函數可基於所估計之極點頻率及增益來實施。迴路濾波器可執行雜訊濾波，且可具有比第一數位信號之頻寬小得多的頻寬。

在圖4至圖7中所示之設計中，主要雜訊源為來自類比電路之閃爍雜訊及白雜訊以及來自回饋路徑中之ADC的回饋雜訊。白雜訊大部分在迴路頻寬外且因此未被控制或減輕。類比電路可經設計以達成白雜訊之一可接受位準。閃爍雜訊主要處於低頻率，且可在迴路頻寬充分高的情況下受迴路抑制。迴路之最小頻寬可取決於(例如，大於)閃爍雜訊之角頻率。迴路之最大頻寬可取決於由回饋路徑中之ADC引入之雜訊。迴路頻寬可基於待抑制之閃爍雜訊量(具有較大迴路頻寬為較佳的)與待抑制之回饋雜訊量(具有

較小迴路頻寬為較佳的)之間的折衷來選擇。

雜訊成形轉換器可用於回饋路徑中之ADC以便減輕回饋雜訊。雜訊成形轉換器可數位化類比輸出信號，使得量化雜訊中之大部分被推至較高頻率，例如被推至迴路濾波器之抑止頻帶。若本文所述之DAC用於正交增頻轉換器之同相(I)及正交(Q)分支中之每一者中且若一階西格瑪-德耳塔(sigma-delta, $\Sigma\Delta$)調變器用於每一DAC之回饋路徑中，則誤差向量幅度(EVM)可表示為：

$$\text{EVM} = 100 \cdot \left(\frac{\pi^2}{3} q^2 \frac{(2/2^N)^2}{12} \frac{1}{\text{OSR}^3} \right)^{1/2}, \quad \text{等式(8)}$$

其中 q 為 I 或 Q 信號之峰值與均方根(rms)比，

N 為來自每一 $\Sigma\Delta$ 調變器之位元數目，且

OSR 為超取樣比率，其為取樣頻率除以兩倍之信號頻寬(亦即，此實例中之迴路頻寬)。

舉例而言，對於以四倍晶片速率取樣之寬頻帶分碼多重存取(WCDMA)信號，一位元一階 $\Sigma\Delta$ 調變器可用於 I 及 Q DAC 中。在此狀況下，對於的 50 KHz 之迴路頻寬， $q \approx 2$ ，且 $\text{EVM} \approx 0.06\%$ 。此低 EVM 為可忽略的。

一般而言，迴路可能夠拒絕具有小於迴路頻寬之角頻率之閃爍雜訊。較高迴路頻寬可用於對抗閃爍雜訊之較高角頻率。然而，來自 ADC 之回饋雜訊應低相應的量以便避免過多降級。

本文所述之數位類比轉換電路可減少 ZOH 電路之動態範圍要求。如圖 3 及圖 7 所示，數位類比轉換電路可包括一反

模型電路，其可為微分器之近似。在此狀況下，提供至 ZOH 電路之第二數位信號 $s(n)$ 為數位輸入信號 $d(n)$ 之導數，且此導數為離散時間中之相鄰樣本之間的差異。數位輸入信號 $d(n)$ 通常為平滑且過取樣的，使得數位輸入信號中之相鄰樣本之間的峰值差異可能比數位輸入信號本身之峰值小得多。因此，ZOH 電路之輸入動態範圍可減小。作為一實例，對於 WCDMA，一階保持可將 ZOH 電路之輸入動態範圍減小兩個或兩個以上位元，且二階保持可將輸入動態範圍減少四個或四個以上位元。

本文所述之數位類比轉換電路利用一簡單類比電路(例如，具有一或多個極點)，且使用樣本資料控制技術來導引類比電路之輸出。一般而言，類比電路之階(且因此複雜性)將確定類比輸出信號之重建之平滑性。重建濾波器在類比電路之後可能或可能不為需要的，且可取決於數位類比轉換電路之設計及輸出信號要求而經簡化。

本文所述之數位類比轉換電路可提供若干優勢。第一，類比電路可相對簡單，例如，單一極點。該簡單類比電路亦可意謂電路參數(例如，極點頻率 a 及增益 b) 可能更容易地識別且隨後數位地校正。第二，取樣速率可僅基於控制該類比電路之需要而非僅藉由數位影像之頻率來確定。較低取樣速率可用於數位輸入信號，其可減少功率消耗。第三，ZOH 電路之輸入動態範圍可能歸因於在回饋電路之前的反模型電路而得以減小。

對於高階保持，上述優勢在以回饋電路之較大複雜性為

代價的情況下可能較大。舉例而言，高階保持可提供較平滑信號重建、ZOH電路之較低輸入動態範圍、較低取樣速率等。作為一實例，對於使用二階保持之WCDMA，取樣速率可減小到多達八倍小，例如，自32倍晶片速率(晶片 $\times 32$)至四倍晶片速率(晶片 $\times 4$)。

本文所述之數位類比轉換電路可用於各種應用，諸如通信、計算、網路連接、個人電子設備等。舉例而言，數位類比轉換電路可用於無線通信器件、蜂巢式電話、個人數位助理(PDA)、掌上型器件、遊戲器件、計算器件、膝上型電腦、消費者電子器件、個人電腦、無接線電話等。下文描述無線通信器件中之數位類比轉換電路之一實例使用。

圖11展示用於一無線通信系統之無線通信器件1100之方塊圖。無線器件1100可為蜂巢式電話、終端機、掌上型器件、無線數據機等。無線通信系統可為cdma2000系統、WCDMA系統、全球行動通信系統(GSM)等。

無線器件1100能夠經由一接收路徑及一傳輸路徑來提供雙向通信。在接收路徑上，基地台(未圖示)所傳輸之信號由天線1110接收且經提供至接收器1112。接收器1112調節所接收信號，且將輸入基頻信號提供至區1120內之ADC 1114。在傳輸路徑上，DAC 1116接收待傳輸之資料且將輸出基頻信號提供至傳輸器1118。DAC 1116可使用本文所述之數位類比轉換電路來實施。傳輸器1118處理並調節基頻輸出信號且產生調變信號，調變信號經由天線1110傳輸至

基地台。接收器 1112 及傳輸器 1116 可支援 cdma2000、WCDMA、GSM 等。

區 1120 包括各種處理、介面及記憶體單元，諸如一數據機處理器 1122、一精簡指令集電腦/數位信號處理器 (RISC/DSP) 1124、一控制器/處理器 1126、一記憶體 1128 及一輸入/輸出 (I/O) 電路 1130。數據機處理器 1122 可執行用於資料傳輸及接收之處理，例如，編碼、調變、解調變、解碼等。RISC/DSP 1124 可執行用於無線器件 1100 之一般及專用處理。控制器/處理器 1126 可指導區 1120 內之各種單元之操作。記憶體 1128 可儲存用於區 1120 內之各種單元之資料及/或指令。I/O 電路 1130 可經由 DAC 1132 與一外部 I/O 器件 1140 通信，DAC 1132 可使用本文所述之數位類比轉換電路來實施。

本文所述之數位類比轉換電路可藉由各種構件來實施。舉例而言，數位類比轉換電路可實施於硬體、軟體、韌體、軟體或其組合中。對於一硬體實施，數位類比轉換電路之各種電路可實施於以下各者上：積體電路 (IC)、類比 IC、射頻 IC (RFIC)、混合信號 IC、特殊應用積體電路 (ASIC)、數位信號處理器 (DSP)、數位信號處理器件 (DSPD)、可程式化邏輯器件 (PLD)、場可程式化閘陣列 (FPGA)、處理器、控制器、微控制器、微處理器、電子器件、經設計以執行本文所述之功能的其他電子單元、電腦、或以上之組合。

亦可藉由諸如互補金屬氧化物半導體 (CMOS)、N 通道 MOS (N-MOS)、P 通道 MOS (P-MOS)、雙極接面電晶體

(BJT)、雙極CMOS(BiCMOS)、矽鍺(SiGe)、砷化鎵(GaAs)等之各種IC處理技術來製造數位類比轉換電路。

可藉由執行本文中所描述之功能的韌體及/或軟體程式碼(例如，程序、函式、模組、指令等)來實施數位類比轉換電路之某些部分。一般而言，可將任何有實體地體現韌體及/或軟體程式碼之電腦/處理器可讀媒體用於實施本文中所描述之技術。舉例而言，韌體及/或軟體程式碼可儲存於一記憶體(例如，圖11之記憶體1128)中，且由一處理器(例如，處理器1126)執行。記憶體可實施於處理器內或處理器外部。

韌體及/或軟體程式碼可儲存於電腦可讀媒體上或在電腦可讀媒體上傳輸。電腦可讀媒體包括電腦儲存媒體與通信媒體(包括有助於將電腦程式自一個地方傳送至另一個地方的任何媒體)兩者。儲存媒體可為可由電腦存取之任何可用媒體。借助於實例(且非限制)，此電腦可讀媒體可包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、非揮發性隨機存取記憶體(NVRAM)、可程式化唯讀記憶體(PROM)、電可抹除PROM(EEPROM)、快閃(FLASH)記憶體或其他光碟儲存器、磁碟儲存器或其他磁性儲存器件，或可用於載運或儲存所要的呈指令或資料結構之形式的程式碼且可由電腦存取的任何其他媒體。又，可適當地將任何連接稱為電腦可讀媒體。舉例而言，若使用同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術而自網站、伺服器或其他遠端源傳

輸軟體，則同軸電纜、光纖電纜、雙絞線、DSL或諸如紅外線、無線電及微波之無線技術包括於媒體之定義中。在本文中使用时，磁碟及光碟包括緊密光碟(CD)、雷射光碟、光學光碟、數位通用光碟(DVD)、軟性磁碟及藍光光碟，其中磁碟通常磁性地再現資料，而光碟通常藉由雷射來光學地再現資料。上述各物之組合亦應包括在電腦可讀媒體之範疇內。

實施本文中所述之數位類比轉換電路之裝置可為單獨器件或可為較大器件之部分。一器件可為(i)單獨IC、(ii)可包括用於儲存資料及/或指令之記憶體IC的一或多個IC之集合、(iii)諸如RF接收器(RFR)或RF傳輸器/接收器(RTR)之RFIC、(iv)諸如行動台數據機(MSM)之ASIC、(v)可嵌入其他器件內之模組、(vi)接收器、蜂巢式電話、無線器件、掌上型器件或行動單元、(vii)等。

提供本揭示案之先前描述以使得任何熟習此項技術者能夠製造或使用本揭示案。熟習此項技術者將易於瞭解對本揭示案之各種修改，且在不脫離本揭示案之範疇的情況下，本文中定義之一般原理可應用於其他變體。因此，本揭示案並不意欲限於本文中所描述之實例及設計，而應符合與本文所揭示之原理及新穎特徵一致的最廣範疇。

【圖式簡單說明】

圖1A展示習知數位類比轉換。

圖1B展示一數位輸入信號及一類比輸入信號。

圖1C展示該類比輸入信號之頻譜回應。

圖2展示使用一階保持之數位類比轉換。

圖3展示使用一階或較高階保持及負回饋之數位類比轉換電路之設計。

圖4展示該數位類比轉換電路內之回饋電路。

圖5展示該數位類比轉換電路之模型參考系統。

圖6展示該回饋電路內之模型電路。

圖7展示使用一階或較高階保持及負回饋之數位類比轉換電路之另一設計。

圖8展示使用一階保持之類比輸出信號。

圖9展示用於執行數位類比轉換之過程。

圖10展示用於數位類比轉換之回饋處理之過程。

圖11展示一無線通信器件之方塊圖。

【主要元件符號說明】

100	器件
110	數位電路
120	數位類比轉換器(DAC)
130	重建濾波器
150	所要信號分量
160	影像
200	器件
210	數位電路
220	數位類比轉換電路
230	微分器
240	零階保持(ZOH)電路

250	積分器
300	數位類比轉換電路
310	反模型電路
320	模型參考系統
320a	模型參考系統
330	回饋電路
330a	回饋電路
332	迴路
340	模型電路
342	加法器
350	迴路濾波器
352	加法器
360	ZOH電路
370	類比電路
380	類比數位轉換器(ADC)
520	模型參考控制系統
540	模型電路
540a	模型電路
542	加法器
550	迴路濾波器
552	加法器
570	類比電路
612	加法器
614	累加器

616	乘法器
622	乘法器
624	電路
626	乘法器
632	乘法器
634	電路
700	數位類比轉換電路
710	反模型電路
730	回饋電路
740	模型電路
742	加法器
750	迴路濾波器
752	加法器
760	ZOH電路
770	類比電路
780	ADC
790	適應電路
1100	無線通信器件
1110	天線
1112	接收器
1114	ADC
1116	DAC
1118	傳輸器
1120	區

1122	數據機處理器
1124	精簡指令集電腦 / 數位信號處理器 (RISC/DSP)
1126	控制器 / 處理器
1128	記憶體
1130	輸入 / 輸出 (I/O) 電路
1132	DAC
1140	外部 I/O 器件

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98104009

※ 申請日： 98.2.6

※IPC 分類：H03M
H03M 7/04 (2006.01)

一、發明名稱：(中文/英文)

適應性高階數位類比轉換

ADAPTIVE HIGH-ORDER DIGITAL-TO-ANALOG CONVERSION

二、中文發明摘要：

本發明描述用於使用一階或較高階保持來執行數位類比轉換的技術，該等技術將一簡單類比電路用於信號重建並使用回饋控制技術。在一項設計中，一數位類比轉換電路包括一反模型電路、一回饋電路、一零階保持(ZOH)電路、及一類比電路。該反模型電路處理一數位輸入信號且提供一第一數位信號。該回饋電路接收該第一數位信號及來自該類比電路之一類比輸出信號，執行低頻率雜訊濾波且提供一第二數位信號。該ZOH電路使用零階保持將該第二數位信號自數位轉換至類比，且提供該類比電路之一類比輸入信號。該類比電路對該類比輸入信號進行操作，且提供該類比輸出信號。該類比電路可為一具有一或多個極點之簡單電路。

三、英文發明摘要：

Techniques for performing digital-to-analog conversion with first-order or higher-order hold using a simple analog circuit for signal reconstruction and employing feedback control techniques are described. In one design, a digital-to-analog conversion circuit includes an inverse model circuit, a feedback circuit, a zero-order hold (ZOH) circuit, and an analog circuit. The inverse model circuit processes a digital input signal and provides a first digital signal. The feedback circuit receives the first digital signal and an analog output signal from the analog circuit, performs low frequency noise filtering, and provides a second digital signal. The ZOH circuit converts the second digital signal from digital to analog with zero-order hold and provides an analog input signal for the analog circuit. The analog circuit operates on the analog input signal and provides the analog output signal. The analog circuit may be a simple circuit having one or more poles.

七、申請專利範圍：

1. 一種裝置，其包含：

一回饋電路，其經組態以接收一來自一類比電路之類比輸出信號及一第一數位信號，且提供一第二數位信號；及

一零階保持(ZOH)電路，其耦接至該回饋電路且經組態以接收該第二數位信號且提供該類比電路之一類比輸入信號，該回饋電路、該ZOH電路及該類比電路使用一階或較高階保持來執行數位類比轉換。

2. 如請求項1之裝置，其進一步包含：

一反模型電路，其耦接至該回饋電路且經組態以接收一數位輸入信號且提供該第一數位信號，該反模型電路具有一基於該ZOH電路及該類比電路之一組合轉移函數之一反函數而確定的轉移函數。

3. 如請求項1之裝置，其中該回饋電路經組態以基於該類比輸出信號而執行低頻率雜訊濾波。

4. 如請求項1之裝置，其中該回饋電路包含

一模型電路，其具有一基於該類比電路之一轉移函數而確定之轉移函數。

5. 如請求項4之裝置，其中該模型電路之該轉移函數進一步基於該ZOH電路之一轉移函數而確定。

6. 如請求項4之裝置，其中該回饋電路進一步包含

一適應電路，其經組態以估計該類比電路之至少一參數，且其中該模型電路之該轉移函數係基於該至少一估

計參數。

7. 如請求項4之裝置，其中該回饋電路進一步包含

一適應電路，其經組態以估計該類比電路之一極點頻率及一增益，且其中該模型電路之該轉移函數係基於該估計之極點頻率及增益。

8. 如請求項1之裝置，其中該回饋電路包含

一模型電路，其經組態以接收該第一數位信號且提供一模型輸出信號，

一第一加法器，其經組態以自該模型輸出信號減去一數位化輸出信號且提供一誤差信號，

一迴路濾波器，其經組態以對該誤差信號進行濾波且提供一經濾波信號，及

一第二加法器，其經組態以對該經濾波信號及該第一數位信號求和且提供該第二數位信號。

9. 如請求項8之裝置，其中該迴路濾波器經組態以使用一小於該第一數位信號之一頻寬的頻寬來執行雜訊濾波。

10. 如請求項8之裝置，其中該回饋電路進一步包含

一類比數位轉換器(ADC)，其經組態以數位化該類比輸出信號且提供該數位化輸出信號。

11. 如請求項10之裝置，其中該ADC包含一雜訊成形調變器。

12. 如請求項1之裝置，其中該回饋電路包含

一用於該第一數位信號之高通調變路徑，及

一用於該第一數位信號之低通調變路徑。

13. 如請求項1之裝置，其中該類比電路包含至少一極點。

14. 如請求項1之裝置，其中該類比電路具有一 s 域轉移函數
 $G(s)$

$$G(s) = \frac{b}{s+a},$$

其中 a 為該類比電路之一極點之頻率，且 b 為該類比電路之一增益。

15. 如請求項14之裝置，其中該極點之該頻率為該第一數位信號之一取樣頻率的至少十倍低。

16. 一種積體電路，其包含：

一回饋電路，其經組態以接收一來自一類比電路之類比輸出信號及一第一數位信號，且提供一第二數位信號；及

一零階保持(ZOH)電路，其耦接至該回饋電路且經組態以接收該第二數位信號且提供該類比電路之一類比輸入信號，該回饋電路、該ZOH電路及該類比電路使用一階或較高階保持來執行數位類比轉換。

17. 如請求項16之積體電路，其進一步包含：

一反模型電路，其耦接至該回饋電路且經組態以接收一數位輸入信號且提供該第一數位信號，該反模型電路具有一基於該ZOH電路及該類比電路之一組合轉移函數之一反函數而確定的轉移函數。

18. 如請求項16之積體電路，其中該回饋電路包含

一模型電路，其經組態以接收該第一數位信號且提供

一模型輸出信號，

一第一加法器，其經組態以自該模型輸出信號減去一數位化輸出信號且提供一誤差信號，

一迴路濾波器，其經組態以對該誤差信號進行濾波且提供一經濾波信號，及

一第二加法器，其經組態以對該經濾波信號及該第一數位信號求和且提供該第二數位信號。

19. 一種使用一階或較高階保持來執行數位類比轉換之方法，其包含：

使用一回饋電路來處理一來自一類比電路之類比輸出信號及一第一數位信號，以獲得一第二數位信號；

使用零階保持將該第二數位信號自數位轉換至類比，以獲得該類比電路之一類比輸入信號；及

使該類比輸入信號通過該類比電路以獲得該類比輸出信號。

20. 如請求項19之方法，其進一步包含：

使用一轉移函數來處理一數位輸入信號以獲得該第一數位信號，該轉移函數係基於該零階保持及該類比電路之一組合轉移函數之一反函數而確定。

21. 如請求項19之方法，其中該使用該回饋電路處理該類比輸出信號及該第一數位信號包含

使用一模型電路處理該第一數位信號以獲得一模型輸出信號，

自該模型輸出信號減去一數位化輸出信號以獲得一誤

差信號，

使用一迴路濾波器對該誤差信號進行濾波以獲得一經濾波信號，及

對該經濾波信號及該第一數位信號求和以獲得該第二數位信號。

22. 如請求項21之方法，其進一步包含：

估計該類比電路之至少一參數；及

基於該至少一估計參數來實施該模型電路之一轉移函數。

23. 如請求項21之方法，其進一步包含：

估計該類比電路之一極點頻率及一增益；及

基於該估計之極點頻率及增益來實施該模型電路之一轉移函數。

24. 一種使用一階或較高階保持來執行數位類比轉換之裝置，其包含：

用於使用一回饋電路來處理一來自一類比電路之類比輸出信號及一第一數位信號以獲得一第二數位信號的構件；

用於使用零階保持將該第二數位信號自數位轉換至類比以獲得該類比電路之一類比輸入信號的構件；及

用於使該類比輸入信號通過該類比電路以獲得該類比輸出信號的構件。

25. 如請求項24之裝置，其進一步包含：

用於使用一轉移函數來處理一數位輸入信號以獲得該

第一數位信號的構件，該轉移函數係基於該零階保持及該類比電路之一組合轉移函數之一反函數而確定。

26. 如請求項24之裝置，其中用於使用該回饋電路處理該類比輸出信號及該第一數位信號的該構件包含

用於使用一模型電路處理該第一數位信號以獲得一模型輸出信號的構件，

用於自該模型輸出信號減去一數位化輸出信號以獲得一誤差信號的構件，

用於使用一迴路濾波器對該誤差信號進行濾波以獲得一經濾波信號的構件，及

用於對該經濾波信號及該第一數位信號求和以獲得該第二數位信號的構件。

27. 如請求項26之裝置，其進一步包含：

用於估計該類比電路之至少一參數之構件；及

用於基於該至少一估計參數來實施該模型電路之一轉移函數的構件。

28. 如請求項26之裝置，其進一步包含：

用於估計該類比電路之一極點頻率及一增益的構件；及

用於基於該估計之極點頻率及增益來實施該模型電路之一轉移函數的構件。

29. 一種電腦程式產品，其包含：

一電腦可讀媒體，其包含：

用於使至少一電腦使用一模型電路來處理一第一數

位信號以獲得一模型輸出信號的程式碼；

用於使至少一電腦自該模型輸出信號減去一數位化輸出信號以獲得一誤差信號的程式碼；

用於使該至少一電腦使用一迴路濾波器對該誤差信號進行濾波以獲得一經濾波信號的程式碼；及

用於使該至少一電腦對該經濾波信號及該第一數位信號求和以獲得一適合於使用零階保持及一類比電路而自數位轉換至類比以獲得一類比輸出信號的第二數位信號的程式碼。

30. 如請求項29之電腦程式產品，該電腦可讀媒體進一步包含：

用於使該至少一電腦估計該類比電路之至少一參數的程式碼；及

用於使該至少一電腦基於該至少一估計參數來實施該模型電路之一轉移函數的程式碼。

八、圖式：

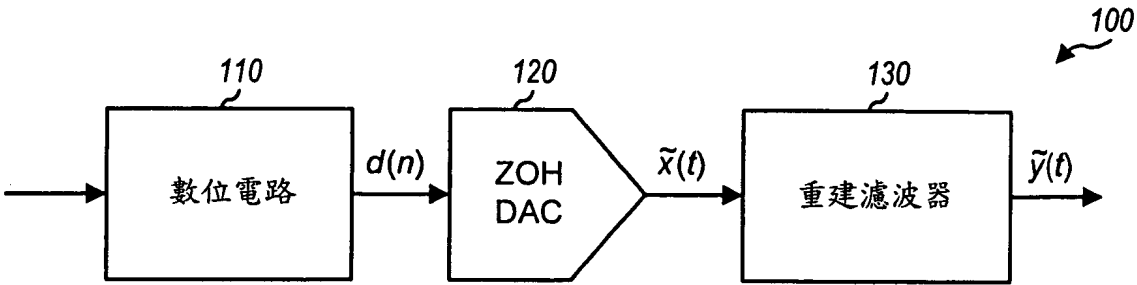


圖 1A

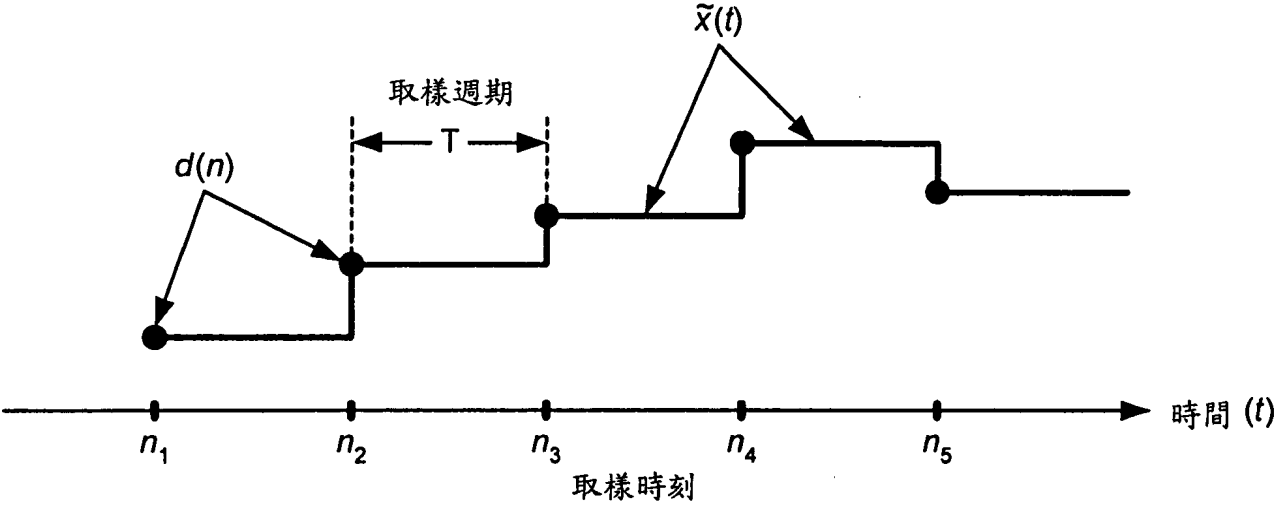


圖 1B

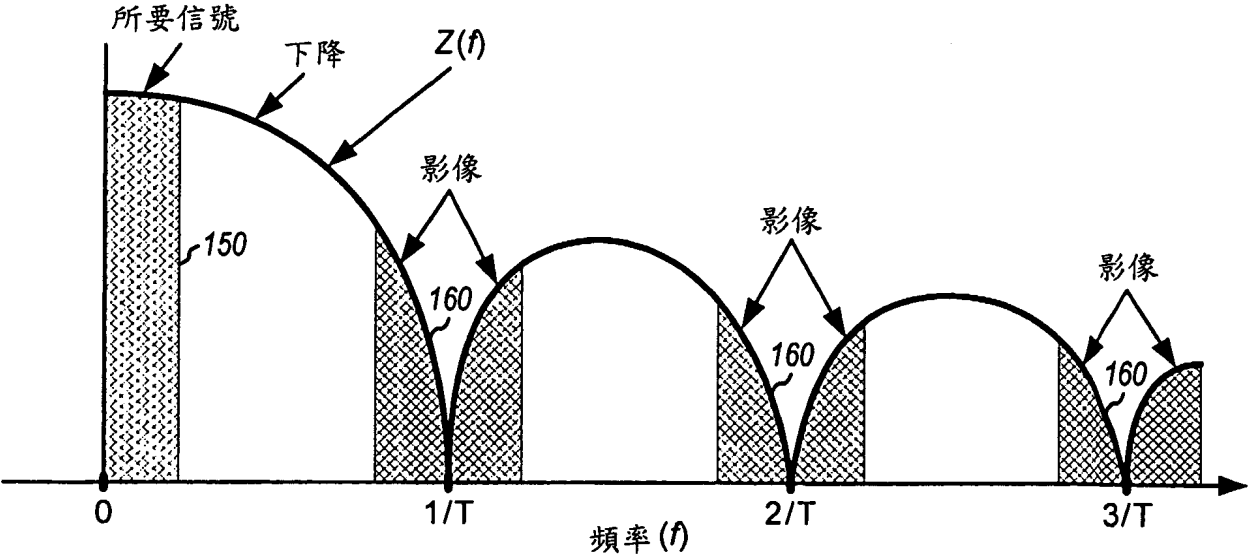


圖 1C

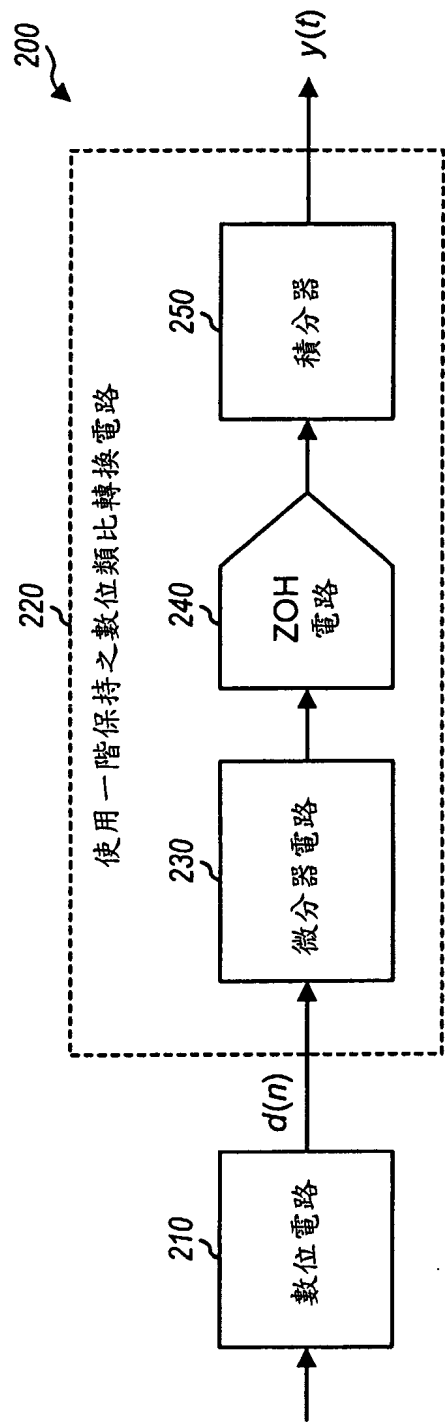


圖2

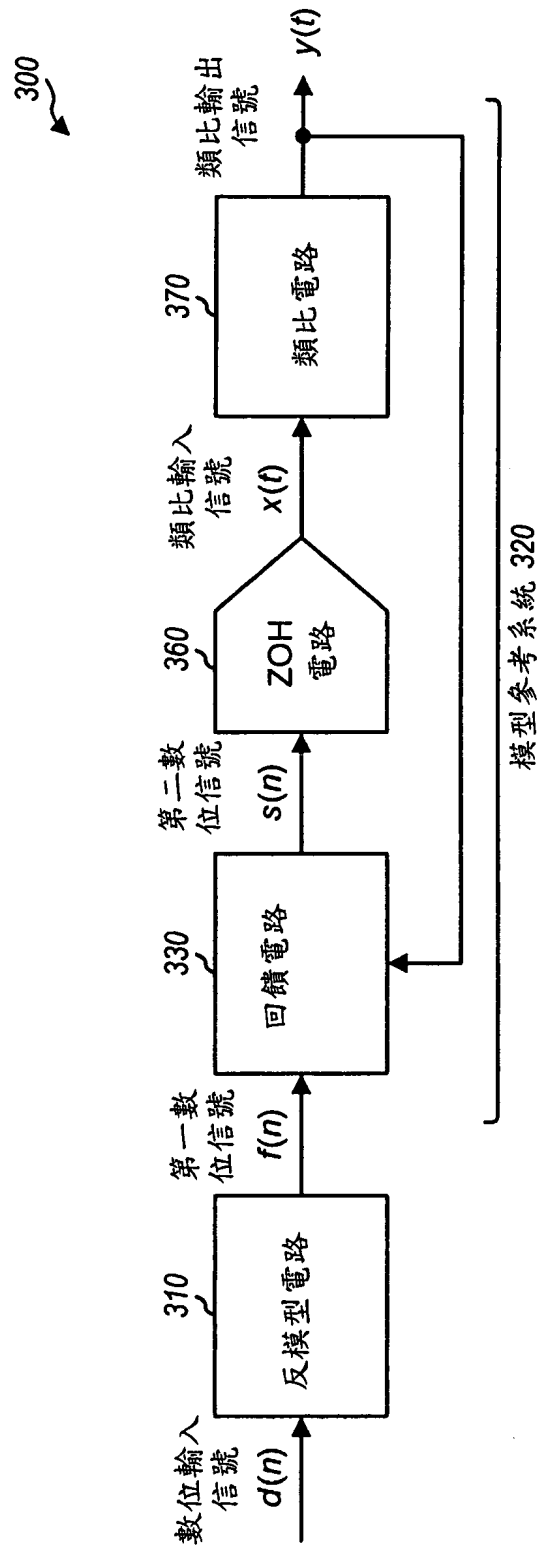


圖3

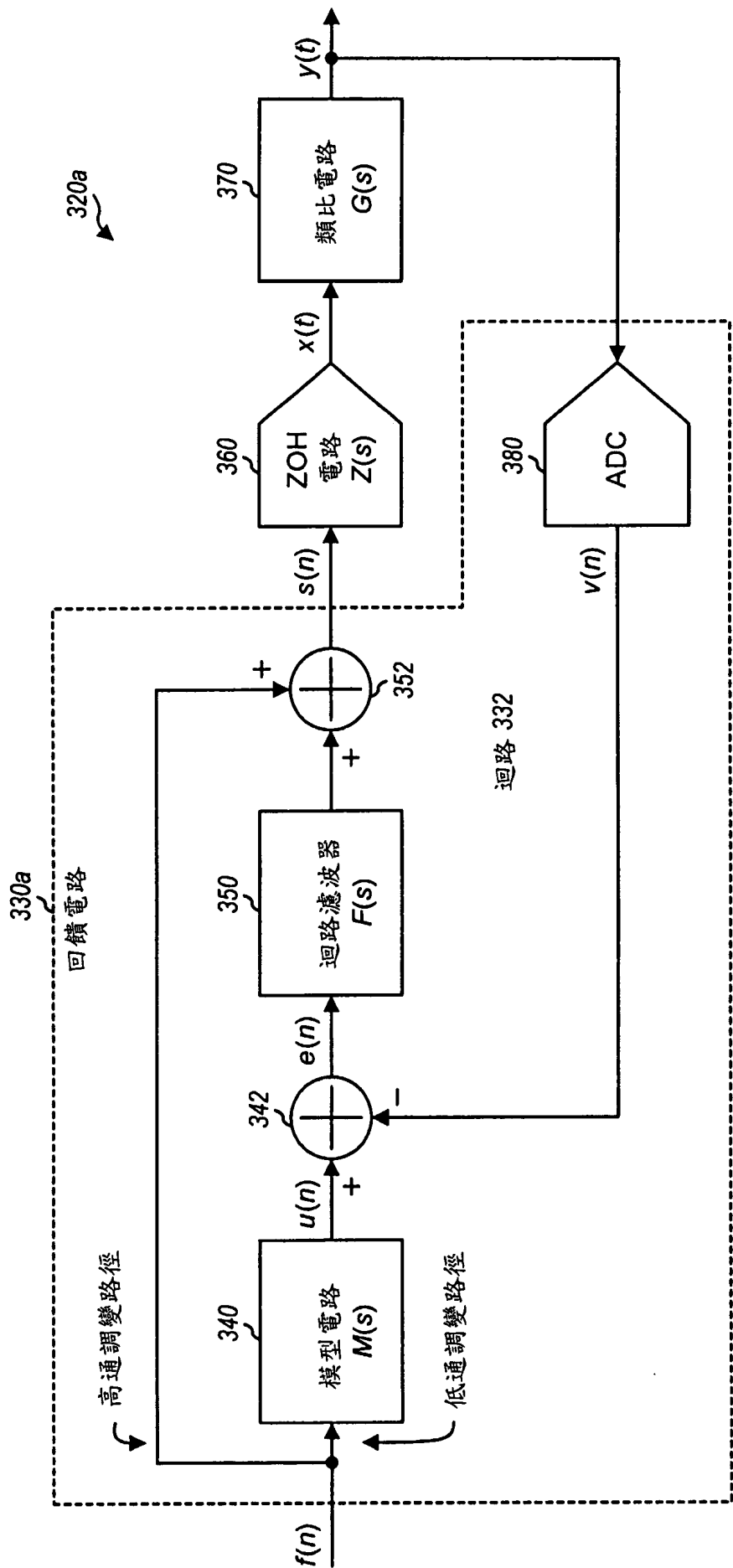
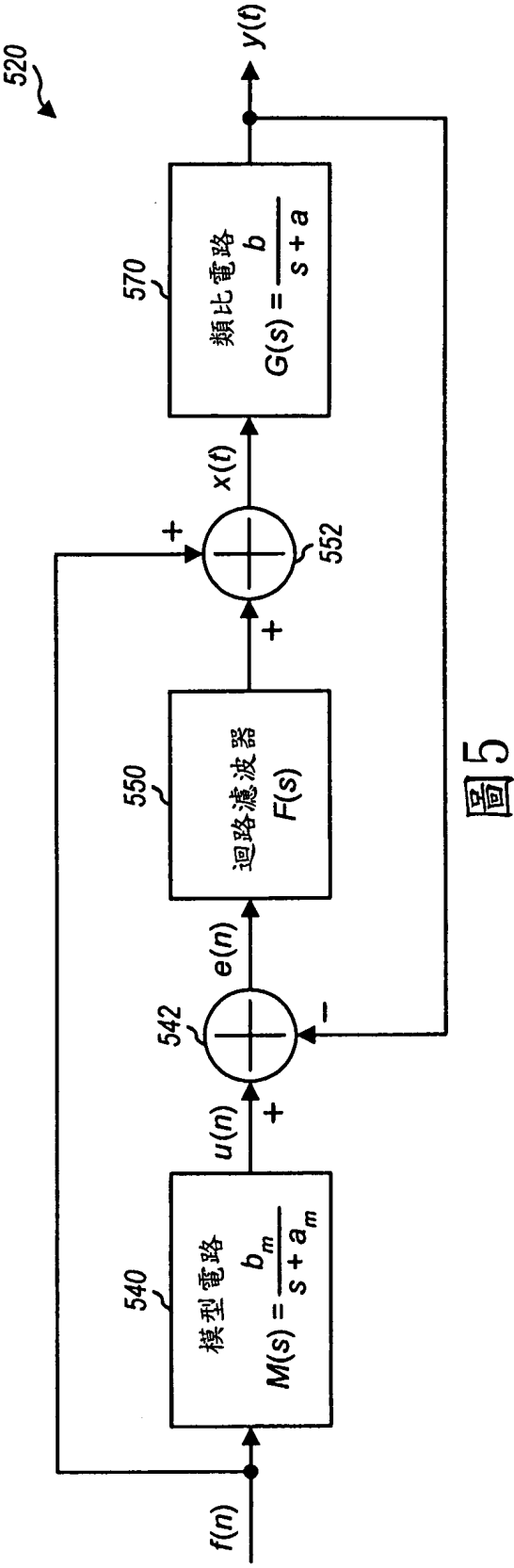


圖4





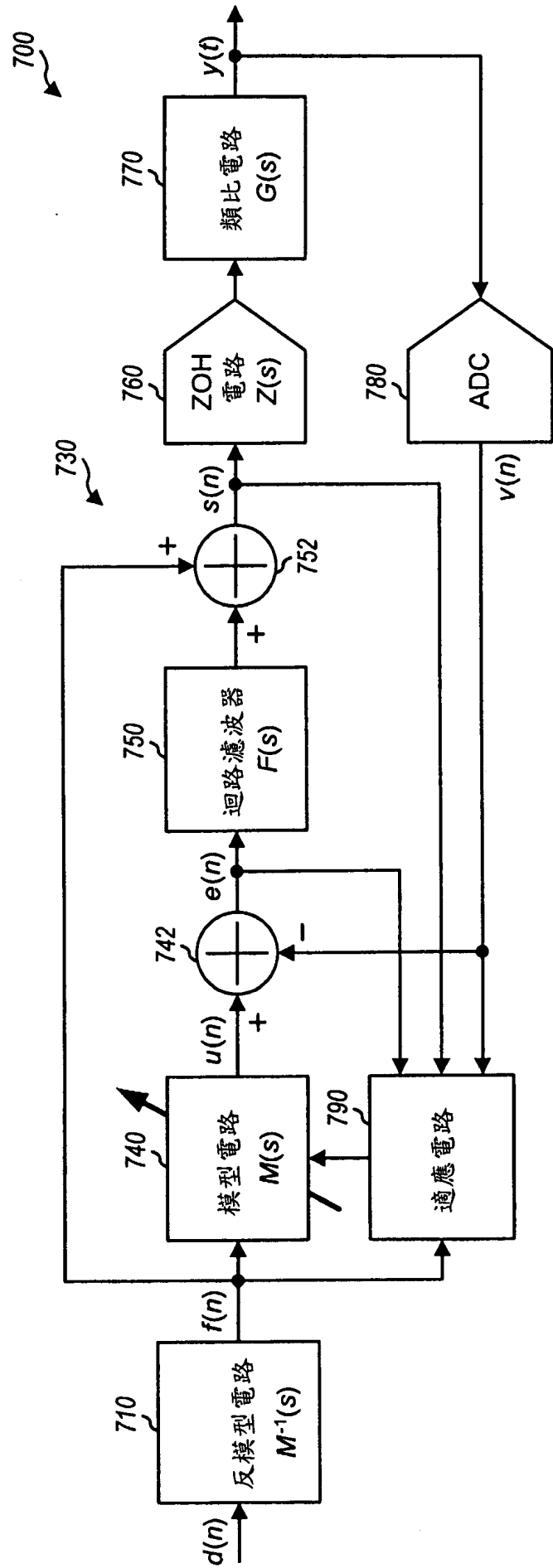


圖7

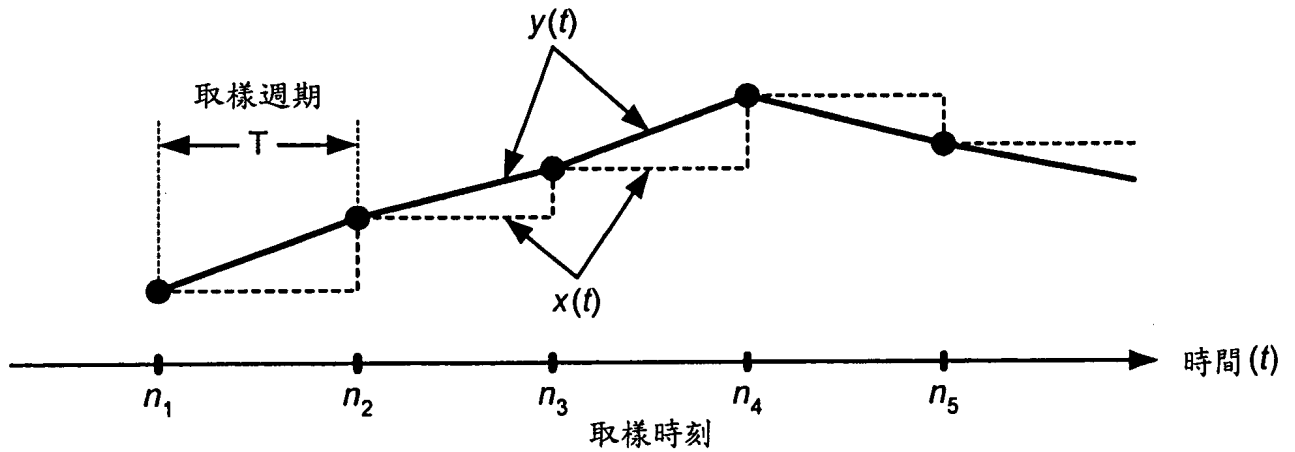


圖8

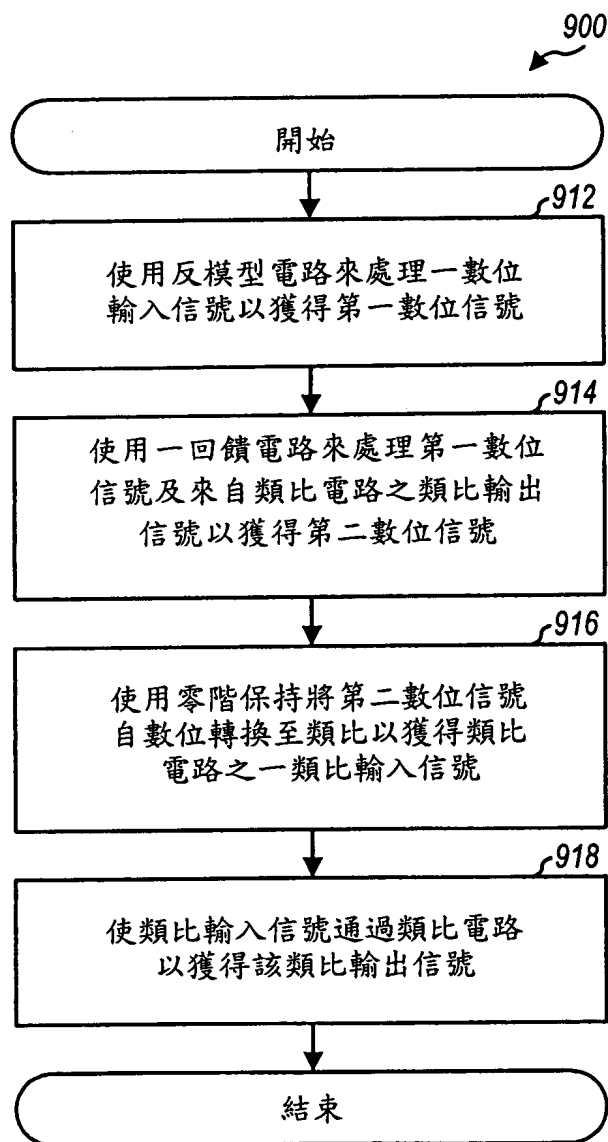


圖9

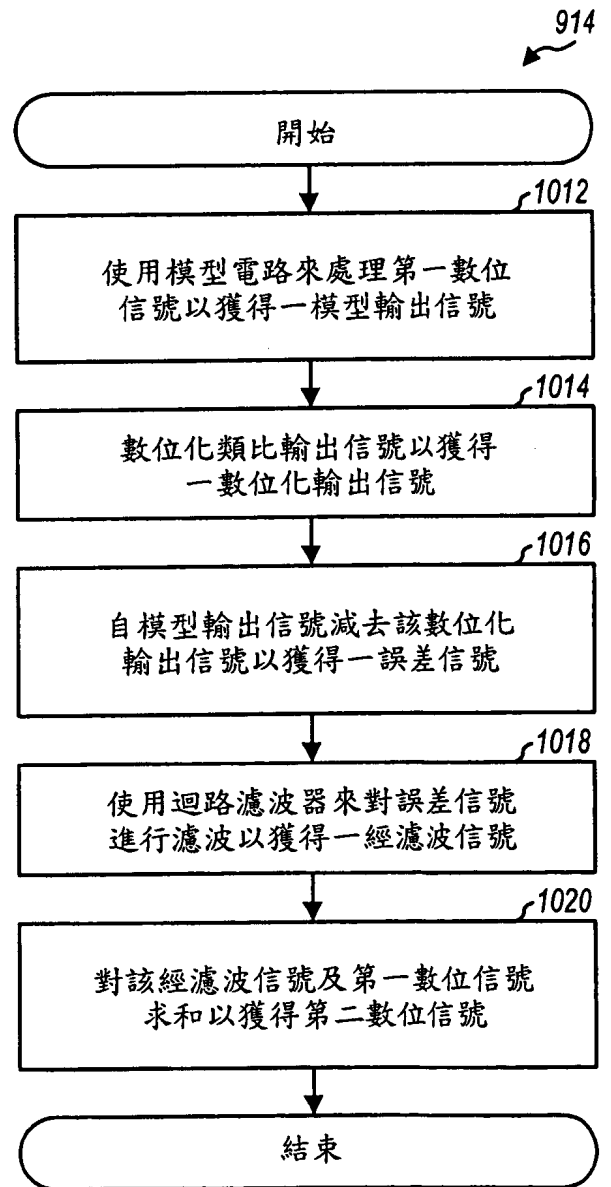


圖10

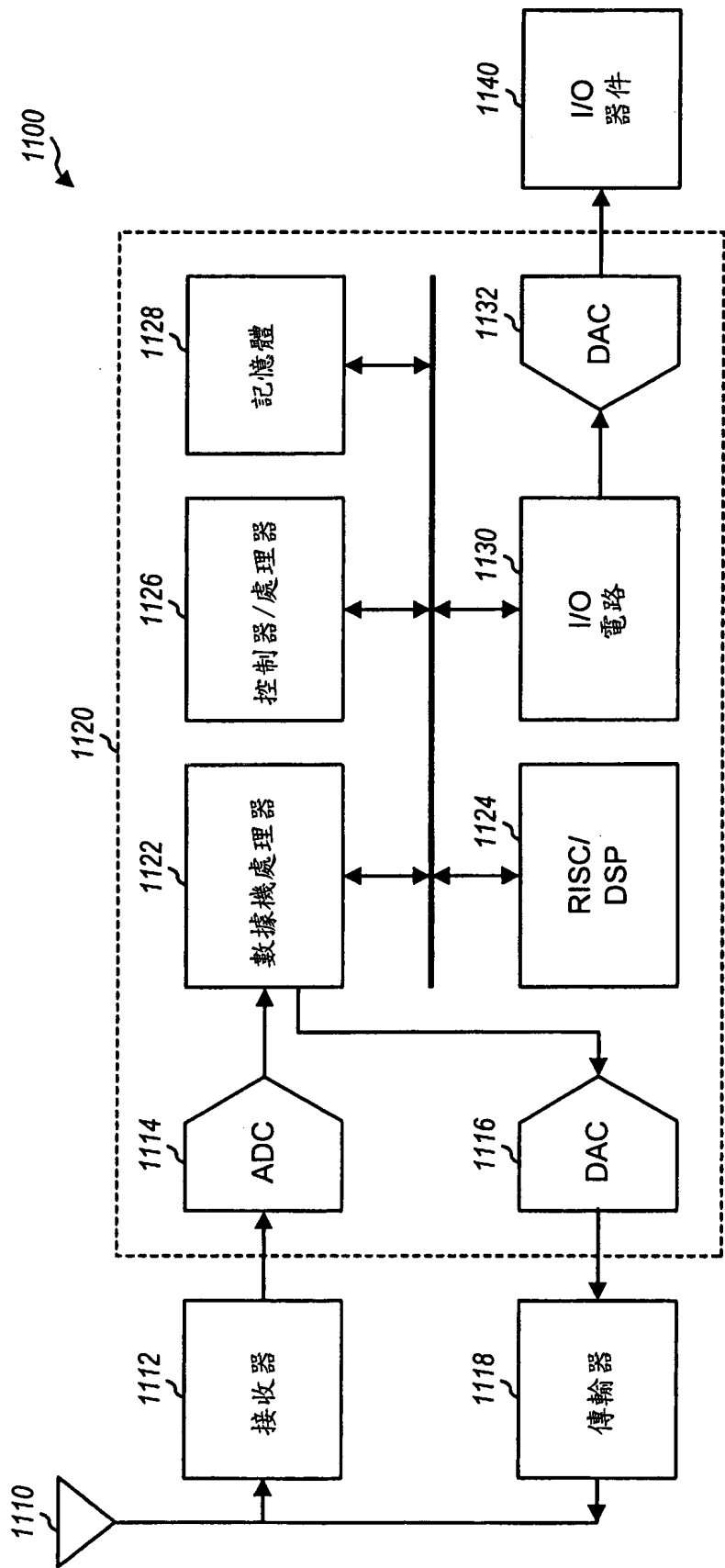


圖11

四、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

520	模型參考控制系統
540	模型電路
542	加法器
550	迴路濾波器
552	加法器
570	類比電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)