

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 483 537 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
05.06.1996 Patentblatt 1996/23

(51) Int Cl.⁶: **G05F 3/26**

(21) Anmeldenummer: **91116900.1**

(22) Anmeldetag: **04.10.1991**

(54) **Stromquellenschaltung**

Current source circuit

Circuit de source de courant

(84) Benannte Vertragsstaaten:
CH DE FR GB IT LI

(30) Priorität: **29.10.1990 DE 4034371**

(43) Veröffentlichungstag der Anmeldung:
06.05.1992 Patentblatt 1992/19

(73) Patentinhaber: **TEMIC TELEFUNKEN
microelectronic GmbH
D-74072 Heilbronn (DE)**

(72) Erfinder: **Lingstaedt, Ernst
W-8011 Zorneding (DE)**

(74) Vertreter: **Maute, Hans-Jürgen, Dipl.-Ing. et al
TEMIC TELEFUNKEN microelectronic GmbH
Postfach 35 35
D-74025 Heilbronn (DE)**

(56) Entgegenhaltungen:

US-A- 4 472 675

US-A- 4 703 249

- **ELEKTOR ELECTRONICS**. Nr. 10, Oktober 1980, **CANTERBURY GB** Seiten 1012 - 1016; 'Up-to-Date Filters In A Single IC, Switched Capacitors'
- **JOURNAL OF THE AUDIO ENGINEERING SOCIETY**. Bd. 27, Nr. 12, Dezember 1979, **NEW YORK US** Seiten 982-988; **R.R. BUSS & D.B. COX**: 'Practical Solid-State Integrated Filters'
- **IEEE JOURNAL OF SOLID-STATE CIRCUITS**. Bd. SC-12, Nr. 3, Juni 1977, **NEW YORK US** Seiten 224 - 231; **ERIC VITTOZ & JEAN FELLRATH**: 'CMOS Analog Integrated Circuits Based On Weak Inversion Operation'
- **PATENT ABSTRACTS OF JAPAN** vol. 10, no. 206 (P-478)(2262) 18. Juli 1986 & **JP-A-61 046 508**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

EP 0 483 537 B1

Beschreibung

Die Erfindung betrifft eine Stromquellenschaltung mit einem ersten, zweiten, dritten und vierten Feldeffekttransistor gemäß dem Oberbegriff des Patentanspruchs 1.

Eine solche Stromquellenschaltung ist aus der Zeitschrift "IEEE Journal of Solid States Circuits", Juni 1977, Seiten 224 bis 231, insbesondere Figur 8 auf Seite 228 bekannt. Diese Schaltung zeigt die Figur 1, wonach die Feldeffekttransistoren T1 bis T4 zusammen mit dem Widerstand R1 eine Referenzstromquelle bilden. Hierbei stellen die beiden n-Kanaltransistoren T1 und T2 einen ersten Stromspiegel dar. Die beiden p-Kanaltransistoren T3 und T4 bilden zusätzlich einen zweiten Stromspiegel.

Für den ersten Stromspiegel "T1, T2" gilt:

$$i_2 = i_1 \cdot \frac{W/L [T2]}{W/L [T1]} \quad (1)$$

wobei W/L [...] die Kanalbreiten/Kanallängen-Verhältnisse der Transistoren T1 bzw. T2 angeben. Aus gleichen Transistorgößen für T1 und T2 ergeben sich auch gleiche Ströme i2 und i1.

Für den Strom i1 im Zusammenhang mit dem zweiten Stromspiegel "T3, T4" ergibt sich ein Wert nach folgender Formel:

$$i_1 = \frac{K \cdot T \cdot \frac{W/L [T4]}{W/L [T3]}}{q \cdot R1} \quad (2)$$

wobei K die Boltzmannkonstante, T die absolute Temperatur und q die Elektronenladung angibt. Mit einem Widerstand von R1 = MΩ und einem W/L-Verhältnis der beiden Transistoren T4 und T3 von 8 ergibt sich dabei bei Raumtemperatur von 300 K für i1 ein Strom von $5,4 \cdot 10^{-8}$ A.

Die obige Gleichung (2) gilt solange, wie sich die beiden Transistoren T3 und T4 im Bereich schwacher Inversion befinden. Aus dieser Gleichung ist weiterhin ersichtlich, daß der Strom i1 bei Raumtemperatur einen positiven Temperaturkoeffizienten von ca. +3000 ppm/K aufweist, sofern der Widerstand R1 als konstant und temperaturunabhängig angenommen wird. Für den Widerstand R1 wird meist ein p-well-Widerstand verwendet, der einen positiven Temperaturgang aufweist. Daraus ergibt sich für den Strom i1 typischerweise ein negativer Temperaturkoeffizient im Bereich von ca. -5000 bis -15000 ppm/K.

Gemäß Figur 1 wird über einen n-Kanal-Feldeffekttransistor T5 der Referenzstromquelle ein Strom i3 entnommen je nach gewähltem Größenverhältnis des ersten Stromspiegels ($W/L [T5]/W/L [T1]$) einen Bruchteil oder ein Vielfaches des Stromes i1 beträgt, wobei natürlich der Strom i3 die gleiche Temperaturabhängigkeit wie der Strom i1 aufweist.

Wie oben gezeigt wurde, beträgt der Strom i1 bei der angegebenen Schaltungsdimensionierung 54 nA; da jedoch die Ströme i2 und i1 gleich groß sind, verbraucht diese Referenzstromquelle nach Figur 1 selbst

bereits einen Strom von ca. 0,1 µA. Diese Stromaufnahme ist jedoch für viele Anwendungen zu groß.

Eine Möglichkeit, den Stromverbrauch dieser bekannten Referenzstromquelle zu reduzieren, besteht darin, das W/L-Verhältnis der beiden Transistoren T4 und T3 zu reduzieren. Damit verringert sich der Spannungsabfall über dem Widerstand R1 und damit bei gegebenem Widerstand R1 auch die Stromaufnahme der Schaltung. Dieser Möglichkeit sind jedoch enge Grenzen gesetzt, da sich bei sehr kleinem W/L-Verhältnis der Transistoren T4 und T3 sehr große prozentuale Streuungen des Spannungsabfalles an diesem Widerstand R1 und damit auch für den Strom i1 ergeben.

Eine weitere Möglichkeit besteht darin, den Widerstandswert von R1 auf beispielsweise 10 MΩ zu erhöhen, womit die Stromaufnahme der Referenzstromquelle auf ca. 10 nA sinkt, der somit auch bei "low power"-Schaltkreisen toleriert werden kann.

Da dieser Widerstand R1 jedoch üblicherweise - wie schon oben ausgeführt - durch einen p-well-Widerstand gebildet wird und dessen Flächenwiderstand technologiebedingt nur ca. 2 kΩ/ beträgt, würde für einen solchen Widerstand selbst eine unverhältnismäßig große Chipfläche (ca. 1 mm²) benötigt, was natürlich ebenfalls unerwünscht ist.

Schließlich besteht noch die Möglichkeit zur Reduzierung der Stromaufnahme in der Verwendung eines ebenfalls hochohmigen Widerstandes R1, wobei dieser Widerstand durch eine speziell erzeugte Schicht, beispielsweise implantiertes Polysilizium mit hohem Flächenwiderstand und damit geringem Platzbedarf realisiert wird. Die Bereitstellung eines solchen Hochohm-Polywiderstandes erfordert jedoch eine spezielle Maske sowie zusätzliche Prozeßschritte und verursacht damit erhöhte Kosten. Ein solcher Widerstand kann außerdem nur mit relativ großen Toleranzen hergestellt werden. Damit ist auch der über den Transistor T5 entnehmbare Strom i3 ebenfalls großen Streuungen unterworfen und die Schaltung daher nicht für Anwendungen geeignet, bei denen der Strom i3 einen weitgehend konstanten Wert aufweisen soll.

Der Vollständigkeit halber sei die US 4 703 249 angeführt, die eine aus einem Stromspiegel und eine diesen Stromspiegel steuernde Regelschleife aufgebaute Referenzstromquelle beschreibt. Diese Regelschleife enthält einen als Integrator geschalteten Operationsverstärker, dem eine Referenzspannung zugeführt wird, und enthält des weiteren zwei als geschaltete Kapazitäten aufgebaute Widerstände. Der Nachteil dieser bekannten Referenzstromquelle besteht darin, daß zu dessen Funktion eine genaue Referenzspannung bereitgestellt werden muß.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Stromquellenschaltung der eingangs genannten Art zu schaffen, die eine Stromentnahme erlaubt, deren Strom weitgehend konstant ist bei insgesamt geringem Stromverbrauch durch die Stromquellenschaltung.

Diese Aufgabe wird durch die kennzeichnenden

Merkmale des Patentanspruches 1 gelöst.

Demnach besteht das Wesen der Erfindung darin, den Widerstand R1 nach Figur 1 durch eine geschaltete Kapazität nachzubilden. Da bei vielen integrierten Schaltungen eine stabile Quarzfrequenz von beispielsweise 32,768 kHz zur Verfügung steht, kann hier mit einer kleinen Kapazität von einigen pF leicht ein Widerstand von ca. 10 M Ω realisiert werden. Beispielsweise ergibt sich mit einer Frequenz f von 32,768 kHz und einem Kapazitätswert von 3 pF ein kapazitiver Widerstand von 10,1 M Ω .

Hierbei ist besonders der geringe Chipflächenbedarf eines solchen Kondensators von 3 pF zu erwähnen, der somit nur einen Bruchteil (weniger als 1 %) der Fläche eines ohmschen (p-well-)Widerstands mit dem selben Widerstandswert benötigt.

Weiterhin wird für eine solche Kapazität üblicherweise als Dielektrikum eine dünne Silizium-Dioxydschicht (Gate-Oxid) verwendet, die bei der Herstellung einer integrierten CMOS-Schaltung ohnehin erzeugt wird. Die Schichtdicke dieses Oxids beträgt typischerweise einige 100 Å und wird innerhalb enger Toleranzgrenzen von weniger als $\pm 5\%$ gefertigt. Damit lassen sich also ohne zusätzliche Prozeßschritte Kapazitäten mit sehr geringen Streuungen des Absolutwerts herstellen, so daß sich unter der Maßgabe einer konstanten Taktfrequenz eine Referenzstromquelle mit geringen Streuungen des durch den Transistor T5 entnommenen Stroms i3 bei geringem Stromverbrauch der Schaltung selbst von z. B. weniger als 10 nA und geringem Chipflächenbedarf herstellen läßt.

Bei einer vorteilhaften Weiterbildung der Erfindung wird durch die kennzeichnenden Merkmale des Patentanspruches 2 eine Stromquellschaltung angegeben, die einen Ausgangsstrom mit voreinstellbarem Temperaturkoeffizienten liefert. Der Temperaturkoeffizient dieses Ausgangsstromes wird durch die in der von dem zweiten Stromspiegel gesteuerten Schaltungsanordnung vorgesehenen Kondensatoren bestimmt, wobei dessen Vorzeichen durch die Phasenlage der dieser Schaltungsanordnung zugeführten Taktsignale vorgegeben ist.

Durch eine Anordnung weiterer solcher von dem zweiten Stromspiegel gesteuerten Schaltungsanordnungen lassen sich bei einer anderen vorteilhaften Weiterbildung der Erfindung mehrere Ausgangsströme mit wählbarem Temperaturkoeffizienten und Vorzeichen entnehmen. Somit können auf einer integrierten Schaltung Stromquellen mit unterschiedlichem Temperaturgang zur Verfügung gestellt werden.

Weiterhin wird nach den kennzeichnenden Merkmalen der Patentansprüche 4 und 5 eine weitere einfache Möglichkeit zur Erzeugung von Ausgangsströmen mit unterschiedlichen negativen Temperaturkoeffizienten gegeben, wobei deren Werte durch die Dimensionierung der Transistoren der beteiligten Stromspiegel vorgegeben wird.

Schließlich sind weitere vorteilhafte Ausgestaltungen

der Erfindung durch die kennzeichnenden Merkmale der Patentansprüche 6 und 7 gegeben.

Im folgenden soll die erfindungsgemäße Stromquellschaltung mit ihren Vorteilen anhand von Ausführungsbeispielen im Zusammenhang mit den Figuren erläutert und dargestellt werden. Es zeigen:

Figur 2 ein Ausführungsbeispiel der erfindungsgemäßen Stromquellschaltung,

Figur 3 ein Schaltbild eines weiteren Ausführungsbeispiels der Erfindung zur Erzeugung von Ausgangsströmen mit vorbestimmten Temperaturkoeffizienten,

Figur 4 Spannungs-Zeit-Diagramme zur Erläuterung der Funktionsweise der Schaltung nach Figur 3,

Figur 5 ein weiteres Ausführungsbeispiel der Erfindung zur Erzeugung von Ausgangsströmen mit negativem Temperaturkoeffizienten.

Figur 6 ein Schaltbild eines weiteren Ausführungsbeispiels der Erfindung zur Erzeugung eines Stromes mit negativem Temperaturkoeffizienten, und

Figur 7 ein Schaltbild zur Erzeugung von mehreren Strömen mit unterschiedlichen negativen Temperaturkoeffizienten.

In den Figuren sind Bauelemente mit einander entsprechenden Funktionen mit den gleichen Bezugszeichen versehen.

Der prinzipielle Aufbau der erfindungsgemäßen Stromquellschaltung nach Figur 2 entspricht demjenigen gemäß Figur 1 mit 5 Feldeffekttransistoren T1 bis T5. Die beiden n-Kanaltransistoren T1 und T2 bzw. die beiden p-Kanaltransistoren T3 und T4 bilden einen ersten bzw. zweiten Stromspiegel, wozu die Steuerelektrode des Transistors T1 mit dessen Drain-Elektrode und die Steuerelektrode des Transistors T3 ebenfalls mit dessen Drain-Elektrode verbunden sind. Ferner sind die Steuerelektroden der einen Stromspiegel bildenden Transistoren T1 und T2 bzw. T3 und T4 miteinander verbunden. Die beiden Transistoren T2 und T3 sind über ihre Kanalstrecken in Reihe geschaltet und verbinden das Bezugspotential der Schaltung mit einer Betriebsspannungsquelle V_{DD} , indem der Transistor T2 mit seiner Source-Elektrode auf dem Bezugspotential und die Source-Elektrode des Transistors T3 auf dem Betriebspotentials liegt. Hierdurch bilden diese beiden Transistoren T2 und T3 einen das Bezugspotential mit dem Betriebsspannungspotential V_{DD} verbindenden Hauptstromzweig 2. Ein weiterer hierzu paralleler Hauptstromzweig 1 wird durch eine Serienschaltung des Transistors T1, des Transistors T4, einem Widerstand R2 so-

wie zwei mit ihren Kanalstrecken in Reihe geschalteten p-Kanaltransistoren T6 und T7, wobei sie ausgehend vom Bezugspotential der Schaltung in der angeführten Reihenfolge miteinander verbunden sind, wobei die Source-Elektrode des Transistors T6 auf dem Betriebspotential der Betriebsspannungsquelle V_{DD} liegt. Schließlich ist ein n-Kanaltransistor T5 vorgesehen, dessen Gate-Elektrode mit dem ersten Stromspiegel über die Gate-Elektrode des Transistors T1 verbunden ist und dessen Source-Elektrode ebenfalls auf dem Bezugspotential der Schaltung liegt. Der Drain-Elektrode dieses Transistors T5 kann ein Strom i_3 entnommen werden, dessen Größe demjenigen in dem Hauptstromkreis 1 fließenden Strom i_1 bei gleicher Dimensionierung der Transistoren T1 und T5 entspricht. Im Gleichgewichtszustand der Schaltung entspricht der Strom i_1 dem im Hauptstromkreis 2 fließenden Strom i_2 .

Weiterhin ist nach Figur 2 ein erster und zweiter Kondensator C1 und C2 vorgesehen, wobei der erste Kondensator C1 parallel zur Kanalstrecke des Transistors T6 angeordnet ist und der zweite Kondensator C2 mit seinem ersten Anschluß auf dem Bezugspotential der Schaltung liegt und mit seinem zweiten Anschluß an die Steuerelektrode des ersten bzw. zweiten Transistors T1 bzw. T2 angeschlossen ist.

Den beiden Steuerelektroden der Transistoren T6 und T7 werden jeweils zueinander gegenphasige Taktsignale Cl1 und Cl2 zugeführt, daß heißt, erhält die Gate-Elektrode des Transistors T7 ein Low-Signal (L-Pegel) liegt gleichzeitig an der Gate-Elektrode des anderen Transistors T6 ein High-Signal (H-Pegel) an.

Im folgenden soll nun die Funktionsweise der Schaltungsanordnung nach Figur 2 erläutert werden:

Der Kondensator C1 wird durch den Transistor T6 während der Taktphase mit L-Pegel entladen, da der Transistor T6 leitend geschaltet ist und gleichzeitig der Transistor T7 im gesperrten Zustand ist. In der sich daran anschließende Taktphase erhält die Steuerelektrode des Transistors T6 einen H-Pegel und gleichzeitig die Gate-Elektrode des Transistors T7 einen L-Pegel, wodurch sich nun der Kondensator C1 bis auf einen Spannungswert V_C auflädt, der sich aus den Größenverhältnissen der Transistoren T1 bis T4 ergibt.

Der Widerstand R2 in dem Hauptstromzweig 1 hat bei dieser Schaltung lediglich die Funktion einer Strombegrenzung und soll verhindern, daß beim Flankenwechsel des Taktsignales Cl1 von H- auf L-Pegel in den Transistoren T1 bis T4 kurzzeitig ein überhöhter Stromfluß auftritt. Der Wert dieses Widerstandes R2 ist dabei unkritisch und kann daher z. B. durch einen entsprechend dimensionierten p-Kanaltransistor T7 selbst gebildet werden, der den gewünschten Widerstandswert im leitenden Zustand aufweist. Da bei dieser Schaltung im Vergleich zu derjenigen nach Figur 1 der Strom i_1 nicht zeitlich konstant ist, sondern im Rhythmus der angelegten Taktfrequenz pulsiert, der über T5 entnommene Strom i_3 jedoch normalerweise keine zeitlichen Schwankungen aufweisen soll, ist der schon oben er-

wähnte Kondensator C2 vom gemeinsamen Gate-Anschluß der Transistoren T1, T2 und T5 als Glättungskapazität nach dem Bezugspotential geschaltet, deren Wert sich ebenfalls in der Größenordnung von einigen pF bewegt.

Mit der nach Figur 2 gezeigten erfindungsgemäßen Schaltung läßt sich also bei minimalem Flächenbedarf und geringem Stromverbrauch ein Ausgangsstrom i_3 erzeugen, der nur geringe fertigungsbedingte Toleranzen aufweist und dessen Absolutwert nahezu ausschließlich von den gewählten Transistordimensionen der Transistoren T1 bis T5, dem Kapazitätswert des Kondensators C1 und der Frequenz des angelegten Taktsignales Cl1 und Cl2 abhängt. Der erreichbare Temperaturkoeffizient des Ausgangsstroms i_3 ist dabei jedoch fest vorgegeben und liegt bei ca. +3000 ppm/K, da der verwendete Kondensator C1 selbst nur einen sehr geringen Temperaturkoeffizienten aufweist.

Das Ausführungsbeispiel nach Figur 3 enthält mit den Schaltelementen T1 bis T7, C1 und C2 sowie R2 einen Schaltungsteil, der der Schaltungsanordnung nach Figur 2 entspricht. Deshalb wird dieser Schaltungsteil im folgenden nicht mehr erläutert werden. Darüber hinaus enthält diese Schaltungsanordnung einen von dem ersten Stromspiegel T1 und T2 gesteuerten Stromquellentransistor T8, der als n-Kanalfeldeffekttransistor ausgebildet ist. Dieser Transistor T8, der mit seiner Source-Elektrode auf dem Bezugspotential der Schaltung liegt, liefert einen Emitter-Strom i_4 für einen npn-Bipolar-Transistor Q1, der als Referenzspannungsquelle Q_{ref} dient. Hierzu liegt dessen Basis- als auch dessen Kollektor-Elektrode auf dem Potential der Betriebsspannungsquelle V_{DD} , um hierdurch die als temperaturabhängige Referenzspannung benötigte Basis-Emitter-Spannung V_{BE} des Transistors Q1 am Schaltungsknoten K1 zu erzeugen. Eine Serienschaltung aus zwei Feldeffekttransistoren T9 und T10 verbindet diesen Schaltungsknoten K1 mit der Betriebsspannungsquelle V_{DD} , wobei der mit diesem Potential verbundene Transistor T9 vom p-Kanaltyp und der mit dem Schaltungsknoten K1 verbundene Transistor T10 vom n-Kanaltyp ist. Der Verbindungspunkt der beiden Kanalstrecken dieser Transistoren T9 und T10 führt auf einen Anschluß K3 einer Schaltungsanordnung 3. Die beiden Steuerelektroden dieser beiden Transistoren T9 und T10 sind miteinander verbunden und werden mittels eines Taktsignales Cl1 angesteuert. Hierdurch wird der Anschluß K3 in Abhängigkeit vom Zustand dieses Taktsignales Cl1 entweder an die Referenzspannung V_{BE} (Cl1 = H-Pegel) bzw. auf die Betriebsspannungsquelle V_{DD} (Cl1 = L-Pegel) geschaltet.

Der Schaltungsanordnung 3 kann ein Strom i_5 entnommen werden, dem, wie weiter unten gezeigt wird, ein bestimmter Temperaturkoeffizient aufgeprägt werden kann. Hierzu enthält diese Schaltungsanordnung 3 einen von dem zweiten Stromspiegel T3 und T4 gesteuerten Stromquellentransistor T13 vom p-Kanaltyp, dessen Drain-Elektrode den besagten Ausgangsstrom i_5

liefert und dessen Source-Elektrode über eine Serienschaltung aus zwei p-Kanaleffekttransistoren mit der Betriebsspannungsquelle V_{DD} verbunden ist. Der Steuerelektrode des Transistors T11 wird das Taktsignal Cl1 und der Steuerelektrode des Transistors T12 das zum Taktsignal Cl1 gegenphasige Taktsignal Cl2 oder umgekehrt dem Transistor T11 das Taktsignal Cl2 und dem Transistor T12 das Taktsignal Cl1 zugeführt. Der Anschluß der Taktsignalleitungen erfolgt an die Anschlüsse K5 und K6 der Schaltungsanordnung 3. Die Entnahme des Ausgangsstromes i_5 erfolgt an einem Anschluß K7.

Ein erster Kondensator C4 dieser Schaltungsanordnung 3 liegt entsprechend dem Kondensator C1 parallel zur Kanalstrecke des Transistors T11, während ein zweiter Kondensator C3 den Verbindungspunkt K4 der beiden Kanalstrecken der Transistoren T11 und T12 mit dem Knotenpunkt K3 verbindet.

Die Funktionsweise der Schaltungsanordnung nach Figur 3 ist folgende:

Die Feldeffekttransistoren T11, T12 und T13 sowie die Kondensatoren C3 und C4 liefern im Zusammenwirken mit der zuvor beschriebenen Schaltung nach Figur 2 einen Ausgangsstrom i_5 , dessen Temperaturverlauf im wesentlichen durch die Dimensionierung der Kondensatoren C3 und C4 sowie durch die Referenzspannung V_{BE} und deren Temperaturabhängigkeit vorgegeben ist.

Die Basis-Emitter-Spannung V_{BE} des in integrierter CMOS-Technik hergestellten Vertikal-npn-Transistors Q1 ist bei gegebenem Fertigungsprozeß mit den über mehrere Fertigungslose zu erwartenden Parameterstreuungen nur geringen Schwankungen unterworfen. Der Absolutwert und Temperaturverlauf dieser Spannung werden darüber hinaus nur noch von der Stromdichte, also vom Verhältnis der Emitterfläche des Transistors Q1 zum Emitter-Strom i_4 beeinflusst. Da der Strom i_4 , dessen Größe mit der Größe des Stromes i_1 bei gleicher Dimensionierung der Transistoren T1 und T8 übereinstimmt, jedoch nur geringen Fertigungsstreuungen unterworfen ist, können Absolutwert und Temperaturabhängigkeit der Referenzspannung V_{BE} der Referenzspannungsquelle Q_{ref} bei gegebener Schaltungsdimensionierung sehr genau vorausbestimmt werden.

Läßt man den Kondensator C3 der Schaltungsanordnung 3 zunächst außer acht, so stellt man fest, daß die Anordnung der Schaltelemente T11, T12, T13 und C4 genau der Schaltungsanordnung den Schaltelementen T4, T6, T7 und C1 entspricht, das heißt, bei gleicher Dimensionierung des Kondensators C4 der Transistoren T11 bis T13 wie der Kondensator C1 und die Transistoren T4, T6 und T7 wird der Ausgangsstrom i_5 und dessen Temperaturverlauf dem Strom i_1 entsprechen.

Die Diagramme a, b nach Figur 4 zeigen den Pegelverlauf der zueinander gegenphasigen Taktsignale Cl1 und Cl2. Das Spannungsdiagramm c zeigt dabei den Spannungsverlauf V_{C4} des Kondensators C4. Zum Zeitpunkt t_1 würde dieser Kondensator C4 - C3 ist dabei

nicht vorhanden - um einen Spannungsbetrag $-V_{C4}$ bis auf eine Endspannung $-V_{end}$ zum Zeitpunkt t_2 aufgeladen.

Wenn nun der Kondensator C3 mit in die Betrachtung genommen wird, geschieht unter der Annahme, daß die Transistoren T9, T10 und T11 mit dem Taktsignal Cl1 gemäß der Figur 4a und T12 mit dem invertierten Taktsignal Cl2 gemäß Figur 4b angesteuert werden, folgendes:

Während das Taktsignal Cl1 auf L-Pegel liegt, wird der Kondensator C4 über den Transistor T11 nach dem Betriebspotential V_{DD} entladen und gleichzeitig der Schaltungsknoten K3 ebenfalls über den Transistor T9 auf dem Betriebspotential V_{DD} gehalten, das heißt, der Kondensator C3 wird ebenfalls entladen. Beim Flankenwechsel des Taktsignales Cl1 von L- auf H-Pegel wird der Schaltungsknoten K3 an die Referenzspannung V_{BE} geschaltet und damit der Kondensator C4 über die Koppelkapazität C3 schlagartig auf eine Differenzspannung $-V_{C4}$ aufgeladen, wobei sich für diese Differenzspannung $-V_{C4}$ folgender Wert ergibt:

$$-V_{C4} = V_{BE} \cdot \frac{C_3}{C_3 + C_4} \quad (3)$$

Der Spannungsverlauf an diesem Kondensator C4 ist mit dem Spannungsdiagramm d nach Figur 4 dargestellt. Hieraus ist ersichtlich, daß die weitere Spannungsänderung $-V_{C4}$ bis zum Endwert $-V_{end}$ aufgrund der Anfangsspannung $-V_{C4}$ kleiner als im Spannungsdiagramm c ohne die Kompensation durch den Kondensator C3 ist. Daraus ergibt sich zunächst, daß der entnehmbare Strom i_5 kleiner ist als der Strom i_1 .

Da die Differenzspannung $-V_{C4}$ - wie aus der Gleichung (3) ersichtlich - einem Bruchteil der Referenzspannung V_{BE} entspricht, folgt diese Differenzspannung $-V_{C4}$ auch dem Temperaturverlauf dieser Referenzspannung V_{BE} , das heißt, mit zunehmender Temperatur wird die Differenzspannung $-V_{C4}$ ebenfalls kleiner. Dadurch wird jedoch die Ladespannung $-V_{C4}$ größer, das heißt, die Umladung des Kondensators C4 vom Anfangswert $-V_{C4}$ bis zum Endwert $-V_{end}$ erfolgt über einen größeren Spannungsbereich und damit vergrößert sich auch der entnehmbare Strom i_5 . Für den Ausgangsstrom i_5 ergibt sich somit ein positiver Temperaturkoeffizient, wobei dessen Wert bei bekanntem Temperaturverlauf der Referenzspannung V_{BE} nur vom Verhältnis der Kapazitätswerte der Kondensatoren C3 und C4 bestimmt wird.

Werden dagegen in der Schaltung nach Figur 3 die Taktsignale an den Klemmen K5 und K6 vertauscht, das heißt, der Transistor T11 erhält das Taktsignal Cl2 und der Transistor T12 das Taktsignal Cl1, so wird dadurch ein negativer Temperaturkoeffizient für den Ausgangsstrom i_5 erzielt. Der entsprechende Spannungsverlauf an dem Kondensator C4 ist in dem Diagramm e der Figur 4 dargestellt.

Wenn das Taktsignal Cl1 zum Zeitpunkt t_1 auf H-Pegel schaltet, liegt der Anschluß K3 über den leitend

geschalteten Transistor T10 an der Referenzspannung V_{BE} , während gleichzeitig der Kondensator C4 über den Transistor T11 nach dem Betriebspotential V_{DD} entladen wird, da das Taktsignal Cl2 auf L-Pegel schaltet, das heißt, der Kondensator C3 wird gleichzeitig auf die Referenzspannung V_{BE} aufgeladen.

Nun wird beim Flankenwechsel des Taktsignales Cl2 von L- auf H-Pegel der Transistor T11 gesperrt. Gleichzeitig wechselt jedoch das Taktsignal Cl1 von H- auf L-Pegel, wodurch der Schaltungsknoten K3 über den Transistor T9 an das Betriebsspannungspotential V_{DD} geschaltet wird. Somit sind zu diesem Zeitpunkt die beiden Kondensatoren C3 und C4 parallel geschaltet und da der Kondensator C3 zuvor auf die Referenzspannung V_{BE} aufgeladen war, wird die Parallelschaltung der beiden Kondensatoren C3 und C4 auf die Spannungsdifferenz $+V_{C4}$ umgeladen. Die Aufladung dieses Kondensators C4 bis zum Spannungsendwert $-V_{end}$ erfolgt also über einen weiteren Spannungsbereich $-V_{C4}$ als bei der Schaltung ohne Temperaturkompensation nach Figur 4c und der entnehmbare Ausgangsstrom $i5$ ist daher zunächst größer. Bei erhöhter Temperatur wird jedoch die Referenzspannung V_{BE} kleiner und damit reduziert sich auch die anfängliche Ladepotential $+V_{C4}$, das heißt, die Umladung des Kondensators C4 vom Anfangsspannungswert $+V_{C4}$ bis zum Spannungsendwert $-V_{end}$ erfolgt mit steigender Temperatur über einen kleineren Spannungsbereich und damit wird der entnehmbare Strom $i5$ mit zunehmender Temperatur ebenfalls kleiner, das heißt, für $i5$ ergibt sich damit ein negativer Temperaturkoeffizient.

Werden parallel zu den Klemmen K2, K3, K5 und K6 der Schaltungsanordnung 3 nach Figur 3 weitere solche Schaltungsanordnungen $3_1, 3_2, 3_3, \dots$ parallel angeschlossen, können auf ein und derselben integrierten Schaltung Ausgangsströme $i5, i5_1, i5_2, i5_3$ mit unterschiedlichem Temperaturverhalten erzeugt werden. Eine solche Stromquellenschaltung ist in Figur 5 dargestellt, wobei die Referenzspannungsquelle Q_{ref} sowie die Schaltelemente T1 bis T7, C1 und C2 nicht dargestellt sind. Jede dieser Schaltungsanordnungen $3_1, 3_2, 3_3, \dots$ entsprechen ihrem Aufbau der Schaltungsanordnung 3 nach Figur 3. Sie enthalten somit Transistoren T11₁, T12₁, T13₁, T11₂, T12₂, T13₂, ... und Kondensatoren C3₁, C4₁, C3₂, C4₂, An den Klemmen K7₁, K7₂, K7₃, ... ist jeweils ein Strom $i5_1, i5_2, i5_3, \dots$ entnehmbar.

Die Figur 6 zeigt nun eine Schaltung, mit der die Stromquellenschaltung nach Figur 3 zur Erzeugung eines Ausgangsstromes mit negativen Temperaturkoeffizienten ergänzt werden kann. Hierbei sei vorausgesetzt, daß die Schaltung nach Figur 3 einen Ausgangsstrom $i5$ mit positivem Temperaturkoeffizienten liefert. In der Figur 6 sind anstelle der Stromquellenschaltung nach Figur 3 lediglich die den Ausgangsstrom $i3$ und den Ausgangsstrom $i5$ liefernde Schaltungszweige dargestellt. Der Ausgangsstrom $i3$ stellt den Eingangsstrom für einen aus zwei p-Kanalfeldeffekttransistoren aufgebauten Stromspiegel dar, während der Ausgangs-

strom $i5$ als Eingangsstrom in einen weiteren aus zwei n-Kanalfeldeffekttransistoren T14 und T15 aufgebauten weiteren Stromspiegel geführt ist. Der erste Stromspiegel T16, T17 ist an die Betriebsspannungsquelle V_{DD} angeschlossen und liefert über den Transistor T17 einen Ausgangsstrom $i6$. Der zweite Stromspiegel T14, T15 ist dagegen an das Bezugspotential der Schaltung angeschlossen und liefert über den Transistor T15 einen Ausgangsstrom $i7$. Diese beiden Ausgangsströme $i6$ und $i7$ werden an einem Schaltungsknoten K8 zu einem Ausgangsstrom $i8$ summiert.

Da der Ausgangsstrom $i3$ und damit auch der Ausgangsstrom $i6$ einen sehr geringen positiven Temperaturkoeffizienten aufweist, der Ausgangsstrom $i5$ dagegen je nach Dimensionierung der Kondensatoren C3 und C4 einen sehr großen positiven Temperaturkoeffizienten aufweisen kann, wird der der Schaltung nach Figur 6 entnehmbare Gesamtausgangsstrom $i8$, der die Differenz des Stromes $i6$ und des Stromes $i7$ darstellt, einen negativen Temperaturkoeffizienten aufweisen, wobei der Wert dieses Temperaturkoeffizienten nur von der Dimensionierung der Transistoren T15 und T17 vorgegeben wird.

So ist es beispielsweise möglich, diese Transistoren T15 und T17 so zu bemessen, daß der Strom $i7$ bei einer bestimmten Temperatur größer wird als der Strom $i6$. Wird dem Schaltungsknoten K8 in diesem Fall kein Strom entnommen, wird also dieser Schaltungsknoten K8 nicht durch beispielsweise einen angeschlossenen Stromspiegel belastet, so liegt das Spannungspotential an diesem Schaltungsknoten K8 unterhalb einer durch die Dimensionierung vorgegebenen Grenztemperatur auf dem Spannungspotential der Betriebsspannungsquelle V_{DD} und wechselt beim Überschreiten dieser Grenztemperatur auf das Bezugspotential der Schaltung. Auf diese Weise kann mit dieser Schaltung mit einfachen Mitteln ein Temperatursensor hergestellt werden.

Die Figur 7 zeigt eine nach Figur 6 erweiterte Schaltung, in dem weitere Transistoren T15₁, T15₂, T15₃, ... und T17₁, T17₂, T17₃, ... als von den Stromspiegeln gesteuerten Stromquellentransistoren vorgesehen sind. Die paarweise zugeordneten Stromquellentransistoren T15₁, T17₁ und T15₂, T17₂ und T15₃, T17₃ liefern jeweils einen Ausgangsstrom $i7_1, i6_1$ und $i7_2, i6_2$ und $i7_3, i6_3$, die jeweils in einem Schaltungsknoten K8₁, K8₂ und K8₃ zur Erzeugung eines Ausgangsstromes $i8_1, i8_2$ und $i8_3$ aufsummiert werden, wobei diese Ausgangsströme $i8_1, i8_2$ und $i8_3$ unterschiedliche negative Temperaturkoeffizienten aufweisen, wobei auch hier die Werte dieser Temperaturkoeffizienten nur von der Dimensionierung der Transistoren T15₁ bis T15₃ und T17₁ bis T17₃ vorgegeben wird.

Die vorstehend beschriebenen Schaltungen, die in integrierter CMOS-Technik aufgebaut sind, können entgegen den dargestellten Verhältnissen auch mit anderer Polung der Betriebsspannungsquelle V_{DD} betrieben werden, indem die p- und n-Kanaltransistoren ver-

tauscht werden sowie eine Änderung des Bezugspunktes der Referenzspannung V_{BE} der Kondensatoren C1 und C4 von $+V_{DD}$ nach $-V_{DD}$ vorgenommen wird.

Patentansprüche

1. Stromquellenschaltung mit einem ersten, zweiten, dritten und vierten Feldeffekttransistor (T1, T2, T3, T4), wobei der erste und zweite Feldeffekttransistor (T1, T2) von einem ersten Kanaltyp und der dritte und vierte Feldeffekttransistor (T3, T4) von einem zweiten Kanaltyp sind und die in Serie geschalteten Kanalstrecken des ersten und vierten bzw. des zweiten und dritten Feldeffekttransistors (T1, T4; T2, T3) einen ersten bzw. zweiten Hauptstromzweig (1, 2) bilden und wobei zur Bildung eines ersten Stromspiegels die Steuerelektrode des ersten Feldeffekttransistors (T1) mit dem ersten Hauptstromzweig (1) und mit der Steuerelektrode des zweiten Feldeffekttransistors (T2) verbunden ist sowie zur Bildung eines zweiten Stromspiegels die Steuerelektrode des dritten Feldeffekttransistors (T3) mit dem zweiten Hauptstromzweig (2) und der Steuerelektrode des vierten Feldeffekttransistors (T4) verbunden ist und zur Entnahme eines ersten Stromquellenstromes (i_3) ein von dem ersten Stromspiegel gesteuerter fünfter Feldeffekttransistor (T5) vorgesehen ist, dessen Steuerelektrode mit der Steuerelektrode des ersten Feldeffekttransistors (T1) verbunden ist, dadurch gekennzeichnet, daß ein erstes Paar von Feldeffekttransistoren (T6, T7) vorgesehen ist, wobei diese Feldeffekttransistoren (T6, T7) als Serienschaltung in den ersten Hauptstromkreis (1) zwischen dem vierten Feldeffekttransistor (T4) des zweiten Stromspiegels (T3, T4) und einer Betriebsspannungsquelle (V_{DD}) geschaltet sind, daß ein erster Kondensator (C1) parallel zur Kanalstrecke desjenigen Feldeffekttransistors (T6) des ersten Feldeffekttransistorpaares (T6, T7) geschaltet ist, der mit der Betriebsspannungsquelle (V_{DD}) verbunden ist, daß ein zweiter Kondensator (C2) die verbundenen Steuerelektroden des ersten und zweiten Feldeffekttransistors (T1, T2) mit dem Bezugspotential der Schaltung verbindet und daß den Steuerelektroden der Feldeffekttransistoren (T6, T7) des ersten Feldeffekttransistorpaares gegenphasige Taktsignale (Cl1, Cl2) zugeführt werden.
2. Stromquellenschaltung nach Anspruch 1, dadurch gekennzeichnet, daß eine Referenzspannungsquelle (Q_{ref}) sowie ein zweites Feldeffekttransistorpaar (T9, T10) vorgesehen sind, wobei diese beiden Feldeffekttransistoren vom entgegengesetzten Kanaltyp sind und die Serienschaltung dieser beiden Feldeffekttransistoren an die Referenzspannungsquelle (Q_{ref}) angeschlossen ist und den ver-

bundenen Steuerelektroden dieser beiden Feldeffekttransistoren (T9, T10) ein gemeinsames Taktsignal (Cl1) zugeführt wird und daß eine Schaltungsanordnung (3) mit folgenden Merkmalen vorgesehen ist:

a) zur Entnahme eines zweiten Stromquellenstromes (i_5) umfaßt diese Schaltungsanordnung (3) einen von dem zweiten Stromspiegel (T3, T4) gesteuerten Stromquellentransistor (T13) sowie ein drittes Feldeffekttransistorpaar (T11, T12), wobei die Serienschaltung dieser beiden Feldeffekttransistoren (T11, T12) den Stromquellentransistor (T13) mit der Betriebsspannungsquelle (V_{DD}) verbindet,

b) weiterhin ist ein erster und zweiter Kondensator (C3, C4) vorgesehen, wobei jeweils der eine Anschluß der beiden Kondensatoren (C3, C4) an den Verbindungspunkt (K4) der beiden Feldeffekttransistoren des dritten Feldeffekttransistorpaares (T11, T12) angeschlossen ist und der andere Anschluß des ersten bzw. zweiten Kondensators (C3, C4) mit dem Verbindungspunkt der beiden Feldeffekttransistoren des zweiten Feldeffekttransistorpaares (T9, T10) verbunden ist bzw. auf dem Potential der Betriebsspannungsquelle (V_{DD}) liegt,

c) die Ansteuerung des dritten Feldeffekttransistorpaares (T11, T12) erfolgt durch Steuerung der Steuerelektroden mit gegenphasigen Taktsignalen (Cl1, Cl2).

3. Stromquellenschaltung nach Anspruch 2, dadurch gekennzeichnet, daß zur Entnahme weiterer Stromquellenströme (i_{5_1} , i_{5_2} , ...) weitere Schaltungsanordnungen (3_1 , 3_2 , ...) mit jeweils einem Stromquellentransistor (T13₁, T13₂, ...) einem dritten Feldeffekttransistorpaar (T11₁, T12₁; T11₂, T12₂, ...) sowie einem ersten und zweiten Kondensator (C3₁, C4₁; C3₂, C4₂; ...) mit den Merkmalen a, b, c vorgesehen sind.
4. Stromquellenschaltung nach Anspruch 2, dadurch gekennzeichnet, daß ein dritter Stromspiegel (T16, T17) vorgesehen ist, dem als Eingangsstrom der erste Stromquellenstrom (i_3) zugeführt wird, daß ein vierter Stromspiegel (T14, T15) vorgesehen ist, dem als Eingangsstrom der zweite Stromquellenstrom (i_5) zugeführt wird und daß zur Entnahme eines dritten Stromquellenstromes (i_8) die Ausgangsströme der beiden Stromspiegel auf einen gemeinsamen Knotenpunkt K8 geführt werden.
5. Stromquellenschaltung nach Anspruch 4, dadurch gekennzeichnet, daß der dritte Stromspiegel (T16, T17) eine erste Gruppe von Stromquellentransisto-

ren (T17₁, T17₂, ...) und der vierte Stromspiegel (T14, T15) eine zweite Gruppe von Stromquellen-transistoren (T15₁, T15₂, ...) ansteuern und daß zur Entnahme weiterer dritter Stromquellenströme (i8₁, i8₂, ...) die Ausgangsströme der paarweise aus der ersten und zweiten Gruppe zusammengefaßten Stromquellen-transistoren jeweils auf einen gemeinsam Knotenpunkt (K8₁, K8₂ ...) geführt werden.

6. Stromquellenschaltung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß ein Stromquellentransistor (T8) vorgesehen ist, der vom ersten Stromspiegel (T1, T2) angesteuert wird und daß als Referenzspannungsquelle (Q_{ref}) ein als Diode geschalteter Bipolar-Transistor (Q1) mit seiner Emitter-Kollektor-Strecke in Reihe zum Stromquellentransistor (T8) angeordnet ist, wobei die Kollektorelektrode auf dem Potential der Betriebsspannungsquelle (V_{DD}) liegt und an der Emitter-Elektrode die Referenzspannung V_{BE} abgreifbar ist.
7. Stromquellenschaltung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Stromquellenschaltung in CMOS-Technologie realisiert ist.

Claims

1. Current source circuit including a first, second, third and fourth field effect transistor (T1, T2, T3, T4) wherein the first and second field effect transistors (T1, T2) are of a first channel type and the third and fourth field effect transistors (T3, T4) are of a second channel type and the series connected channel paths of the respective first and fourth, and of the second and third field effect transistors (T1, T4; T2, T3) form a respective first and second main current branch (1, 2) and wherein the control electrode of the first field effect transistor (T1) is connected to the first main current branch (1) and to the control electrode of the second field effect transistor (T2) to form a first current mirror and also the control electrode of the third field effect transistor (T3) is connected to the second main current branch (2) and to the control electrode of the fourth field effect transistor (T4) to form a second current mirror and that a fifth field effect transistor (T5), which is controlled by the first current mirror and the control electrode of which is connected to the control electrode of the first field effect transistor (T1), is provided for drawing a first current source current (i3), characterised in that, there is provided a first pair of field effect transistors (T6, T7) wherein these field effect transistors (T6, T7) are connected as a series circuit in the first main current branch (1) between the fourth field effect transistor (T4) of the second current mirror (T3, T4) and an operating voltage source

(V_{DD}), that a first capacitor (C1) is connected in parallel with the channel path of that field effect transistor (T6) of the first pair of field effect transistors (T6, T7) which is connected to the operating voltage source (V_{DD}), that a second capacitor (C2) connects the interconnected control electrodes of the first and second field effect transistors (T1, T2) to the reference potential of the circuit and that oppositely phased clock signals (C11, C12) are supplied to the control electrodes of the field effect transistors (T6, T7) of the first pair of field effect transistors.

2. Current source circuit in accordance with Claim 1, characterised in that, there are provided a reference voltage source (Q_{ref}) and also a second pair of field effect transistors (T9, T10), wherein these two field effect transistors are of the opposite channel type and the series circuit of these two field effect transistors is connected to the reference voltage source (Q_{ref}) and a common clock signal (C11) is supplied to the interconnected control electrodes of these two field effect transistors (T9, T10), and that there is provided a circuit arrangement (3) having the following features:

a) this circuit arrangement (3) comprises a current source transistor (T13) which is controlled by the second current mirror (T3, T4) and also a third pair of field effect transistors (T11, T12) wherein the series circuit of these two field effect transistors (T11, T12) connects the current source transistor (T13) to the operating voltage source (V_{DD}) for drawing a second current source current (i5),

b) there is further provided a first and second capacitor (C3, C4) wherein the respective one terminal of the two capacitors (C3, C4) is connected to the connecting point (K4) of the two field effect transistors of the third pair of field effect transistors (T11, T12) and the respective other terminal of the first and second capacitors (C3, C4) is connected to the connecting point of the two field effect transistors of the second pair of field effect transistors (T9, T10) or it is at the potential of the operating voltage source (V_{DD}),

c) the control of the third pair of field effect transistors (T11, T12) is effected by controlling the control electrodes by means of the oppositely phased clock signals (C11, C12).

3. Current source circuit in accordance with Claim 2, characterised in that, there are provided further circuit arrangements (3₁, 3₂, ...) each having the features a, b, c and each including a current source transistor (T13₁, T13₂ ...), a third pair of field effect

transistors ($T11_1$, $T12_1$; $T11_2$, $T12_2$...) as well as a first and second capacitor ($C3_1$, $C4_1$; $C3_2$, $C4_2$...) for drawing further current source currents ($i5_1$, $i5_2$, ...).

4. Current source circuit in accordance with Claim 2, characterised in that, there is provided a third current mirror ($T16$, $T17$) to which the first current source current ($i3$) is supplied as an input current, that there is provided a fourth current mirror ($T14$, $T15$) to which the second current source current ($i5$) is supplied as an input current and that the output currents of the two current mirrors are supplied to a common node point ($K8$) for drawing a third current source current ($i8$).
5. Current source circuit in accordance with Claim 4, characterised in that, the third current mirror ($T16$, $T17$) controls a first group of current source transistors ($T17_1$, $T17_2$, ...) and the fourth current mirror ($T14$, $T15$) controls a second group of current source transistors ($T15_1$, $T15_2$, ...) and that the output currents of the current source transistors, which are combined in pairs from the first and second groups, are each supplied to a common node point ($K8_1$, $K8_2$, ...) for drawing further third current source currents ($i8_1$, $i8_2$, ...).
6. Current source circuit in accordance with any one of the preceding Claims, characterised in that, there is provided a current source transistor ($T8$) which is controlled by the first current mirror ($T1$, $T2$) and that a bi-polar transistor ($Q1$) connected as a diode is arranged in series over its emitter collector path with the current source transistor ($T8$) to form a reference voltage source (Q_{ref}), wherein the collector electrode is at the potential of the operating voltage source (V_{DD}) and the reference voltage V_{BE} is derivable from the emitter electrode.
7. Current source circuit in accordance with any one of the preceding Claims, characterised in that, the current source circuit is implemented using CMOS techniques.

Revendications

1. Circuit de source de courant comprenant un premier, un deuxième, un troisième et un quatrième transistor à effet de champ ($T1$, $T2$, $T3$, $T4$) dont le premier et le deuxième ($T1$, $T2$) sont d'un premier type de canal, le troisième et le quatrième ($T3$, $T4$) sont d'un second type de canal et les trajets de canal connectés en série des premier et quatrième, respectivement des deuxième et troisième transistors à effet de champ ($T1$, $T4$; $T2$, $T3$) forment une première respectivement une seconde branche de

courant principale (1, 2), circuit dans lequel, pour la formation d'un premier montage symétrique de courant, l'électrode de commande du premier transistor à effet de champ ($T1$) est reliée à la première branche principale (1) et à l'électrode de commande du deuxième transistor à effet de champ ($T2$) ainsi que, pour la formation d'un deuxième montage symétrique de courant, l'électrode de commande du troisième transistor à effet de champ ($T3$) est reliée à la seconde branche principale (2) et à l'électrode de commande du quatrième transistor à effet de champ ($T4$), et dans lequel, pour le prélèvement d'un premier courant de source de courant ($i3$), on a prévu un cinquième transistor à effet de champ ($T5$) commandé par le premier montage symétrique de courant et dont l'électrode de commande est reliée à l'électrode de commande du premier transistor à effet de champ ($T1$), caractérisé en ce qu'une première paire de transistors à effet de champ ($T6$, $T7$) est prévue, dont les transistors ($T6$, $T7$) sont connectés comme un montage en série dans la première branche principale (1) entre le quatrième transistor ($T4$) du deuxième montage symétrique de courant ($T3$, $T4$) et une source de tension de service (V_{DD}), qu'un premier condensateur ($C1$) est monté en parallèle avec le trajet de canal du transistor ($T6$) de la première paire de transistors à effet de champ ($T6$, $T7$) relié à la source de tension de service (V_{DD}), qu'un deuxième condensateur ($C2$) relie les électrodes de commande interconnectées des premier et deuxième transistors à effet de champ ($T1$, $T2$) au potentiel de référence ou de base du circuit et que des signaux d'horloge ($Cl1$, $Cl2$) en opposition de phase sont appliqués aux électrodes de commande des transistors ($T6$, $T7$) de la première paire de transistors à effet de champ.

2. Circuit de source de courant selon la revendication 1, caractérisé en ce qu'une source de tension de référence (Q_{ref}) ainsi qu'une deuxième paire de transistors à effet de champ ($T9$, $T10$) sont prévues, les deux transistors de cette paire étant de types de canal opposés et formant un montage en série raccordé à la source de tension de référence (Q_{ref}), un signal d'horloge commun ($Cl1$) étant appliqué aux électrodes de commande reliées entre elles de ces deux transistors à effet de champ ($T9$, $T2$) et que l'on a prévu une partie ou dispositif de circuit (3) ayant les caractéristiques suivantes:

a) pour le prélèvement d'un deuxième courant de source de courant ($i5$), ce dispositif de circuit (3) comprend un transistor de source de courant ($T13$) commandé par le deuxième montage symétrique de courant ($T3$, $T4$), ainsi qu'une troisième paire de transistors à effet de champ ($T11$, $T12$) dont les deux transistors ($T11$, $T12$) forment un montage en série qui relie le tran-

sistor de source de courant (T13) à la source de tension de service (V_{DD}),

b) un premier et un deuxième condensateur (C3, C4) sont prévus en plus, dont une borne est reliée chaque fois au point de connexion (K4) des deux transistors de la troisième paire (T11, T12) et l'autre borne des premier et deuxième condensateurs (C3, C4) est reliée au point de connexion des deux transistors de la deuxième paire (T9, T10) ou se trouve au potentiel de la source de tension de service (V_{DD}),
c) la commande de la troisième paire de transistors à effet de champ (T11, T12) s'effectue par l'attaque des électrodes de commande par des signaux d'horloge (Cl1, Cl2) en opposition de phase.

3. Circuit de source de courant selon la revendication 2, caractérisé en ce que, pour le prélèvement d'autres courants de source de courant (i_{5_1} , i_{5_2} , ...), on a prévu d'autres parties ou dispositifs de circuit (3_1 , 3_2 , ...) comprenant chacun un transistor de source de courant (T13₁, T13₂, ...), une troisième paire de transistors à effet de champ (T11₁, T12₁; T11₂, T12₂; ...), ainsi qu'un premier et un deuxième condensateur (C3₁, C4₁; C3₂, C4₂; ...), les dispositifs de circuit ayant chacun les caractéristiques a, b, c.

4. Circuit de source de courant selon la revendication 2, caractérisé en ce qu'un troisième montage symétrique de courant (T16, T17) est prévu, auquel est appliqué, en tant que courant d'entrée, le premier courant de source de courant (i_3), qu'un quatrième montage symétrique de courant (T14, T15) est prévu, auquel est appliqué, en tant que courant d'entrée, le deuxième courant de source de courant (i_5), et que, pour le prélèvement d'un troisième courant de source de courant (i_8), les courants de sortie de ces deux montages symétriques de courant sont amenés à un noeud de circuit commun (K8).

5. Circuit de source de courant selon la revendication 4, caractérisé en ce que le troisième montage symétrique de courant (T16, T17) commande un premier groupe de transistors de source de courant (T17₁, T17₂, ...) et le quatrième montage symétrique de courant (T14, T15) commande un deuxième groupe de transistors de source de courant (T15₁, T15₂, ...) et que, pour le prélèvement d'autres ou troisièmes courants de source de courant (i_{8_1} , i_{8_2} , ...), les courants de sortie des transistors de source de courant, rassemblés par paire et appartenant respectivement au premier et au deuxième groupe, sont amenés chaque fois à un noeud de circuit commun (K8₁, K8₂, ...).

6. Circuit de source de courant selon une des reven-

dications précédentes, caractérisé en ce qu'un transistor de source de courant (T8) est prévu, qui est commandé par le premier montage symétrique de courant (T1, T2) et que, comme source de tension de référence (Q_{ref}), on a prévu un transistor bipolaire (Q1) monté en diode et dont le trajet émetteur-collecteur est disposé en série avec le transistor de source de courant (T8), l'électrode de collecteur se trouvant au potentiel de la source de tension de service (V_{DD}) et la tension de référence (V_{BE}) étant prélevable sur l'électrode d'émetteur.

7. Circuit de source de courant selon une des revendications précédentes, caractérisé en ce qu'il est réalisé selon la technologie CMOS.

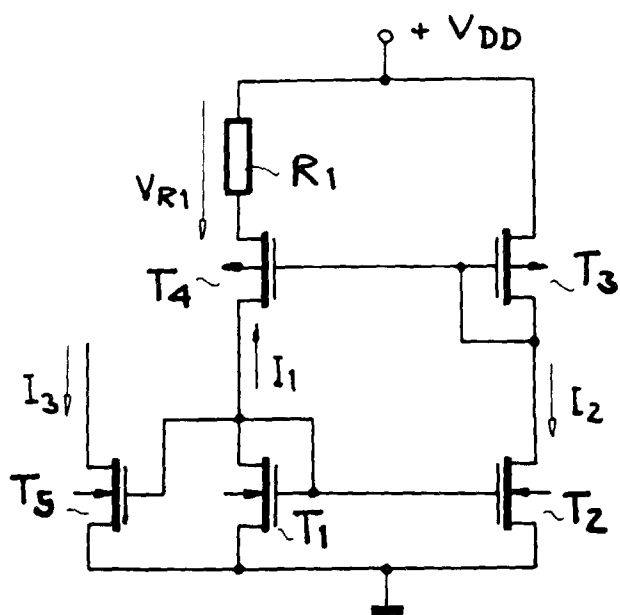


FIG. 1

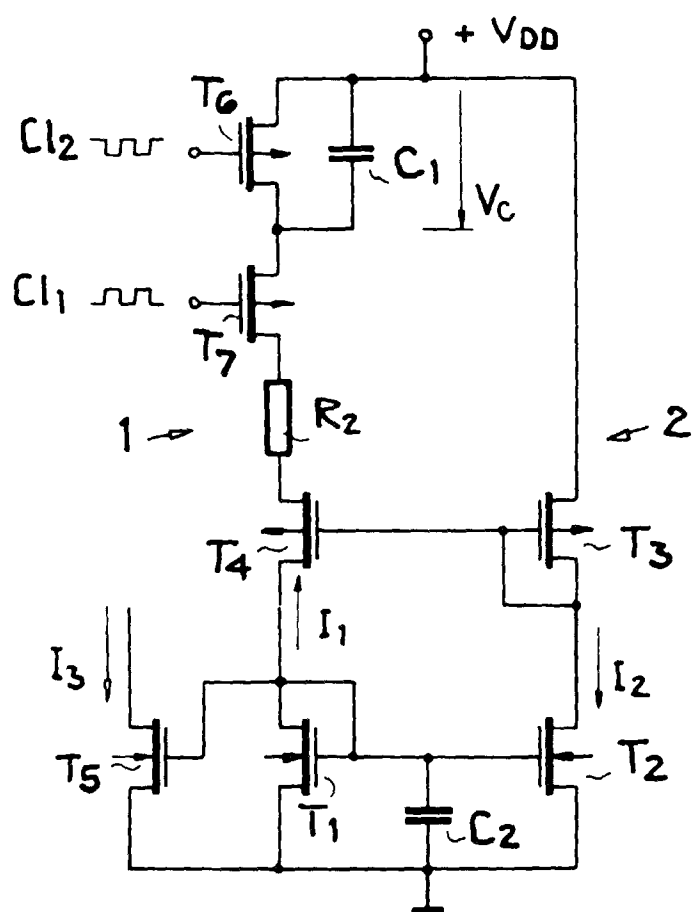


FIG. 2

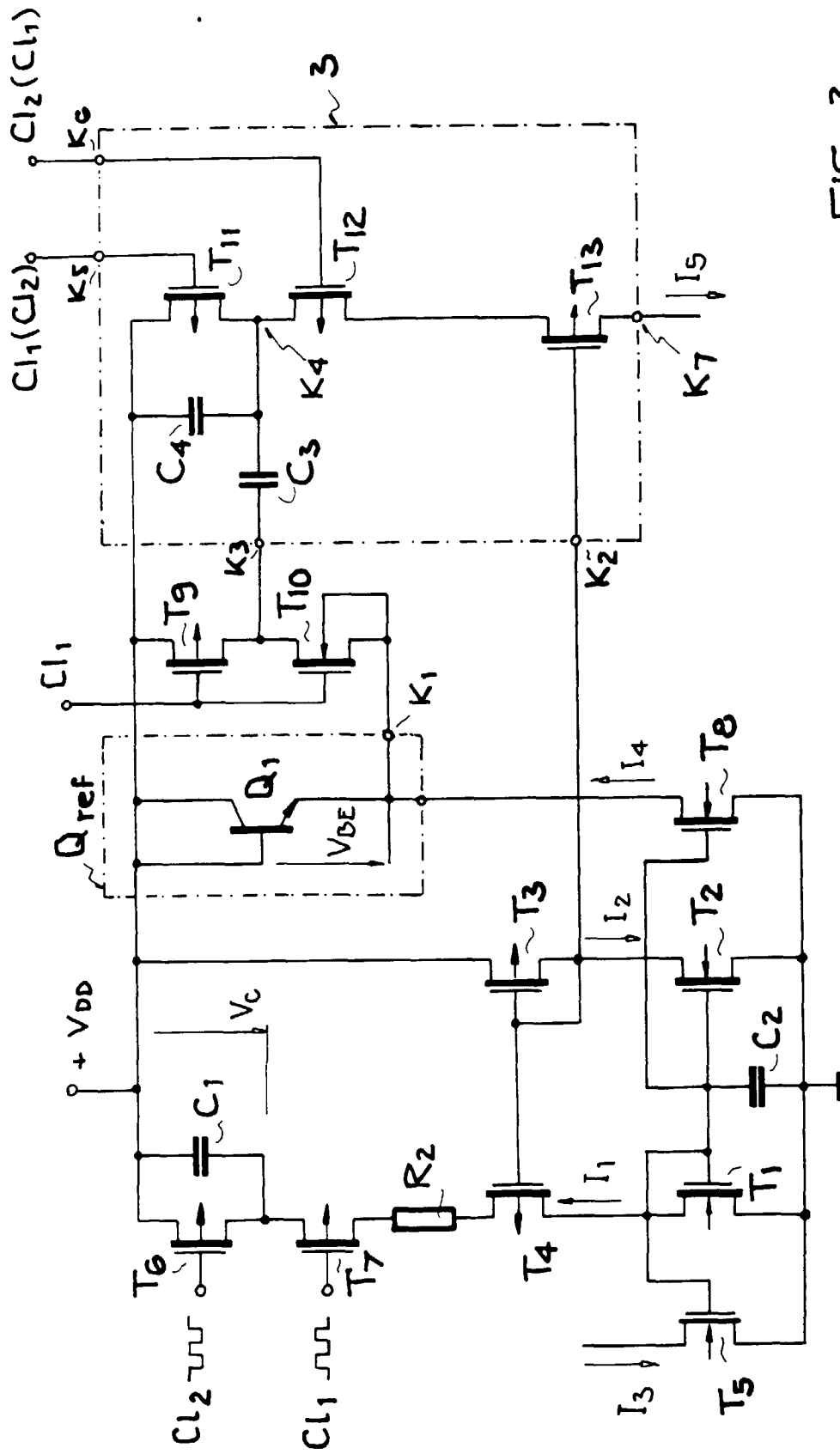


FIG. 3

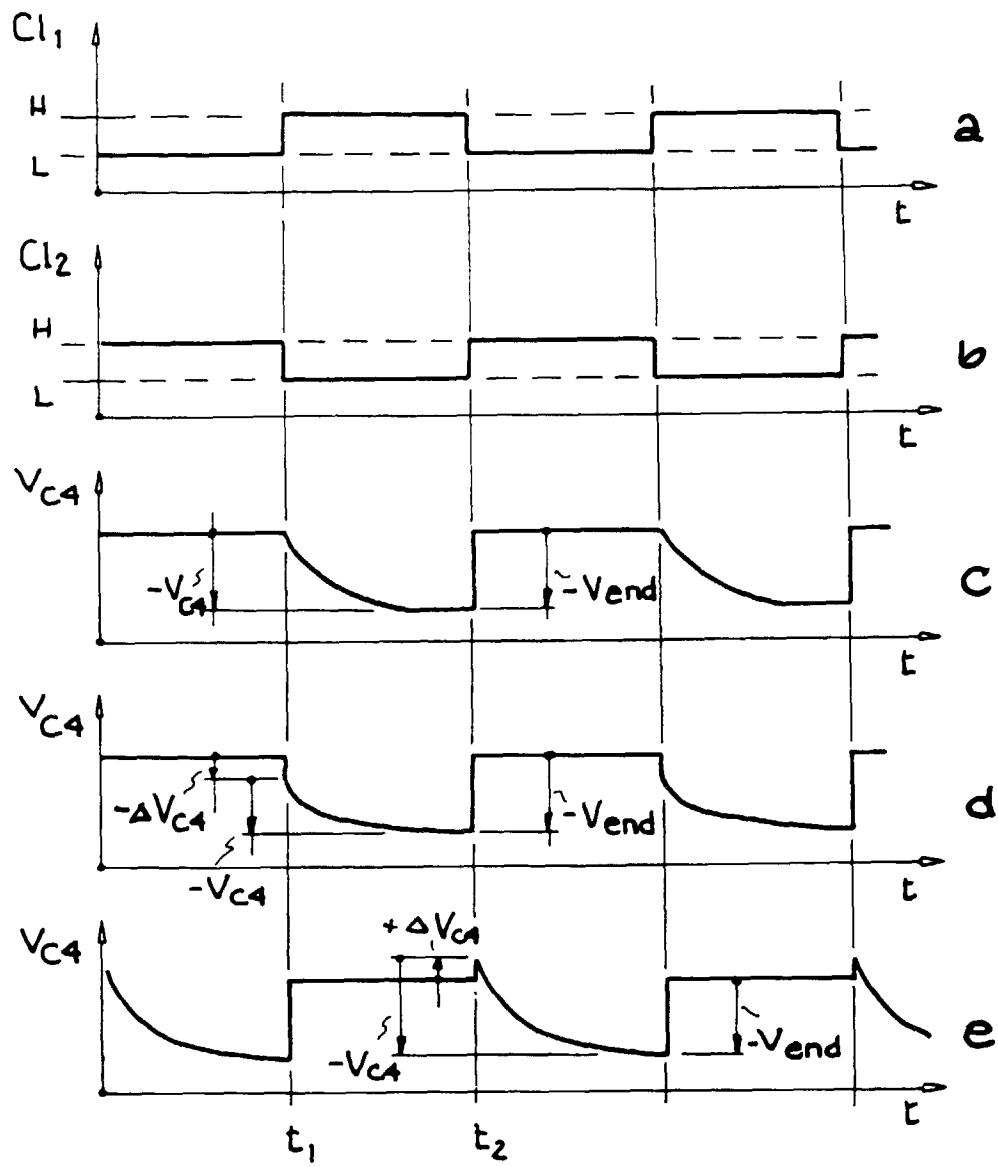


FIG. 4

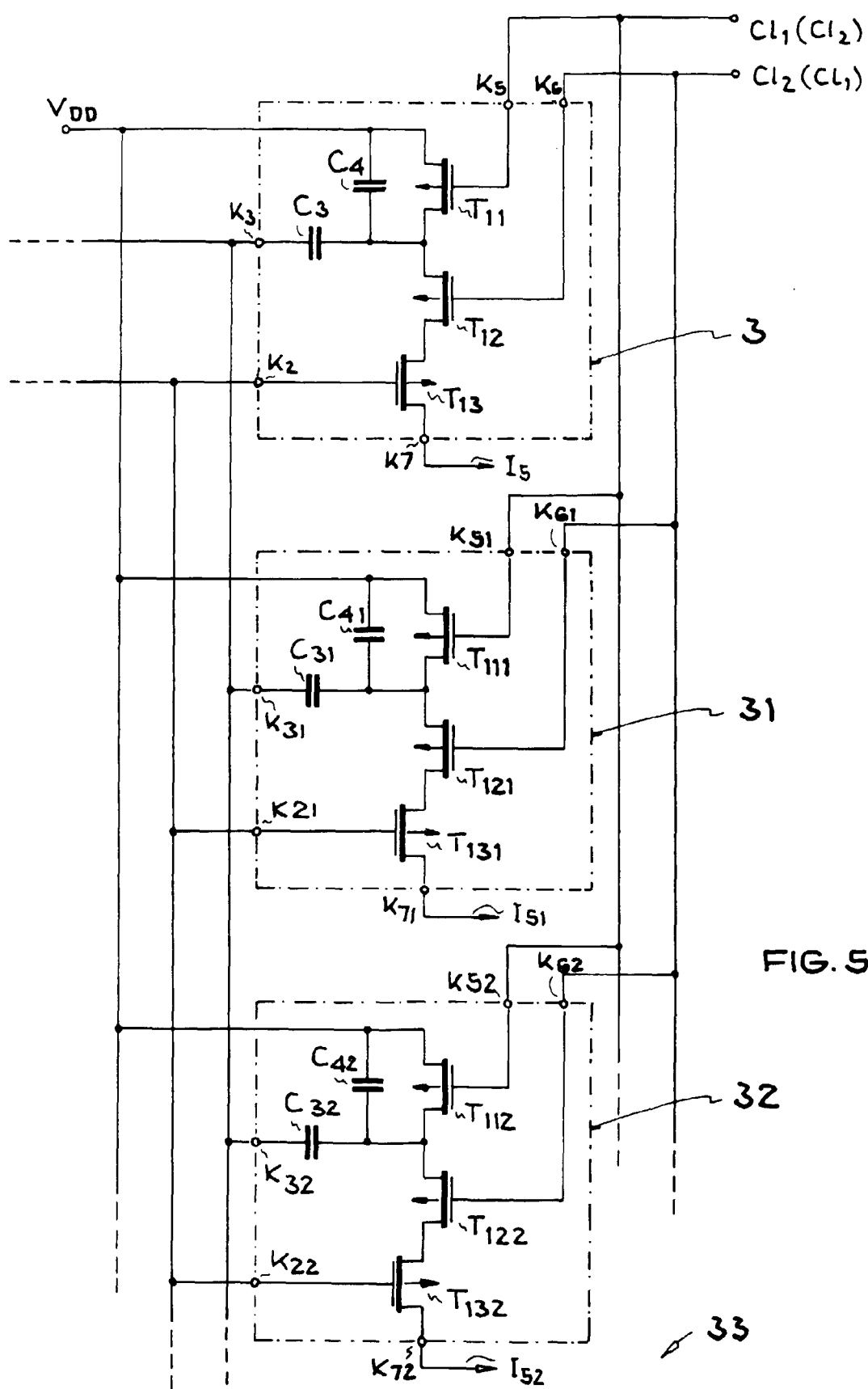


FIG. 5

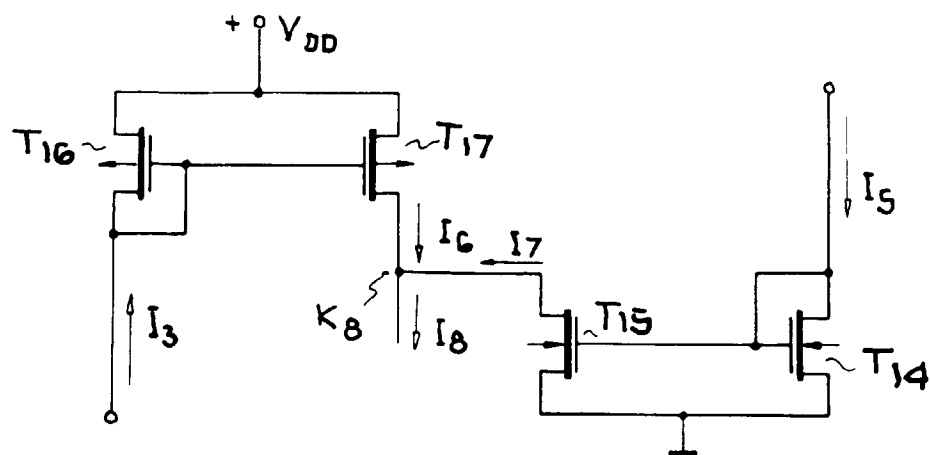


FIG. 6

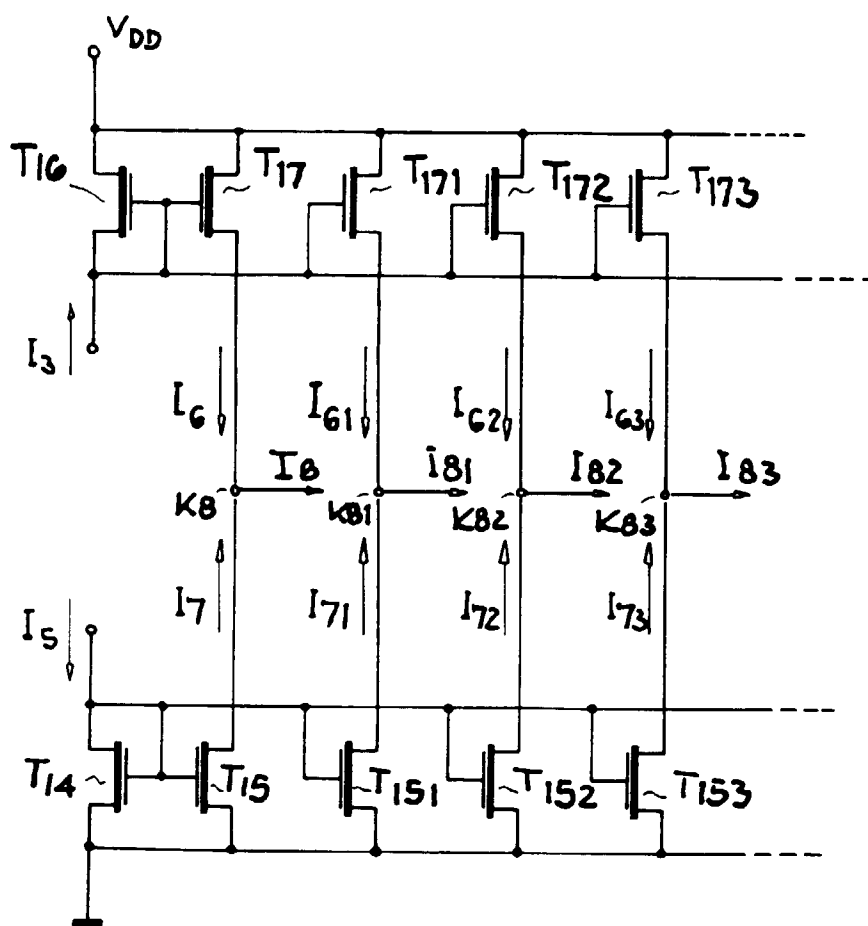


FIG. 7