(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3754070号

(P3754070)

(45)発行日　平成18年3月8日(2006.3.8)　(24)登録日　平成17年12月22日(2005.12.22)

| (51)Int.Cl. | | | F I | | |
|---|---|---|---|---|---|
| H03L | 7/081 | (2006.01) | H03L | 7/08 | J |
| H03L | 7/093 | (2006.01) | H03L | 7/08 | E |
| H03L | 7/08 | (2006.01) | H03L | 7/08 | G |

請求項の数 2　(全 17 頁)

| | |
|---|---|
| (21)出願番号 | 特願平7-521366 |
| (86)(22)出願日 | 平成7年2月9日(1995.2.9) |
| (65)公表番号 | 特表平9-512966 |
| (43)公表日 | 平成9年12月22日(1997.12.22) |
| (86)国際出願番号 | PCT/US1995/001726 |
| (87)国際公開番号 | WO1995/022206 |
| (87)国際公開日 | 平成7年8月17日(1995.8.17) |
| 審査請求日 | 平成14年2月12日(2002.2.12) |
| (31)優先権主張番号 | 08/196,583 |
| (32)優先日 | 平成6年2月15日(1994.2.15) |
| (33)優先権主張国 | 米国(US) |

(73)特許権者
ラムバス・インコーポレーテッド
アメリカ合衆国・９４０２２・カリフォルニア州・ロス　アルトス・エル　カミノ　リール・４４４０
(74)代理人
弁理士　稲葉　良幸
(74)代理人
弁理士　大賀　眞司
(74)代理人
弁理士　大貫　敏史
(74)代理人
弁理士　佐藤　睦
(74)代理人
弁理士　鈴木　二郎

最終頁に続く

(54)【発明の名称】遅延ロック・ループ

(57)【特許請求の範囲】

【請求項１】

入力信号との所定のタイミング関係で出力信号を生成する回路であって、

前記入力信号を受けるように結合され、その入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するデューティ・サイクル補正増幅器と、

前記入力信号と前記出力信号を受けるように結合され、出力信号の位相が入力信号の位相よりも進んでいるか、遅れているかを示す２進出力信号を生成する位相検出器と、

デューティ・サイクル補正済み入力信号と前記２進出力信号を受けるように結合され、デューティ・サイクル補正済み入力信号の移相を位相検出器の前記２進出力信号によって示される移相方向へ実行して出力信号を生成するフェーズ・シフタとを備え、

位相検出器の出力が平均して５０％の時間だけ第１の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする回路。

【請求項２】

入力信号との所定のタイミング関係を有する出力信号を生成する方法であって、

前記入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するステップと、

出力信号の位相が前記入力信号の位相よりも進んでいるか、それとも遅れているかを示す２進出力信号を生成するステップと、

デューティ・サイクル補正済み入力信号の移相を位相検出器の２進出力信号によって示さ

れる移相方向へ実行して前記出力信号を生成するステップとを備え、
位相検出器の２進出力信号が平均で５０％の時間だけ第１の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする方法。
【発明の詳細な説明】
発明の背景
１．発明の分野
本発明は、クロック信号などの周期信号を生成する回路に関する。詳細には、本発明は遅延ロック・ループに関する。
２．技術の背景
多数の高速電気システムは、何らかの基準信号に対する厳密な時間関係を有する周期クロック波形を生成する必要に関する重大なタイミング要件を有する。従来、電圧制御発振器（ＶＣＯ）を使用するフェーズ・ロック・ループ（ＰＬＬ）を使用して、所望のクロック信号を与えている。ＰＬＬの例を第１ａ図に示す。しかし、ＶＣＯベースのＰＬＬは、いくつかの望ましくない特性を有する。たとえば、ＰＬＬを介した信号の複数回の反復を必要とする所望のタイミング関係を獲得するには、ＶＣＯを正しい周波数にドライブするのに必要な時間のために時間がかかることが多い（典型的には、数百～数千クロック・サイクル）。さらに、十分な電源拒否特性を有するＶＣＯを設計することは、特に回路をＣＭＯＳで実施する際には困難である。なぜなら、電力を節約するために、そのような回路で使用される電源電圧がますます低い値で設計されているからである。代替ＰＬＬ回路は、入力基準信号から所望の遅延の後に出力信号を生成する遅延ロック・ループ（ＤＬＬ）である。第１ｂ図にブロック図を示す。
発明の概要
したがって、本発明の目的は、電圧制御発振器（ＶＣＯ）を不要にし、電源誘導ジッタを急速に得てそれを最小限に抑える遅延ロック・ループを提供することである。他の目的は、移相範囲を制限されないＤＬＬを提供することである。
本発明の回路では、位相検出器は、遅延ロック・ループ（ＤＬＬ）の出力の位相を基準入力の位相と比較する。位相比較器の出力は、ＤＬＬの出力信号が基準入力信号よりも進んでいるか、それとも遅れているかを示し、位相比較器出力信号を経時的に積分するように機能する差動チャージ・ポンプを駆動する２進信号である。チャージ・ポンプ出力は、位相比較器の出力が平均で５０％の時間だけある状態、たとえばハイ状態になるようにＤＬＬ出力の位相を調整するフェーズ・シフタを制御する。位相検出器出力が平均で５０％の時間だけある状態になるまでＤＬＬがフェーズ・シフタを調整するので、ＤＬＬの出力は、温度、供給電圧、プロセスとは独立に、基準クロック入力に対する所望の時間関係を有する信号である。たとえば、一実施形態では、ＤＬＬを使用して、システム中の他の位置にあるデータ受信機に対するサンプリング・クロックを生成することができる。そのような場合、複製データ受信機が位相検出器として使用される。代替実施形態では、直交位相検出器を使用して、基準クロック入力に直交する出力クロックが生成される。これを使用して、出力信号を送るのに必要なタイミングを生成することができる。
本発明のＤＬＬの一実施形態では、着信クロック信号は、入力デューティ・サイクルとは独立に５０％デューティ・サイクルを有する出力クロック波形を生成するデューティ・サイクル・コレクタを介してまず処理される。デューティ・サイクル補正済み信号は次いで、フェーズ・シフタに入力される。任意選択で、第２のデューティ・サイクル・コレクタを使用して、フェーズ・シフタの出力信号を処理し、フェーズ・シフタまたはその後に続くバッファ増幅器、あるいはその両方のために発生するデューティ・サイクルひずみを補償することができる。この実施形態はさらに、範囲を制限されないフェーズ・シフタを含む。
この実施形態は好ましくは、ジッタを最小限に抑える回路も含む。たとえば、回路中のチャージ・ポンプへの電流を増加させることは、獲得時間を短縮する１つの方法である。しかし、電流が増加するにつれて、生成されるジッタの量も増加する。余分のジッタを発生させずに獲得時間を短縮するために、ＤＬＬは、ブーストされたチャージ・ポンプ電流を

選択的に生成する回路を含む。ブーストされたチャージ・ポンプ電流が生成されるのは、信号が基準に同期する獲得プロセス中だけである。獲得プロセスではないときには、生成されるジッタの量を減少させるために、電流を、ブーストされた量よりも少なくする。制御信号は、獲得の始めと終わりを知らせるために使用され、したがって、チャージ・ポンプへの電流入力の量を制御する。したがって、プロセスの非獲得フェーズ中には、電流が減少し、それによってジッタが最小限に抑えられる。

【図面の簡単な説明】

本発明の目的、特徴および利点は、以下の詳細な説明を読めば、当業者には明らかとなろう。

第１ａ図は、従来技術のフェーズ・ロック・ループを示す図である。

第１ｂ図は、従来技術の遅延ロック・ループを示す図である。

第２図は、本発明の遅延ロック・ループの一実施形態を示す図である。

第３ａ図および第３ｂ図は、本発明の遅延ロック・ループの実施形態で使用される直交位相検出器の実施形態を示す図である。

第４図は、本発明の遅延ロック・ループの一実施形態で使用されるデューティ・サイクル補正増幅器の一実施形態を示す図である。

第５ａ図、第５ｂ図および第５ｃ図は、本発明の遅延ロック・ループの一実施形態で使用されるフェーズ・シフタの一実施形態を示す図である。

第６ａ図および第６ｂ図は、本発明の遅延ロック・ループの一実施形態で使用されるチャージ・ポンプの一実施形態を示す図である。

第７ａ図および第７ｂ図は、データ受信機で使用される補償位相検出器を有する本発明の遅延ロック・ループを示す図である。

第８図は、位相検出器、ディジタル・フィルタ、ディジタル・アナログ変換器によって、代替獲得基準を使用して差動チャージ・ポンプを制御する差動チャージ・ポンプへの制御電圧が生成される本発明の遅延ロック・ループの代替実施形態のブロック図である。

詳細な説明

下記の説明では、説明上、本発明を完全に理解して頂くために多数の詳細を記載する。しかし、当業者には、本発明を実施するうえでこのような特定の詳細が必要とされないことが明らかになろう。他の例では、本発明を不必要にあいまいにしないように周知の電気構造および回路がブロック図形で示されている。

本発明の遅延ロック・ループ（ＤＬＬ）は、連続的に調整する移相をもたらす移相要素を使用するＤＬＬを提供する。さらに、本発明のＤＬＬは、最小のジッタで高速に獲得する優れたジッタ特性を有する。

ＤＬＬの一実施形態の簡略化されたブロック図を第２図に示す。クロック信号などの基準信号は、デューティ・サイクル補正増幅器１００および位相検出器１１０に入力される。位相検出器１１０は、遅延ロック・ループの出力信号の位相と基準信号入力の位相を比較する。基準信号入力は、ＤＬＬを使用して補正すべき信号を表す。好ましくは、位相検出器１１０は位相比較器であり、位相検出器の出力は、フィードバック・クロック入力、すなわちＤＬＬの出力の位相が基準クロック入力の位相よりも進んでいる場合にはハイであり、フィードバック・クロック入力が基準クロック入力よりも遅れている場合にはローである２進信号である。代わりに、位相検出器は、フィードバック・クロック入力の位相が基準クロック入力の位相よりも進んでいる場合にはロー出力を生成し、フィードバック・クロック入力が基準クロック入力よりも遅れている場合にはハイ出力を生成するように構成することができる。位相検出器の出力は、位相比較器出力信号を経時的に積分するように機能するチャージ・ポンプ１２０、好ましくは差動チャージ・ポンプを駆動する。チャージ・ポンプ１２０の出力は、フェーズ・シフタ１３０を制御する。フェーズ・シフタ１３０は、位相比較器の出力が平均で５０％の時間だけハイになるように、デューティ・サイクル補正増幅器１００に入力された基準信号の位相を調整する。ＤＬＬは、入力信号を遅延させることによって出力信号を生成する。基準信号とＤＬＬの出力信号との間で検出される位相差が、５０％の時間だけ進みとなり、５０％の時間だけ遅れとなり、出力信号

と基準入力信号との間の所望のタイミング関係に対応する平均位相関係がもたらされるように、出力信号は所望の関係に対して進み、かつ遅れる。
しかし、入力クロック信号を遅延させることによって出力信号を生成することにより、入力クロック信号は、ＤＬＬの性能に悪影響を及ぼす恐れがある。具体的には、基準に対する入力信号のデューティ・サイクルの変動、たとえば５０％デューティ・サイクルは、ＤＬＬの性能に影響を与える。これに対して、従来型のＰＬＬは主として、着信信号のデューティ・サイクルの影響を受けない。この問題を最小限に抑えるためにデューティ・サイクル補正増幅器１００を使用する。デューティ・サイクル補正増幅器１００は、入力信号を受け取り、入力信号デューティ・サイクルとは独立に５０％デューティ・サイクルを有する出力信号を生成する。デューティ・サイクル補正増幅器１００の出力はフェーズ・シフタ１３０に入力される。任意選択で、第２のデューティ・サイクル補正増幅器１４０を使用して、フェーズ・シフタまたはその後に続くバッファ増幅器１５０のために生じる信号に対するデューティ・サイクルひずみを補償することができる。バッファ増幅器１５０は、信号を、回路の信号出力として機能するフル・レールに復元する。
本発明のＤＬＬは比例制御を使用せず、すなわち位相検出器の出力は位相誤りの程度には比例しない。その代わり、ＤＬＬは、ＤＬＬ出力信号の位相が実際に所望の値の周りでディザするように構築される。ディザは一種のジッタなので、たとえば、チャージ・ポンプ電流と積分容量の適当な小さな比を選択することによってクロック・サイクル当たりの位相補正の量が十分に小さくなるように選択することにより、ジッタを最小限に抑えることが望ましい。残念なことに、使用される電流が少なくなればなるほど、獲得時間、すなわちＤＬＬ出力信号と基準信号との間の所望の関係を得るのに必要な時間が長くなるので、ジッタを最小限に抑えても、獲得時間は最小限にはならない。
したがって、過度のディザ・ジッタを発生させずに獲得時間を短縮するには、ＤＬＬが獲得時にチャージ・ポンプ電流をブーストする回路を含むことが好ましい。獲得時にチャージ・ポンプ電流をブーストすることによって、獲得速度が増加する。しかし、獲得時ではないときに電流を最小値に維持することによって、生成されるジッタの量は最小限に抑えられる。獲得時にチャージ・ポンプ電流をブーストするには、ブースト制御信号１６０を使用して、獲得モードの始めおよび終わりを知らせ、それによって、獲得モード時にはチャージ・ポンプ電流を増加させ、獲得モードでないときにはチャージ・ポンプ電流を減少させ、それによってディザ・ジッタを最小限に抑える。代わりに、獲得速度を最大にすることは、第２図に示した外部制御信号ではなくＤＬＬ回路自体によって制御することができる。たとえば、ＤＬＬ回路は、基準クロックからの逸脱が所定の値よりも大きくなったどうか、すなわち、チャージ・ポンプ電流を増加させて獲得速度を増加させるべきかどうかを判定する論理機構を含むことができる。所望のタイミング関係が達成されると、論理機構はチャージ・ポンプ回路を低ジッタ値に戻す。
前述のように、位相検出器は、入力信号とＤＬＬから出力された信号との間の位相差を判定するように機能する。一実施形態では、使用される位相検出器は直交位相検出器であり、ＤＬＬに、入力信号に直交する（９０°移相を有する）出力信号を生成させる。例示的な移送検出器を第３ａ図および第３ｂ図に示す。
第３ａ図は、直交位相関係にありそれぞれの異なる電圧スイング特性を有する２つの入力信号間の直交位相誤りを検出する直交位相検出器１０の一実施形態を示す。第３ｂ図は、寄生容量によって誘発される位相検出誤りを最小限に抑える直交位相検出器４０の代替実施形態を示す。
第３ａ図を参照すると分かるように、位相検出器１０は、トランジスタ１１－１４および１９－２１を含む。一実施形態では、トランジスタ１１－１４および１９－２１はＭＯＳＦＥＴであり、ＣＭＯＳ構成のものである。他の実施形態では、トランジスタ１１－１４および１９－２１は、ＮチャネルＭＯＳＦＥＴトランジスタでも、ＰチャネルＭＯＳＦＥＴトランジスタでもよい。代替実施形態では、バイポーラ・トランジスタなど他のデバイスを使用することができる。
図のように、トランジスタ１１－１４はＰチャネル・トランジスタであり、電源電圧$V_{DD}$

とノード１５および１６との間に電流源トランジスタとして接続されている。代わりに、トランジスタ１１－１４は、Ｎチャネル・トランジスタでも、バイポーラ・トランジスタでもよい。
トランジスタ１１－１４は共に、位相検出器１０の負荷を構成する。トランジスタ１１－１４は、ノード１５とノード１６との間の高差動インピーダンスと、電源$V_{DD}$からノード１５－１６への低コモン・モード抵抗をもたらす。ダイオード接続されたトランジスタ１１－１２は、電源$V_{DD}$とノード１５－１６との間の低コモン・モード抵抗として働く。トランジスタ１１－１２は、ノード１５とノード１６との間の正の差動負荷抵抗も構成する。トランジスタ１３－１４は、ノード１５とノード１６との間の負の差動負荷抵抗を構成する。負の差動負荷抵抗は、正の差動負荷抵抗を打ち消す。その結果、トランジスタ１１－１４は共に、ノード１５とノード１６との間に高差動負荷抵抗をもたらす。トランジスタ１１－１４の接続について下記で説明する。
代わりに、位相検出器１０中の電流$V_{DD}$とノード１５－１６との間に他のタイプの負荷回路を使用することができる。トランジスタ１１－１４で形成される負荷は、任意の他の種類の高差動インピーダンス負荷回路であってもよい。
トランジスタ１１－１４のドレーンはノード１５に接続され、トランジスタ１２および１３のドレーンはノード１６に接続される。各トランジスタ１１－１２のゲートはそのドレーンに結合される。また、トランジスタ１３のゲートはトランジスタ１１のゲートに接続され、トランジスタ１４のゲートはトランジスタ１２のゲートに接続される。トランジスタ１１のゲートとトランジスタ１３のゲートが接続され、トランジスタ１２のゲートとトランジスタ１４のゲートが接続されるので、トランジスタ１３はトランジスタ１１中の電流をミラーし、トランジスタ１４はトランジスタ１２中の電流をミラーする。言い換えれば、トランジスタ１１とトランジスタ１３は電流ミラーを構成し、トランジスタ１２とトランジスタ１４は別の電流ミラーを構成する。トランジスタ１１内を流れる電流をノード１６にミラーし、トランジスタ１２内を流れる電流をノード１５にミラーすることによって、各ノード１５－１６はほぼ同じ量の電流を受け取り、差動電流は生成されない。したがって、トランジスタ１３－１４によって生成される負の差動負荷抵抗がトランジスタ１１－１２によって生成される正の差動負荷抵抗を打ち消すので、トランジスタ１１－１４は高差動負荷抵抗をもたらす。一実施形態では、トランジスタ１３－１４によって生成される負の差動負荷抵抗がトランジスタ１１－１２によって生成される正の差動負荷抵抗を打ち消すように、トランジスタ１１－１４の寸法はほぼ同じである。
ノード１５－１６は、位相検出器１０の出力を形成する。グラウンドとノード１５との間にキャパシタ１７が接続され、ノード１６とグラウンドにキャパシタ１８が接続される。一実施形態では、キャパシタ１７とキャパシタ１８はほぼ等しい容量を有する。図のように、キャパシタ１７および１８はそれぞれ、ノード１５－１６でのトランジスタ１１－１４の寄生容量を含む。代わりに、キャパシタ１７および１８はそれぞれ、ノード１５－１６でのトランジスタ１１－１４の寄生容量を含まないようにすることもできる。
ノード１５はさらに、トランジスタ１９のドレーンに接続され、ノード１６はさらに、トランジスタ２０のドレーンに接続される。トランジスタ１９－２０のソースはノード２３に接続される。ノード２３は次いで、トランジスタ２１のドレーンに接続される。トランジスタ２１のソースは、電流源２４を介してグラウンドに接続される。トランジスタ１９のゲートは入力信号$V_{IN2}$を受ける。トランジスタ２０のゲートは入力信号$V_{REF}$を受ける。トランジスタ２１のゲートは入力信号$V_{IN1}$を受ける。トランジスタ１９－２１はＮチャネル・トランジスタである。代わりに、トランジスタ１９－２１はＰチャネル・トランジスタでも、あるいはバイポーラ・トランジスタでもよい。一実施形態では、トランジスタ１９は、トランジスタ２０の寸法にほぼ等しい寸法を有する。
この議論では、$V_{IN1}$信号は全ＣＭＯＳ電圧スイングを有する。$V_{IN2}$信号は、$V_{IN1}$と直交位相関係にあり、$V_{REF}$基準電圧（すなわち、定ＤＣ基準電圧）の周りでほぼ対称的に振動する小さな電圧スイング信号である。したがって、$V_{IN2}$信号を準差動信号と呼ぶ。したがって、$V_{IN2}$信号と$V_{REF}$信号は相補的なものではないことが分かる。

代わりに、$V_{IN2}$信号は小スイング全差動信号であり、$V_{high}$電圧と$V_{low}$電圧との間でスイングする。この場合、$V_{REF}$信号は$V_{IN2}$信号を補う。言い換えれば、トランジスタ１９のゲートが$V_{high}$電圧を受けると、トランジスタ２０のゲートは$V_{low}$電圧を受ける。

トランジスタ１９－２１は、$V_{IN1}$入力信号および$V_{IN2}$入力信号の直交位相誤りを検出する。$V_{IN1}$信号と$V_{IN2}$信号を直交位相関係にすることが望ましい。直交位相誤りが発生する（すなわち、所望の直交位相関係が達成されなかった）と、位相検出器１０は、各測定サイクルの終わりにノード１５－１６の間の正味差動電圧（すなわち、出力$V_{OUT}$）を生成することによってこの条件を検出する。ノード１５－１６の間の正味差動電圧の電圧レベルは、$V_{IN1}$入力信号と$V_{IN2}$入力信号との間の直交位相誤りの量の関数である。位相検出器１０は、直交位相誤りを検出しなかった場合は、検出サイクルの終わりにノード１５－１６の間の正味差動電圧を生成しない。

位相検出器１０は、ノード１５とノード１６との間に結合されたトランジスタ２２も含む。トランジスタ２２はＮチャネルＭＯＳＦＥＴトランジスタである。代わりに、トランジスタ２２はＰチャネルＭＯＳＦＥＴトランジスタでも、あるいはバイポーラ・トランジスタでもよい。トランジスタ２２は、位相検出器１０内で等化トランジスタとして使用される。トランジスタ２２は、測定サイクルが開始される前にトランジスタ２２自体が導電したときにノード１５－１６の間の電圧差動を零にする。トランジスタ２２は、$V_{EQ}$信号によってオンまたはオフに切り替えられる。$V_{EQ}$信号によってトランジスタ２２がオン操作されると、ノード１５とノード１６がトランジスタ２２を介して接続され、ノード１５－１６での電圧が等化される。好ましくは、$V_{EQ}$信号は周期信号であり、$V_{IN1}$信号のあらゆるパルスの前に発生する。$V_{EQ}$信号は、検出サイクルを開始するためにノード１５－１６の間の電圧を等化するのを助ける。代わりに、$V_{EQ}$信号のパルス・サイクルは、$V_{IN1}$信号のパルスがＮ－１個発生するたびに発生する。

次に、位相検出器１０の動作について説明する。トランジスタ２１は、$V_{IN1}$信号が高$V_{DD}$電圧であるときに電流Ｉをノード２３から電流源２４に接続する。トランジスタ２１は、電流源２４に接続されているので、導電時には、電流Ｉの量しか流さない。$V_{IN1}$信号は、各検出サイクルの始めを制御する。$V_{IN1}$信号の電圧がレベルが$V_{DD}$電圧に上昇したときには必ず、検出サイクルが開始される。

$V_{IN2}$の電圧レベルが$V_{REF}$電圧の電圧レベルよりも高く、$V_{IN1}$信号が$V_{DD}$電圧であるとき（たとえば時間$t_1$から時間$t_2$まで）、トランジスタ１９はトランジスタ２０よりも多くの電流を導電する。したがって、トランジスタ１９はほぼすべてのＩ電流をノード２３に与える。ノード１５および１６はそれぞれ、トランジスタ１１－１４で形成された負荷素子からほぼ同じ量の電流を受けるので、トランジスタ１９とトランジスタ２０が同じ量の電流をノード２３に流していない場合、キャパシタ１７はキャパシタ１８とは異なるように荷電される。この場合、キャパシタ１８は、キャパシタ１７が放電している間に充電することが間に差動電圧が生成され、したがって位相検出器１０の出力$V_{OUT}$で差動電圧が生成される。出力$V_{OUT}$での差動電圧は、$V_{IN2}$信号の電圧が$V_{REF}$基準電圧よりも高い時間中、線形に増大する。

$V_{IN2}$信号の電圧レベルが$V_{REF}$電圧の電圧レベルよりも低く、$V_{IN1}$信号が$V_{DD}$であるとき（たとえば、時間$t_2$から時間$t_3$まで）、トランジスタ２０はほぼすべてのＩ電流をノード２３に与える。このため、キャパシタ１７－１８は不均一に充電される。この場合、キャパシタ１７は、キャパシタ１８が放電している間に充電することができる。このため、位相検出器１０の出力$V_{OUT}$での差動電力が線形に低下する。

$V_{IN1}$信号の電圧レベルがグラウンドになると、出力$V_{OUT}$での差動電圧は変化を止める。$V_{IN1}$信号と$V_{IN2}$信号が完全に直交する場合、ノード１５－１６の間の差動電圧は、線形に零に近づき、$V_{IN1}$信号がグラウンドになったときには位相検出器１０の$V_{OUT}$出力では正味差動電圧は生成されない。しかし、$V_{IN1}$信号と$V_{IN2}$信号との間に直交位相誤りが存在する場合、位相検出サイクルの終わりにノード１５－１６の間に正味差動電圧が生成される。ノード１５－１６の間の正味差動電圧は直交位相誤りの量にほぼ比例する。

好ましくは、位相検出器１０の出力$V_{OUT}$を比較器３９に接続して、２進直交位相誤り出

力が生成される。他の回路を使用して２進直交位相誤り出力を生成することもできる。
しかし、位相検出器１０の直交位相誤り検出に関する上記の説明では、ノード２３でのトランジスタ１９－２１の寄生容量２５（ならびに回路中の他の容量）の影響が無視される望ましい状況が仮定されている。トランジスタ２１はスイッチとして使用されるので、寄生キャパシタ２５は、トランジスタ２１のソースとグラウンドとの間の寄生容量を含む。位相検出器１０の回路には寄生キャパシタ２５が存在するので、位相検出器１０は、$V_{IN1}$信号と$V_{IN2}$信号が完全な直交関係にあるときでも検出サイクルの終わりに回路の出力$V_{OUT}$で正味差動電圧を生成する。
第３ｂ図に示した実施形態は、寄生容量のために回路の出力で発生する正味差動電圧をなくする。第３ｂ図を参照すると分かるように、位相検出器４０は、電源$V_{DD}$とノード４５および４６との間に接続されたトランジスタ４１－４４を含む。位相検出器４０中のトランジスタ４１－４４の接続および機能は、第３ａ図の位相検出器１０のトランジスタ１１－１４の接続および機能と同じである。
ノード４５はキャパシタ４７に接続され、キャパシタ４８はノード４６に接続される。キャパシタ４８の容量はキャパシタ４７の容量にほぼ等しい。ノード４５－４６は次いで、トランジスタ４９－５１で形成された第１の回路と、トランジスタ５２－５４で形成された第２の回路に接続される。トランジスタ５１および５４は次いで回路６０に接続される。第３ｂ図から分かるように、回路６０は基本的に、トランジスタ５１を通して第１の電流$I_1$を与える第１の電流源と、トランジスタ５４を通して第２の電流$I_2$を与える第２の電流源とを含む。$I_1$電流と$I_2$電流は共に、$I_{BIAS}$電流によって生成され収集される。
回路６０は$I_1$電流および$I_2$電流を生成する。$I_2$電流の値は、$I_1$電流の値よりも小さい。一実施形態では、$I_2$電流の値は、$I_1$電流の２０％－３０％の範囲である。代替実施形態では、$I_2$電流の値は、$I_1$電流の２０％－３０％より大きくても、あるいは小さくてもよい。
一実施形態では、トランジスタ４９－５１および５２－５４はＮチャネルＭＯＳＦＥＴトランジスタである。代替実施形態では、トランジスタ４９－５１および５２－５４は、ＰチャネルＭＯＳＦＥＴトランジスタでも、バイポーラ・トランジスタでもよい。一実施形態では、各トランジスタ５２－５３の寸法は各トランジスタ４９－５０の寸法にほぼ等しく、トランジスタ５４の寸法はトランジスタ５１の寸法にほぼ等しい。
トランジスタ４９は、ノード４５およびノード５５に接続される。トランジスタ５０は、ノード４６および５５に接続される。トランジスタ５１は、回路６０で形成された電流源$I_1$を介してノード５５をグラウンドに接続する。同様に、トランジスタ５２はノード４６およびノード５６に接続される。トランジスタ５３は、ノード４５および５６に接続される。トランジスタ５４は、回路６０で形成された電流源$I_2$を介してノード５６をグラウンドに接続する。トランジスタ５１および５４のそれぞれのゲートは$V_{IN1}$信号を受ける。トランジスタ４９および５２のそれぞれのゲートは$V_{IN2}$信号を受け取り、トランジスタ５０および５３のそれぞれのゲートは$V_{REF}$信号を受ける。。
寄生キャパシタ５７は、ノード５５およびグラウンドに接続され、寄生キャパシタ５８は、ノード５６およびグラウンドに接続される。寄生キャパシタ５７は、ノード５５でのトランジスタ４９－５１の寄生容量を含み、寄生キャパシタ５８は、ノード５６でのトランジスタ５２－５４の寄生容量を含む。寄生キャパシタ５７は回路中の他の寄生容量も含む。トランジスタ５１はスイッチとして使用されるので、寄生キャパシタ５７は、トランジスタ５１のソースとグラウンドとの間の寄生容量を含む。同様に、寄生キャパシタ５８は回路中の他の寄生容量も含む。トランジスタ５４はスイッチとして使用されるので、寄生キャパシタ５８はトランジスタ５４のソースとグラウンドとの間の寄生容量を含む。
トランジスタ４９－５１は、$V_{IN1}$信号および$V_{IN2}$信号の位相誤りを検出する。トランジスタ５２－５４は、回路中の寄生キャパシタ５７のための位相検出器４０の出力$V_{OUT}$での正味差動電圧を打ち消す。前述のように、各トランジスタ５２－５３は、各トランジスタ４９－５０の寸法にほぼ等しい寸法を有する。したがって、寄生キャパシタ５８の容量は、寄生キャパシタ５７の容量にほぼ等しい。トランジスタ５２－５４の負の取り消し効

果のために、寄生キャパシタ５７－５８のために回路で生成される追加誤り電流は互いに取り消し合い、位相検出器４０は、回路の寄生容量のために回路の出力$V_{OUT}$で生成される正味差動電圧を経験しない。寄生キャパシタ５７－５８の容量がほぼ等しいので、寄生キャパシタ５７－５８に関連する追加誤り電流もほぼ等しい。しかし、トランジスタ４９－５０および５２－５３は、それぞれの寄与が互いに減じ合うように交差接続されている。このため、追加誤り電流は互いに取り消し合う。このため、位相検出器４０は、$V_{IN1}$信号および$V_{IN2}$信号の直交位相誤りを最小限に位相検出誤りで検出する。

次に、動作について説明する。論理ハイ$V_{IN1}$信号によってトランジスタ５１がオン操作されたとき、ノード５５での電圧レベルはただちには変化せず、そのため、トランジスタ５１内を流れる電流が電流$I_1$を超え、追加誤り電流が生成される。この時点では、$V_{IN2}$信号の電圧レベルが$V_{REF}$電圧よりも高いので、この追加誤り電流がトランジスタ４９内を流れ、そのため、キャパシタ４７が追加放電する。その間、論理ハイ$V_{IN1}$信号によってトランジスタ５４もオン操作されるので、ノード５６での電圧レベルはただちには変化せず、トランジスタ５４内を流れる追加誤り電流も生成される。この時点では、$V_{IN2}$信号の電圧レベルが$V_{REF}$電圧よりも高いので、追加誤り電流がトランジスタ５２内を流れ、そのため、キャパシタ４８が追加放電する。寄生キャパシタ５７の容量は寄生キャパシタ５８の容量に等しいので、トランジスタ５２内を流れる追加誤り電流は、トランジスタ４９内の追加誤り電流にほぼ等しい。トランジスタ５２がノード４６に接続され、これに対してトランジスタ４９がノード４５に接続される場合、トランジスタ５２によって生成される追加誤り電流は、トランジスタ４９によって生成される追加誤り電流を打ち消す。$V_{IN2}$信号の電圧レベルが$V_{REF}$電圧の電圧レベルよりも低いとき、トランジスタ４９が導電する電流の量はトランジスタ５０が導電する電流の量よりもずっと少なく、トランジスタ５２が導電する電流の量はトランジスタ５３が導電する電流の量よりもずっと少ない。この時点で、ノード５５および５６のそれぞれでの電圧レベルは低下する。これによって、寄生キャパシタ５７および５８が放電し、トランジスタ５０および５３内を流れる電流がそれぞれ、減少する。これによって、追加誤り電流がトランジスタ５０を通してキャパシタ４８へ流れ、トランジスタ５３を通してキャパシタ４７へも流れ、キャパシタ４７および４８がそれぞれ追加充電される。トランジスタ５０がノード４６に接続され、トランジスタ５３がノード４５に接続され、トランジスタ５０中の追加誤り電流とトランジスタ５３中の追加誤り電流がほぼ等しい場合、キャパシタ４７および４８のそれぞれへの追加充電は互いに取り消し合う。

また、寄生キャパシタ５７および５８のために、$V_{IN1}$信号によってトランジスタ５１および５４がオフ操作された直後にはノード５５および５６のそれぞれでの電圧レベルは変化せず、そのため、追加誤り電流がトランジスタ５０を通して寄生キャパシタ５１へ流、トランジスタ５３を通して寄生キャパシタ５８へも流れる。追加誤り電流によって、キャパシタ４７および４８がそれぞれ追加放電する。寄生キャパシタ５７の容量は寄生キャパシタ５８の容量にほぼ等しいので、トランジスタ５０内を流れる追加誤り電流はトランジスタ５３内を流れる追加誤り電流にほぼ等しい。トランジスタ５０がノード４６に接続され、トランジスタ５３がノード４５に接続される場合、追加誤り電流は互いに取り消し合う。そうすることによって、出力$V_{OUT}$では寄生キャパシタ５８のための正味差動電圧が生成されず、位相検出器４０は、$V_{IN1}$信号および$V_{IN2}$信号の直交位相誤りを最小限の検出誤りで検出する。位相検出器４０の$V_{OUT}$出力は比較器３９に接続され、２進直交位相誤り出力が生成される。代わりに、他の回路を使用して２進直交位相誤り出力を生成することもできる。

デューティ・サイクル補正増幅器回路は、不完全なデューティ・サイクルを有する周期入力信号を受け取り、能動デューティ・サイクル補正を使用することによって補正済みデューティ・サイクルを含む周期出力信号を出力する。一実施形態では、この回路は、未補正周期入力信号を受け取り、未補正入力信号を反映する中間信号電流を生成する。この中間信号電流は、信号電流を相殺する補正電流と合計される。合計された電流は積分容量に入力される。積分キャパシタの間の電圧は、有限値にクランプされる。容量およびクランプ

電圧は、キャパシタの間の電圧が入力信号の周期の大部分にわたってほぼ線形に変化する（すなわち、スルー限界）ように選択される。スルー制限クランプ電圧信号は次いで、ほぼ方形の波を出力として再生する増幅器を駆動する。補正電流の量を変更することによって、非線形ランプ入力（たとえば、かなり不均一の信号の立上りおよび立下り）を有する未補正入力信号を、線形入力を有するように修正することができ、再生された波形のデューティ・サイクルを、主として、スルー・プロセスによって支配される周期の一部の制約を受ける範囲にわたって変更することができる。

デューティ・サイクル補正増幅器の一実施形態を第４図に示す。増幅器は入力として、未補正入力信号$IN_1+$ １１０および$IN_1-$１１５ならびにエラー値ｅｒｒｏｒ+ １２５、ｅｒｒｏｒ- １２０を受ける。エラー信号は、デューティ・サイクル誤りを測定するデューティ・サイクル誤り測定回路によって生成される。この回路の出力は補正済み差動クロック信号１５０、１５５である。この回路は、平行に接続された２つの演算トランスコンダクタンス増幅器（ＯＴＡ）からなる。未補正クロック信号入力１１０、１１５はトランジスタ対Ｍ３、Ｍ４を駆動する。トランジスタＭ３およびＭ４の利得は、ほぼすべてのバイアス電流$I_{1BIAS}$１３０が交互にトランジスタＭ３およびＭ４内を流れるように、入力信号の極性に応じて十分に高くされる。デューティ・サイクル誤り信号１２０、１２５は、デューティ・サイクル誤り測定回路によって生成され、トランジスタ対Ｍ１およびＭ２を駆動する。生成された出力電流は次いで、トランジスタＭ３およびＭ４によって生成された電流に追加される。インバータＩｎｖ１およびＩｎｖ２　１６０、１６５は好ましくは、理想的な無限利得インバータであり、所定のしきい値が交差されたときにインバータの出力が状態を変更し、したがって、方形波出力の形成を助ける。

ＯＴＡの出力は、トランジスタＭ８およびＭ１０、ノード１７０の共通ドレーン接続と、トランジスタＭ５およびＭ９、ノード１７５の共通ドレーン接続である。好ましくは、バイアス電流$I_{1BIAS}$、$I_{2BIAS}$　１３０、１４０を共通ドレーン接続およびクランプ電圧（この実施形態では、クランプ電圧は電源電圧$V_{DD}$にほぼ等しい）に関連する容量と組み合わせて選択して所望のスルー制限特性を付与し、入力信号のデューティ・サイクルを補正する。代わりに、別の容量構成要素を使用して、積分容量機能を提供することができる。さらに、雑音やジッタ性能など、他の考慮すべき点のために、ＯＴＡ出力１７０、１７５に接続されたより大きな動作電流または明示的な追加容量が必要になることがある。したがって次いで、ＯＴＡ出力１７０、１７５に明示的な追加容量が接続され、必要なスルー制限特性が付与される。たとえば、ノード１７０、１７５とトランジスタＭ９およびＭ１０のドレーン・ノードとの間にキャパシタを接続することができる。代わりに、ノード１７０とグラウンドとの間およびノード１７５とグラウンドとの間に別体のキャパシタ構成要素を接続することができる。

第５ａ図は、本発明の一実施形態のフェーズ・シフタを示す。このフェーズ・シフタは、位相混合を使用して無限位相調整範囲を与える。位相混合は、入力信号から導かれた位相差の２つの中間信号を混合することを含む。この実施形態では、中間信号は４つの直交中間信号であり、０°、９０°、１８０°、２７０°の相対位相アライメントを有する。出力信号は常に、４つの中間信号のうちの２つで境界付けされた位相平面の象限内に位置する位相を有する。位相混合は、出力信号の位相が重み関数によって配置される象限を境界付けする各中間信号を乗じ、結果を合計することによって行われる。

フェーズ・シフタ５６０は、遅延回路５１０と、位相補間器５８０と、フェーズ・セレクタ５６２とを含む。遅延回路５７０は、位相混合プロセスで位相補間器５８０によって使用される４つの中間信号を信号回線５７５を介して出力する。この実施形態では、遅延回路は好ましくは、０°、９０°、１８０°、２７０°の相対位相アライメントを有する中間信号を出力する。遅延回路５７０および位相補間器５８０の結果として生じる固定遅延は、フィードバック・ループの構成要素であるフェーズ・シフタ５６０によって出力信号から除去される。

直交中間信号を与える１つの方法では、遅延回路は、中間信号の周波数が入力周波数の２分の１になるように入力信号に対して周波数分割演算を実行する必要もある。この方法を

実施する場合、第５ｃ図に示したように、ＸＯＲゲート６４０と、位相補間器６１０の出力の位相に対して位相が９０°だけずれた出力信号を有する第２の位相補間器６２０とを含むように第５ａ図のフェーズ・シフタを修正することができる。両方の位相補間器６１０、６２０の出力は、フェーズ・シフタの出力周波数が入力周波数に等しくなるように周波数を２倍にするように機能するＸＯＲゲート６４０への入力である。

位相補間器６２０は、信号回線６１５を介して直交中間信号を受ける。中間信号は位相混合され、信号回線６３５を介して受け取った差動制御電圧信号ＶＣと、信号回線６２５を介してフェーズ・セレクタ６３０から受け取った位相選択信号に応答して入力信号から得た所望の移相を有する出力信号が信号回線６５５で生成される。本発明はそのように制限されるものではないが、改良された電源雑音拒否特性を得るには差動制御信号および回路が好ましい。フェーズ・セレクタ６３０は、差動制御電圧信号ＶＣと、位相検出器によって与えられ信号回線６４５を介して受け取られる２進位相勾配信号に応答して位相混合を行うために使用すべき、４つの中間信号のうちの２つを選択する。位相勾配信号は、フェーズ・シフタ６００の移相を増加させなければならないか、それとも減少させなければならないかを示す。フェーズ・セレクタ６３０からの制御信号回線６３７を使用して、各象限でチャージ・ポンプ１２０（第２図）のセンスを交互に反転させ、有限制御電圧範囲を移相に対応させる（ｍｏｄｕｌｏ２π）ことができる。

第５ｂ図は、位相補間器の簡略化された一実施形態を示す。位相補間器は、差動ｎチャネル電界効果トランジスタ（ＦＥＴ）対５０２および５０３を含む。差動制御電圧$VC_+$および$VC_-$はそれぞれ、ＦＥＴ５０２および５０３のゲートに結合される。差動対５０２および５０３は、固定電流源５０４および５０５と共に、$VC_+$および$VC_-$の制御の下で差動電流を分岐５０６および５０７に送る。図の実施形態では、５０４および５０５によって与えられる電流はそれぞれ、電流源５０１によって与えられる電流よりも少なく、そのため、有限差動（$VC_+ - VC_-$）によって分岐５０６でも、あるいは分岐５０７でも零電流をもたらすことができる。

差動制御電圧ＶＣの値は、位相補間器の右半分および左半分内を送られる電流の量を決定する。分岐５０６中の電流は、電流源５０４から供給される電流とＦＥＴ５０２のドレーン電流の差に等しい。同様に、分岐５０７中の電流は、電流源５０５から供給される電流と５０３のドレーン電流の差に等しい。ＶＣが$V_{MAX}$に等しいとき、ＦＥＴ５０２は$VC_+$差動制御電圧によって完全にオンに切り替えられ、そのため、ＦＥＴ５０２は電流源５０１からのほぼすべての電流を導電する。負の差動制御電圧$V_{C-}$は負であり、そのため、ＦＥＴ５０３は導電しない。これは、電流が分岐５０７内を流れ、分岐５０６内は流れないことを意味する。ＶＣが$V_{MIN}$に等しいとき、電流源５０１によって与えられるほぼすべての電流がＦＥＴ５０３内を流れる。したがって、電流は分岐５０６内を流れ、分岐５０７内は流れない。$V_{MAX}$と$V_{MIN}$の間の制御電圧レベルＶＣでは、電流は分岐５０６と分岐５０７の両方を流れることができる。

位相補間器の右半分および左半分中の電流を使用してキャパシタ５９０および５９５が充電される。キャパシタ５９０および５９５はそれぞれ、比較器５９６の正の端子および負の端子に結合される。比較器５９６は好ましくは、当技術分野で周知の理想的な比較器として働く。フェーズ・ミキサ５５０は、信号回線５２５を介して受け取った選択信号に応答して、４つの中間位相ベクトルのうちのどの２つを使用してキャパシタ５９０および５９５と分岐５０６および５０７を結合し結合解除するかを決定する。中間信号は、信号回線５１５を介して受け取られる。

ＶＣが変動するにつれて、キャパシタ５９０および５９５内を流れる電流は、最初は完全に第１の結合中間ベクトルに依存するが、その後第２の結合中間ベクトルに完全に依存する。各ベクトルに流れ込む電流の相対量は、差動制御電圧ＶＣによって設定され、キャパシタの相対充電・放電率を決定する。比較器５９６は、正の端子での電圧が負の端子での電圧よりも正になったことを検出したときに論理ハイを出力する。キャパシタ５９０および５９５の電圧は時変波形なので、比較器の出力は、２つのキャパシタの波形がいつ交差するかを示す。この交差点は、差動制御電圧ＶＣを変動させることによって変動する。

任意の種類のチャージ・ポンプを使用して電流をフェーズ・シフタに供給することができるが、差動チャージ・ポンプを使用することが好ましい。差動チャージ・ポンプの一実施形態を第６ａ図に示す。第６ａ図に示した実施形態では、負荷は４つのＰチャネルＭＯＳデバイスで形成される。トランジスタＭ３およびＭ６はダイオード接続され、交差接続されたトランジスタＭ４およびＭ５に平行に配置される。トランジスタＭ３、Ｍ４、Ｍ５、Ｍ６は、チャージ・ポンプ回路で使用できるように、すべてほぼ同じ寸法に構成される。積分容量$C_1$は、駆動トランジスタＭ１およびＭ２のドレーンに接続された単一のデバイスとして示されている。

駆動トランジスタＭ１およびＭ２のゲートを駆動する信号は、電流源のすべての電流２Ｉを積分容量$C_1$へ切り替えるのに十分な大きさの振幅のものであると仮定される。

ダイオード接続されたデバイスＭ３、Ｍ６は共に正の差動抵抗をもたらす。正の差動抵抗自体は、積分容量の望ましくない漏れ経路をもたらす。この漏れを低減させるために、Ｍ３、Ｍ６中の電流は、トランジスタＭ４、Ｍ５の機能によって打ち消される。この機能は、負の抵抗の機能とみなすことができる。したがって、トランジスタＭ４、Ｍ５はＭ３、Ｍ６の漏れを下記のように打ち消す。

トランジスタＭ３およびＭ４は電流ミラーを備える。理想的な動作を仮定すると、この２つのデバイスは同じ電流を送る。デバイスＭ３およびＭ４のドレーンは容量のそれぞれの対向側に接続されるので、差動電流に対するこの接続による正味寄与は零である。簡単に言えば、トランジスタＭ５、Ｍ６で形成された電流ミラーにも同じ理論が当てはまり、そのため、トランジスタＭ３、Ｍ４、Ｍ５、Ｍ６によってもたらされる正味差動抵抗は理想的には無限であり、駆動対Ｍ１、Ｍ２の有限差動出力抵抗および固有のキャパシタ漏れのみが差動損失機構として残る。

しかし、実際には、トランジスタの不一致のために、理想的な動作から逸脱する。したがって、Ｍ４、Ｍ５による不完全な打ち消しがそれに比例するより小さな効果を有するように、ダイオード接続されたデバイスＭ３、Ｍ６の有効抵抗としてできるだけ高い値を選択することが望ましい。Ｍ１、Ｍ２による電流源に対する固有のカスコード効果があるので、Ｍ１、Ｍ２の有限差動出力抵抗の効果は通常、無視することができる。チャージ・ポンプは、正と負のどちらかの方向の制御入力信号によってすべての電流２Ｉを積分容量へ切り替える。たとえば、Ｍ１をオン操作しＭ２をオフ操作する場合、トランジスタＭ１は電流源（トランジスタまたはトランジスタの集合で実現されると仮定する）用のカスコード・デバイスとして働き、有効インピーダンスをブーストする。

この議論は、Ｍ２がオンでありＭ１がオフであるケースに対称的に当てはまる。したがって、Ｍ１、Ｍ２によってもたらされる漏れはほぼ無視することができる。本発明の他の利点は、チャージ・ポンプのコモン・モード出力電圧が、正の供給電圧よりもＰチャネル・デバイスの１ソース・ゲート電圧だけしか低くないことである。

したがって、たとえば、電流源を遮断することによってチャージ・ポンプがディスエーブルされた場合、コモン・モード・レベルをその平衡能動値からかけ離れたものにすることができないため、回復は比較的迅速である。

第６ｂ図は、本発明のチャージ・ポンプ回路の第２の実施形態を示す。この実施形態では、積分容量の交番接続が使用される。ある種の回路では、大部分の面積効率的容量はＭＯＳトランジスタのゲート構造で形成される。そのようなキャパシタでは、容量を最大にして過度の非線形性を避けるために、約１しきい値電圧を超えるＤＣバイアスが必要である。この実施形態では、キャパシタを２つの等しいキャパシタに分割し、各キャパシタを$V_{SS}$に結合することによってバイアス基準が満たされる。この実施形態は、各キャパシタを$V_{SS}$に接続することによって、電源（$V_{dd}$）雑音のフィルタリングを行う。ｐチャネル負荷デバイスを通して結合される正の電源上の雑音は、キャパシタによってバイパスされ、後に続く段へ渡される雑音の量が大幅に減少される。

有限制御電圧範囲を含むチャージ・ポンプを使用して無限移相を行うために、当技術分野で良く知られているように、チャージ・ポンプの前方にマルチプレクサ１２３または類似の手段が配置され、チャージ・ポンプの方向が各象限で交互に反転される。マルチプレク

サ１２３を操作する制御信号は、フェーズ・シフタ１３０によって与えられる。たとえば、ＤＬＬがロックされていないとき、位相検出器１１０は、ハイとローのどちらかの定信号を出力する。この例では、チャージ・ポンプはその最大電圧値に達するまで電流を増加させ続けることができる。フェーズ・シフタ１３０は次いで、この状態を検知し、フェーズ・シフタ１３０中の象限を切り替え、チャージ・ポンプの前方に位置するマルチプレクサを、補助入力を選択するように切り替える。チャージ・ポンプは次いで、方向を反転させ、フェーズ・ロックが行われ、あるいは他の象限境界に達するまで電流を減少させ続ける。これによって、チャージ・ポンプは、制御電圧を出力し続け、チャージ・ポンプ自体が有限出力範囲を有する場合でも無限移相範囲を与えることができる。

本発明の遅延ロック・ループの代替実施形態を第７ａ図に示す。この実施形態では、ＤＬＬ３１０、たとえば第２図のＤＬＬ回路を使用して、着信クロック信号エッジ間に入力データ信号遷移が配置される高速ディジタル・システムのリモート部に配置されたデータ受信機３２０のセットアップ時間を補償することができる。この図では、データ受信機３２０とほぼ同様なデータ受信機が、ＤＬＬ３１０中の位相検出器として機能する。ＤＬＬ３１０は、位相検出器の出力が平均で５０％の時間だけハイになるまでフェーズ・シフタを使用して信号を調整するので、定義上、この条件は、温度、供給電圧、プロセス変動とは独立に最適な瞬間に着信データをサンプリングするように時間調整されたサンプル・クロック信号に対応する。たとえば、データ受信機３２０のセットアップ時間が１ナノ秒である場合、サンプル・クロック信号は入力クロック信号から１ナノ秒だけ遅延する。１ナノ秒のセットアップ時間値がプロセス、温度、供給電圧の変動と共に変動する場合、ＤＬＬ３１０のデータ受信機／位相検出器も同様にプロセス、温度、供給電圧の変動と共に変動するので、ＤＬＬ３１０は自動的に補償を行う。

他の実施形態を第７ｂ図に示す。ＤＬＬ３１２は、クロック信号を生成してディジタル・システム中のデータを送るために使用される。具体的には、ＤＬＬ３１２によって、データ信号出力遷移を厳密に着信クロック信号エッジ間に配置することができる。この実施形態では、位相が着信クロック信号エッジに直交する送信クロック信号が生成される。好ましくは、第３図の直交位相検出器はＤＬＬ３１２中の位相検出器要素として使用される。送信クロック信号はデータ送信機３２２に入力され、システムから出力されるデータのタイミングが制御される。

第８図を参照すると分かるように、代替実施形態では、位相検出器の出力を、ディジタル・フィルタ、または位相比較器出力のシーケンスを調べ、必要に応じて獲得のためのブースト電流をイネーブルする、プロセッサや状態マシンなど他の信号処理装置に入力することができる。たとえば、ＤＬＬ出力クロックの位相が入力クロックの位相よりも所定のサイクル数だけ遅れている場合、ブーストされた獲得がイネーブルされる。したがってたとえば、大部分の一般的なケースでは、複数の比較器出力に対して２進探索を実行し、対応する使用すべきブースト電流値を求めることができる。

本発明を好ましい実施形態に関連して説明した。前記の説明に照らして多数の変更、修正、変形、使用が当業者に明らかになることは自明である。

【図１ａ】

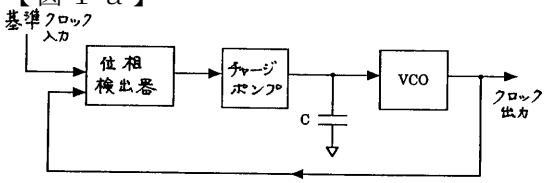


Figure 1a
（従来技術）

【図１ｂ】

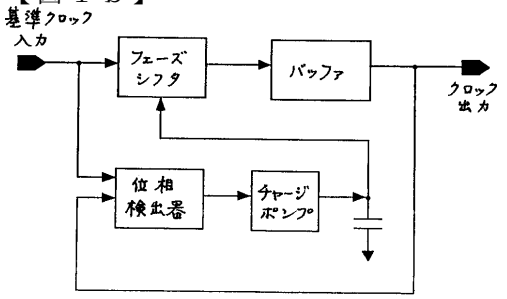


Figure 1b
（従来技術）

【図２】

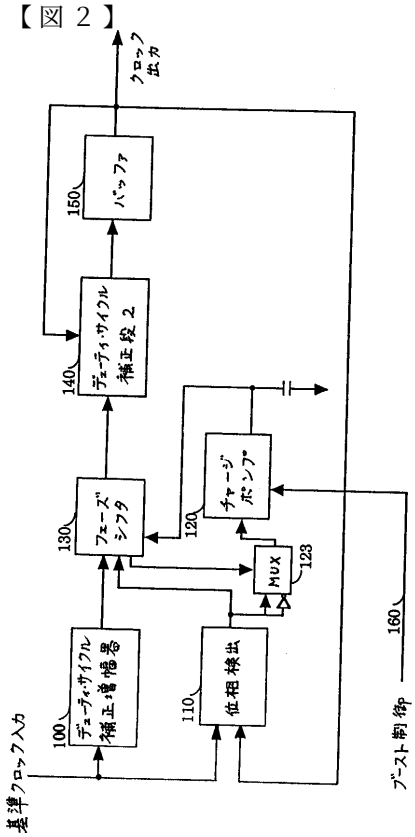


Figure 2

【図３ａ】

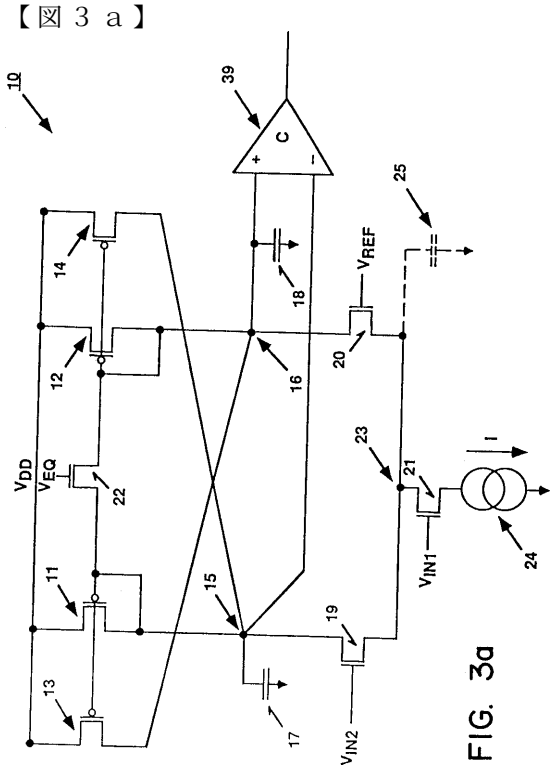


FIG. 3a

【図３ｂ】

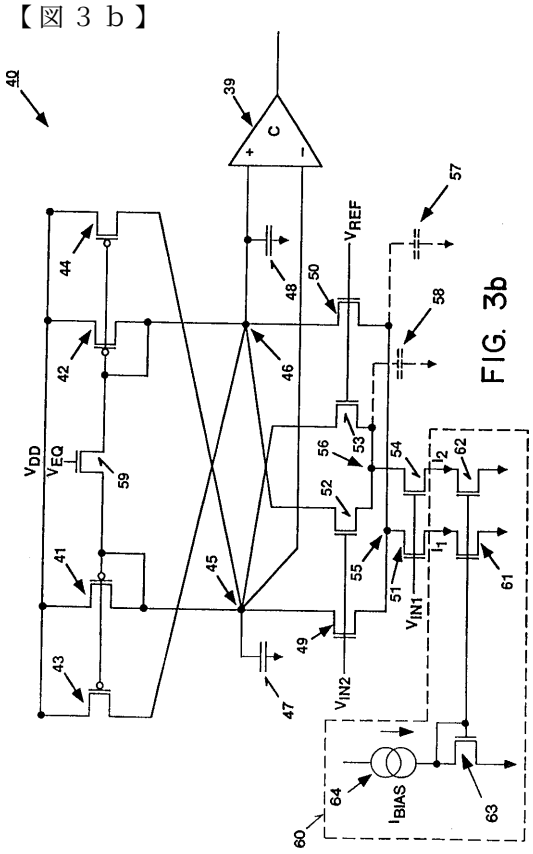


FIG. 3b

【図４】

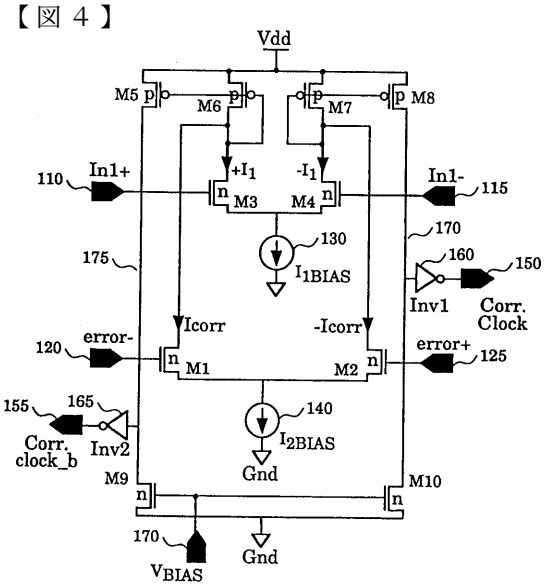


FIG. 4

【図５ａ】

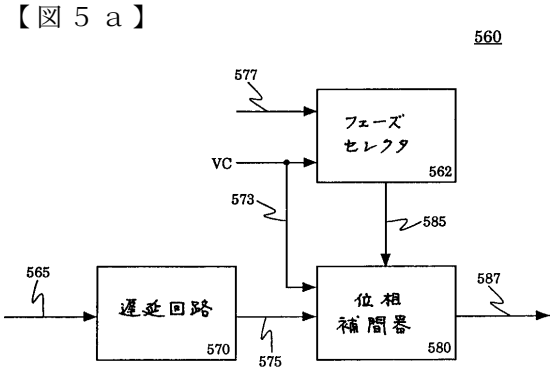


Figure 5a

【図５ｂ】

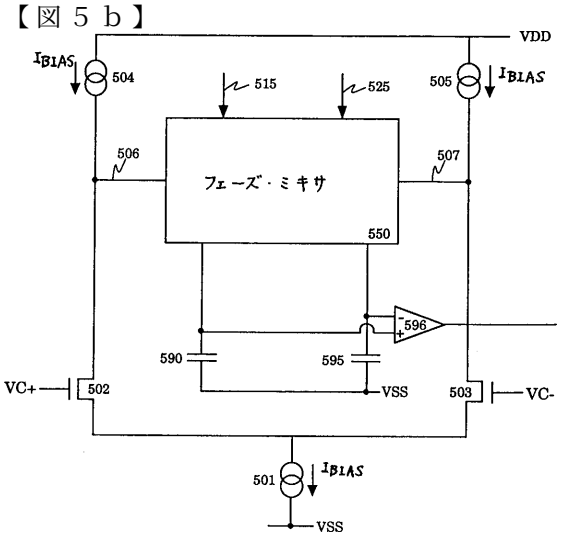


Figure 5b

【図５ｃ】

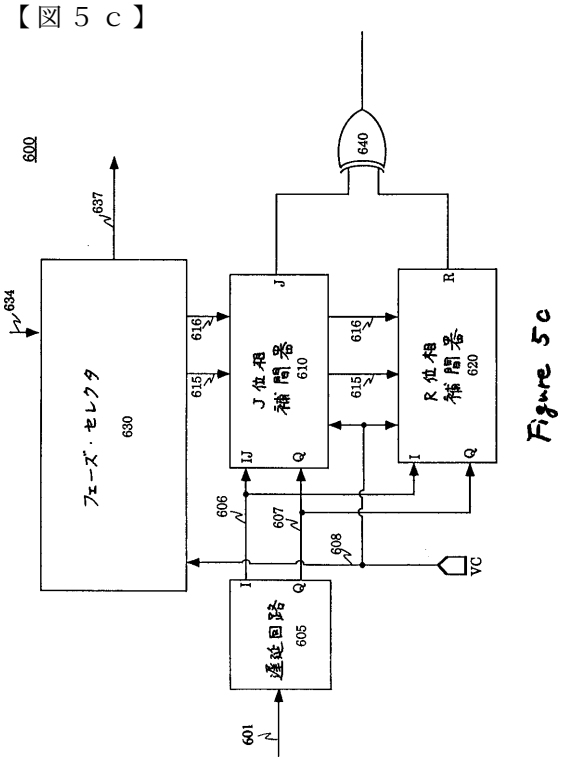


Figure 5c

【図６ａ】

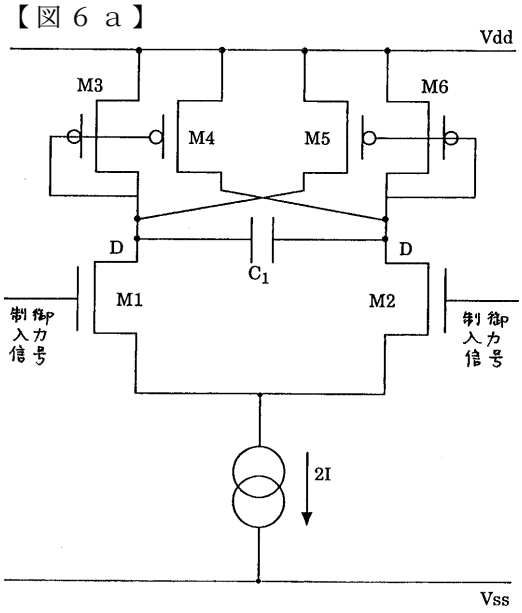


Figure 6a

【図６ｂ】

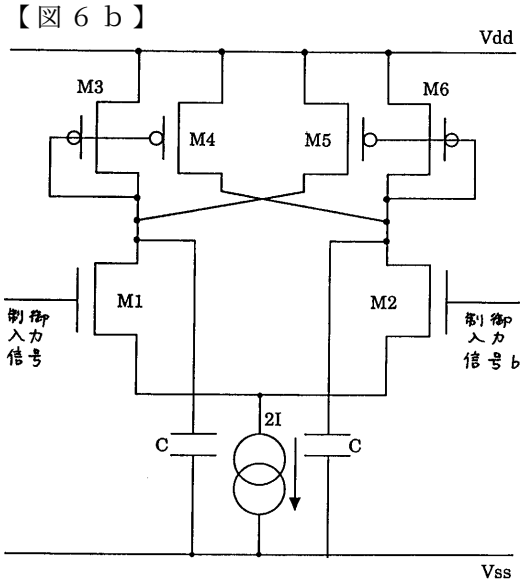


Figure 6b

【図７ａ】

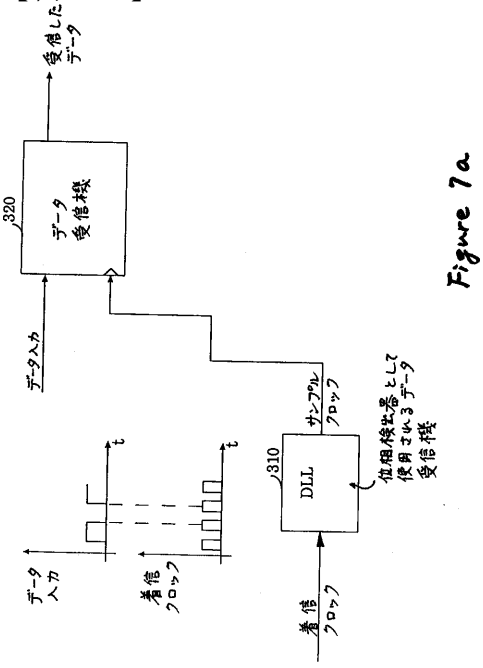


Figure 7a

【図７ｂ】

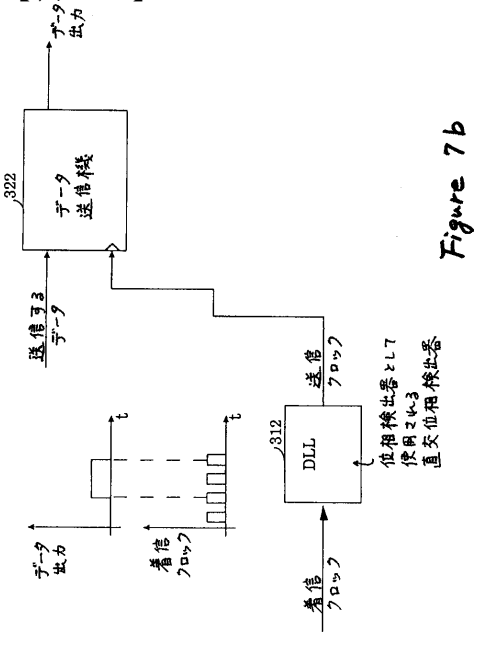


Figure 7b

【図８】

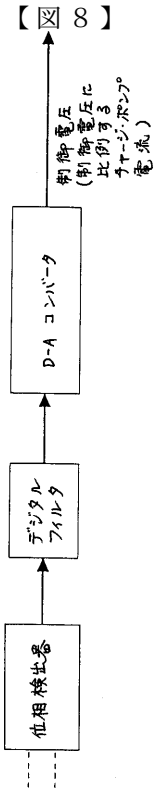


Figure 8

フロントページの続き

(72)発明者　リー，トーマス・エイチ
アメリカ合衆国　９５０１４　カリフォルニア州・カパチーノ・バブ　ロード・９３９
(72)発明者　ドネリー，ケビン・エス
アメリカ合衆国　９４１３１　カリフォルニア州・サンフランシスコ・ノア・１６７１
(72)発明者　ホ，ツィルーチャン
アメリカ合衆国　９５１３１　カリフォルニア州・サンホゼ・スタントン　ウェイ・１４１２
(72)発明者　ジョンソン，マーク・グリフィン
アメリカ合衆国　９４０２２　カリフォルニア州・ロスアルトス・アーブエロ　ウェイ・１２５

審査官　甲斐　哲雄

(56)参考文献　特開平０２－１１３７２６（ＪＰ，Ａ）
特開平０４－３６４６０９（ＪＰ，Ａ）
特開昭６４－０４９３２１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03L 7/00 - 7/23