



[12] 发明专利说明书

[21] ZL 专利号 93112773.4

[45]授权公告日 1998 年 11 月 11 日

[11] 授权公告号 CN 1040706C

[22]申请日 93.12.2 [24]颁证日 98.7.24

[21]申请号 93112773.4

[30]优先权

[32]92.12.2 [33]JP[31]322983/92

[73]专利权人 松下电器产业株式会社

地址 日本大阪府

[72]发明人 平野博茂 角辰己

森脇信行 中根让治

[74]专利代理机构 上海专利商标事务所

代理人 竹 民

[56]参考文献

US4,873,664 1989.10.10 G11B7/00

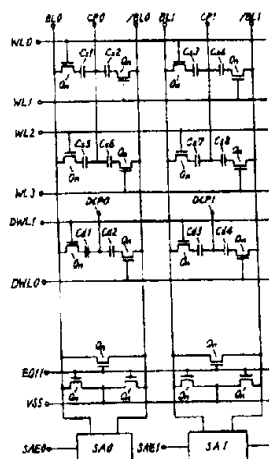
审查员 王晓光

权利要求书 3 页 说明书 29 页 附图页数 24 页

[54]发明名称 半导体存储装置

[57]摘要

位线 BL0、/BL0 接读出放大器。第 1MOS 晶体管 Qn 栅极、源极和漏极分别接第 1 字线 WL0、第 1 强电介质电容 Cs1 的第 1 电极和 BL0，Cs1 的第 2 电极接第 1 极板 CP0。第 2MOS 晶体管 Qn 的栅极、源极和漏极分别接第 2 字线 DWL0、第 2 电容 Cd2 的第 1 电极和 /BL0，Cd2 的第 2 电极接第 2 极板 DCP0。第 2Qn 关断后，DCP0 的逻辑电压反转。由此，采用强电介质的半导体存储装置可进行存储电容初始化，而且功耗不集中，能高速读出。



权 利 要 求 书

1. 一种半导体存储装置，放大器上连接第 1 位线和与第 1 位线配对的第 2 位线，第 1MOS 晶体管的栅极连接第 1 字线，该晶体管的源极连接第 1 强电介质电容的第 1 电极，该晶体管的漏极连接上述第 1 位线，上述第 1 强电介质电容的第 2 电极连接第 1 板极，其特征在于，第 2MOS 晶体管的栅极连接第 2 字线，该晶体管的源极连接第 2 强电介质电容的第 1 电极，该晶体管的漏极连接上述第 2 位线，上述第 2 强电介质电容的第 2 电极连接第 2 板极，而且上述第 2MOS 晶体管关断后，上述第 2 板极的逻辑电压反转。

2. 如权利要求 1 所述的半导体存储装置，其特征在于，上述第 2MOS 晶体管关断后，上述第 1 板极和上述第 2 板极的逻辑电压均反转，然后上述第 1MOS 晶体管关断。

3. 如权利要求 2 所述的半导体存储装置，其特征在于，上述第 1 板极与上述第 2 板极连接。

4. 如权利要求 1 所述的半导体存储装置，其特征在于，在对存储单元读出或写入数据的动作结束后或开始前，上述第 2 位线取为某逻辑电压状态，上述第 2MOS 晶体管导通后，上述第 2 板极的逻辑电压与上述第 2 位线的逻辑电压相反。

5. 一种半导体存储装置，放大器上连接第 1 位线和与上述第 1 位线配对的第 2 位线，第 1MOS 晶体管的栅极连接第 1 字线，该晶体管的源极连接第 1 强电介质电容的第 1 电极，该晶体管的漏极连接上述第 1 位线，上述第 1 强电介质电容的第 2 电极连接第 1 板极，其特征在于，第 2MOS 晶体管的栅极连接第 2 字线，该第 2 晶体管的源极连接第 2 强电介质电容的第 1 电极，该第 2 晶体管的漏极连接上述第 2 位线，上述第 2 强电介质电容的第 2 电极连接第 2



板极，第 3MOS 晶体管的栅极连接数据初始化用控制信号线，上述第 3MOS 晶体管的漏极连接上述第 2 强电介质电容的第 1 电极，上述第 3MOS 晶体管的源极连接数据初始化电位信号线。

6. 如权利要求 5 所述的半导体存储装置，其特征在于上述第 1 板极与上述第 2 板极连接。

7. 如权利要求 5 所述的半导体存储装置，其特征在于上述空存储单元数据初始化电位信号线连接地电位。

8. 如权利要求 5 所述的半导体存储装置，其特征在于，在存储单元数据读出或写入的动作开始前，上述第 1 位线和上述第 2 位线的逻辑电压均为接地电位。

9. 如权利要求 5 所述的半导体存储装置，其特征在于，上述第 2MOS 晶体管关断后，上述第 3MOS 晶体管导通，然后上述第 1 板极和第 2 板极的逻辑电压均反转，上述第 1MOS 晶体管关断。

10. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，在存储单元数据读出动作开始前，上述第 1 板极的逻辑电压与第 1 位线的逻辑电压相反。

11. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，在存储单元数据读出动作开始前，上述第 2 板极的逻辑电压和上述第 2 强电介质电容第 1 电极的逻辑电压均与上述第 2 位线逻辑电压相反。

12. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，在存储单元数据读出动作开始前，上述第 2 板极的逻辑电压和第 2 位线的逻辑电压均与上述第 2 强电介质电容第 1 电极的逻辑电压相反。

13. 如权利要求 10、11 或 12 所述的半导体存储装置，其特征在于上述第 1 板极的逻辑电压总是相同，或上述第 2 板极的逻辑电压总是相同。

14. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，上述第 1MOS 晶体管和上述第 2MOS 晶体管导通后，上述第一板极和上述第 2 板极的逻辑电压均反转。

15. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，上述第 1MOS 晶体管和上述第 2MOS 晶体管导通后，在存储单元数据读出或写入的动作开始前，将上述第 1 位线和上述第 2 位线预充电为一逻辑电压的动作结束后，使上述第 1 板极和上述第 2 板极的逻辑电压反转。

16. 如权利要求 1 或 5 所述的半导体存储装置，其特征在于，上述第 1 板极和上述第 2 板极的逻辑电压反转后，上述第 1MOS 晶体管和上述第 2 晶体管导通。

说明书

半导体存储装置

本发明涉及半导体存储装置。

半导体存储装置中主要采用在半导体装置内形成的电容中存储电荷，按有无该电荷来存储数据的方式（一般称为动态随机存取存储器：DRAM）。此电容通常采用氧化硅膜作为绝缘膜。

近年，正在研究用强电介质材料作为上述绝缘膜，使应存数据不易失去的半导体存储装置。

下文参照美国专利 4873664 号，对采用强电介质材料的已有半导体装置进行说明。

图 24 为已有半导体装置的电路组成，图 25 画出图 24 装置的动作时序，图 26 画出已有半导体装置中主体存储单元电容所用强电介质的迟滞特性，图 27 画出已有半导体存储装置中动态存储单元电容所用强电介质的迟滞特性。

图 24 的已有半导体存储装置电路组成中，读出放大器 30 接两根位线 26 和 28。此二位线又分别连接主体存储单元 20a、20b、20c 和 20d、20e，以及空存储单元 46 和 36。主体存储单元 20a 由 MOS 晶体管 24 和主体存储单元电容 22 组成。MOS 晶体管 24 的栅极接字线 32，该管的漏极接位线 26，源极接主体存储单元电容 22 的第一电极。主体存储单元电容 22 的第二电极接单元板极 34。同样，空存储器 36 由 MOS 晶体管 38 和空存储单元电容 40 组成。MOS 晶体管 38 的栅极接空字线 42，该管的漏极接位线 28，源极接空存储单元电容 40 的第一电极。电容 40 的第二电极接空单元板极 44。

参照图 25、图 26、图 27，对上述已有半导体存储装置的动作进

行说明。

图 26、27 为强电介质迟滞特性曲线。其横轴表示存储单元电容所加电场，纵轴表示加该电场时的电荷量。如图 26、27 所示，强电介质电容即使在电场为 0 时，也象点 B、E、K、H 那样留有残余极化。电源切断后，强电介质电容也出现残余极化。利用此残余电场作为非易失性数据，实现非易失性半导体存储装置。主体存储单元电容在存储单元的数据为“1”时，处于图 26 点 B 的状态，在存储单元的数据为“0”时，处于同图点 E 的状态。空存储电容的起始状态为图 27 的点 K。这里，为了读出主体存储单元的数据，作为起始状态，位线 26 和 28、字线 32、空字线 42、单元板极 34、空单元板极 44 等的逻辑电压均取为“L”。此后，位线 26 和 28 为浮动状态。

接着，如图 25 所示，字线 32、空字线 42、单元板极 34 和空单元板极 44 均取逻辑电压“H”。据此，MOS 晶体管 24 和 28 导通，主体存储单元电容 22 和空存储单元电容 40 均加电场。这时，主体存储单元的数据为“1”，则图 26 从点 B 的状态变为点 D 的状态，可在位线 26 读出电荷量 Q_1 。主体存储单元的数据为“0”，则图 26 从点 E 的状态变点 D 的状态，可在位线 26 读出电荷量 Q_0 。空存储单元则从图 27 点 K 的状态变为点 J 的状态，可在位线 28 读出电荷量 Q_d 。然后，位线 26 读出的主体存储单元数据和位线 28 读出的空存储单元数据在读出放大器 30 中放大，再读出主体存储单元的数据。

主体存储单元的数据为“1”时，位线 26 的逻辑电压为“H”，单元板极 34 逻辑电压也为“H”。因此，主体存储单元电容 22 上没有加电场，图 26 中为点 E 的状态。此后，上述电容 22 的数据恢复图 26 中点 B 的状态，所以单元板极 34 的逻辑电压为“L”，且一度为图 26 中点 A 的状态后，字线 32 的逻辑电压也为“L”。字线 32 的逻辑电压一成为“L”，上述电容 22 上就没有电场，从而返回图 26 中点 B 的状态。

同样，主体存储单元的数据为“0”时，位线 26 的逻辑电压为“L”，单元板极 34 的逻辑电压为“H”。因此，主体存储单元电容 22 为图 26 中点 D 的状态。此后，单元板极 34 的逻辑电压若为“L”，则上述电容 22 上不加电压，进入图 26 中点 E 的状态。虽然字线 32 的逻辑电压为“L”，但上述电容 22 不加电场的状态不变，所以仍处于图 26 中点 E 的状态。

空存储单元在主体存储单元的数据为“1”时，位线 28 的逻辑电压为“L”，单元板极 44 的逻辑电压为“H”。因此，空存储单元电容 40 为图 27 中点 J 的状态。此后，若空字线 36 的逻辑电压为“L”，则因空单元板极 44 的逻辑电压同时也为“L”，所以空存储单元电容 40 上不加电场，返回图 27K 点的状态。

同样，主体存储单元的数据为“0”时，位线 28 的逻辑电压为“H”，单元板极 44 的逻辑电压为“H”。因此，空存储单元电容 40 为图 27 中点 K 的状态。此后，若空字线 36 的逻辑电压为“L”，则即使空单元板极 44 的逻辑电压也为“L”，上述电容 40 不加电场的状态不变，仍保持图 27 中点 K 的状态。

然而，上述已有结构和动作的半导体存储装置中，作为制造工序后的起始状态，空存储单元电容未必是图 27 点 K 的状态。因此，起始状态例如为图 27 点 H 的状态时，存在首次读出时发生动作差错的问题。

此外，已有的半导体存储装置中，在读出数据，并由读出放大器将位线上读出的电荷放大后，空字线 42 和空板极 44 的逻辑电压同为“L”。因此，在诸如空字线 42 寄生电容大，空字线 42 的信号比空单元板极的信号下降缓慢等情况下，主体存储单元数据为“0”时，位线 28 的逻辑电压为“H”，单元板极 44 出现逻辑电压为“L”的状态。于是，空存储单元电容 40 为图 27 点 G 的状态。此后，空字线 42 若逻辑电压为“L”，则上述电容 40 为图 27 点 H 的状态。这样，若电

容 40 处于作为起始状态的图 27 点 K, 则下次存储单元读出时, 存在发生动作差错的问题。

又因为存储单元读出时, 字线的信号上升后单元板极的信号才上升, 所以还存在位线上数据读出迟后的问题。

因为字线、空字线、单元板极、空单元板极等的信号同时上升, 字线、空字线、空单元板极的信号同时下降, 所以也存在所需驱动功耗变大的问题。

为了解决上述问题, 第 1 发明的半导体装置在放大器上连接第 1 位线和与其配对的第 2 位线, 组成主体存储单元的第 1MOS 晶体管的栅极连接字线, 组成主体存储单元的第一强电介质电容的第 1 电极连接第 1MOS 晶体管的源极, 第 1MOS 晶体管的漏极连接第 1 位线, 第 1 强电介质电容的第 2 电极连接第 1 板极, 组成空存储单元的第 2MOS 晶体管的栅极连接空字线, 组成空存储单元的第 2 强电介质电容的第 1 电极连接第 2MOS 晶体管的源极, 第 2MOS 晶体管的漏极连接第 2 位线, 第 2 强电介质电容的第 2 电极连接第 2 板极, 组成空存储单元的第 2MOS 晶体管关断后, 将第 2 板极的逻辑电压反转。

第 2 发明进一步在组成空存储单元的第 2MOS 晶体管关断后, 将第 1 和第 2 板极的逻辑电压反转, 然后关断组成主体存储单元的第 1MOS 晶体管。

第 3 发明进一步将第 1 板极作为与第 2 板极相连的半导体存储装置。

第 4 发明则在第 1 发明的半导体存储装置中, 在存储单元数据读出或写入完毕后, 将第 2 位线取为某逻辑电压, 使第 2MOS 晶体管导通, 并使第 2 板极的逻辑电压与第 1 位线的逻辑电压相反。

第 5 发明在放大器上连接第 1 位线和与其配对的第 2 位线, 组成主体存储单元的第 1MOS 晶体管的栅极连接字线, 组成主体存储

单元的第1强电介质电容的第1电极连接第1MOS晶体管的源极，第1MOS晶体管的漏极连接第1位线，第1强电介质电容的第2电极连接第1板极，组成空存储单元的第2MOS晶体管的栅极连接虚拟字线，组成空存储单元的第2强电介质电容的第1电极连接第2MOS晶体管的源极，第2MOS晶体管的漏极连接第2位线，第2强电介质电容的第2电极连接第2板极，第3MOS晶体管的栅极连接空存储单元数据初始化控制信号线，第3MOS晶体管的漏极连接第2强电介质电容的第1电极，第3MOS晶体管的源极连接空存储单元数据初始化电位信号线。

第6发明在第5发明的半导体存储装置中，将第1板极与第2板极相连。

第7发明在第5发明的半导体存储装置中，将空存储单元数据初始化电位信号线连接地电位。

第8发明在第5发明的半导体存储装置中，使存储单元数据读出或写入动作开始前的第1位线和第2位线的逻辑电压为接地电位。

第9发明在第5发明的半导体存储装置中，在组成空存储单元的第2MOS晶体管关断后，使第3MOS晶体管导通，然后将第1和第2板极的逻辑电压反转，再关断组成主体存储单元的第1MOS晶体管。

第10发明在第1或第5发明的半导体存储装置中，使存储单元数据读出动作开始前的第1板极逻辑电压与第1位线逻辑电压相反。

第11发明在第1或第5发明的半导体存储装置中，使存储单元数据读出动作开始前的第2板极逻辑电压和第2强电介质电容的第1电极的逻辑电压与第2位线的逻辑电压相反。

第12发明在第1或第5发明的半导体存储装置中，使存储单

元数据读出动作开始前的第2板极逻辑电压和第2位线逻辑电压与第2强电介质电容第1电极的逻辑电压相反。

第13发明在第10、11或12三项发明的半导体存储装置中使第1板极的逻辑电压总是相同，或者第2板极的逻辑电压总是相同。

第14发明在第1或第4发明的半导体存储装置中，使组成主体存储单元的第1MOS晶体管和组成空存储单元的第2MOS晶体管导通后，将第1和第2板极的逻辑电压反转。

第15发明在第1或第4发明的半导体存储装置中，组成主体存储单元的第1MOS晶体管和组成空存储单元的第2MOS晶体管导通后，将存储单元数据读出或写入动作开始前的第1和第2位线预充电为第1逻辑电压，然后使第1和第2板极逻辑电压反转。

第16发明在第1或第4发明的半导体存储装置中，在第1和第2板极逻辑电压反转后，使组成主体存储单元的第1MOS晶体管和组成空存储单元的第2MOS晶体管导通。

利用上述结构和动作的半导体存储装置，进行空存储单元电容的初始化，因而读出时无动作差错。还可使数据读出后的空存储电容的状态确实为起始状态，从而读出时无动作差错。又可实现功耗不集中的半导体存储装置。

图1为本发明半导体存储装置第1实施例的电路组成。

图2表示本发明半导体存储装置第1实施例的动作时序。

图3为本发明半导体存储装置第2实施例的电路组成。

图4表示上述本发明第2实施例的动作时序。

图5表示本发明半导体存储装置第3实施例的动作时序。

图6为本发明半导体存储装置第4实施例的电路组成。

图7表示上述本发明第4实施例的动作时序。

图8为本发明半导体存储装置第5实施例的电路组成。

图9表示上述本发明第5实施例的动作时序。

图 10 表示上述本发明第 5 实施例所用主体存储单元电容的强电介质迟滞特性。

图 11 表示上述本发明第 5 实施例所用空存储单元电容的强电介质迟滞特性。

图 12 为本发明半导体存储装置第 6 实施例的电路组成。

图 13 表示上述本发明第 6 实施例的动作时序。

图 14 为本发明半导体存储装置第 7 实施例的电路组成。

图 15 表示上述本发明第 7 实施例的动作时序。

图 16 为本发明半导体存储装置第 8 实施例的电路组成。

图 17 表示上述本发明第 8 实施例的动作时序。

图 18 表示本发明半导体存储装置第 9 实施例的动作时序。

图 19 表示上述本发明第 9 实施例所用主体存储单元电容的强电介质迟滞特性。

图 20 表示上述本发明第 9 实施例所用空存储单元电容的强电介质迟滞特性。

图 21 表示本发明半导体存储装置第 10 实施例的动作时序。

图 22 表示本发明半导体存储装置第 11 实施例的动作时序。

图 23 表示本发明半导体存储装置第 12 实施例的动作时序。

图 24 为已有半导体存储装置的电路组成。

图 25 表示已有半导体存储装置的动作时序。

图 26 表示已有半导体存储装置所用主体存储单元电容的强电介质迟滞特性。

图 27 表示已有半导体存储装置所用空存储单元电容的强电介质迟滞特性。

对于本发明半导体存储装置的第一实施例，图 1 和图 2 分别画出其电路组成和驱动时的动作时序。

首先，就图 1 的电路组成作简单说明。

主体存储单元由该单元的强电介质电容 $C_{s1} \sim C_{s8}$ 和栅极连接字线 $WL0 \sim WL3$ 的 N 沟道型 MOS 晶体管 Q_n 组成。主体存储单元的强电介质电容 $C_{s1} \sim C_{s8}$ 的第 1 电极连接 N 沟道型 MOS 晶体管 Q_n 的源极。电容 $C_{s1} \sim C_{s8}$ 的第 2 电极连接板极 $CP0$ 或 $CP1$ 。组成主体存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 等 4 根位线中的一根。同样，空存储单元由该单元的强电介质电容 $C_{d1} \sim C_{d4}$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。该电容 $C_{d1} \sim C_{d4}$ 的第 1 电极连接 N 沟道型 MOS 晶体管 Q_n 的源极，第 2 电极连接空单元板极 $DCP0$ 或 $DCP1$ 。组成空存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 等 4 根位线中的一根。位线组 $BL0$ 、 $/BL0$ 和位线组 $BL1$ 、 $/BL1$ 分别连接读出放大器 $SA0$ 和 $SA1$ 。放大器 $SA0$ 、 $SA1$ 分别由读出放大信号 $SAE0$ 和 $SAE1$ 控制，而且在 $SAE0$ 和 $SAE1$ 逻辑电压为“H”时动作。位线 $BL0$ 与 $/BL0$ 、 $BL1$ 与 $/BL1$ 通过其栅极施加位线均衡和预充电控制信号 $EQ11$ 的 N 沟道型 MOS 晶体管 Q_n 相互连接，此 4 根位线又分别通过上述栅极加有信号 $EQ11$ 的 MOS 晶体管 Q_n 接至接地电压 V_{ss} 。

其次，就第一实施例半导体存储装置，用图 2 的动作时序说明其动作。强电介质象已有装置例那样，在主体存储单元电容中呈现图 26 所示迟滞特性，在空存储单元电容中呈现图 27 所示迟滞特性。

这里，为了读出主体存储单元的数据，作为初始状态，取字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压为“L”，位线均衡和预充电控制信号 $EQ11$ 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 $EQ11$ 逻辑电压为“L”，位线为浮动状态。为了读出主体存储单元电容 C_{s2} 的数据，字线 $WL1$ 、空字线 $DWL1$ 、单元板极 $CP0$ 、空单元板极 $DCP0$ 等的逻辑电压若取为

“H”，则可在位线 BL0 读出空存储单元的数据，可在位线 /BL0 读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图 26 点 B 的状态变为点 D 的状态，可在位线读出电荷量 Q1。主体存储单元数据为“0”，则从图 26 点 E 的状态变为点 D 的状态，可在位线上读出电荷量 Q0。这时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线上读出电荷量 Qd。然后，读出放大器控制信号 SAE0 的逻辑电压成为“H”，使读出放大器 SA0 动作，将位线 BL0、/BL0 上读出的数据放大。接着将单元板极 CPO 的逻辑电压置为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 的状态。主体存储单元数据为“0”，则为图 26 点 E 的状态。

再将字线 WL1、空字线 DWL1 的逻辑电压置为“L”。这时，若主体存储单元数据为“1”，则为图 26 点 A 或点 B 的状态。若上述数据为“0”，则为图 26 点 E 的状态。

将空单元板极 CP0 的逻辑电压取为“L”，读出放大器控制信号 SAE0 的逻辑电压取为“L”，位线均衡和预充电控制信号 EQ11 的逻辑电压取为“H”，位线逻辑电压取为“L”。

第 1 实施例的特性在于，空字线逻辑电压为“L”后，空单元板极逻辑电压也置为“L”，从而可使空存储单元起始状态确实为图 27 点 K 的状态。因此，下次数据读出时不发生动作差错。附带说明一下，空单元板极逻辑电压为“L”后，空字线逻辑电压为“L”的情况下，主体存储单元数据为“0”，则空存储单元在空单元板极逻辑电压为“L”时处于图 27 点 G 的状态，在空字线逻辑电压为“L”时处于图 27 点 G 或点 H 的状态。这样，空存储单元的初始状态不是图 27 的点 K，所以下次数据读出时不会发生动作差错。

对于本发明半导体存储装置的第 2 实施例，图 3 和图 4 分别画出其电路组成和驱动时的动作时序。

首先，就图 3 的电路组成作简单说明。

主体存储单元由该单元的强电介质电容 $C_{s1} \sim C_{s8}$ 和栅极连接字线 $WL0 \sim WL3$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{s1} \sim C_{s8}$ 的第 1 电极连接上述晶体管 Q_n 的源极, 该电容的第 2 电极连接单元板极 $CP0(DCP0)$ 或 $CP1(DCP1)$ 。组成主体存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 和 $/BL1$ 等 4 根位线中的一根。同样, 空存储单元由该单元强电介质电容 $C_d1 \sim C_d4$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_d1 \sim C_d4$ 的第 1 电极连接上述晶体管 Q_n 的源极, 第 2 电极连接单元板极 $CP0(DCP0)$ 或 $CP1(DCP1)$ 。组成空存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 等 4 根位线中的一根。位线组 $BL0$ 与 $/BL0$ 、 $BL1$ 与 $/BL1$ 分别连接读出放大器 $SA0$ 和 $SA1$ 。 $SA0$ 和 $SA1$ 又分别由读出放大控制信号 $SAE0$ 和 $SAE1$ 控制, 而且在 $SAE0$ 和 $SAE1$ 逻辑电压为“H”时动作。位线 $BL0$ 与 $/BL0$ 、 $BL1$ 与 $/BL1$ 分别通过栅极施加位线均衡和预充电控制信号 $EQ21$ 的 N 沟道型 MOS 晶体管 Q_n 互相连接。位线 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 又分别通过上述栅极加有 $EQ21$ 信号的 N 沟道型 MOS 晶体管 Q_n 连至接地电压 V_{ss} 。

其次, 就第 2 实施例的半导体装置的动作, 用图 4 的动作时序进行说明。与第 1 实施例相同, 主体存储单元电容的强电介质呈现图 26 的迟滞特性, 空存储单元电容的强电介质呈现图 27 的迟滞特性。

这里, 为了读出主体存储单元的数据, 作为初始状态, 字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压取为“L”, 位线均衡和预充电控制信号 $EQ21$ 的逻辑电压取为“H”, 位线逻辑电压取为“L”。然后, 使上述信号 $EQ21$ 逻辑电压为“L”, 位线为浮动状态。为了读出主体存储单元电容 C_{s2} 的数据, 字线 $WL1$ 、空字线 $DWL1$ 、单元板极 $CP0(DCP0)$ 等的逻辑电压若为“H”, 则可

在位线 BL0 上读出空存储单元数据,可在位线/BL0 上读出主体存储单元数据。这时,若主体存储单元数据为“1”,则从图 26 点 B 的状态变为点 D 的状态,可在位线上读出电荷量 Q1。若数据为“0”,则从图 26 的点 E 状态变至点 D 状态,在位线上读出电荷量 Q0。同时,空存储单元从图 27 点 K 的状态变为点 J 的状态,可在位线上读出电荷量 Qd。然后,读出放大器控制信号 SAE0 的逻辑电压取为“H”,使读出放大器 SA0 动作,将位线 BL0 和/BL0 上读出的数据放大。接着使空字线 DWL1 的逻辑电压为“L”,单元板极 CP0 (DCP0) 的逻辑电压也为“L”。这时,主体存储单元数据为“1”,则为图 26 点 A 的状态,该数据为“0”,则为图 26 点 E 的状态。又将字线 WL1 的逻辑电压取为“L”。这时,若主体存储单元数据为“1”,则为图 26 点 A 或点 B 的状态,若该数据为“0”,则为图 26 点 E 的状态。接着将读出放大器控制信号 SAE0 的逻辑电压取为“L”,位线均衡和预充电控制信号 EQ21 逻辑电压取为“H”,位线逻辑电压取为“L”。

此第 2 实施例的特征在于,与第 1 实施例相同,空字线逻辑电压为“L”后,(空)单元板极逻辑电压为“L”,从而可使空存储单元的初始状态确实为图 27 点 K 的状态。此外,根据上述图 4 的动作时序,主体存储单元的单元板极能与空存储单元的空单元板极共用。

对于本发明半导体存储装置的第 3 实施例,图 3 和图 5 分别画出其电路组成和驱动时的动作时序。

图 3 的电路组成与第 2 实施例相同。对于图 5 的动作,则以图 27 所示与第 1 实施例相同的空存储单元电容的强电介质迟滞特性进行说明。

这里,主体存储单元数据读出的时序与第 2 实施例相同。

图 5 中,读出放大器控制信号 SAE0 的逻辑电压取为“L”,位线均衡和预充电控制信号 EQ21 的逻辑电压取为“H”,位线逻辑电

压取为“L”，从而结束主体存储单元数据的读出。到此为止，均与第2实施例相同。下面，如图5所示，存在空字线DWL1和单元板极CP0(DCP0)逻辑电压为“H”的状态。这就是空存储单元数据放始状态化的时序，空存储单元的状态为图27点J的状态。然后将单元板极CP0(DCP0)的逻辑电压取为“L”，空字线DWL1的逻辑电压也取为“L”，从而空存储单元的状态为图27点K的状态。

第3实施例的特征在于，利用空存储单元数据初始状态化的时序动作，能使空存储单元确定为图27点K的初始状态。特别在设备制造后加电源时，存在空存储单元不处于起始状态的情况，这时可利用上述特性。

第1、第2实施例中，在数据读出的一系列动作时序的最后，进行空存储单元的初始化，所以不进行读出动作，空存储单元就不能初始化。

对于本发明半导体存储装置的第4实施例，图6和图7分别画出其电路组成和动作时序。

首先，就图6的电路组成作简单说明。

与第2实施例相同，主体存储单元由该单元的强电介质电容C₁~C₈和栅极连接字线WL0~WL3的N沟道型MOS晶体管Q_n组成。上述电容C₁~C₈的第1电极连接上述晶体管Q_n的源极，电容的第2电极连接单元板极CP0(DCP0)或CP1(DCP1)。组成主体存储单元的N沟道型MOS晶体管Q_n的漏极连接BL0、/BL0、BL1和/BL1等4根线中的一根。同样，空存储单元由该单元的强电介质电容C_{d1}~C_{d4}和栅极连接空字线DWL0~DWL1的N沟道型MOS晶体管Q_n组成。上述电容C_{d1}~C_{d4}的第1电极连接上述MOS晶体管Q_n的源极，电容的第2电极连接单元板极CP0(DCP0)或CP1(DCP1)。电容C_{d1}~C_{d4}的第1电极又通过栅极有空存储单元数据初始化用控制信号DCW41的N沟道型MOS晶体

管 Q_n 连接接地电压 V_{ss} 。组成空存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 BL_0 、 $\overline{BL}_0$ 、 BL_1 、 $\overline{BL}_1$ 等 4 根位线中的一根。位线组 BL_0 与 $\overline{BL}_0$ 、 BL_1 、 $\overline{BL}_1$ 分别连接读出放大器 SA_0 和 SA_1 。 SA_0 和 SA_1 又分别由信号 SAE_0 和 SAE_1 控制，而且此二控制信号逻辑电压为“H”时 SA_0 、 SA_1 动作。位线 BL_0 与 $\overline{BL}_0$ 、 BL_1 与 $\overline{BL}_1$ 通过栅极施加位线均衡与预充电控制信号 EQ_{41} 的 N 沟道型 MOS 晶体管 Q_n 相互连接。位线 BL_0 与 $\overline{BL}_0$ 、 BL_1 与 $\overline{BL}_1$ 又分别通过上述栅极有 EQ_{41} 信号的 N 沟道型 MOS 晶体管连接地电压 V_{ss} 。

其次，就上述结构半导体存储装置的动作，用图 7 所示动作时序进行说明。这里，主体存储单元电容和空存储单元电容的强电介质也分别呈现图 26 和 27 的迟滞特性。

这里，为了读出主体存储单元的数据，作为初始状态，字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压取为“L”，空存储单元数据初始化用控制信号 DCW_{41} 的逻辑电压取为“H”，空存储单元数据取图 27 状态 K 作为初始状态。接着使位线均衡和预充电控制信号 EQ_{41} 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 EQ_{41} 的逻辑电压为“L”，位线处于浮动状态。又使空存储单元数据初始化用控制信号 DCW_{41} 的逻辑电压为“L”，空存储单元强电介质电容的第 1 电极也为浮动状态。为了读出主体存储单元电容 C_2 的数据，字线 WL_1 、空字线 DWL_1 、单元板极 CP_0 (DCP_0) 等的逻辑电压若为“H”，则可在位线 BL_0 读出空存储单元数据，可在位线 $\overline{BL}_0$ 读出主体存储单元数据。这时，在主体存储单元数据为“1”的情况下，从图 26 点 B 的状态变为点 D 的状态，可在位线读出电荷量 Q_1 。在该数据为“0”的情况下，从图 26 点 E 的状态变为点 D 的状态，可在位线读出电荷量 Q_0 。同时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线读出电荷量 Q_d 。然

后, 将读出放大器控制信号 SAE0 的逻辑电压取为“H”, 使读出放大器 SA0 动作, 放大位线 BL0 和 /BL0 上读出的数据。再将空字线 DWL1 的逻辑电压取为“L”。空存储单元数据初始化用控制信号 DCW41 的逻辑电压取为“H”, 空存储单元为图 27 点 J 的状态。接着单元板极 CP0(DCP0) 逻辑电压取为“L”。这时, 主体存储单元数据为“1”, 则为图 26 点 A 的状态。该数据为“0”, 则为图 26 点 E 的状态, 空存储单元为图 27 点 K 的状态。再将字线 WL1 的逻辑电压取为“L”。这时, 主体存储单元数据为“1”, 则为图 26 点 A 或点 B 的状态。该数据为“0”, 则为图 26 点 E 的状态。又将读出放大器控制信号 SAE0 的逻辑电压取为“L”, 位线均衡和预充电控制信号 EQ21 的逻辑电压取为“H”, 位线逻辑电压取为“L”。

此第 4 实施例的特征在于, 以空存储单元数据初始化用控制信号 DCW41 控制空存储单元强电介质电容第 1 电极的状态, 从而能使空存储单元的初始状态为图 27 点 K 的状态。在此第 4 实施例中, 虚拟存储单元强电介质电容第 1 电极的状态固定为接地电压 V_{ss} (逻辑电压“L”) 后, 单元板极 CP0(DCP0) 的逻辑电压为“L”, 所以空存储单元初始状态可确定为图 27 点 K 的状态。也即为第 1、第 2 实施例那样, 上述电容的第 1 电极为逻辑电压“H”的浮动状态, 而且单元板极 CP0(DCP0) 逻辑电压为“L”, 所以使单元板极 CP0(DCP0) 仅变化某电位时, 第 1 电极为浮动状态, 未必只变化相同的电位。与此相反, 第 4 实施例中, 存储单元的第 1 电极和单元板极二者均为接地电位, 所以此二电极若无电位差则为同电位。

第 4 实施例中, 位线预充电电位为接地电压 V_{ss} (逻辑电压“L”), 空存储单元电容第 1 电极的初始状态也为接地电压 V_{ss} (逻辑电压“L”), 所以设备接通电源初始化时的功耗可减小。位线和存储单元电容具有电容量 C , 若预充电电位和电容第 1 电极初始状态为电源电压 (V_{cc}), 则只有提供电荷量 $C \times V_{cc}$ 的功耗。

对于本发明半导体存储装置的第5实施例，图8为其电路组成，图9表示其动作时序。此例电路组成虽与上述第4实施例相同，但位线、单元板极和空存储单元的初始状态逻辑电压与第4实施例中相反。

首先，就图8的电路组成进行简单说明。

主体存储单元由该单元的强电介质电容 $C_{s1} \sim C_{s8}$ 和栅极连接字线 $WL0 \sim WL3$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{s1} \sim C_{s8}$ 的第1电极连接上述晶体管 Q_n 的源极，电容的第2电极连接单元板极 $CP0(DCP0)$ 或 $CP1(DCP1)$ 。上述晶体管的漏极连接 $BL0$ 、 $\overline{BL0}$ 、 $BL1$ 、 $\overline{BL1}$ 等4根位线中的一根。同样，空存储单元由该单元的强电介质电容 $C_{a1} \sim C_{a4}$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{a1} \sim C_{a4}$ 的第1电极连接上述晶体管 Q_n 的源极，电容的第2电极连接单元板极 $CP0(DCP0)$ 或 $CP1(DCP1)$ 。上述电容 $C_{a1} \sim C_{a4}$ 的第1电极又通过栅极有空存储单元数据初始化用控制信号 $DCW51$ 的 P 沟道型 MOS 晶体管 Q_p 连接电源电压 V_{cc} 。组成空存储单元的 N 沟道型 MOS 晶体管 Q_n 的漏极连接 $BL0$ 、 $\overline{BL0}$ 、 $BL1$ 、 $\overline{BL1}$ 等4根位线中的一根。位线组 $BL0$ 与 $\overline{BL0}$ 、 $BL1$ 与 $\overline{BL1}$ 分别连接读出放大器 $SA0$ 和 $SA1$ 。 $SA0$ 和 $SA1$ 又分别由信号 $SAE0$ 和 $SAE1$ 控制，而且此二控制信号逻辑电压为“H”时， $SA0$ 和 $SA1$ 动作。位线 $BL0$ 与 $\overline{BL0}$ 、 $BL1$ 与 $\overline{BL1}$ 通过栅极连接位线均衡和预充电控制信号 $EQ51$ 的 P 沟道型 MOS 晶体管 Q_p 相互连接。上述4根位线又分别通过栅极接有上述信号 $EQ51$ 的 P 沟道型晶体管 Q_p 连接电源电压 V_{cc} 。

其次，就上述半导体装置，用图9的动作时序进行说明。图10表示此半导体存储装置内主体存储单元电容的强电介质迟滞特性，图11表示空存储单元电容的强电介质迟滞特性。

这里，为了读出主体存储单元的数据，作为初始状态，字线、空

字线和读出放大器控制信号等的逻辑电压取为“L”，单元电极、空单元电极的逻辑电压取为“H”，空存储单元数据初始化用控制信号 DCW51 的逻辑电压取为“L”这时，空存储单元的数据为图 11 点 H 的初始状态。接着使位线均衡和预充电控制信号 EQ51 的逻辑电压为“L”，位线逻辑电压为“H”。然后，使上述信号 EQ51 逻辑电压为“H”，位线为浮动状态。又使空存储单元数据初始化用控制信号 DCW51 的逻辑电压为“H”，空存储单元强电介质电容的第 1 电极也为浮动状态。为了读出主体存储单元电容 C₂ 的数据，若字线 WL1、空字线 DWL1 的逻辑电压为“H”，单元板极 CP0(DCP0) 的逻辑电压为“L”，在位线 BL0 上可读出空存储单元的数据，位线/BL0 上可读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图 10 点 B 的状态变为点 A 的状态，可在位线读出电荷量 Q₁。主体存储单元数据为“0”，则从图 10 的点 E 状态变为点 A 的状态，可在位线读出电荷 Q₀。同时，动态存储单元从图 11 点 H 的状态变为点 G 的状态，可在位线读出电荷 Q_d。然后，取读出放大器控制信号 SAE0 的逻辑电压为“H”，使读出放大器 SA0 动作，放大位线 BL0 和/BL0 上读出的数据。再取空字线 DWL1 的逻辑电压为“L”。又取空存储单元数据初始化用控制信号 DCW51 的逻辑电压为“L”，空存储单元为图 11 的点 G 状态。

取单元板极 CP0(DCP0) 的逻辑电压为“H”。这时，主体存储单元数据为“1”，则为图 10 点 A 的状态。主体存储单元数据为“0”，则为图 10 点 D 的状态，同时，空存储单元为图 11 点 H 的状态。

字线 WL1 的逻辑电压取为“L”。这时，主体存储单元数据为“1”，则为图 10 点 A 或点 B 的状态。上述数据为“0”时，则为图 10 点 E 的状态。接着使读出放大器控制信号 SAE0 的逻辑电压为“L”，位线均衡和预充电控制信号 EQ51 的逻辑电压也为“L”，位线逻辑电压为“H”。

此第 5 实施例的特征在于,与第 4 实施例相同,以空存储单元数据初始化用控制信号 DCW51 控制空存储单元强电介质电容的第 1 电极状态,从而可将空存储单元的初始状态确实地定为图 11 点 H 的状态。

对于本发明半导体存储装置的第 6 实施例,图 12 和图 13 分别画出其电路组成和动作时序。

首先,就图 12 的电路组成作简单说明。

主体存储单元由该单元的强电介质电容 $C_{s1} \sim C_{s8}$ 和栅极连接字线 $WL0 \sim WL3$ 的沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{s1} \sim C_{s8}$ 的第 1 电极连接上述晶体管 Q_n 的源极,该电容的第 2 电极连接单元板极 CP0 或 CP1。上述晶体管 Q_n 的漏极连接 $BL0$ 、/ $BL0$ 、 $BL1$ 、/ $BL1$ 等 4 根位线中的一根。同样,空存储单元由该单元的强电介质电容 $C_d1 \sim C_d4$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_d1 \sim C_d4$ 的第 1 电极连接上述晶体管 Q_n 的源极,该电容的第 2 电极连接空存储单元 DCP0 和 DCP1。上述电容 $C_d1 \sim C_d4$ 的第 1 电极又通过栅极连接动态存储单元数据初始化用控制信号 DCW61 的 N 沟道型 MOS 晶体管 Q_n 连接电源电压 V_{cc} 。上述晶体管 Q_n 的漏极连接 $BL0$ 、/ $BL0$ 、 $BL1$ 、/ $BL1$ 等 4 根位线中的一根。位线组 $BL0$ 与 / $BL0$ 、 $BL1$ 与 / $BL1$ 分别连接读出放大器 SA0 和 SA1,SA0 和 SA1 又分别由信号 SAE0 和 SAE1 控制,而且此二控制信号逻辑电压为“H”时,SA0 和 SA1 动作。位线组 $BL0$ 与 / $BL0$ 、 $BL1$ 与 / $BL1$ 通过栅极连接信号 EQ61 的 N 沟道型 MOS 晶体管 Q_n 相互连接。上述 4 根位线又通过上述栅极连接信号 EQ61 的 N 沟道型 MOS 晶体管 Q_n 连接接地电压 V_{ss} 。

其次,就上述半导体存储装置的动作,用图 13 的动作时序进行说明。主体存储单元电容和空存储单元电容的强电介质分别呈现图 26 和图 27 的迟滞特性。

这里,为了读出主体存储单元的数据,作为初始状态,字线、空字线、读出放大器控制信号等的逻辑电压取为“L”,单元板极、空单元板极的逻辑电压取为“H”,空存储单元初始化用控制信号 DCW61 的逻辑电压取为“H”。这时,空存储单元的数据为图 27 点 K 的初始状态。使位线均衡和预充电控制信号 EQ61 的逻辑电压为“H”,位线逻辑电压为“L”。然后,上述信号 EQ61 的逻辑电压取为“L”,位线为浮动状态。再使空存储单元数据初始化用控制信号 DCW61 的逻辑电压为“L”,空存储单元强电介质电容的第 1 电极为浮动状态。

为了读出主体存储单元电容 C₂ 的数据,使字线 WL1、空字线 DWL1 的逻辑电压为“H”。由此,可在位线 BL0 读出空存储单元的数据,可在位线/ $\overline{BL0}$ 读出主体存储单元的数据。这时,主体存储单元数据为“1”,则从图 26 点 B 的状态变为点 D 的状态,可在位线读出电荷量 Q₁。因此,空存储单元从图 27 点 K 的状态变为点 J 的状态,可从位线读出电荷量 Q_d。然后取读出放大器控制信号 SAE0 的逻辑电压为“H”,使读出放大器 SA0 动作,放大位线 BL0 和/ $\overline{BL0}$ 上读出的数据。

使单元板极 CP0 的逻辑电压为“L”。这时,主体存储单元数据为“1”,则为图 26 点 A 的状态。上述数据为“0”,则为图 26 点 E 的状态。

使字线 WL1、空字线 DWL1 的逻辑电压为“L”,单元板极 CP0 的逻辑电压为“H”,空存储单元数据初始化用控制信号 DCW61 的逻辑电压为“H”。这时,主体存储单元数据为“1”,则为图 26 点 A 或点 B 的状态。上述数据为“0”,则为图 26 点 E 的状态。同时,空存储单元为图 26 点 K 附近的的状态。接着使读出放大器控制信号 SAE0 的逻辑电压为“L”,位线均衡和预充电控制信号 EQ61 的逻辑电压为“H”,位线逻辑电压为“L”。

此第 6 实施例的特征在于, 作为用来读出主体存储单元数据的初始状态, 在主体存储单元中, 使位线逻辑电压与单元板极逻辑电压相反, 在空存储单元中使位线逻辑电压与空存储单元强电介质电容第 1 电极的逻辑电压相反, 从而字线和空字线的逻辑电压为“H”时, 立即可在位线读出主体存储单元和空存储单元的数据。

也即, 单元板极上带有存储单元的电容, 所以使单元板极电位变化到逻辑电压“H”需要时间。结果是数据读出时间变长。与此相反, 本实施例中, 单元板极开始就为逻辑电压“H”, 所以只要字线和空字线上有逻辑电压“H”, 就可立即读出。

在本实施例中空单元板极的逻辑电压固定为“H”, 所以和降低功耗有关。

此外, 第 6 实施例中空存储单元数据读出的电荷量为图 27 点 K 和点 J 两种状态之差的空存储单元数据读出的电荷量 Q_d 。这时在点 K 到点 J 的曲线上, 点 J 附近的斜率小, 所以相对于电场变化, 电荷量的变化也小。因此, 读出时即便所加电场不充分, 点 J 附近相对于电场也为电荷饱和状态。这就是说, 空存储单元数据读出电荷量 Q_d 的误差变小。

对于本发明半导体存储装置的第 7 实施例, 图 14 和图 15 分别画出其电路组成和动作时序。本实施例和上述第 6 实施例大致相同。不同点在于栅极连接空存储单元数据初始化用控制信号 DCW71 的晶体管是 P 沟道型 MOS 晶体管 Q_p 。

首先, 就图 14 的电路组成作简单说明。

主体存储单元由该单元的强电介质电容 $C_{.1} \sim C_{.8}$ 和栅极连接字线 $WL0 \sim WL3$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{.1} \sim C_{.8}$ 的第 1 电极连接上述晶体管 Q_n 的源极, 该电容的第 2 电极连接单元板极 $CP0$ 、 $CP1$ 。上述晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 等 4 根位线中的一根。同样, 空存储单元由该单元的强电

介质电容 $C_{d1} \sim C_{d4}$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{d1} \sim C_{d4}$ 的第 1 电极连接上述晶体管 Q_n 的源极，电容的第 2 电极连接空单元板极 $DCP0$ 或 $DCP1$ 。上述电容 $C_{d1} \sim C_{d4}$ 的第一电极还通过栅极连接空存储单元数据初始化用控制信号 $DCW71$ 的 P 沟道型 MOS 晶体管 Q_p 接到电源电压 V_{cc} 。上述晶体管 Q_n 的漏极连接 $BL0$ 、 $/BL0$ 、 $BL1$ 、 $/BL1$ 等 4 根位线中的一根。位线组 $BL0$ 与 $/BL0$ 、 $BL1$ 与 $/BL1$ 分别连接读出放大器 $SA0$ 和 $SA1$ 。 $SA0$ 和 $SA1$ 又分别由信号 $SAE0$ 和 $SAE1$ 控制，而且此二控制信号逻辑电压为“H”时， $SA0$ 和 $SA1$ 动作。位线 $BL0$ 与 $/BL0$ 、 $BL1$ 与 $/BL1$ 通过栅极连接位线均衡和预充电控制信号 $EQ71$ 的 N 沟道型 MOS 晶体管 Q_n 相互连接。上述 4 根位线又通过栅极连接上述信号 $DQ71$ 的 N 沟道型晶体管 Q_n 连接接地电压 V_{ss} 。

其次，就上述半导体存储装置的动作，用图 15 的动作时序进行说明。主体存储单元电容和空存储单元电容的强电介质分别呈现图 26 和图 27 的迟滞特性。

为了读出主体存储单元的数据，作为初始状态，使字线、空字线、读出放大器控制信号等的逻辑电压为“L”，单元板极、空单元板极的逻辑电压为“H”，空存储单元数据初始化用控制信号 $DCW71$ 的逻辑电压为“L”。这时，空存储单元的数据为图 27 点 K 的初始状态。接着使位线均衡和预充电控制信号 $EQ71$ 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 $EQ71$ 的逻辑电压为“L”，位线为浮动状态。再使空存储单元数据初始化用控制信号 $DCW71$ 的逻辑电压为“H”，空存储单元强电介质电容的第 1 电极为浮动状态。

为了读出主体存储单元电容 C_{d2} 的数据，字线 $WL1$ 和空字线 $DWL1$ 逻辑电压若为“H”，则在位线 $BL0$ 可读出空存储单元的数据，在位线 $/BL0$ 可读出主体存储单元的数据。这时，主体存储单元

数据为“1”，则从图 26 点 B 的状态变为点 D 的状态，可在位线读出电荷量 Q_1 。上述数据为“0”，则从图 26 点 E 的状态变为点 D 的状态，可在位线读出电荷 D_0 。同时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线读出电荷量 Q_d 。然后取读出放大器控制信号 SAE_0 的逻辑电压为“H”，使读出放大器 SA0 动作，放大位线 BL_0 、 $\overline{BL}_0$ 上读出的数据。

使单元板极 CP_0 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 的状态。上述数据为“0”，则为图 26 点 E 的状态。接着使字线 WL_1 与空字线 DWL_1 的逻辑电压为“L”，单元板极 CP_0 的逻辑电压为“H”，空存储单元数据初始化用控制信号 DCW_{71} 的逻辑电压为“L”。这时主体存储单元数据为“1”，则为图 26 点 A 或点 B 的状态。上述数据为“0”，则为图 26 点 E 的状态，空存储单元为图 27 的状态 K。接着使读出放大器控制信号 SAE_0 的逻辑电压为“L”，位线均衡和预充电控制信号 EQ_{71} 的逻辑电压为“H”，位线逻辑电压为“L”。

此第 7 实施例的特征在于，和第 6 实施例的主体相同，作为用来读出存储单元数据的初始状态，在主体存储单元中，使位线逻辑电压与单元板极逻辑电压相反，在空存储单元中位线逻辑电压与空存储单元强电介质电容第 1 电极的逻辑电压相反，从而在字线和空字线的逻辑电压为“H”时，能立即在位线读出主体存储单元和空存储单元的数据，此外，空单元板极的逻辑电压固定为“H”，所以和半导体存储装置降低功耗有关。

第 7 实施例中，空存储单元的数据读出为图 27 点 K 和点 J 二状态之差的空存储单元数据读出电荷量 Q_d ，即使读出时所加电场不充分，状态 J 附近相对于电场也为电荷饱和状态，所以空存储单元数据读出电荷量 Q_d 的误差不大。

对于本发明半导体存储装置的第 8 实施例，图 16 和图 17 分别

画出其电路组成和动作时序。

首先,就图 16 的电路组成作简单说明。

主体存储单元由该单元的强电介质电容 $C_{s1} \sim C_{s8}$ 和栅极连接字线 $WL0 \sim WL3$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_{s1} \sim C_{s8}$ 的第 1 电极连接上述晶体管 Q_n 的源极,电容的第 2 电极连接单元板极 $CP0 \sim CP3$ 。上述晶体管 Q_n 的漏极连接 $BL0$ 、/ $BL0$ 、 $BL1$ 、/ $BL1$ 等 4 根位线中的一根。同样,空存储单元由该单元的强电介质电容 $C_d1 \sim C_d4$ 和栅极连接空字线 $DWL0 \sim DWL1$ 的 N 沟道型 MOS 晶体管 Q_n 组成。上述电容 $C_d1 \sim C_d4$ 的第一电极连接上述晶体管 Q_n 的源极,该电容的第 2 电极连接空单元板极 $DCP0$ 或 $DCP1$ 。上述电容 $C_d1 \sim C_d4$ 的第 1 电极还通过栅极连接空存储单元数据初始化用控制信号 $DCW81$ 的 N 沟道型 MOS 晶体管 Q_n 接到电源电压 V_{cc} 。上述晶体管 Q_n 的漏极连接 $BL0$ 、/ $BL0$ 、 $BL1$ 、/ $BL1$ 等 4 根位线中的一根。位线 $BL0$ 与 / $BL0$ 、 $BL1$ 与 / $BL1$ 分别连接读出放大器 $SA0$ 和 $SA1$ 。 $SA0$ 和 $SA1$ 分别由信号 $SAE0$ 和 $SAE1$ 控制,而且此二控制信号逻辑电压为“H”时, $SA0$ 和 $SA1$ 动作。位线 $BL0$ 与 / $BL0$ 、 $BL1$ 与 / $BL1$ 通过栅极连接上述信号 $EQ81$ 的 N 沟道型 MOS 晶体管 Q_n 相互连接。上述 4 根位线分别通过栅极接有位线均衡和预充电控制信号 $EQ81$ 的 N 沟道型 MOS 晶体管 Q_n 连接地电压 V_{ss} 。

第 8 实施例结构上的特点是用一根字线选择的主体存储单元电容的单元板极相同,即可全部读出一根字线所选主体存储单元的数据。

其次,就上述半导体存储装置的动作,用图 17 的动作时序进行说明。主体存储单元电容和空存储单元电容的强电介质分别呈现图 26 和图 27 的迟滞特征。

为了读出主体存储单元的数据,作为初始状态使字线 $WL1$ 、虚

拟字线 DWL1、读出放大器控制信号等的逻辑电压为“L”，单元板极 CP1、空单元板极 DCP1 的逻辑电压为“H”，空存储单元数据初始化用控制信号 DCW81 的逻辑电压为“H”。这时空存储单元的数据为图 27 点 K 的初始状态，位线均衡和预充电控制信号 EQ81 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 EQ81 的逻辑电压为“L”，位线为浮动状态。使空存储单元数据初始化用控制信号 DCW81 的逻辑电压为“L”，空存储单元强电介质电容第 1 电极也为浮动状态。

为了读出主体存储单元电容 C₂ 和 C₄ 的数据，使字线 WL1 和空字线 DWL1 的逻辑电压为“H”。由此，可在位线 BL0 上读出空存储单元的数据，可在位线/ $\overline{BL0}$ 上读出主体存储单元的数据，这时，主体存储单元数据为“1”，则从图 26 点 B 的状态变为点 D 的状态，可在位线上读出电荷量 Q₁。上述数据为“0”，则从图 26 点 E 的状态变为点 D 的状态，可在位线上读出电荷量 Q₀。同时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线上读出电荷量 Q_d。然后，取读出放大器控制信号 SAE0 和 SAE1 的逻辑电压为“H”，使读出放大器 SA0 和 SA1 动作，放大位线 BL0 和/ $\overline{BL0}$ 上读出的数据。

使单元板极 CP1 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 的状态。上述数据为“0”，则为图 26 点 E 的状态。

接着使字线 WL1 和空字线 DWL1 的逻辑电压为“L”，单元板极 CP1 的逻辑电压为“H”，空存储单元数据初始化用控制信号 DCW81 的逻辑电压为“H”。这时，主体存储单元数据为“1”，则为图 26 点 A 或点 B 的状态。上述数据为“0”，则为图 26 点 E 的状态，同时空存储单元为图 27 点 K 附近的状态，又使读出放大器控制信号 SAE0 和 SAE1 的逻辑电压为“L”，位线均衡和预充电控制信号

EQ81 的逻辑电压为“H”，位线逻辑电压为“L”。

第 8 实施例的特征和第 6 实施例相同。作为用来读出主体存储单元数据的初始状态，在主体存储单元中，位线逻辑电压与单元板极逻辑电压相反，在空存储单元中，位线逻辑电压与空存储单元强电介质电容第 1 电极的逻辑电压相反，从而在字线和空字线逻辑电压为“H”时，可立即在位线上读出主体存储单元和空存储单元的数据。此外，空单元板极的逻辑电压可固定不变，所以，半导体存储装置可减小功耗。此第 8 实施例中，可全部或部分读出一根字线所选主体存储单元的数据。

对于本发明半导体存储装置第 9 实施例，参照图 12 的电路组成和图 18 的动作时序进行说明。图 12 的电路与第 6 实施例中相同。

关于存储动作，主体存储单元电容和空存储单元电容的强电介质分别呈现图 19 和图 20 的迟滞特性。

为了读出主体存储单元的数据，作为初始状态使字线、空字线、读出放大器控制信号等的逻辑电压为“L”，单元板极、空单元板极的逻辑电压为“H”，空存储单元数据初始化用控制信号 DCW61 的逻辑电压为“H”。这时，空存储单元的数据为图 20 点 G 的初始状态。使位线均衡和预充电控制信号 EQ61 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 EQ61 的逻辑电压为“L”，位线为浮动状态。又使空存储单元数据初始化用控制信号 DCW61 的逻辑电压为“L”，空存储单元强电介质电容的第 1 电极也为浮动状态。

为了读出主体存储单元电容 C₂ 的数据，字线 WL1 和空字线 DWL1 逻辑电压若为“H”，则在位线 BL0 上可读出空存储单元的数据，在位线/BL0 上可读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图 19 点 B 的状态变为点 D 的状态，可在位线上读出电荷量 Q₁。上述数据为“0”，则从图 19 点 E 的状态变为点 D 的状态，可在位线上读出电荷 Q₀。同时，空存储单元从图 20 点 G 状

态变为点 H 状态，可在位线上读出电荷量 Q_d 。然后，取读出放大器控制信号 SAE0 的逻辑电压为“H”，使读出放大器 SA0 动作，放大位线 BL0 和 /BL0 上读出的数据。

接着使单元板极 CP0 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 19 点 A 的状态。上述数据为“0”，则为图 19 点 E 的状态。

使字线 WL1 和空字线 DWL1 的逻辑电压为“L”，单元板极 CP0 逻辑电压为“H”，空单元数据初始化用控制信号 DCW61 逻辑电压为“H”。这时，主体存储单元的数据为“1”时，呈现图 19 点 B 的状态。数据为“0”时，则为图 19 点 E 的状态。同时，空存储单元为图 20 点 G 附近的状况。又使读出放大器控制信号 SAE0 的逻辑电压为“L”，位线均衡和预充电控制信号 EQ61 的逻辑电压为“H”，位线逻辑电压为“L”。

第 9 实施例的特征在于，作为用来读出主体单元数据的初始状态，在主体存储单元中，位线逻辑电压与单元板极逻辑电压相反，在空存储单元中，位线逻辑电压与空存储单元强电介质电容第 1 电极的逻辑电压相反，从而在字线和空字线的逻辑电压为“H”时，可立即在位线上读出主体存储单元和空存储单元的数据。此外，空单元板极可固定为逻辑电压“L”，所以能谋求半导体存储装置低功耗。

对于本发明半导体存储装置的第 10 实施例，参照图 6 的电路组成和图 21 的动作时序进行说明。图 6 的电路组成与第 4 实施例中相同。

关于存储装置的动作，主体存储单元电容和空存储单元电容的强电介质分别呈现图 26 和图 27 的迟滞特性。

为了读出主体存储单元的数据，作为初始状态，使字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压为“L”，空存储单元数据初始化控制信号 DCW41 的逻辑电压为“H”。

这时，空存储单元的数据为图 27 点 K 的初始状态。位线均衡和预充电控制信号 EQ41 的逻辑电压为“H”，位线逻辑电压为“L”。然后使上述信号 EQ41 的逻辑电压为“L”，位线为浮动状态，又使空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“L”，空存储单元强电介质电容的第 1 电极为浮动状态。

为了读出主体存储单元电容 C₂ 的数据，使字线 WL1 和空字线 DWL1 的逻辑电压为“H”后，单元板极 CP0(DCP0) 逻辑电压若为“H”，可在位线 BL0 上读出空存储单元的数据，可在位线/ $\overline{BL0}$ 上读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图 26 点 B 状态变为点 D 状态，可在位线上读出电荷量 Q₁。上述数据为“0”，则从图 26 点 E 的状态变为点 D 的状态，可在位线上读出电荷量 Q₀。同时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线上读出电荷量 Q_d。然后，取读出放大器控制信号 SAE0 的逻辑电压为“H”，使读出放大器 SA0 动作，放大位线 BL0 和/ $\overline{BL0}$ 上读出的数据。使空字线 DWL1 的逻辑电压为“L”。又使空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“H”，空存储单元为图 27 点 J 的状态。

接着使单元板极 CP0(DCP0) 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 的状态。上述数据为“0”，则为图 26 点 E 的状态。同时，空存储单元为图 27 点 K 的状态。

再使字线 WL1 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 或点 B 的状态。上述数据为“0”，则为图 26 点 E 的状态。使读出放大器控制信号 SAE0 的逻辑电压为“L”，位线均衡和预充电控制信号 EQ21 的逻辑电压为“H”，位线逻辑电压为“L”。

第 10 实施例的特征在于，字线和空字线的信号上升沿与单元板极 CP0(DCP0) 的信号上升沿在时间上错开，因而可谋求电流消

耗分散。

对于本发明半导体存储装置的第 11 实施例，参照图 6 的电路组成和图 11 的动作时序进行说明。图 6 的电路组成与第 4 实施例中相同。

关于动作，主体存储单元电路和空存储单元电路的强电介质分别呈现图 26 和图 27 的迟滞特性。

为了读出主体存储单元的数据，作为初始状态，使字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压为“L”，空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“H”。这时，空存储单元的数据为图 27 点 K 的初始状态。使位线均衡和预充电控制信号 EQ41 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“L”，空存储单元强电介质的第 1 电极为浮动状态。为了读出主体存储单元强电介质电容 C_2 的数据，取字线 WL1 和空字线 DWL1 的逻辑电压为“H”后，使位线均衡和预充电控制信号 EQ41 的逻辑电压为“L”，位线为浮动状态。

然后，单元板极 CP0(DCP0) 若逻辑电压为“H”，则在位线 BL0 上可读出空存储单元的数据。在位线/BL0 上可读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图 26 点 B 的状态变为点 D 的状态，可在位线上读出电荷量 Q_1 。上述数据为“0”，则从图 26 点 E 的状态变为点 D 的状态。可在位线上读出电荷量 Q_0 。这时，空存储单元从图 27 点 K 的状态变为点 J 的状态，可在位线上读出电荷量 Q_d 。取读出放大器控制信号 SAE0 的逻辑电压为“H”，使读出放大器 SA0 动作，放大位线 BL0 和 /BL0 上读出的数据。接着使空字线 DWL1 的逻辑电压为“L”。使空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“H”，空存储单元为图 27 点 J 的状态。再使单元板极 CP0(DCP0) 的逻辑电压为“L”。这时，主

体存储单元数据为“1”，则为图 26 点 A 的状态。上述数据为“0”，则为图 26 点 E 的状态。同时，空存储单元为图 27 点 K 的状态。又使字线 WL1 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图 26 点 A 或点 B 的状态。上述数据为“0”，则为图 26 点 E 的状态。使读出放大器控制信号 SAE0 的逻辑电压为“L”，位线均衡和预充电控制信号 EQ21 的逻辑电压为“H”，位线逻辑电压为“L”。

第 11 实施例的特征在于，与第 10 实施例相同，字线和空字线的信号上升沿与单元板极 CP0(DCP0) 的信号上升沿在时间上错开，因而可谋求电流功耗分散。此外，在字线和空字线信号上升时，位线的逻辑电压固定为“L”，所以上述二字线信号上升时的噪声不加在位线上。因此，主体存储单元或空存储单元的数据读出准确度提高。

对于本发明半导体存储装置的第 12 实施例，参照图 6 的电路组成和图 23 的动作时序进行说明。图 6 的电路组成与第 4 实施例相同。

关于动作，主体存储单元电容和空存储单元电容的强电介质分别呈现图 26 和图 27 的迟滞特性。

为了读出主体存储单元的数据，作为初始状态，使字线、空字线、单元板极、空单元板极、读出放大器控制信号等的逻辑电压为“L”，空存储单元数据初始化用控制信号 DCW41 的逻辑电压为“H”。这时，空存储单元的数据为图 27 点 K 的初始状态。取位线均衡和预充电控制信号 EQ41 的逻辑电压为“H”，位线逻辑电压为“L”。然后，使上述信号 EQ41 的逻辑电压为“L”，位线为浮动状态。又使上述信号 DCW41 的逻辑电压为“L”，空存储单元强电介质电容的第 1 电极为浮动状态。这时，单元强板极 CP0(DCP0) 的逻辑电压为“H”。为了读出主体存储单元强电介质电容 C_{s2} 的数据，使字线 WL1 和空字线 DWL1 的逻辑电压为“H”。由此，可在位线 BL0 上读

出空存储单元的数据，可在位线/ BL_0 上读出主体存储单元的数据。这时，主体存储单元数据为“1”，则从图26点B的状态变为点D的状态，可在位线上读出电荷量 Q_1 。上述数据为“0”，则从图26点E的状态变为点D的状态，可在位线上读出电荷量 Q_0 。同时，空存储单元从图27点K的状态变为点J的状态，可在位线上读出电荷量 Q_d 。然后，取读出放大器控制信号 SAE_0 的逻辑电压为“H”，使读出放大器 SA_0 动作，放大位线 BL_0 和/ BL_0 上读出的数据。接着使空字线 DWL_1 的逻辑电压为“L”。使空存储单元数据初始化用控制信号 DCW_{41} 的逻辑电压为“H”，空存储单元为图27点J的状态。再使单元板极 $CP_0(DCP_0)$ 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图26点A的状态。上述数据为“0”，则为图26点E的状态。同时，空存储单元为图27点K的状态。接着使字线 WL_1 的逻辑电压为“L”。这时，主体存储单元数据为“1”，则为图26点A或点B的状态。上述数据为“0”，则为图26点E的状态。再使读出放大器控制信号 SAE_0 的逻辑状态为“L”，位线均衡和预充电控制信号 EQ_{21} 的逻辑电压为“H”，位线逻辑电压为“L”。

第12实施例的特征在于，与第10实施例相同，字线和空字线的信号上升沿与单元板极 $CP_0(DCP_0)$ 的信号上升沿在时间上错开，因而可谋求功耗分散。此外，即便在单元板极寄生电容大，信号上升化费时间的情况下，由于单元板极的信号早已上升，也能谋求主体存储单元或空存储单元的数据读出高速化。

根据本发明的半导体存储装置，可进行空存储单元电容初始化，读出时无动作差错。数据读出后的空存储单元电容还可确实定为初始状态，因而读出时无动作差错。又可作为功耗不集中的半导体存储装置。

所提权利要求的精神和范围不受本说明所含较佳实施例的叙述限制。

说明书附图

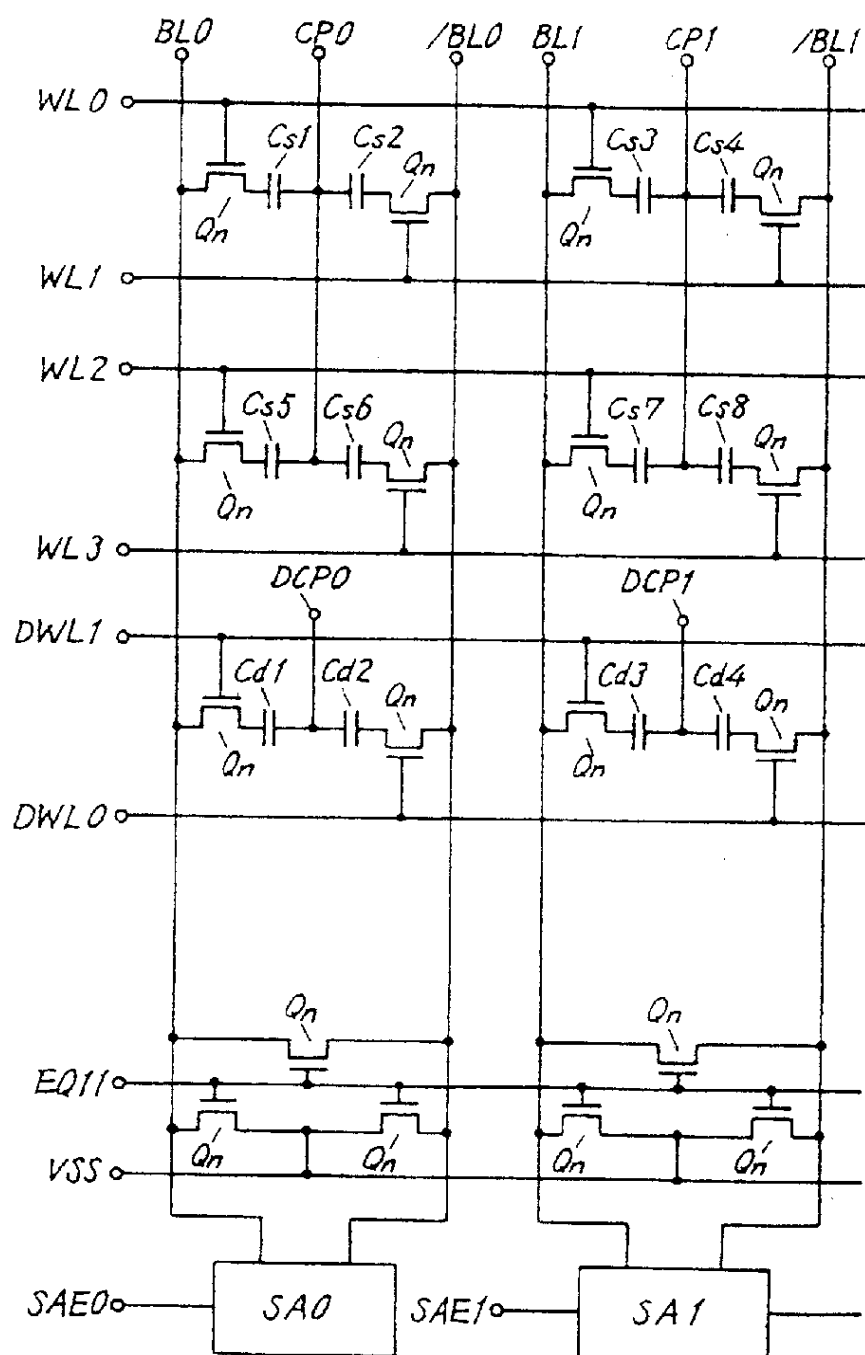


图 1

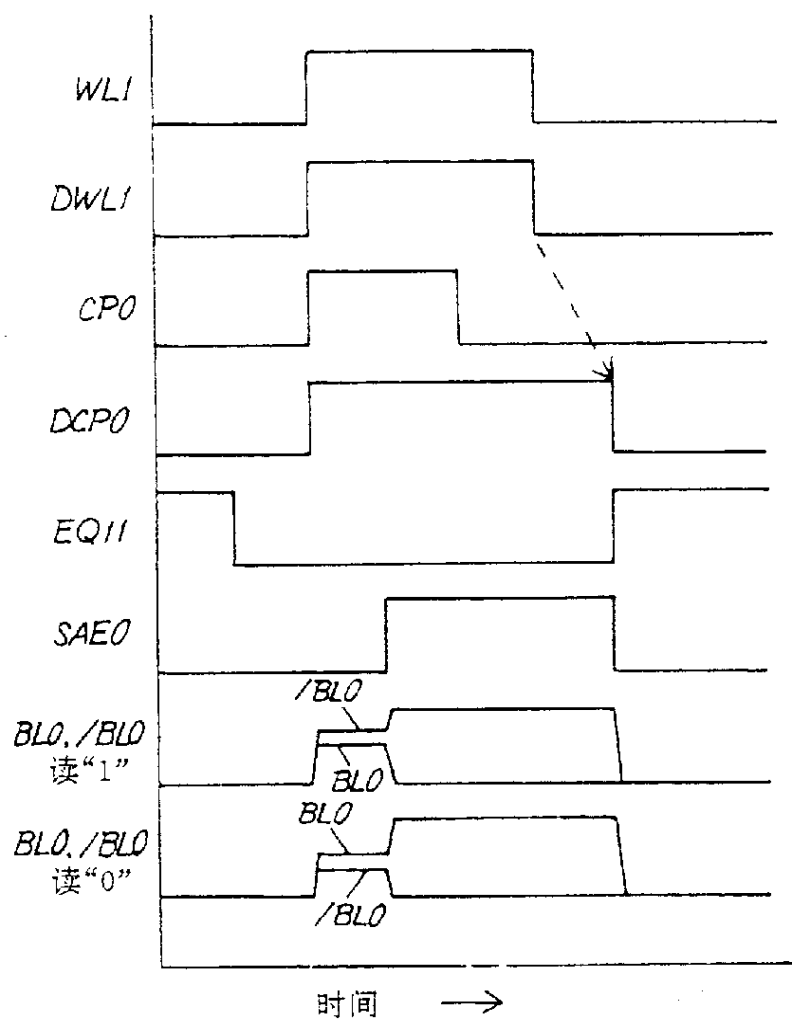


图 2

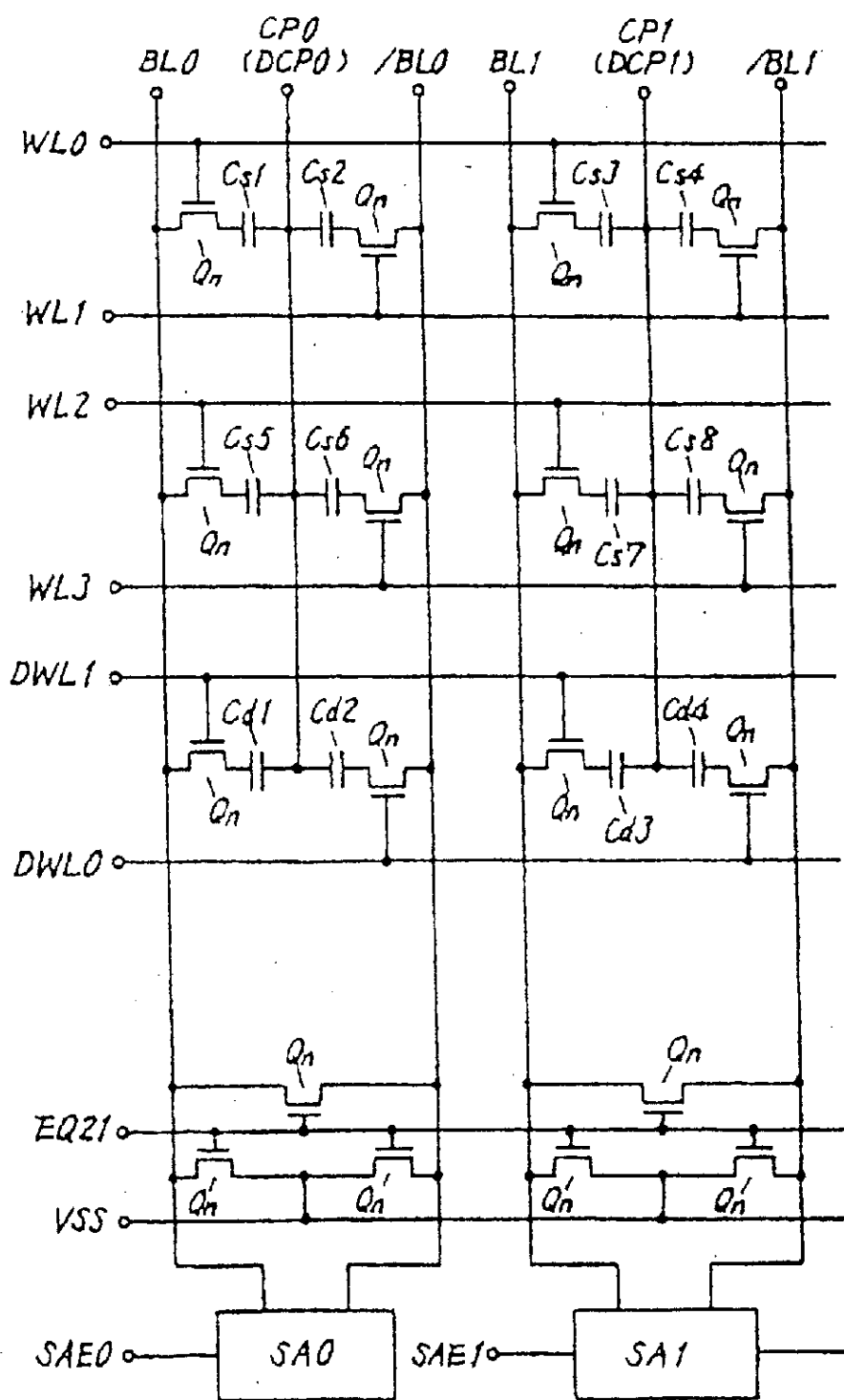


图 3

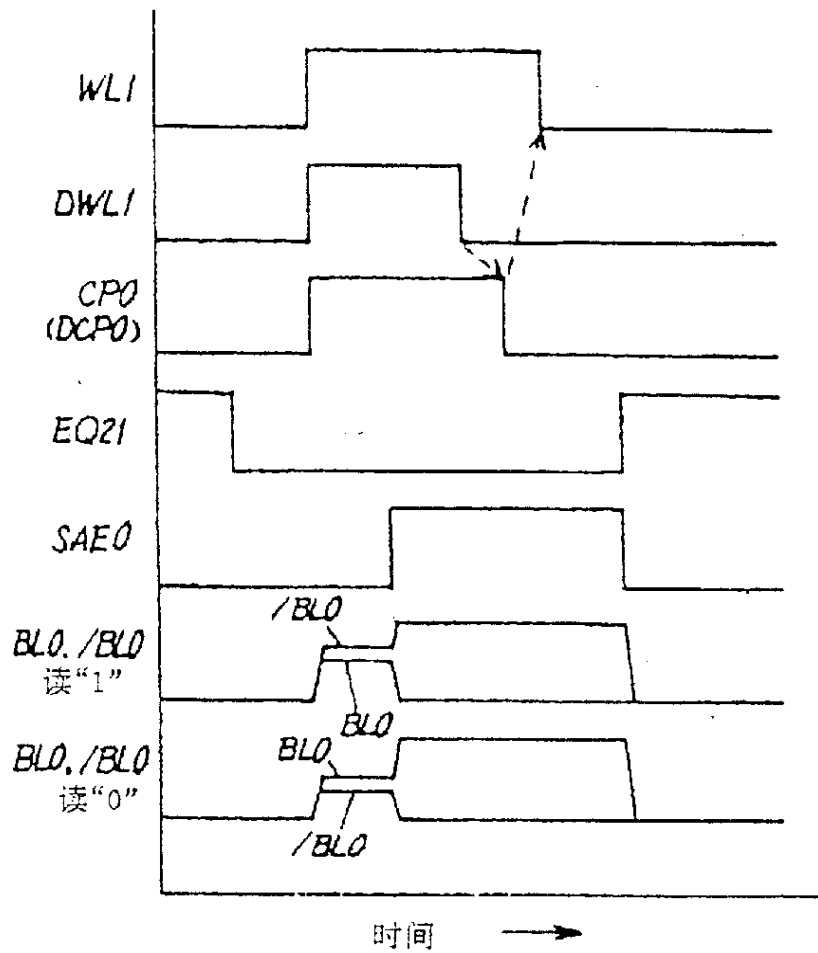


图 4

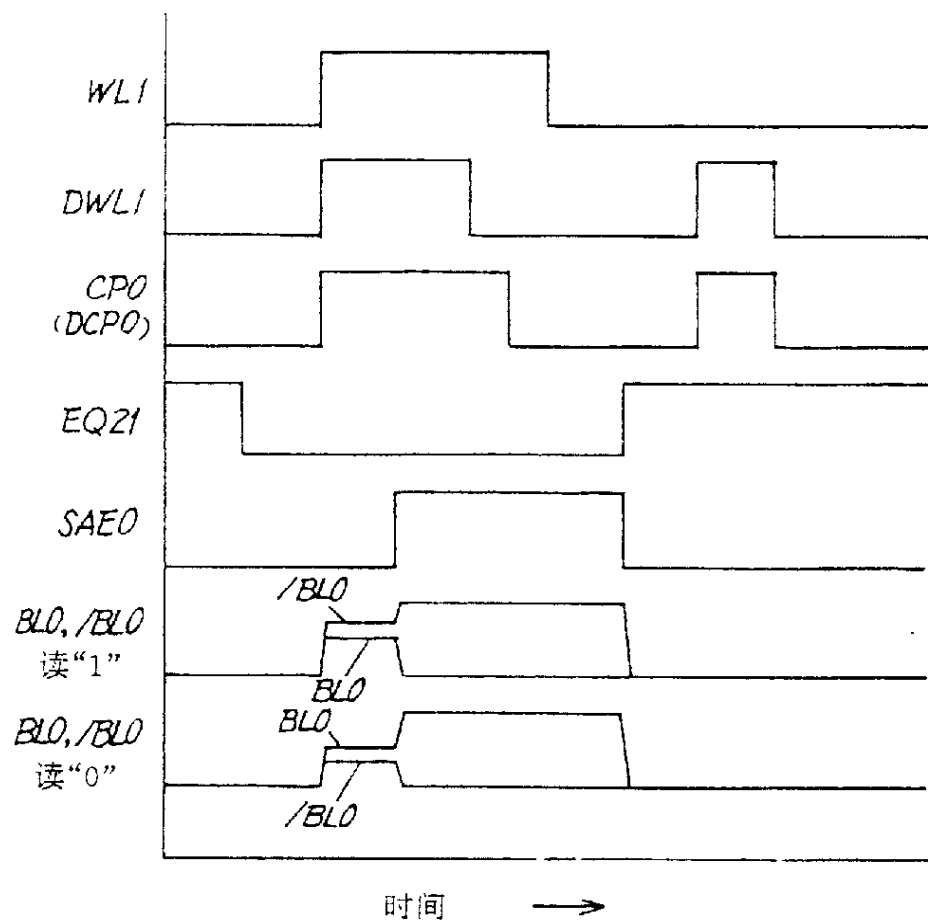


图 5

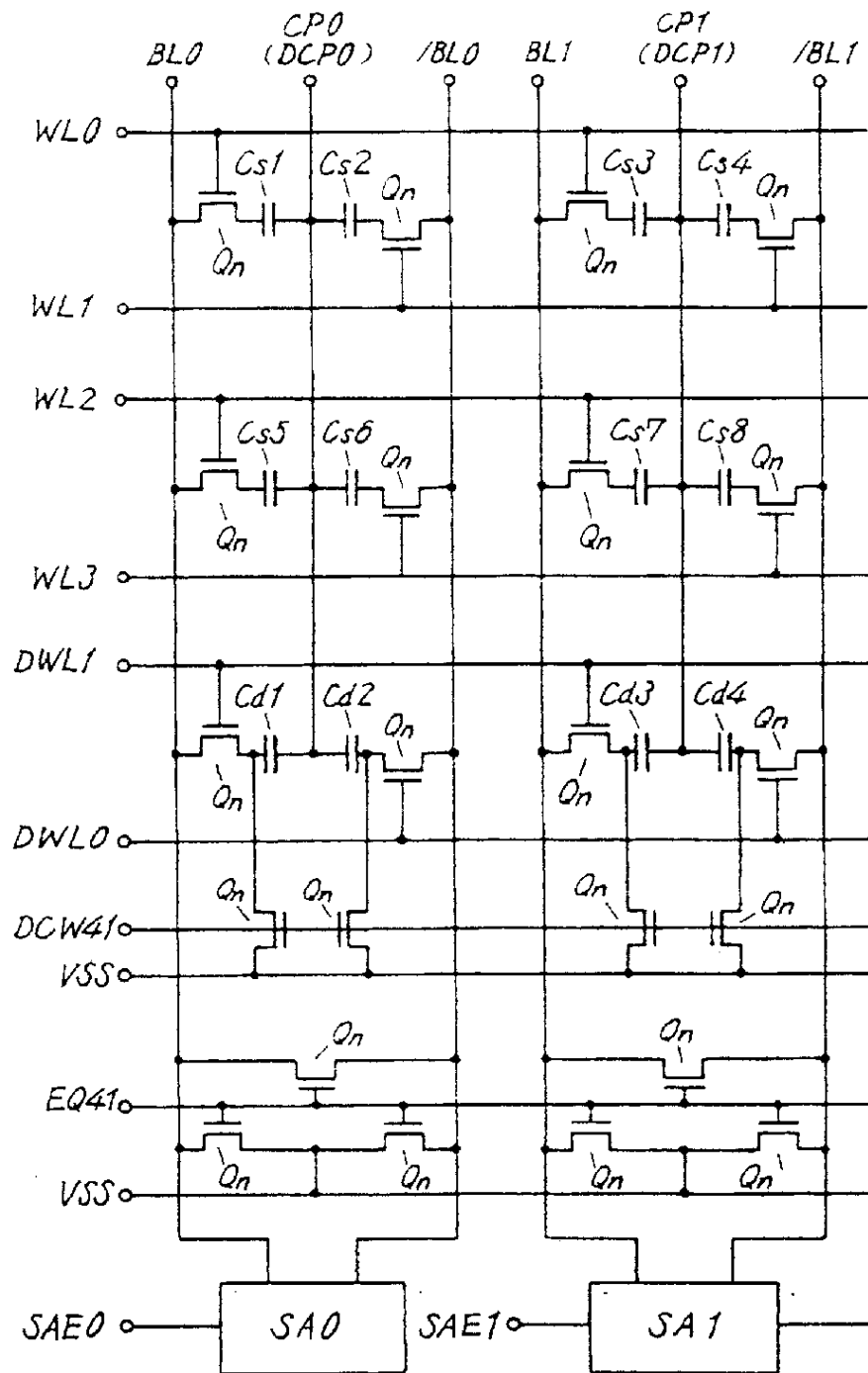


图 6

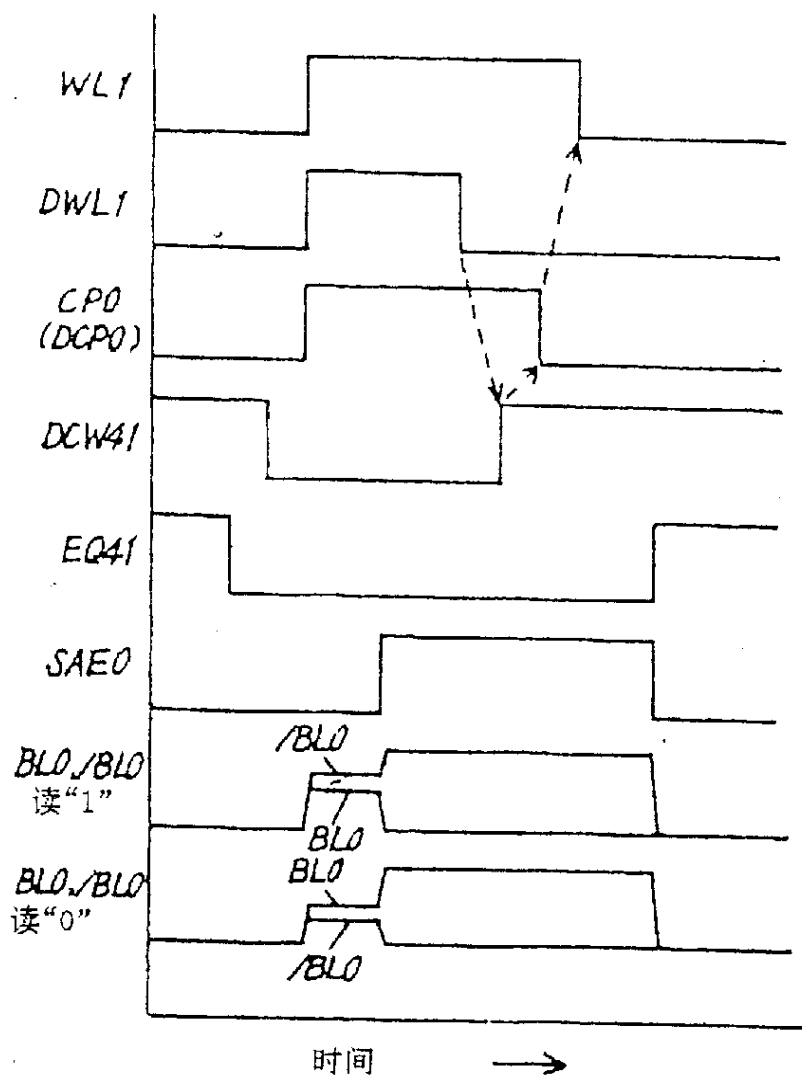


图 7

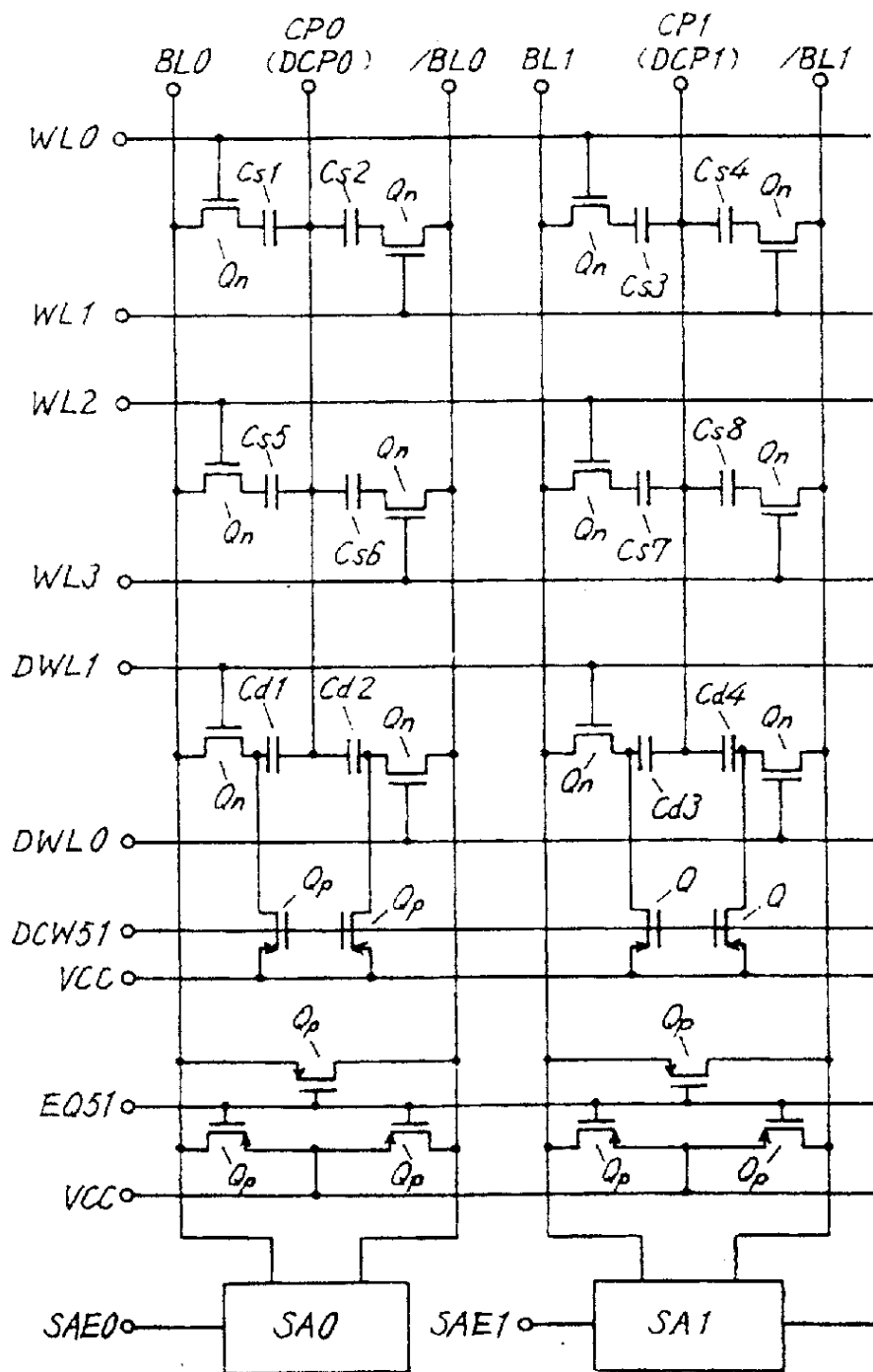


图 8

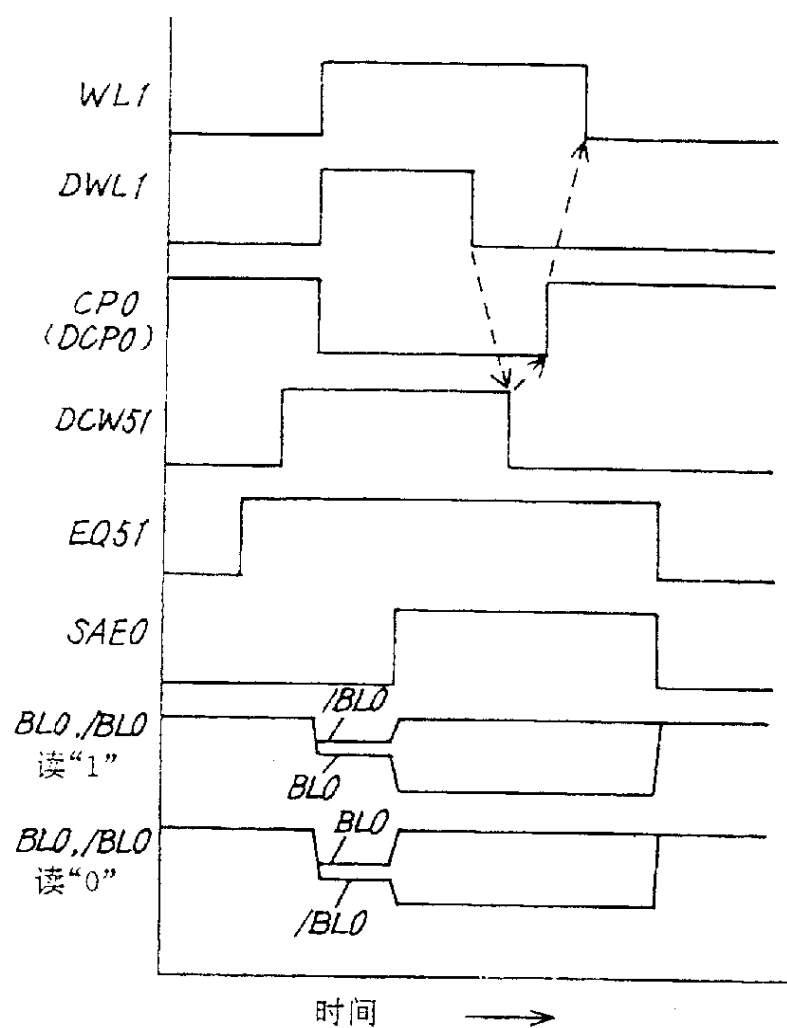


图 9

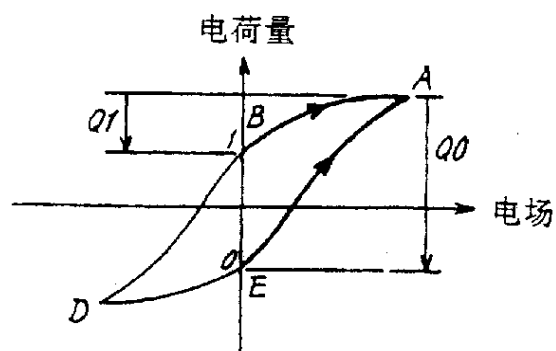


图 10

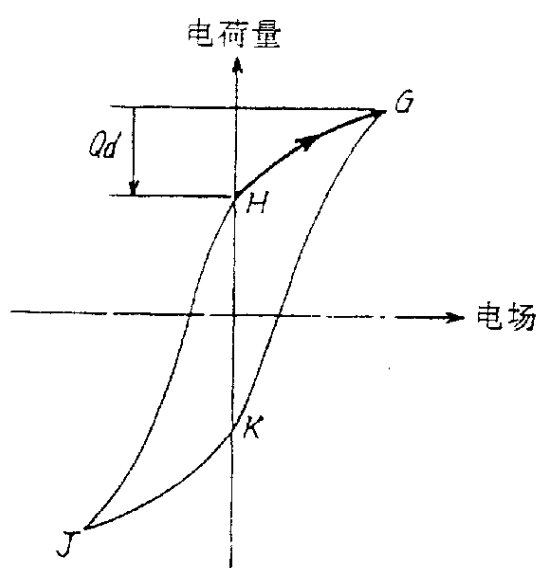


图 11



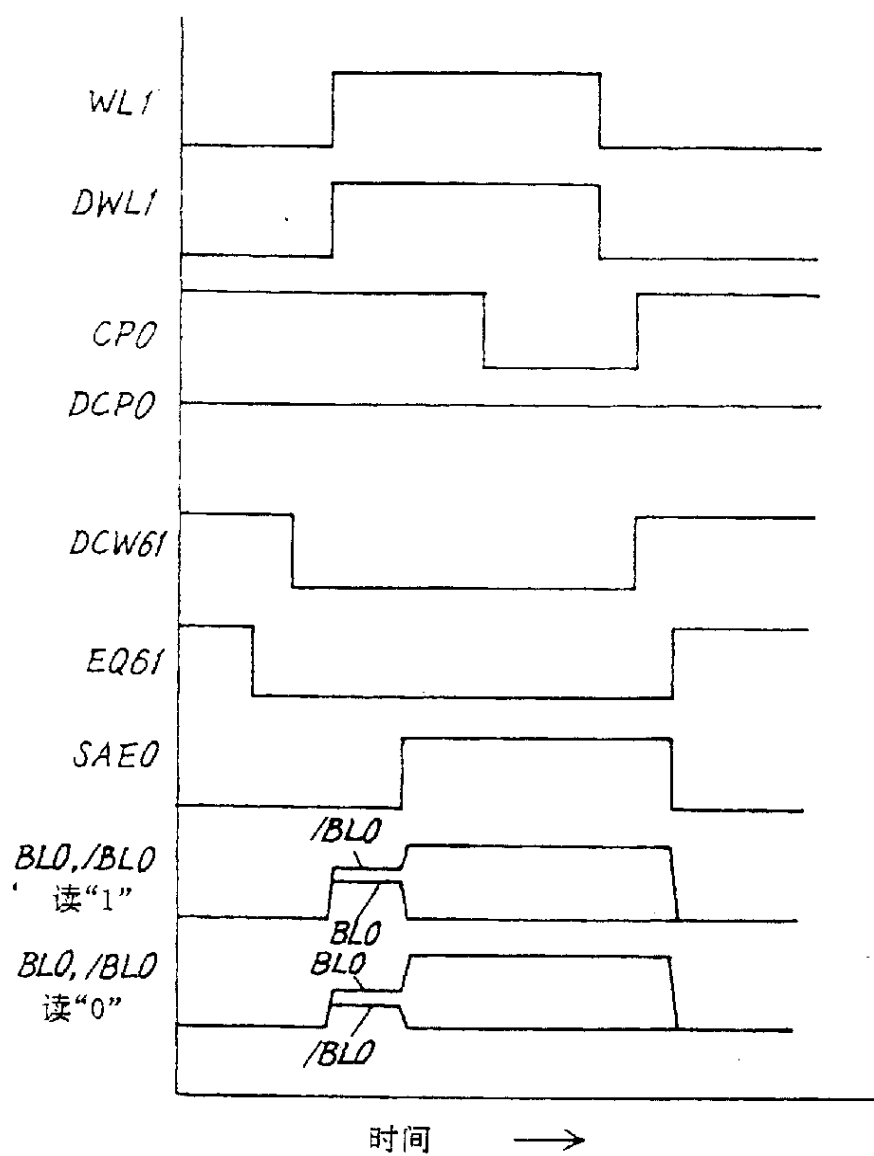


图 13

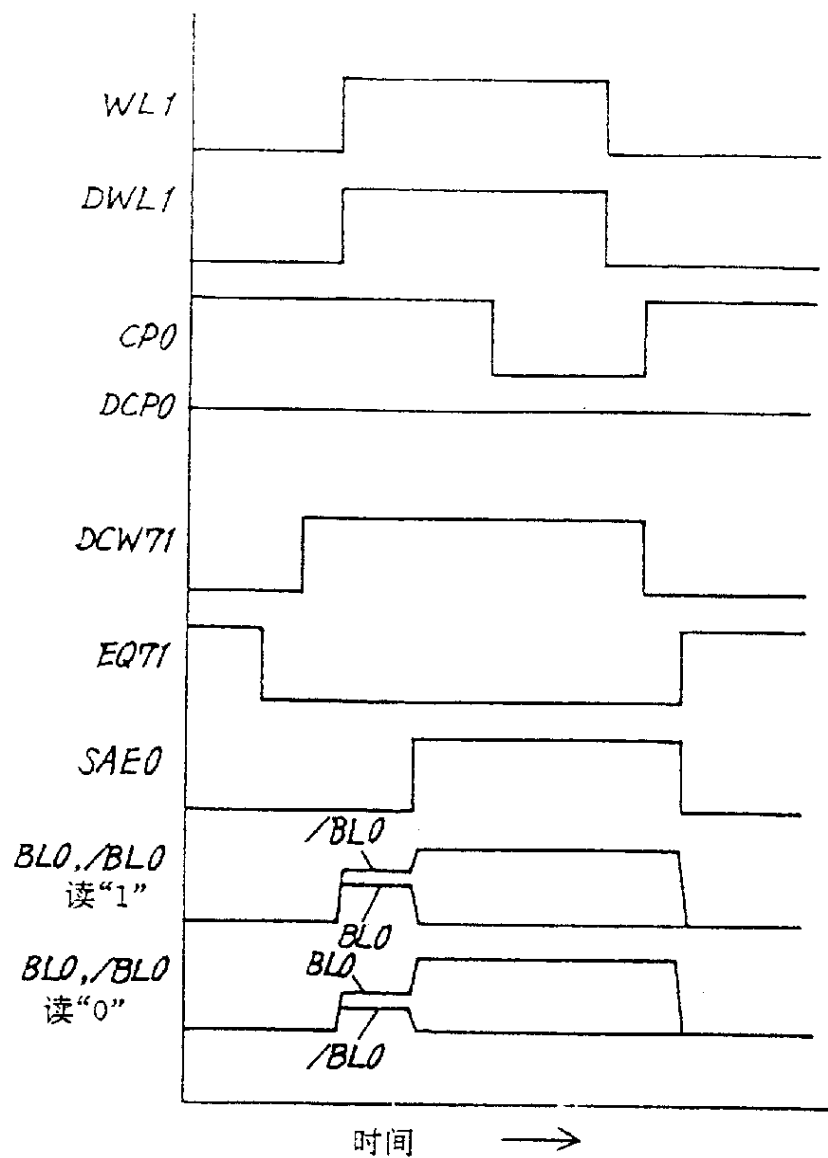


图 15

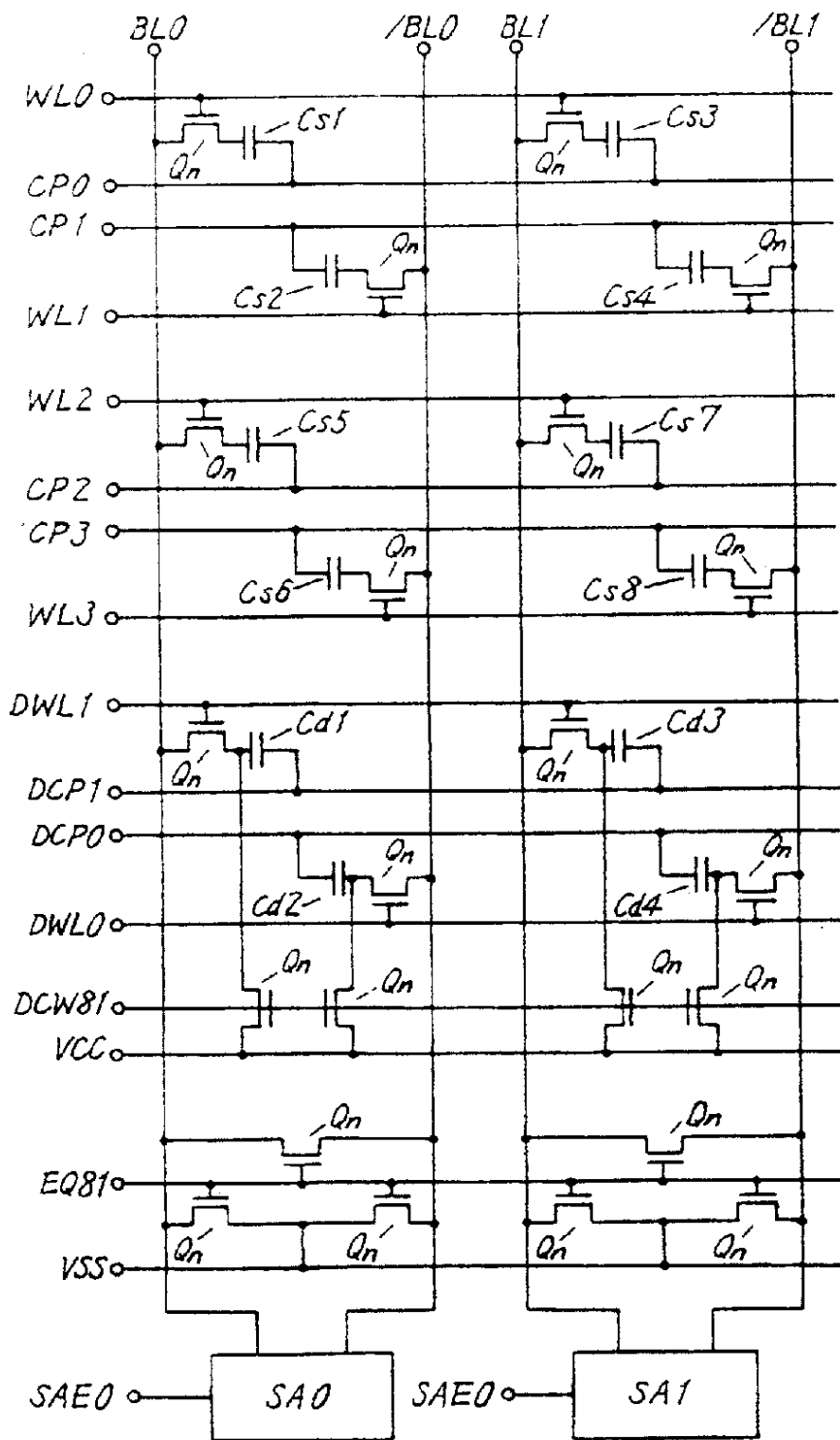


图 16

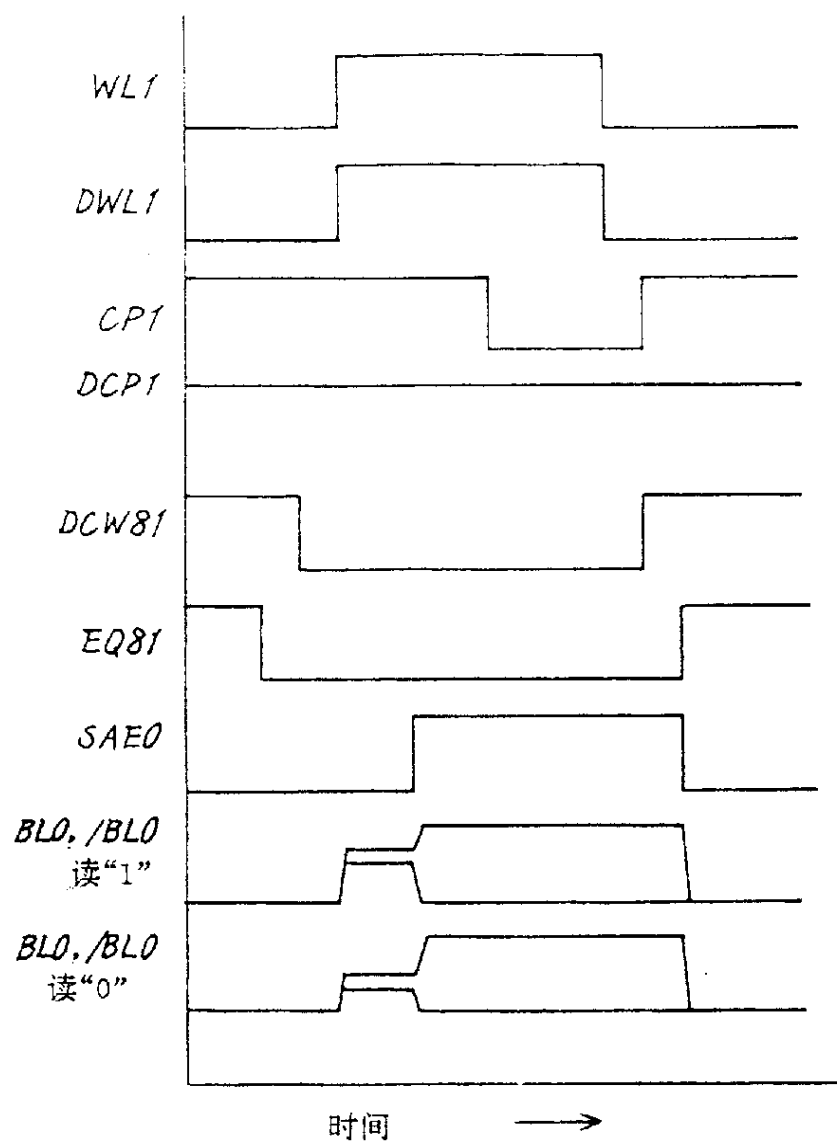


图 17

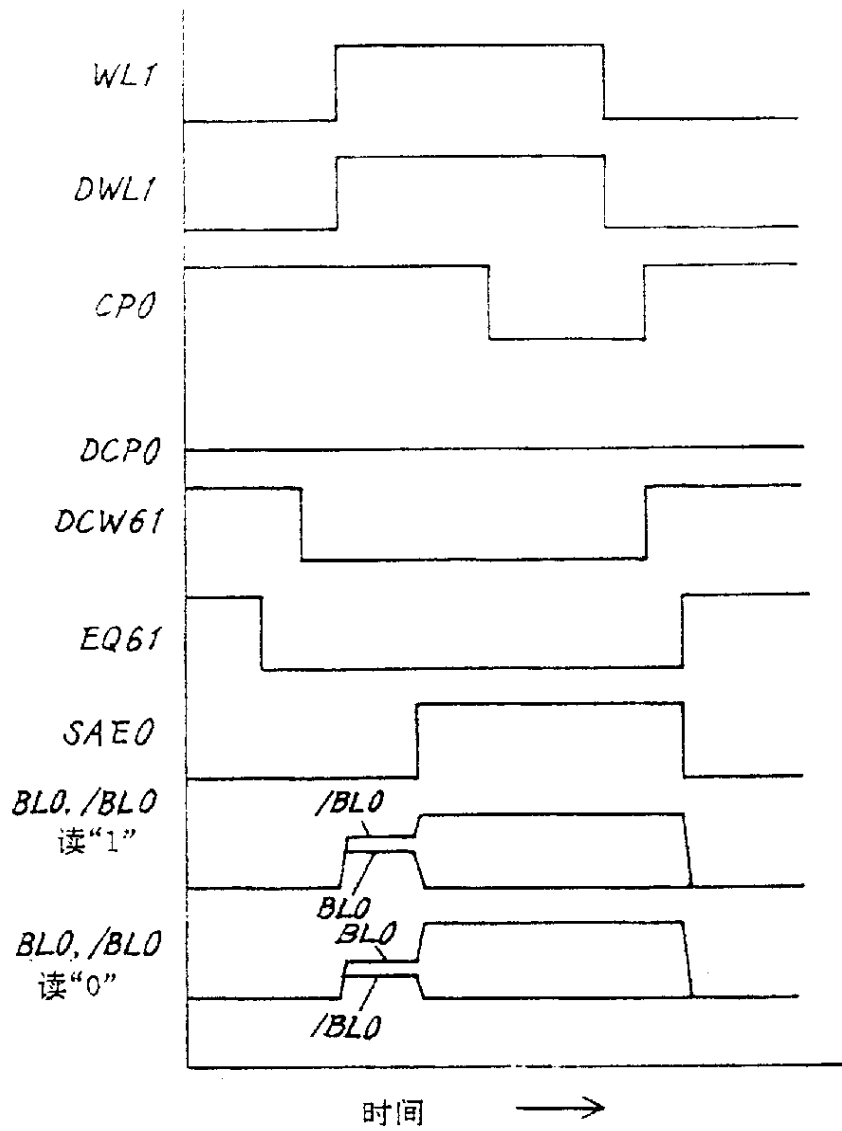


图 18

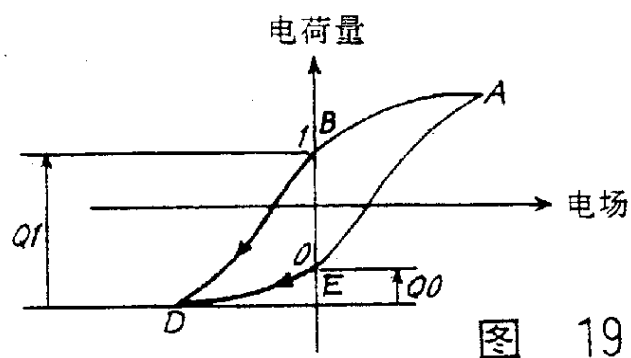


图 19

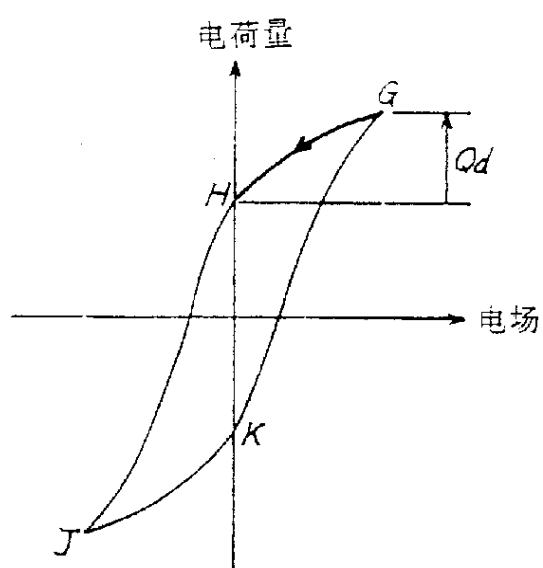


图 20

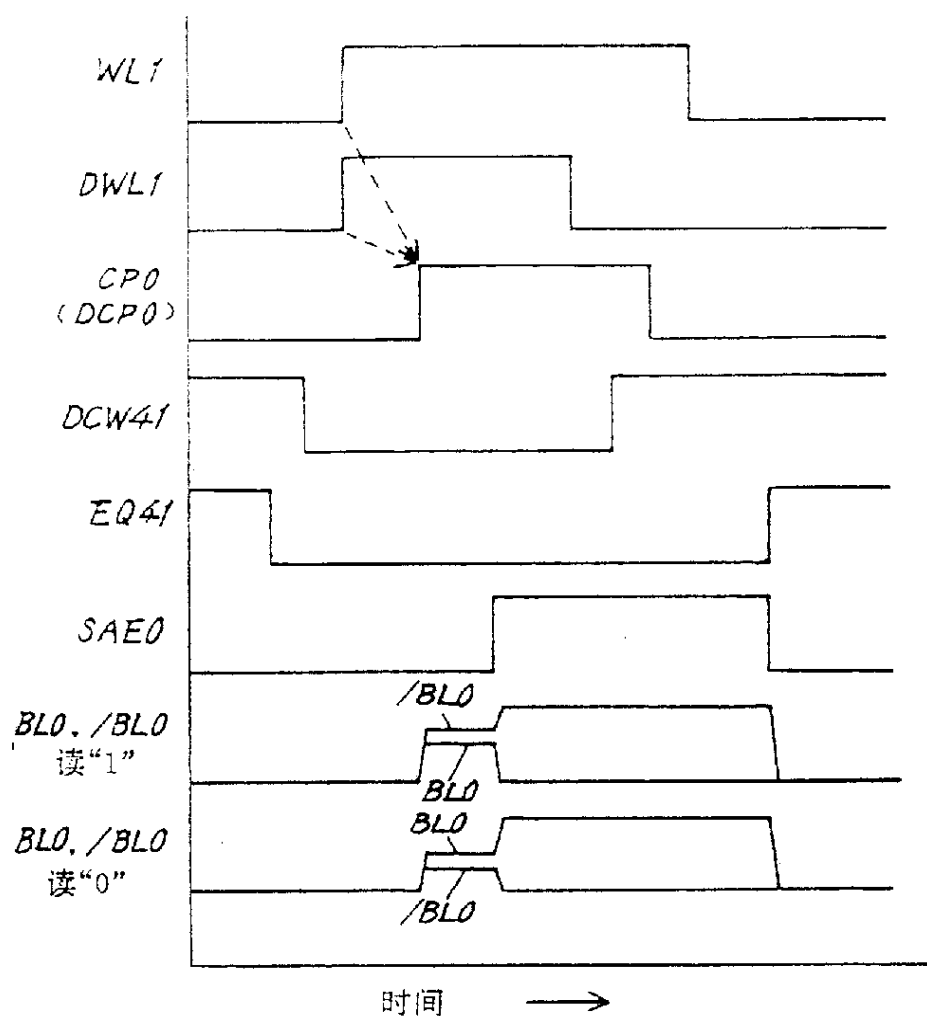


图 21

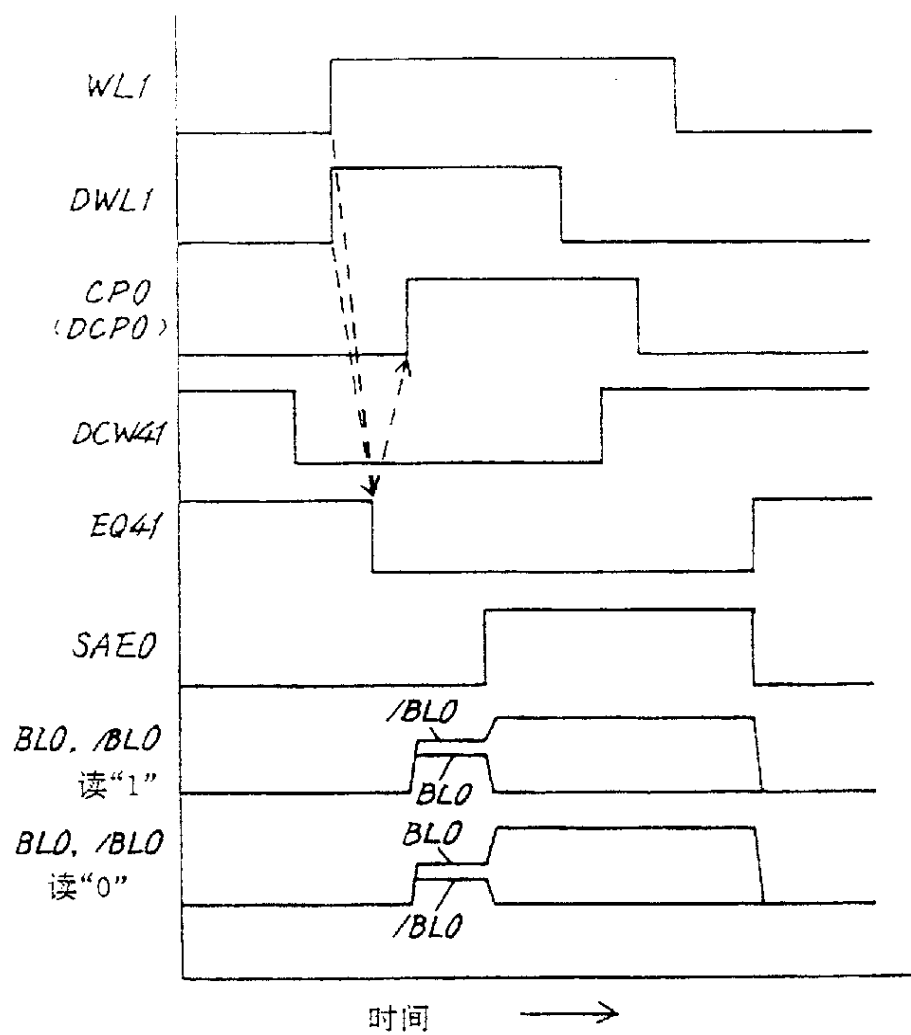


图 22

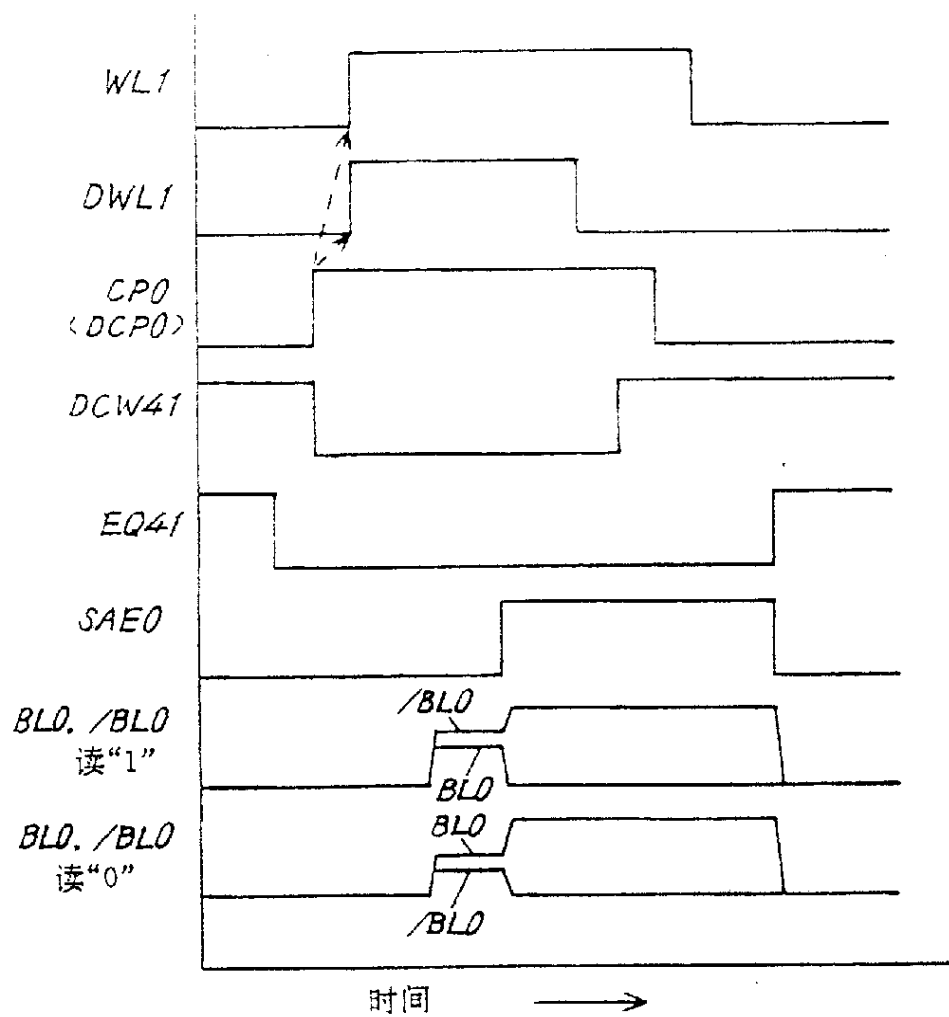


图 23

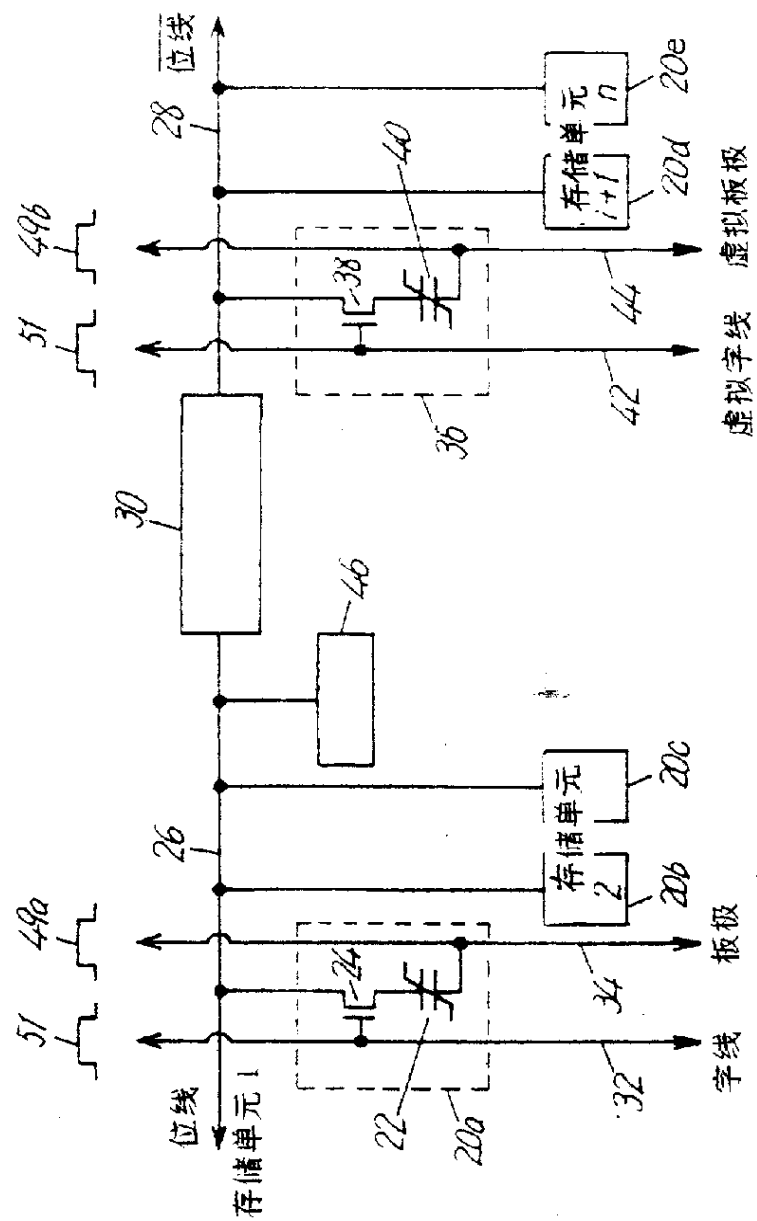


图 24

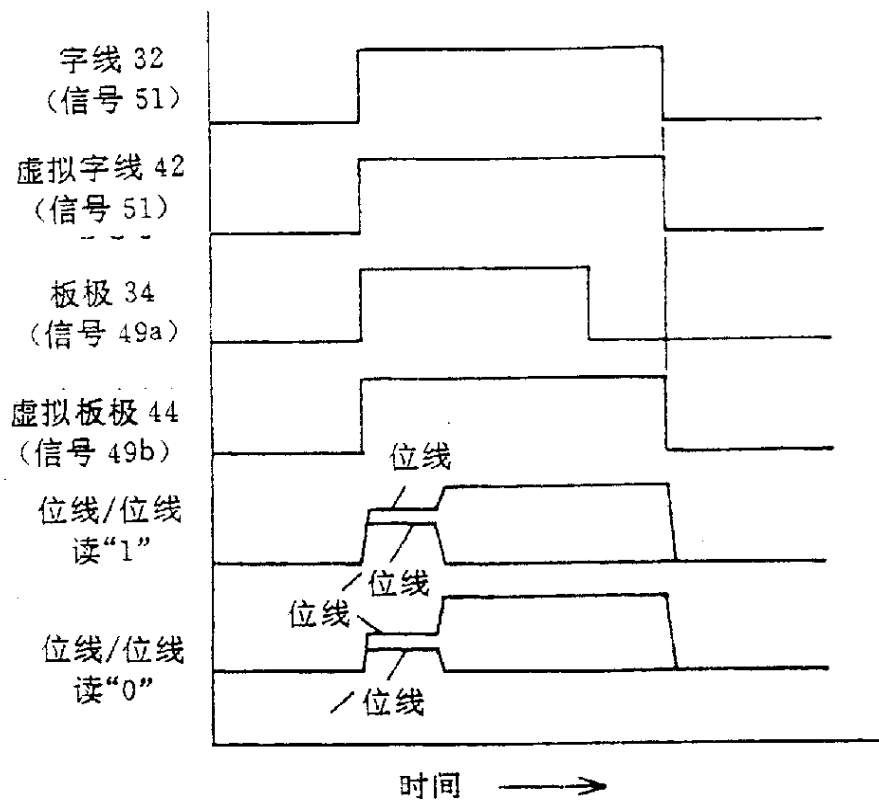


图 25

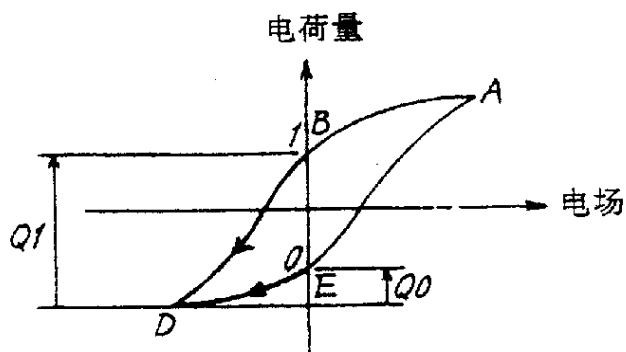


图 26

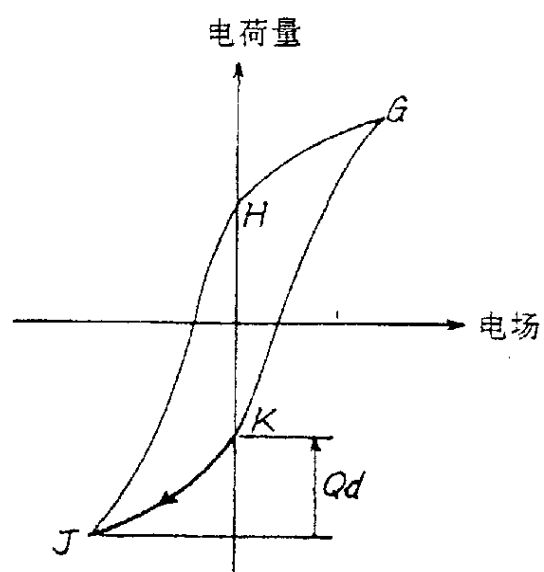


图 27